



(12)发明专利

(10)授权公告号 CN 106134049 B

(45)授权公告日 2018.10.30

(21)申请号 201580015851.6

(22)申请日 2015.03.12

(65)同一申请的已公布的文献号

申请公布号 CN 106134049 A

(43)申请公布日 2016.11.16

(30)优先权数据

2014-066595 2014.03.27 JP

2014-219348 2014.10.28 JP

(85)PCT国际申请进入国家阶段日

2016.09.23

(86)PCT国际申请的申请数据

PCT/JP2015/001363 2015.03.12

(87)PCT国际申请的公布数据

W02015/146038 JA 2015.10.01

(73)专利权人 株式会社电装

地址 日本爱知县

(72)发明人 赤间贞洋 山本圣 小林敦

金森淳

(74)专利代理机构 永新专利商标代理有限公司

72002

代理人 高迪

(51)Int.Cl.

H02M 1/08(2006.01)

(56)对比文件

CN 103188177 A, 2013.07.03,

US 2012/0299624 A1, 2012.11.29,

US 2012/0161822 A1, 2012.06.28,

JP 特开2014-54019 A, 2014.03.20,

审查员 盛敏

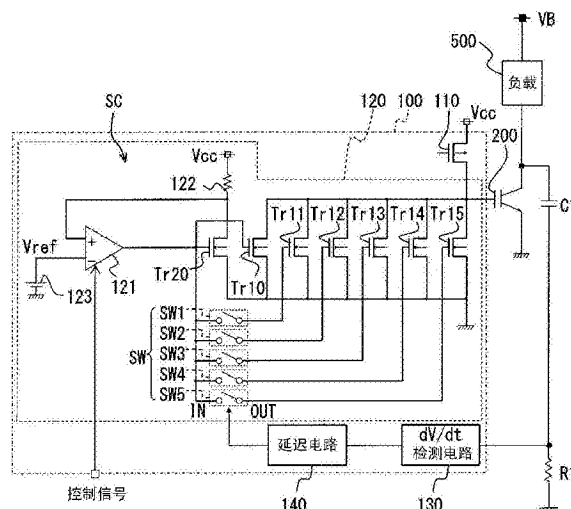
权利要求书2页 说明书9页 附图9页

(54)发明名称

驱动装置

(57)摘要

一种驱动装置,对功率开关元件(200)进行控制,具备:进行所述功率开关元件的导通动作的通侧电路(110);以及进行断开动作的断侧电路(120)。所述通侧或断侧电路具有:多个主MOS晶体管(Tr10~Tr15、Tr50~Tr55);规定所述主MOS晶体管的漏极电流的感测MOS晶体管(Tr20、Tr60);将所述感测MOS晶体管的漏极电流控制为固定的感测电流控制电路(SC);以及与所述主MOS晶体管的栅极连接而对所述主MOS晶体管的导通断开进行控制从而切换所述功率开关元件的栅极电流的开关电路(SW)。



1. 一种驱动装置,对功率开关元件(200)的导通断开进行控制,具备:
通侧电路(110),进行所述功率开关元件的导通动作;以及
断侧电路(120),进行所述功率开关元件的断开动作,
所述通侧电路以及所述断侧电路中的至少一方的电路具有:
多个主MOS晶体管($Tr_{10} \sim Tr_{15}$ 、 $Tr_{50} \sim Tr_{55}$),作为输出晶体管;
感测MOS晶体管(Tr_{20} 、 Tr_{60}),栅极与所述多个主MOS晶体管的栅极共通,相对于所述多个主MOS晶体管构成电流镜,从而规定所述多个主MOS晶体管的漏极电流;以及
感测电流控制电路(SC),将所述感测MOS晶体管的漏极电流控制为固定,
进而,所述通侧电路以及所述断侧电路中的至少一方的电路具有:
开关电路(SW),与所述多个主MOS晶体管的栅极连接,对所述多个主MOS晶体管的导通断开进行控制,从而切换所述功率开关元件中的栅极电流,
所述多个主MOS晶体管各自在漏极与源极间相互并联连接,所述多个主MOS晶体管的漏极或源极共通地与所述通侧电路连接,
所述开关电路具有多个开关($SW_1 \sim SW_5$),各个开关与所述感测MOS晶体管的栅极连接。
2. 如权利要求1所述的驱动装置,
所述感测电流控制电路具有:
参照电源(113、123),产生参照电位(V_{ref});
基准电阻(112、122),与所述感测MOS晶体管串联连接;以及
运算放大器(111、121),以所述基准电阻与所述感测MOS晶体管之间的电位接近于所述参照电位的方式,使输出施加于所述感测MOS晶体管的栅极,
所述感测电流控制电路流动根据所述基准电阻的电阻值和所述参照电位决定的电流,作为所述感测MOS晶体管的漏极电流。
3. 如权利要求1所述的驱动装置,
所述感测电流控制电路具有:
运算放大器(161),使输出施加于所述感测MOS晶体管的栅极;
电流源(P2),将规定的电流供应给所述运算放大器的一方的输入端子;
感温元件(164),与所述电流源并联连接至所述运算放大器,
所述感测电流控制电路构成为:基于依赖于温度的所述感温元件的电压下降,使所述感测MOS晶体管的漏极电流变化。
4. 如权利要求1所述的驱动装置,
构成所述多个主MOS晶体管以及所述感测MOS晶体管的单位MOS晶体管(Tr_{16})构成为:沟道长度(L)以及沟道宽度(W)全部相同。
5. 如权利要求4所述的驱动装置,
构成所述多个主MOS晶体管以及所述感测MOS晶体管的单位MOS晶体管由LDMOS即横向扩散MOS构成,该LDMOS在邻接的元件之间具有沟槽(400)而被元件分离,
所述沟槽在相邻的元件间相互被共享。
6. 如权利要求1~5的任一项所述的驱动装置,还具备:
电流检测部(150),检测所述功率开关元件的集电极电流,
所述电流检测部在所述功率开关元件的集电极电流超过规定的阈值的情况下,与所述

功率开关元件的集电极电流没有超过规定的阈值的情况相比,将所述感测MOS晶体管的栅极电压设定得小。

驱动装置

[0001] 关联申请的交叉引用

[0002] 本申请基于在2014年3月27日申请的日本申请号2014-66595号、和在2014年10月28日申请的日本申请号2014-219348号,此处引用其记载内容。

技术领域

[0003] 本申请涉及进行功率开关元件的导通断开动作的驱动装置。

背景技术

[0004] 关于构成逆变器、转换器等半导体电力转换装置的功率开关元件,作为解决开关动作时的浪涌电压和开关损失的折衷的技术,使用动态地控制栅极电压或栅极电流的主动栅极控制(AGC)。

[0005] 例如,在使用绝缘栅双极晶体管(IGBT)作为功率开关元件的情况下,对关断时的集电极-发射极间电压(以后称为集电极电压 V_{ce})的时间变化 dV/dt 进行反馈,控制IGBT的栅极电荷的放电速度。具体而言,在专利文献1中,提出了通过切换向IGBT的栅极注入的栅极电流的电流值,在放电过程中切换栅极电荷的放电速度的技术。但是,专利文献1的技术需要与切换级数对应的数目的栅极断开电路,所以电路规模、即布局面积变大。

[0006] 另一方面,在专利文献2中,提出了在具有宽范围的输出电流、换言之能够大幅度地切换输出电流的半导体装置中能够抑制布局面积的电路。具体而言,该半导体装置通过参照电流的电流镜生成输出电流。并且,通过将电流镜设为多级,从而实现输出电流的宽动态范围。

[0007] 但是,专利文献2的技术中,向用于使输出晶体管导通的栅极的电流供应通过参照电流来进行,所以构成电流镜的输出晶体管的级数越增加,则参照电流越变化。即,在每次使输出晶体管导通时输出电流变动。

[0008] 此外,在专利文献2那样的电路结构中,一般来说,期望尽可能减小参照电流,但电荷向构成电流镜的输出晶体管的栅极的注入速度依赖于参照电流,所以若参照电流小,则直至输出晶体管导通为止的时间变长。也就是说,在将专利文献2的技术应用于功率开关元件的断开用电路的情况下,有可能不能确保从接受意在断开功率开关元件的指示至输出晶体管导通为止的响应速度。

[0009] 在先技术文献

[0010] 专利文献

[0011] 专利文献1:日本特许第3885563号公报

[0012] 专利文献2:日本特开2006-20098号公报

发明内容

[0013] 本申请是鉴于上述问题而完成的,其目的在于,以高精度控制栅极电流,且提高栅极电流的切换速度。

[0014] 在本申请的某方式中,对功率开关元件的导通断开进行控制的驱动装置具备:通侧电路,进行所述功率开关元件的导通动作;以及断侧电路,进行所述功率开关元件的断开动作。所述通侧电路以及所述断侧电路的至少一方的电路具有:多个主MOS晶体管,作为输出晶体管;感测MOS晶体管,栅极与所述主MOS晶体管的栅极共通,相对于所述主MOS晶体管构成电流镜,从而规定所述主MOS晶体管的漏极电流;以及感测电流控制电路,将所述感测MOS晶体管的漏极电流控制为固定。进而,所述通侧电路以及所述断侧电路的至少一方的电路具有:开关电路,与所述主MOS晶体管的栅极连接,对所述主MOS晶体管的导通断开进行控制,从而切换所述功率开关元件中的栅极电流。

[0015] 据此,形成多个与感测MOS晶体管构成电流镜的主MOS晶体管,它们的有效/无效通过开关电路的导通断开控制而被控制。因此,通过切换被设为有效的主MOS晶体管的数目,能够切换输出电流。

[0016] 此外,感测MOS晶体管的漏极电流通过参照电位和基准电阻的电阻值来规定,该感测MOS晶体管通过电流镜规定主MOS晶体管的漏极电流。因此,能够不依赖于向本发明所涉及的驱动装置供应电力的电源电压或断侧电路的输出电流的电流值而高精度地控制输出电流。进而,感测MOS晶体管的漏极电流不依赖于开关电路的导通断开而固定,因此能够不依赖于被设为有效的主MOS晶体管的数目而高精度地控制输出电流。

[0017] 此外,为了驱动作为输出晶体管的主MOS晶体管而向栅极的电压施加由运算放大器的输出控制,所以与由参照电流控制的情况相比,能够提高开关速度。

附图说明

[0018] 参照附图,通过下述的详细的记述,关于本申请的上述目的以及其他目的、特征、优点变得更明确。该附图是,

[0019] 图1是表示第一实施方式所涉及的驱动装置的概略结构的电路图。

[0020] 图2是表示由驱动装置进行的驱动的时序图。

[0021] 图3是表示开关电路的详细的结构的电路图。

[0022] 图4是表示NMOS晶体管的布局的俯视图。

[0023] 图5是图4所示的区域V的扩大图。

[0024] 图6是表示变形例1所涉及的驱动装置的概略结构的电路图。

[0025] 图7是表示第二实施方式所涉及的驱动装置的概略结构的电路图。

[0026] 图8是表示第三实施方式所涉及的驱动装置的概略结构的电路图。

[0027] 图9是表示变形例2所涉及的驱动装置的概略结构的电路图。

[0028] 图10是表示变形例3所涉及的驱动装置的概略结构的电路图。

具体实施方式

[0029] (第一实施方式)

[0030] 最初,参照图1,说明本实施方式所涉及的驱动装置。

[0031] 如图1所示,该驱动装置100控制作为驱动负载500的功率开关元件的绝缘栅双极晶体管(IGBT) 200的驱动。

[0032] 该驱动装置100具备通侧电路110、断侧电路120、 dV/dt 检测电路130和延迟电路

140。

[0033] 通侧电路110以及断侧电路120在电源和GND(地)之间串联连接,在其中间点上连接有IGBT200的栅极。通侧电路110由PMOS晶体管构成,在该PMOS晶体管为导通状态时向IGBT200的栅极施加电源电压 V_{cc} 。由此IGBT200成为导通状态,在IGBT200的集电极-发射极间流过电流,向负载500供应电力。

[0034] 断侧电路120具有多个NMOS晶体管($Tr_{10} \sim Tr_{15}$ 、 Tr_{20})。这些NMOS晶体管由作为输出晶体管的主MOS晶体管($Tr_{10} \sim Tr_{15}$)、和规定主MOS晶体管的漏极电流的感测MOS晶体管 Tr_{20} 构成。在本实施方式中,六个主MOS晶体管($Tr_{10} \sim Tr_{15}$)相对于感测MOS晶体管 Tr_{20} 构成电流镜。具体而言,各主MOS晶体管($Tr_{10} \sim Tr_{15}$)的栅极被设为与感测MOS晶体管 Tr_{20} 的栅极共通,源极共通而接地。各主MOS晶体管($Tr_{10} \sim Tr_{15}$)的漏极与IGBT200的栅极连接。

[0035] 在这样的结构中,在各主MOS晶体管($Tr_{10} \sim Tr_{15}$)中分别以与感测MOS晶体管 Tr_{20} 的尺寸比相同的电流比流过漏极电流。也就是说,在本实施方式中,存在六个向IGBT200的栅极注入的电流的电流路径。另外,尺寸是MOS晶体管中的沟道宽度 W 与沟道长度 L 的宽长比(W/L)。

[0036] 此外,断侧电路120具有:运算放大器121,用于对感测MOS晶体管 Tr_{20} 的漏极电流进行控制;基准电阻122,用于规定该运算放大器121的输出;以及参照电源123,向该运算放大器121的一个输入端子赋予参照电位 V_{ref} 。运算放大器121若从未图示的微机被输入表示使IGBT200断开的控制信号,则向感测MOS晶体管 Tr_{20} 的栅极施加电压,从而向IGBT200的栅极注入固定电流。

[0037] 基准电阻122是分流电阻,规定感测MOS晶体管 Tr_{20} 的漏极电流的电流值。进而,规定向IGBT200的栅极注入的电流的电流值。向IGBT200的栅极注入的电流是在主MOS晶体管($Tr_{10} \sim Tr_{15}$)中流过的漏极电流的合计。并且,主MOS晶体管($Tr_{10} \sim Tr_{15}$)与感测MOS晶体管 Tr_{20} 一起构成电流镜,因此向IGBT200的栅极注入的电流依赖于感测MOS晶体管 Tr_{20} 的漏极电流。

[0038] 在这样的结构中,若被输入表示使IGBT200断开的信号,则运算放大器121被驱动而向感测MOS晶体管 Tr_{20} 施加栅极电压。此时的漏极电流由基准电阻122的电阻值 R 规定。并且,其电流值通过调整运算放大器121的输出被反馈控制,以使基准电阻122和感测MOS晶体管 Tr_{20} 之间的中间电位接近于参照电位 V_{ref} 。由此,感测MOS晶体管 Tr_{20} 的漏极电流被高精度地控制为固定的值($= (V_{cc} - V_{ref}) / R$)。因此,向IGBT200的栅极注入的电流也高精度地被设为固定电流。另外,在本实施方式中,感测电流控制电路SC相当于由运算放大器121和基准电阻122以及参照电源123构成的电路。

[0039] 进而,断侧电路120具有用于切换向IGBT200的栅极注入的电流的电流值、即驱动能力的开关电路($SW_1 \sim SW_5$)。该开关电路($SW_1 \sim SW_5$)与六个主MOS晶体管($Tr_{10} \sim Tr_{15}$)之中五个主MOS晶体管($Tr_{11} \sim Tr_{15}$)的栅极分别连接。例如,若是开关电路 SW_1 被设为有效,其他开关电路($SW_2 \sim SW_5$)为无效的状态,则IGBT200的栅极电荷通过由主MOS晶体管 Tr_{10} 以及 Tr_{11} 规定的电流而导出。也就是说,能够通过开关电路($SW_1 \sim SW_5$)之中哪个开关电路成为有效来对断侧电路120的驱动能力进行控制。另外,五个开关电路($SW_1 \sim SW_5$)相互等价,以后,除了关于各个开关电路叙述的情况,总称为标记SW。本实施方式中的开关电路SW的详细电路结构随后进行说明。

[0040] 驱动装置100中的 dV/dt 检测电路130是对IGBT200的集电极电压 V_{ce} 的时间变化 dV/dt 进行检测的电路。具体而言, dV/dt 检测电路130与在IGBT200的集电极和GND之间串联连接而构成微分器的电容器C1和电阻器R1的中间点连接。若向运算放大器121输入表示使IGBT200断开的信号,则IGBT200的栅极电荷被导出而集电极电压 V_{ce} 上升,所以 dV/dt 取非零的值。 dV/dt 检测电路130对其进行检测,将该情况输出给延迟电路140。

[0041] 延迟电路140是从 dV/dt 开始上升的时刻起延迟规定的延迟时间而使开关电路SW动作的电路。关于五个开关电路(SW1~SW5)之中,使哪个开关电路SW动作,既能够预先决定,也可以根据 dV/dt 的值等来决定。

[0042] 接着,参照图2说明本实施方式所涉及的驱动装置100中的切换IGBT200的栅极电荷的放电期间中的放电速度的驱动。

[0043] 在时刻 t_1 ,向运算放大器121输入表示使IGBT200断开的控制信号。由此,如图2所示,运算放大器121驱动而向IGBT200的栅极注入电流。在该说明中,时刻 t_1 的开关电路SW设为SW1有效(导通),SW2~SW5为无效(断开)。也就是说,向栅极注入的电流是主MOS晶体管Tr10的漏极电流 I_1 与主MOS晶体管Tr11的漏极电流 I_2 的合计值 I_1+I_2 。

[0044] 若向IGBT200的栅极注入电流而开始进行电荷的导出,则栅极电压降低。并且,在时刻 t_2 中,若栅极电压降低到规定的电位(镜像电压)为止且经过一定时间,则集电极电压 V_{ce} 开始上升。即,在时刻 t_2 的时刻,从 dV/dt 为大致零的状态起, dV/dt 取正值。 dV/dt 检测电路130对其进行检测,将该情况输出给延迟电路140。

[0045] 并且,在由延迟电路140预先规定的延迟时间后的时刻 t_3 中,开关电路SW1被断开,从而开始主MOS晶体管Tr11的断开动作。主MOS晶体管Tr11不是瞬时被断开,而是需要元件所规定的下降时间而达到断开(时刻 t_4)。因此,向栅极注入的电流在时刻 t_3 至时刻 t_4 的期间中,从 I_1+I_2 向 I_1 变化。并且,在该期间中,IGBT200的集电极电压 V_{ce} 的变化 dV/dt 逐渐变小。若到时刻 t_4 ,则主MOS晶体管Tr11成为断开状态,IGBT200的栅极电流从 I_1+I_2 切换为 I_1 。

[0046] 因此,关于断侧电路120的驱动能力、换言之栅极电荷的放电速度,与时刻 t_3 的时刻相比,时刻 t_4 的时刻变得更小。从而,与时刻 t_3 紧前的 dV/dt 相比,时刻 t_4 紧后的 dV/dt 变小。其结果,集电极电压 V_{ce} 的过冲被抑制,能够发挥降低浪涌电压的效果。其后,在时刻 t_6 ,集电极电压 V_{ce} 收敛于稳定值而IGBT200的断开动作结束。

[0047] 另外,主MOS晶体管Tr11的断开开始的定时(时刻 t_3)优选被设定为如下时期:该时期使得主MOS晶体管Tr11完全成为断开的时刻 t_4 比所设想的达到集电极电压 V_{ce} 的稳定值的时刻 t_5 更早。

[0048] 此外,也可以构成为:在时刻 t_6 以后,再次导通主MOS晶体管Tr11而提高断侧电路120的驱动能力,从而保证IGBT200的可靠的断开。

[0049] 接着,参照图3,说明本实施方式中的开关电路SW的具体结构。另外,图3所示的电路中,各开关电路(SW1~SW5)都是同一结构。

[0050] 开关电路SW具有主电路125、和向主电路125供应固定的电流 I_3 的恒流电路126。

[0051] 主电路125基于来自延迟电路140的信号而负责输入端子IN和输出端子OUT之间的电流的通电以及断路。主电路125如图3所示那样具有通过来自延迟电路140的信号进行导通断开动作的MOS晶体管Tr30。此外,具有相对于恒流电路126与MOS晶体管Tr30并联连接,且以对从恒流电路126输入的电流 I_3 进行镜像的方式构成电流镜的两个NPN晶体管Q1、Q2。

此外,具有基于向栅极注入的电流而进行输入端子IN和输出端子OUT之间的电流的通电以及断路的MOS晶体管Tr40。进而,具有在将开关电路SW设为导通状态的情况下向MOS晶体管Tr40的栅极注入电流的电流源P1。另外,在本实施方式中,图3所示的输入端子IN与运算放大器121的输出端子连接,输出端子OUT与主MOS晶体管(Tr11~Tr15)的栅极连接。

[0052] 说明主电路125的动作。在将开关电路SW设为导通状态的情况下,从延迟电路被输入意在将MOS晶体管Tr30设为导通状态的信号。在该状态下,从恒流电路126供应的电流I3作为MOS晶体管Tr30的漏极电流流动,在形成电流镜的NPN晶体管Q1、Q2中不流动电流。即,不流动图3所示的电流I4。因此,来自电流源P1的电流I5被注入至MOS晶体管Tr40的栅极而成为导通,输入端子IN和输出端子OUT之间被通电。即,开关电路SW成为导通状态。另外,被插入至电流源P1和GND之间的电阻器R1是用于规定MOS晶体管Tr40的稳定状态下的栅极电压的电阻。

[0053] 另一方面,在将开关电路SW设为断开状态的情况下,从延迟电路被输入意在将MOS晶体管Tr30设为断开状态的信号。在该状态下,不流动MOS晶体管Tr30的漏极电流,从恒流电路126输入至主电路125的电流I3通过NPN晶体管Q1、Q2被镜像而流动图3所示的电流I4。该电流I4以导出基于电流源P1的电流I5以及MOS晶体管Tr40的栅极电荷的方式流动,所以MOS晶体管Tr40断开。因此,输入端子IN和输出端子OUT之间的电流被断路而开关电路SW成为断开状态。另外,若开关电路SW断开,则对应的主MOS晶体管的栅极成为高阻抗。本实施方式中的开关电路SW中,为了使开关电路SW的断开动作可靠,在输出端子OUT和GND之间插入下拉电阻器R2。

[0054] 前述的恒流电路126是用于向主电路125供应固定的电流I3的电路。该恒流电路126能够采用用于赋予固定的电流的一般已知的电路,所以省略电路的详细的说明。

[0055] 接着,参照图4以及图5,说明感测MOS晶体管Tr20以及主MOS晶体管(Tr10~Tr15)的布局。为了方便,如图4所示,定义X方向、与X方向正交的Y方向、与由X方向和Y方向规定的XY平面正交的Z方向。这些NMOS晶体管在半导体基板300的表层中沿着XY平面形成。

[0056] 如图4所示,构成主MOS晶体管Tr10~Tr15以及感测MOS晶体管Tr20的NMOS晶体管是,单位MOS晶体管Tr16沿着X方向以及Y方向以 7×7 的栅格状排列而形成的LDMOS(横向扩散MOS)。在本实施方式中,49个单位MOS晶体管Tr16之中,1个相当于感测MOS晶体管Tr20,剩余的48个相当于主MOS晶体管(Tr10~Tr15)。另外,如图4所示,主MOS晶体管(Tr10~Tr15)分别由8个单位MOS晶体管Tr16构成。

[0057] 关于这些NMOS晶体管的布局,更详细地进行说明。图5是将图4所示的区域V扩大后的图。如图5所示,在各单位MOS晶体管Tr16中,分别由多个源极区域S和漏极区域D形成栅格状。在本实施方式中,以 4×4 的方式形成一个单元。并且,以包围形成一个单元的源极区域S以及漏极区域D的方式,形成栅极区域G。由该栅极区域G、和形成 4×4 的栅格的源极区域S以及漏极区域D,构成一个单位MOS晶体管Tr16。另外,感测MOS晶体管Tr20、主MOS晶体管(Tr10~Tr15)全部由相同的单位MOS晶体管Tr16构成。

[0058] 进而,如图5所示,单位MOS晶体管Tr16具有用于相互电性元件分离的沟槽400。沟槽400从半导体基板300的表层沿着Z方向形成,且以分别包围各单位MOS晶体管Tr16的方式形成。换言之,沟槽400以包围各单位MOS晶体管Tr16中的栅极区域G的方式形成为矩形框状。并且,在本实施方式中,在相邻的NMOS晶体管、例如X方向上相邻的单位MOS晶体管Tr16

之间形成的沟槽400的一边410共享双方的沟槽400。另外,在本实施方式中,在Y方向上相邻的单位MOS晶体管Tr16之间的沟槽400的一边不被共享。

[0059] 此外,如图5所示,本实施方式中的各单位MOS晶体管Tr16除了源极区域S、漏极区域D的一部分配置外,源极区域S的形状以及面积、漏极区域D的形状以及面积、栅极区域G的形状以及面积相互等价地形成。即,构成主MOS晶体管(Tr10~Tr15)以及感测MOS晶体管Tr20的单位MOS晶体管Tr16形成成为沟道长度L和沟道宽度W全部相同。

[0060] 接着,说明本实施方式所涉及的驱动装置100的作用效果。

[0061] 如图1所示,形成多个与感测MOS晶体管Tr20构成电流镜的主MOS晶体管(Tr10~Tr15),它们的有效/无效通过开关电路SW的导通断开控制而被控制。因此,通过切换被设为有效的主MOS晶体管(Tr10~Tr15)的数目,能够切换输出电流。

[0062] 此外,感测MOS晶体管Tr20的漏极电流通过参照电位Vref和基准电阻122的电阻值R而规定,该感测MOS晶体管Tr20通过电流镜规定主MOS晶体管(Tr10~Tr15)的漏极电流。因此,能够不依赖于向本申请所涉及的驱动装置100供应电力的电源电压Vcc、断侧电路120的输出电流的电流值而高精度地控制输出电流。进而,感测MOS晶体管Tr20的漏极电流不依赖于开关电路SW的导通断开而固定,因此能够不依赖于被设为有效的主MOS晶体管(Tr10~Tr15)的数目而高精度地控制输出电流。

[0063] 此外,为了驱动作为输出晶体管的主MOS晶体管(Tr10~Tr15)而向栅极的电压施加由运算放大器121的输出控制,所以与由参照电流控制的情况相比,能够提高开关速度。

[0064] 进而,感测MOS晶体管Tr20的漏极电流通过参照电位Vref和基准电阻122的电阻值R来规定,所以能够将感测MOS晶体管Tr20的漏极-源极间电压Vds保持得比阈值电压(所谓Vth)充分大。由此,能够减小基准电阻122的电阻值R,因此不用另行将基准电阻122的电阻器作为分立部件准备,而能够在与主MOS晶体管(Tr10~Tr15)、感测MOS晶体管Tr20相同的半导体基板300上集成化。

[0065] 进而,如图5所示,使构成各NMOS晶体管(Tr20、Tr10~Tr15)的单位MOS晶体管Tr16相互元件分离的沟槽400在相邻的单位MOS晶体管Tr16之间一部分被共享。在本实施方式中,在X方向上相邻的单位MOS晶体管Tr16中,矩形框状的沟槽400的一边410被共享。从而,与沟槽400没有被共享的结构相比,能够减小X方向的布局面积。

[0066] 此外,如图5所示,主MOS晶体管(Tr10~Tr15)以及感测MOS晶体管Tr20形成成为构成它们的单位MOS晶体管Tr16沟道长度L和沟道宽度W全部相同。各单位MOS晶体管Tr16全部等价地形成,因此驱动装置100的制造变得容易,也能够使漏极电流相对于向栅极施加的电压的特性均匀化。此外,如图4所示,能够将单位MOS晶体管Tr16配置为栅格状,所以能够减小NMOS晶体管相对于半导体基板300的表层面积所占的比例。即,能够减小布局面积。

[0067] (变形例1)

[0068] 除了上述的实施方式中的结构外,在本变形例中,如图6所示,驱动装置100具备电流检测部150。此外,参照电源123中,参照电位Vref成为可变。另外,在图6中,省略通侧电路110、各NMOS晶体管(Tr10~Tr15、Tr20)、开关电路SW、基准电阻122、dV/dt检测电路130以及延迟电路140的图示。

[0069] 电流检测部150是检测IGBT200的集电极电流并在过电流时进行保护的电路。该电流检测部150具有:比较器151;向比较器151的一方的输入端子赋予成为阈值的电压的电压

源152;以及用于将IGBT200的集电极电流转换为电压的电阻器R3。

[0070] 如前述那样,在比较器151的一方的输入端子A上连接有电压源152。并且,另一方的输入端子B连接在IGBT200的感测发射极端子SE与电阻器R3的中间点上,该电阻器R3连接在该感测发射极端子SE与GND之间。即,向比较器151中的输入端子B施加与从IGBT200的感测发射极端子SE向GND流过的电流和电阻器R3的电阻值对应的电压。向输入端子B施加的电压与从感测发射极端子SE向GND流过的电流成比例。也就是说,IGBT200的集电极电流变得越大则该电压越成为高电压。

[0071] 比较器151在与流过感测发射极端子SE的电流对应的电压超过了电压源152的电压的情况、即集电极电流超过了规定的阈值的情况下,针对参照电源123进行控制以增大参照电位Vref。

[0072] 据此,在IGBT200中流有过度的集电极电流(过电流)的情况下,通过增大参照电位Vref,从而感测MOS晶体管Tr20的漏极电流变小。因此,断侧电路120的驱动能力被抑制,能够将IGBT200平缓地断开。从而,在过电流产生时,能够抑制浪涌电压,能够保护IGBT200。

[0073] (第二实施方式)

[0074] 在上述的实施方式中,示出了在断侧电路120中能够进行基于IGBT200的温度的控制的例子,但这关于通侧电路110也能够应用。

[0075] 具体而言,如图7所示,通侧电路110具有多个PMOS晶体管(Tr50~Tr55、Tr60)。这些PMOS晶体管由作为输出晶体管的主MOS晶体管(Tr50~Tr55)、和规定主MOS晶体管的漏极电流的感测MOS晶体管Tr60构成。在本实施方式中,六个主MOS晶体管(Tr50~Tr55)相对于感测MOS晶体管Tr60构成电流镜。具体而言,各主MOS晶体管(Tr50~Tr55)的栅极被设为与感测MOS晶体管Tr60的栅极共通,漏极共通而与电源Vcc连接。各主MOS晶体管(Tr50~Tr55)的源极与IGBT200的栅极连接。

[0076] 此外,通侧电路110具有:用于对感测MOS晶体管Tr60的漏极电流进行控制的运算放大器111;用于规定该运算放大器111的输出的基准电阻112;以及向该运算放大器111的一个输入端子赋予参照电位Vref的参照电源113。运算放大器111若从未图示的微机等被输入表示使IGBT200导通的控制信号,则向感测MOS晶体管Tr60的栅极施加电压,从而向IGBT200的栅极供应固定电流。

[0077] 进而,通侧电路110具有用于切换向IGBT200的栅极供应的电流的电流值、即驱动能力的开关电路(SW6~SW10)。该开关电路(SW6~SW10)与六个主MOS晶体管(Tr50~Tr55)之中五个主MOS晶体管(Tr51~Tr55)的栅极分别连接。这些开关电路(SW6~SW10)与第一实施方式所述的开关电路SW等价,其电路结构能够采用图3所示的电路结构。

[0078] 作为本实施方式中的结构要素的主MOS晶体管(Tr50~Tr55)、感测MOS晶体管Tr60、运算放大器111、基准电阻112、参照电源113、以及开关电路(SW6~SW10)分别是相当于第一实施方式中的主MOS晶体管(Tr10~Tr15)、感测MOS晶体管Tr20、运算放大器121、基准电阻122、参照电源123、以及开关电路(SW1~SW5)的要素。因此,各结构要素的动作以及作用效果与第一实施方式及其变形例相对应。即,能够高精度地控制通侧电路110的输出电流,此外,与通过参照电流来控制的情况相比,能够提高开关速度。

[0079] 另外,本实施方式中的参照电位Vref不需要必须与第一实施方式中的参照电位Vref一致。

[0080] (第三实施方式)

[0081] 感测电流控制电路SC不限于由运算放大器111、121和基准电阻112、122以及参照电源113、123构成的电路。

[0082] 在上述的各实施方式中的感测电流控制电路SC中,构成为进行反馈控制以成为通过基准电阻112、122的电阻值R和参照电源113、123的参照电位 V_{ref} 规定的电流值。相对于此,本实施方式中的感测电流控制电路SC成为不进行反馈控制的结构。

[0083] 具体而言,本实施方式中的断侧电路160的感测电流控制电路SC如图8所示那样具有:输出端子连接在感测MOS晶体管Tr20的栅极上的运算放大器161;以及向运算放大器161的一方的输入端子施加规定的电压的参照电源162。运算放大器161的输出被负反馈到另一方的输入端子,由参照电源162规定的电压被施加给感测MOS晶体管Tr20。在这样的结构中,通过切换被设为有效的主MOS晶体管(Tr10~Tr15)的数目,能够切换输出电流。另外,与本实施方式相比采用了第一以及第二实施方式那样的感测电流控制电路SC能够更高精度地维持感测MOS晶体管Tr20的漏极电流,但在驱动不需要高精度的负载500的情况下,通过采用本实施方式所涉及的感测电流控制电路SC,能够降低部件件数、制造成本。

[0084] (变形例2)

[0085] 为了高精度地控制第三实施方式中的感测电流控制电路SC向感测MOS晶体管Tr20以及主MOS晶体管(Tr10~Tr15)供应的栅极电流,能够如图9所示那样采用 V_{ds} 调整电路163。

[0086] 本变形例中的 V_{ds} 调整电路163例如是威尔逊(Wilson)型的电流镜电路,两个电流路径与感测MOS晶体管Tr20以及主MOS晶体管(Tr10~Tr15)的漏极分别连接。由此,各NMOS晶体管的漏极-源极间电压 V_{ds} 被调整为固定,所以能够更高精度地控制各NMOS晶体管的漏极电流。

[0087] (变形例3)

[0088] 感测MOS晶体管Tr20以及主MOS晶体管(Tr10~Tr15)的阈值电压、电荷的移动度一般来说具有温度特性,因此存在IGBT200的栅极电压与温度的变化一起变化的顾虑。在本变形例中,为了将其抑制,作为感测电流控制电路SC,采用使第三实施方式以及变形例2所示的参照电源162具有适当的温度特性而成的结构。

[0089] 具体而言,本实施方式中的断侧电路160的感测电流控制电路SC如图10所示那样具有:运算放大器161;将规定的电流供应给运算放大器161的一方的输入端子的电流源P2;以及相对于运算放大器161与电流源P2并联连接的感温元件164。本变形例中的感温元件164例如是感温二极管。各NMOS晶体管的阈值电压、电荷的移动度一般来说具有负的温度特性,此外,感温二极管的电压下降量(V_f)也具有负的温度特性。因此,如图10所示,在运算放大器161的同相输入端子上连接电流源P2以及感温二极管,使运算放大器161的输出负反馈到反相输入端子。由此,能够与驱动装置100的温度上升配合地使感测MOS晶体管Tr20以及主MOS晶体管(Tr10~Tr15)的栅极电压降低。即,能够抑制温度导致的IGBT200的栅极电压的变化。另外,作为感温元件164,不限于感温二极管。

[0090] (其他实施方式)

[0091] 以上,说明了本申请的优选的实施方式,但本申请完全没有被上述的实施方式限制,能够在不脱离本申请的主旨的范围内,进行各种变形而实施。

[0092] 在上述的实施方式以及变形例中,作为功率开关元件而例示了IGBT200,但不限于该例。例如,作为功率开关元件,关于功率MOS晶体管等也能够应用本申请。

[0093] 此外,作为开关电路SW,例示了如图3所示的电路结构,但不限于于此。即,只要能够基于延迟电路140的输出来控制输入端子IN和输出端子OUT间的电流的通电以及断路即可。

[0094] 此外,在上述的实施方式以及变形例中,示出驱动装置100具有一个感测MOS晶体管Tr20的例子,但也可以形成多个感测MOS晶体管Tr20。在该情况下,形成多个与各感测MOS晶体管分别对应的主MOS晶体管。此外,关于主MOS晶体管的数目,不限于于上述例子。

[0095] 进而,在上述的实施方式以及变形例中,示出了构成感测MOS晶体管Tr20的单位MOS晶体管Tr16为1个的例子,但该数目没有被限定。此外,示出了构成主MOS晶体管(Tr10~Tr15)的单位MOS晶体管Tr16为8个的例子,但该数目没有被限定。

[0096] 上述的第三实施方式、变形例2以及变形例3的说明针对断侧电路记载了感测电流控制电路SC的变形,但还能够应用于通侧电路110。

[0097] 本申请遵照实施例而记述,但应该理解本申请不限于该实施例、构造。本申请还包含各种变形例、等同范围内的变形。此外,各种组合、方式、进而在它们中包含仅一要素、这以上、或这以下的其他组合、方式也落入本申请的范畴和思想范围内。

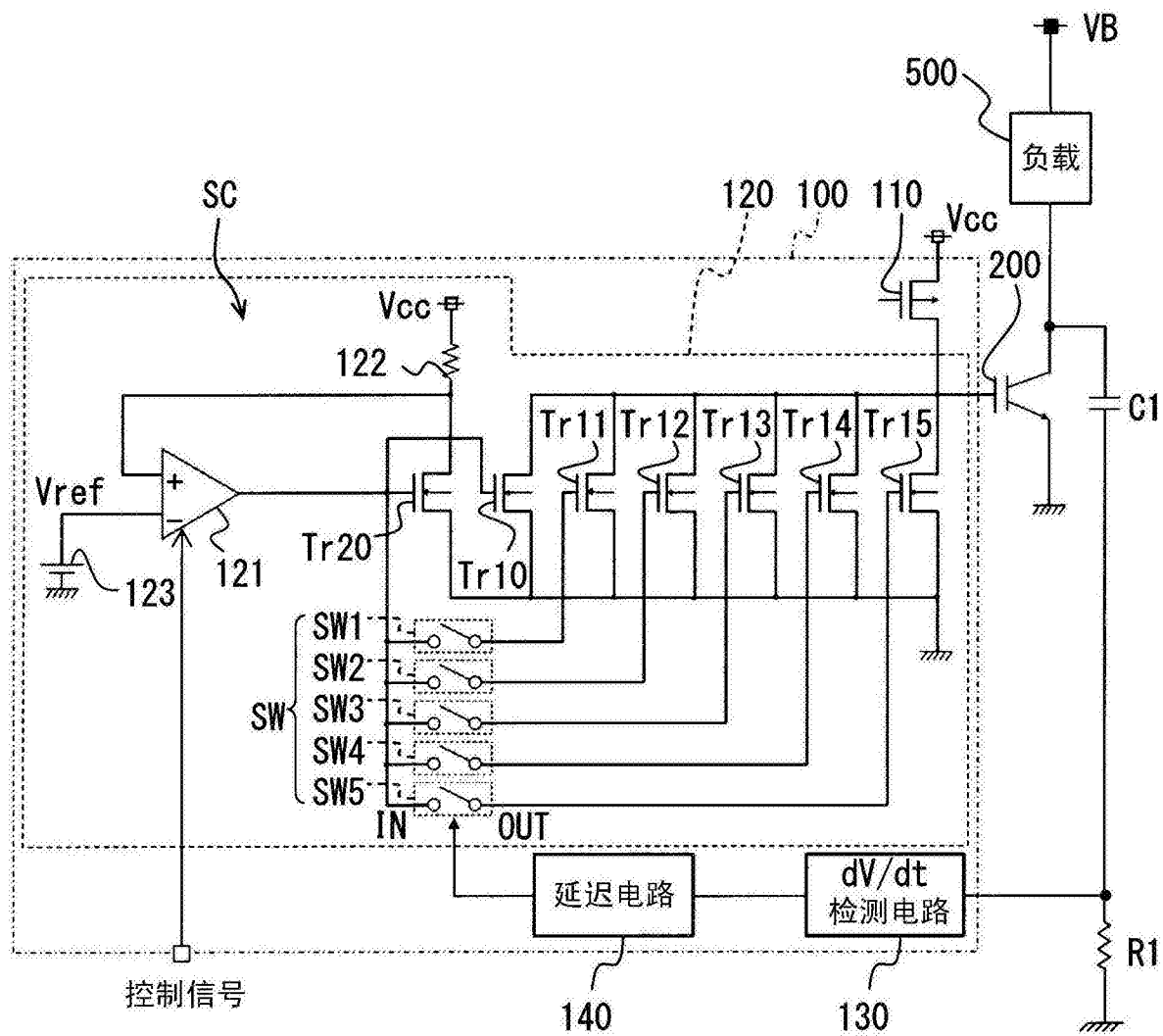


图1

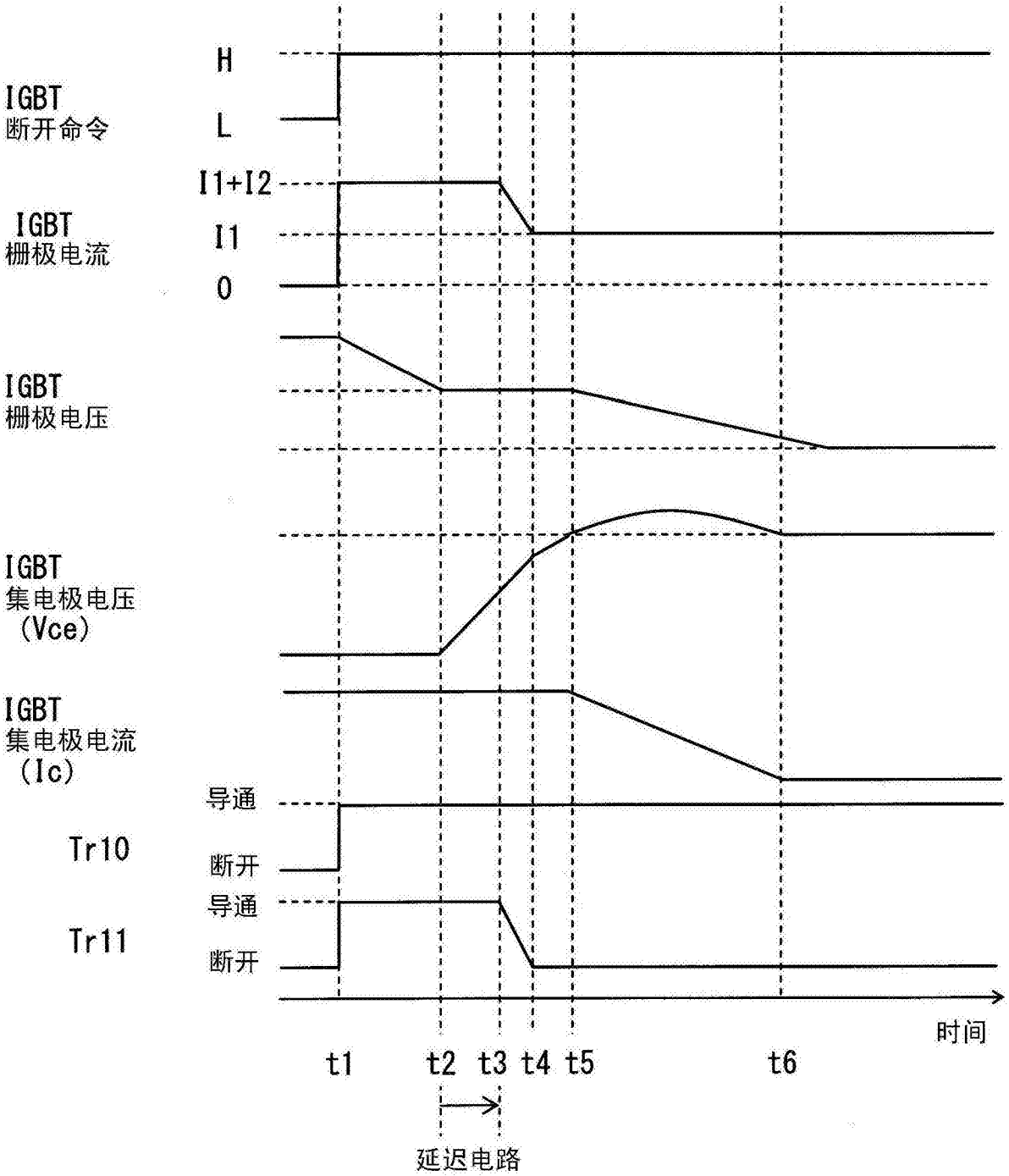


图2

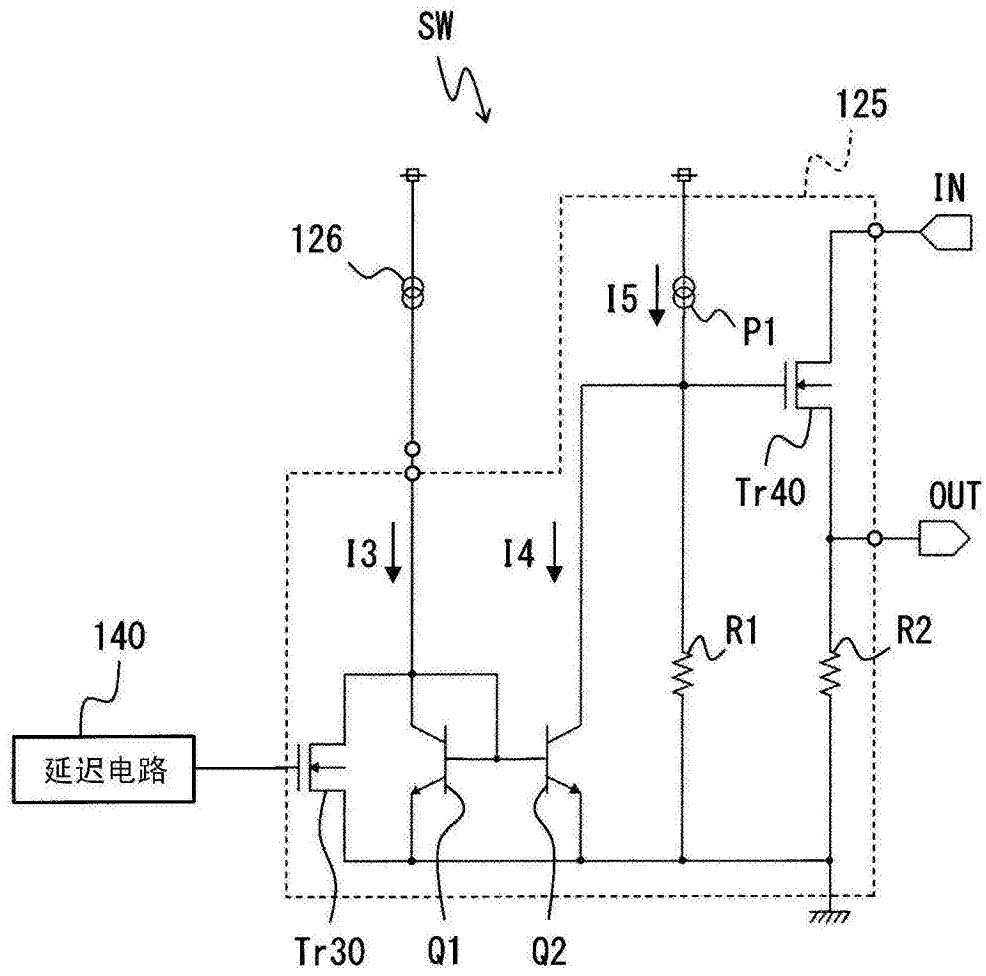


图3

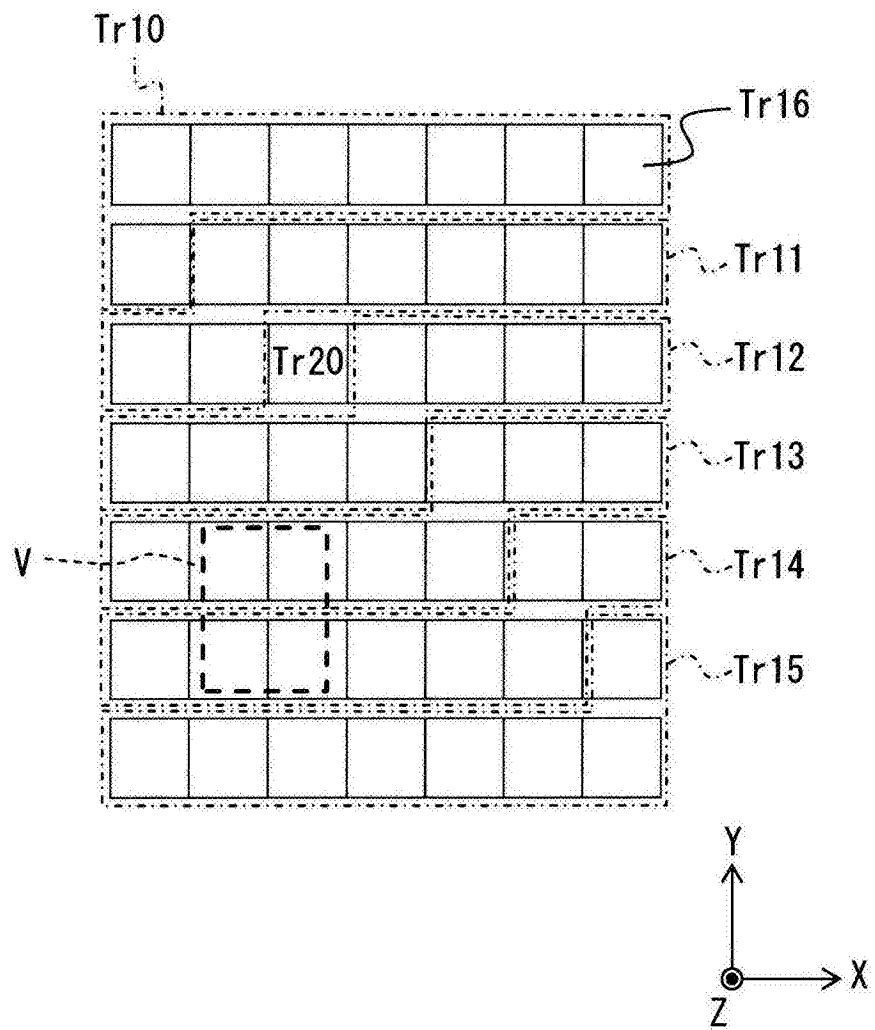


图4

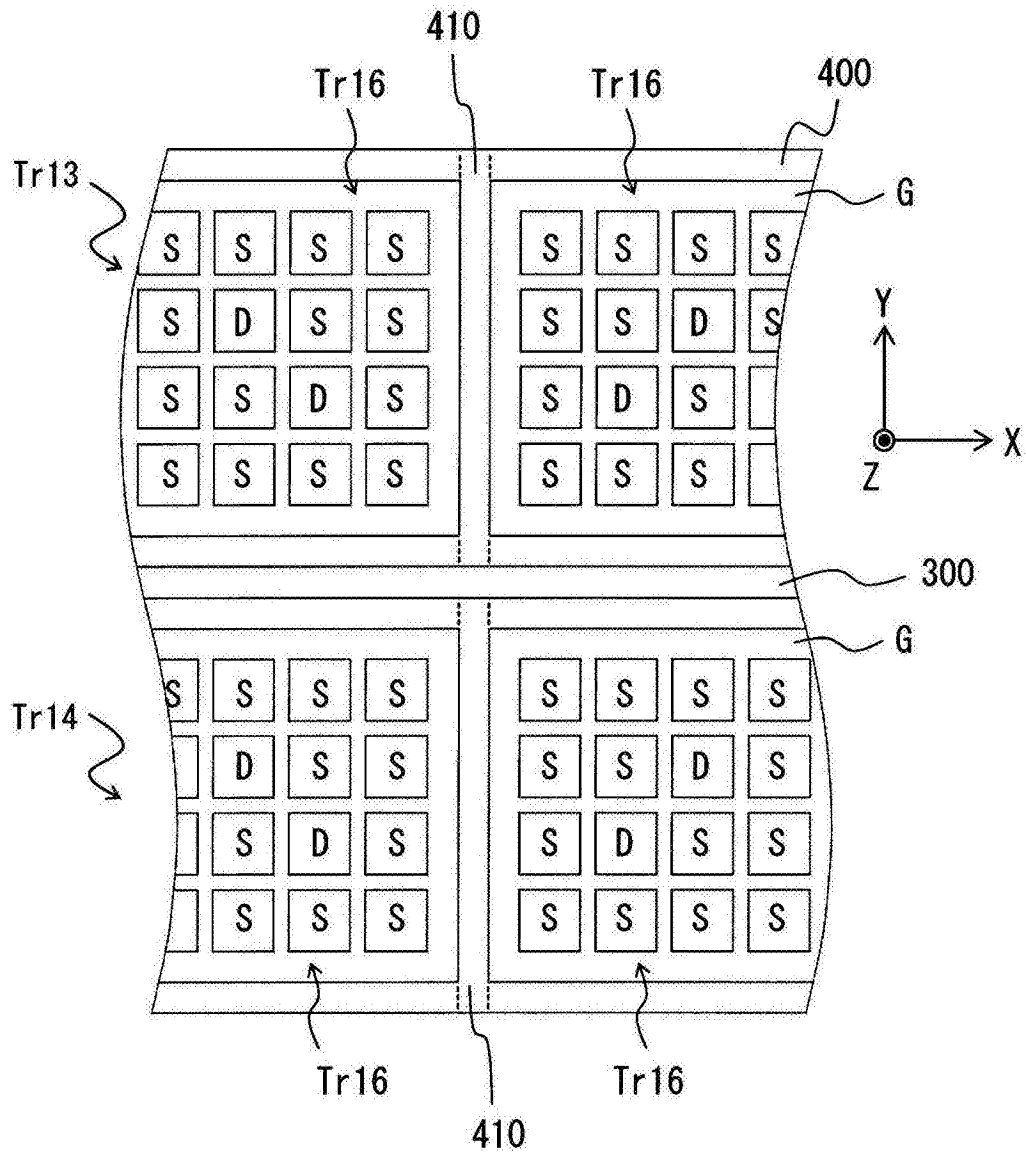


图5

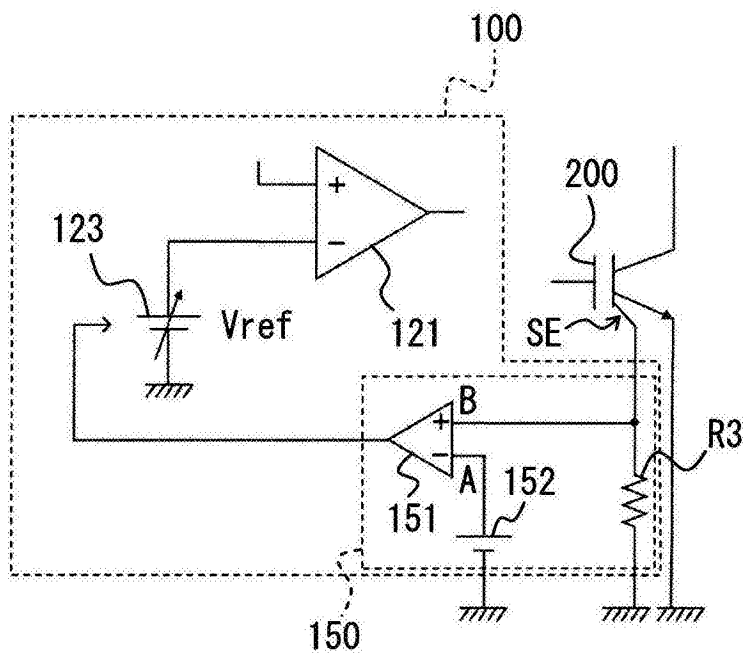


图6

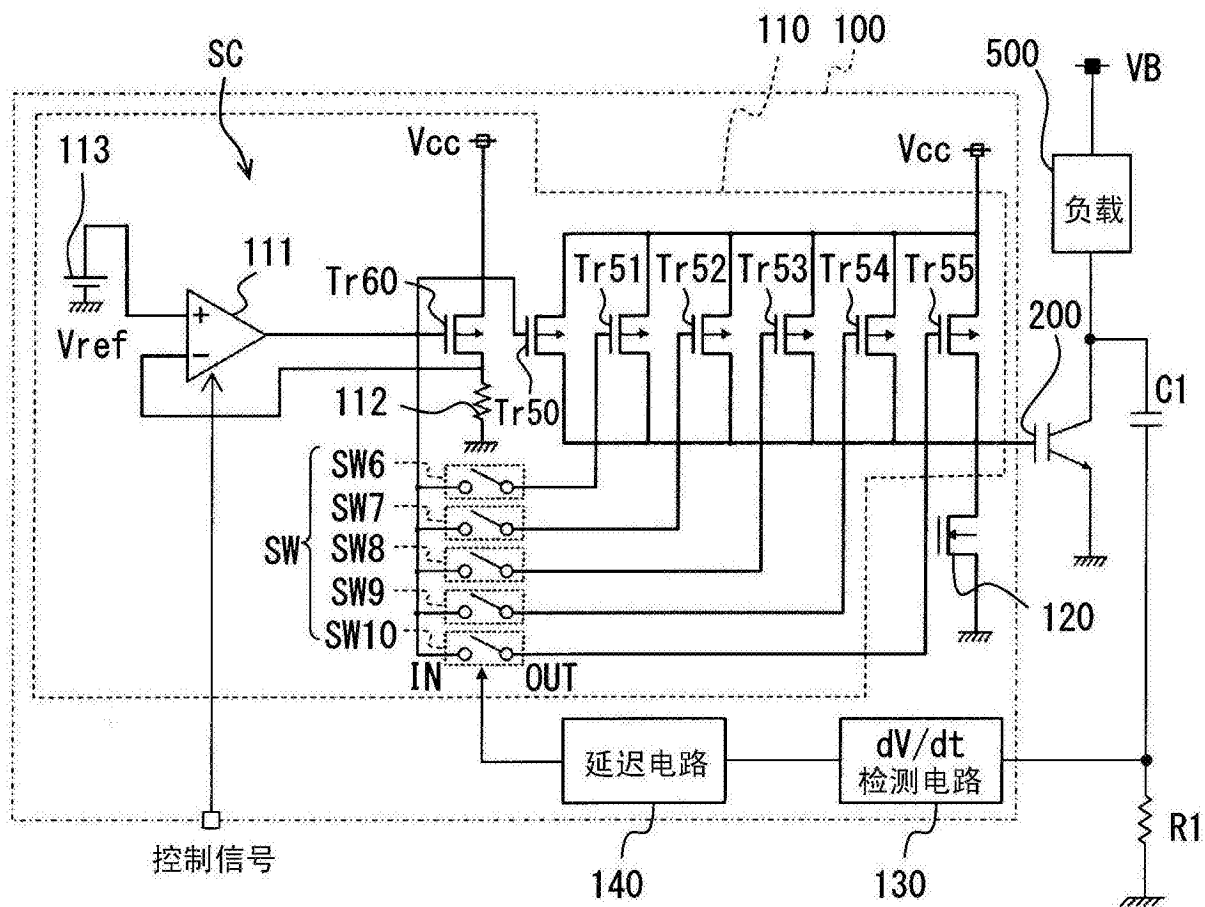


图7

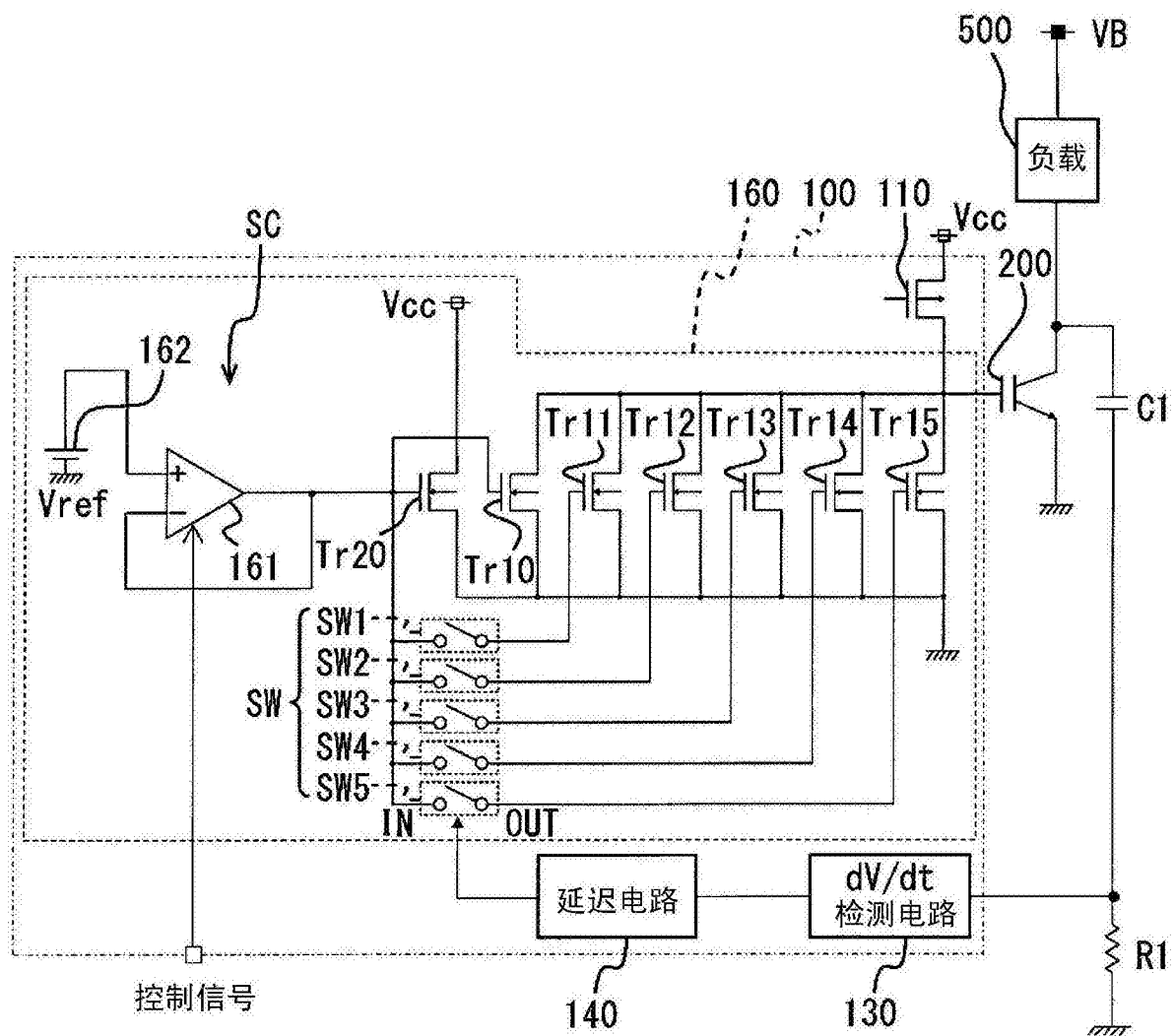


图8

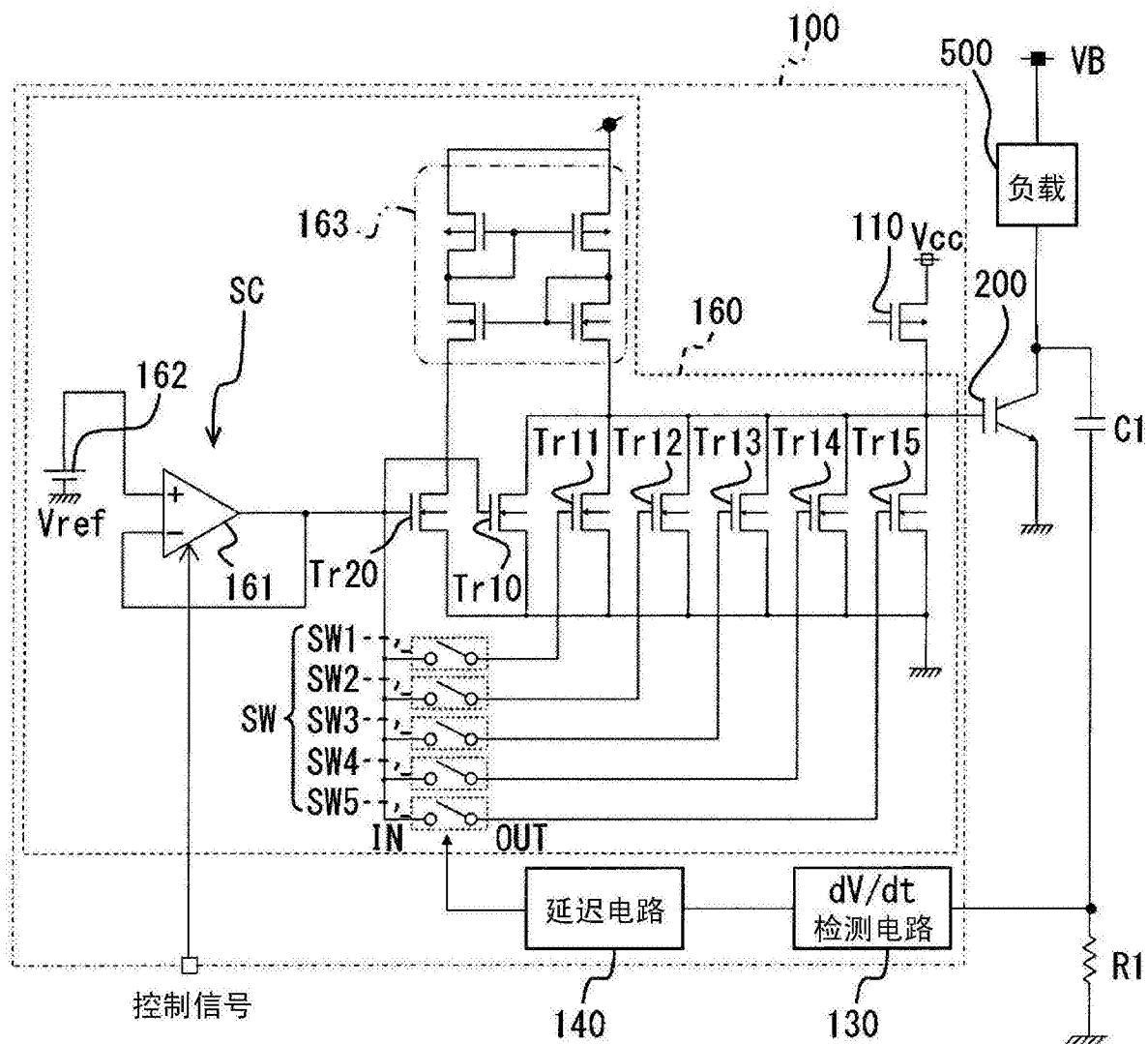


图9

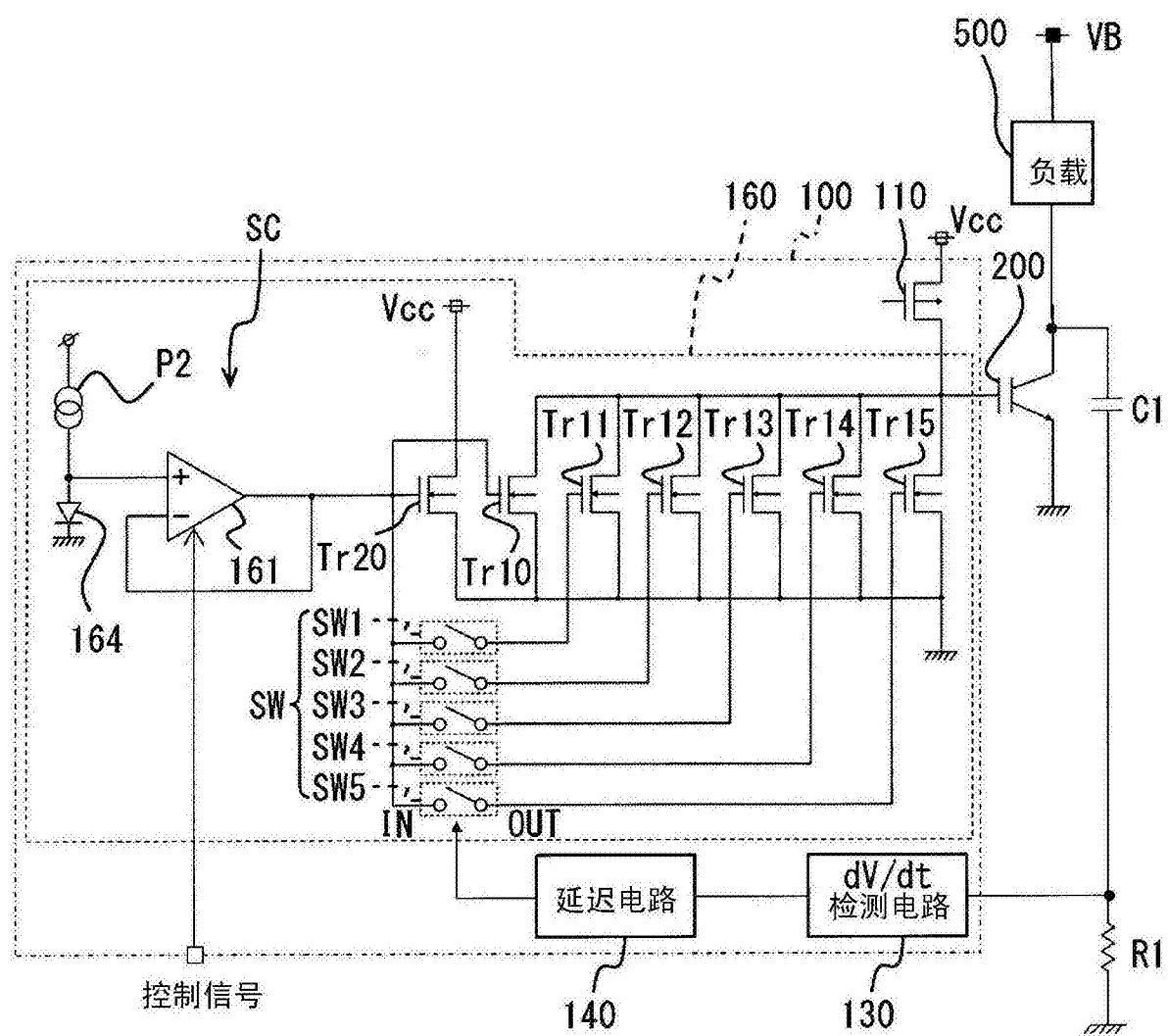


图 10