



(19) 대한민국특허청(KR)  
 (12) 등록특허공보(B1)

(45) 공고일자 2007년11월16일  
 (11) 등록번호 10-0776606  
 (24) 등록일자 2007년11월08일

(51) Int. Cl.

*G11C 11/34* (2006.01)

(21) 출원번호 10-2001-0069362  
 (22) 출원일자 2001년11월08일  
 심사청구일자 2005년12월30일  
 (65) 공개번호 10-2002-0077020  
 공개일자 2002년10월11일

(30) 우선권주장

JP-P-2001-00096380 2001년03월29일 일본(JP)

(56) 선행기술조사문현

JP06044779 A

JP07065573 A

전체 청구항 수 : 총 10 항

(54) 반도체 기억 장치

(73) 특허권자

후지쯔 가부시키가이샤

일본국 가나가와Ken 가와사키시 나카하라구 가미고  
다나카 4초메 1-1

(72) 발명자

가토요시하루

일본아이치켄가스가이시고조지초2-1844-2후지쓰브  
이엘에스아이가부시키가이샤나이

가와모토사토루

일본아이치켄가스가이시고조지초2-1844-2후지쓰브  
이엘에스아이가부시키가이샤나이

(74) 대리인

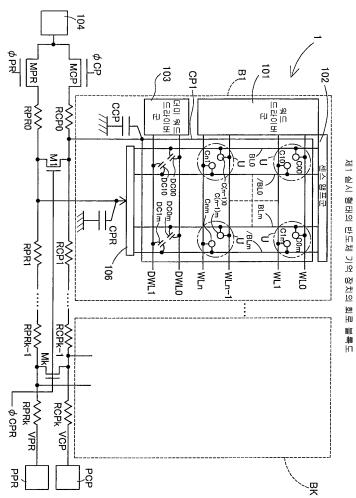
김태홍, 송승필

심사관 : 이선택

**(57) 요 약**

본 발명은 전원 투입시에 있어서, 모든 셀 커패시터의 전하 축적 노드에는 축적 전하가 존재하지 않는 상태로부터 액세스 동작으로 진행하는 경우에 있어서도, 셀 플레이트 전위가 변동하지 않는 반도체 기억 장치를 제공하는 것을 목적으로 한다.

기준 전압 발생 회로(104)로부터의 기준 전압(VPR, VCP)의 공급선인 VPR선, VCP선에 대해서, 각 셀 블록(B1 내지 Bk)마다 양 선을 접속하는 NMOS 트랜지스터(M1 내지 Mk)를 구비한다. NMOS 트랜지스터(M1 내지 Mk)의 게이트 단자는 공통으로 신호( $\phi_{CPR}$ )에 접속된다. 여기서,  $\phi_{CPR}$ 은 전원 투입후의 사전 결정된 시간에 플러스의 논리 레벨을 출력하는 신호이다. 각 셀 블록(B1 내지 Bk)마다 VPR선과 VCP선을 단락하는 NMOS 트랜지스터(M1 내지 Mk)를 구비함으로써, 전원 투입시에 양 배선이 각 셀 블록(B1 내지 Bk)마다 분로(shunt)된다.

**대표도 - 도1**

## 특허청구의 범위

### 청구항 1

용량 소자에 전하를 축적함으로써 데이터를 기억하는 복수의 기억 셀을 구비하고, 상기 각 용량 소자의 제1 단자를 복수의 상기 기억 셀 사이에서 공통으로 접속하여 기준 단자로 하는 동시에, 상기 각 용량 소자의 제2 단자로의 전하의 주입·방출에 의해 상기 전하의 축적을 행하는 반도체 기억 장치에 있어서,

상기 기준 단자에 접속되고, 상기 각 용량 소자의 제2 단자로의 전하의 주입·방출시에 상기 각 용량 소자에 의해 용량 결합되어 주입되는 전하에 따라 상기 기준 단자의 전위 변동을 억제하는 전위 변동 억제 용량 소자와;

상기 기준 단자와 상기 전위 변동 억제 용량 소자를 접속하는 용량 접속 스위치 소자와;

전원 전압의 투입을 검지하는 전원 검지 회로

를 구비하고,

상기 전원 검지 회로에 의한 검지에 기초하여 생성되는 사전 결정된 펄스폭의 펄스 신호에 의해 계시(計時)되는 사전 결정된 기간, 상기 용량 접속 스위치 소자를 도통하여 상기 기준 단자와 상기 전위 변동 억제 용량 소자를 전기적으로 접속하는 것을 특징으로 하는 반도체 기억 장치.

### 청구항 2

제1항에 있어서, 상기 각 용량 소자의 제2 단자로의 전하의 주입·방출 경로로서 사전 결정된 수의 상기 기억 셀마다 설치되는 복수의 데이터선과,

상기 각 데이터선에 기준 전압을 공급하는 제1 배선과,

상기 기준 단자에 기준 전압을 공급하는 제2 배선과,

상기 제1 배선과 상기 제2 배선을 접속하는 배선 접속 스위치 소자와,

전원 전압의 투입을 검지하는 전원 검지 회로를 구비하고,

상기 전원 검지 회로로부터의 신호에 기초하여 상기 배선 접속 스위치 소자를 접속 제어하는 것을 특징으로 하는 반도체 기억 장치.

### 청구항 3

용량 소자에 전하를 축적함으로써 데이터를 기억하는 복수의 기억 셀을 구비하고, 상기 각 용량 소자의 제1 단자를 복수의 상기 기억 셀 사이에서 공통으로 접속하여 기준 단자로 하는 동시에, 상기 각 용량 소자의 제2 단자로의 전하의 주입·방출에 의해 상기 전하의 축적을 행하는 반도체 기억 장치에 있어서,

상기 기준 단자에 공급해야 할 기준 전압값 신호를 생성하는 기준 전압 발생부와;

복수의 상기 기억 셀 중 사전 결정된 수의 상기 기억 셀마다 배치되며, 상기 기준 전압값 신호를 수신하여, 기준 전압을 사전 결정된 수의 상기 기억 셀에 있어서 상기 기준 단자의 대응 부분에 공급하는 복수의 기준 전압 구동부

를 구비하는 것을 특징으로 하는 반도체 기억 장치.

### 청구항 4

용량 소자에 전하를 축적함으로써 데이터를 기억하는 복수의 기억 셀을 구비하고, 상기 각 용량 소자의 제1 단자를 복수의 상기 기억 셀 사이에서 공통으로 접속하여 기준 단자로 하는 동시에, 상기 각 용량 소자의 제2 단자로의 전하의 주입·방출에 의해 상기 전하의 축적을 행하는 반도체 기억 장치에 있어서,

전원 전압의 투입을 검지하는 전원 검지 회로를 구비하며,

상기 전원 검지 회로로부터의 신호에 기초하여 전하가 주입되는 상기 용량 소자의 제2 단자를 갖는 상기 기억 셀과, 전하가 방출되는 상기 용량 소자의 제2 단자를 갖는 상기 기억 셀이 같은 수인 것을 특징으로 하는 반도체 기억 장치.

## 청구항 5

제4항에 있어서, 상기 각 용량 소자의 제2 단자로의 전하의 주입 · 방출 경로로서 사전 결정된 수의 상기 기억 셀마다 설치되는 복수의 데이터선과,

상기 각 데이터선을 2개로 한 쌍의 데이터선 쌍으로서 접속하여 상기 데이터선 쌍의 전위차를 차동 증폭하는 복수의 센스 앰프 회로와,

상기 각 데이터선과 상기 각 용량 소자의 제2 단자를 전기적으로 접속하는 복수의 선택선을 구비하고,

상기 전원 검지 회로로부터의 신호에 기초하여, 선택되는 사전 결정된 수의 상기 선택선에 의해, 사전 결정된 수의 상기 데이터선 쌍을 구성하는 상기 각 데이터선의 각각에, 같은 수의 상기 용량 소자의 제2 단자를 전기적으로 접속하는 것을 특징으로 하는 반도체 기억 장치.

## 청구항 6

제4항에 있어서, 상기 각 용량 소자의 제2 단자로의 전하의 주입 · 방출 경로로서 사전 결정된 수의 상기 기억 셀마다 설치되는 복수의 데이터선과,

상기 각 데이터선과 상기 각 용량 소자의 제2 단자를 전기적으로 접속하는 복수의 선택선과,

상기 각 용량 소자의 제2 단자로부터 축적 전하가 상기 각 데이터선으로 방출되었을 때, 상기 각 데이터선에 전하를 추가로 보충하는 복수의 더미 선택선과,

상기 각 더미 선택선의 논리 레벨을 선택적으로 반전하는 반전 선택 회로를 구비하고,

상기 전원 검지 회로로부터의 신호에 기초하여 선택되는 사전 결정된 수의 상기 선택선 및 상기 더미 선택선에 의해 사전 결정된 수의 상기 용량 소자의 제2 단자에 전하를 주입 · 방출할 때, 상기 각 더미 선택선 중 절반을 상기 반전 선택 회로에 의해 논리적으로 반전하는 것을 특징으로 하는 반도체 기억 장치.

## 청구항 7

제4항 내지 제6항 중 어느 한 항에 있어서, 상기 복수의 기억 셀 중 사전 결정된 수의 기억 셀을 일 단위로서 통합한 복수 개의 셀 블록을 구비하고,

상기 전원 검지 회로로부터의 신호에 기초한 상기 동작은 상기 각 셀 블록 단위로 행해지는 것을 특징으로 하는 반도체 기억 장치.

## 청구항 8

용량 소자에 전하를 축적함으로써 데이터를 기억하는 복수의 기억 셀을 구비하고, 상기 각 용량 소자의 제1 단자를 복수의 상기 기억 셀 사이에서 공통으로 접속하여 기준 단자로 하는 동시에, 상기 각 용량 소자의 제2 단자로의 전하의 주입 · 방출에 의해 상기 전하의 축적을 행하는 반도체 기억 장치에 있어서,

상기 각 용량 소자의 제2 단자로의 전하의 주입 · 방출 경로로서 사전 결정된 수의 상기 기억 셀마다 설치되는 복수의 데이터선과;

상기 각 데이터선에 기준 전압을 공급하는 제1 배선과;

상기 기준 단자에 기준 전압을 공급하는 제2 배선과;

상기 제1 배선 또는 상기 제2 배선과 사전 결정된 전압 사이에 설치된 클램프 스위치 소자와;

상기 각 데이터선과 상기 각 용량 소자의 제2 단자를 전기적으로 접속하는 복수의 선택선과;

전원 전압의 투입을 검지하는 전원 검지 회로

를 구비하고,

상기 전원 검지 회로로부터의 신호에 기초하여,

상기 클램프 스위치 소자를 제어하여 상기 제1 배선 또는 상기 제2 배선을 상기 사전 결정된 전압으로 고정하며,

사전 결정된 수의 상기 선택선을 선택하여 상기 각 용량 소자의 제2 단자를 설정 전압으로 설정하고,

사전 결정된 수의 상기 선택선을 추가로 비선택으로 한 후, 상기 클램프 스위치 소자를 제어하여 상기 제1 배선 또는 상기 제2 배선으로부터 사전 결정된 전위를 분리하며, 상기 기준 전압을 공급하는 것을 특징으로 하는 반도체 기억 장치.

### 청구항 9

제8항에 있어서, 상기 사전 결정된 전압은 상기 용량 소자의 제2 단자에 있어서의 하이 레벨 전압 또는 로우 레벨 전압이고,

상기 기준 전압은 상기 하이 레벨 전압과 상기 로우 레벨 전압과의 산술 평균 전압이며,

상기 제1 배선이 상기 사전 결정된 전압으로 고정되는 경우, 상기 설정 전압은 상기 사전 결정된 전압이고, 사전 결정된 수의 상기 선택선을 비선택으로 한 후에도 상기 각 용량 소자의 제2 단자는 상기 설정 전압을 유지하며,

상기 제2 배선이 상기 사전 결정된 전압 중 상기 하이 레벨 전압 또는 상기 로우 레벨 전압의 한쪽 전압으로 고정되는 경우, 상기 설정 전압은 상기 기준 전압이 되고, 사전 결정된 수의 상기 선택선을 비선택으로 한 후, 상기 제2 배선이 상기 기준 전압이 될 때, 상기 기준 단자로부터의 용량 결합에 의해 상기 각 용량 소자의 제2 단자는 상기 사전 결정된 전압 중 상기 하이 레벨 전압 또는 상기 로우 레벨 전압의 다른 쪽 전압이 되는 것을 특징으로 하는 반도체 기억 장치.

### 청구항 10

용량 소자에 전하를 축적함으로써 데이터를 기억하는 복수의 기억 셀을 구비하고, 상기 각 용량 소자의 제1 단자를 공통으로 접속하여 기준 단자로 하는 동시에, 상기 각 용량 소자의 제2 단자로의 전하의 주입·방출에 의해 상기 전하의 축적을 행하며, 상기 축적 전하를 셀프 리프레시하는 리프레시 제어 회로를 추가로 구비하는 반도체 기억 장치에 있어서,

전원 전압의 투입을 검지하는 전원 검지 회로를 구비하고,

메모리 셀로의 데이터 기록 전에,

상기 전원 검지 회로로부터의 신호에 기초하여 상기 리프레시 제어 회로를 기동할 때, 상기 리프레시 제어 회로는 정상시의 셀프 리프레시 동작과는 상이한 주기로 동작하는 것을 특징으로 하는 반도체 기억 장치.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

<44> 본 발명은 반도체 기억 장치의 메모리 셀에 있어서의 데이터 기억에 관한 것으로, 특히 메모리 셀에 전하 축적 용 셀 커패시터를 구비하고, 전하의 축적에 의해 데이터 기억을 행하는 반도체 기억 장치에 있어서의 전하 유지에 관한 것이다.

<45> 종래부터, 메모리 셀에 전하 축적용 셀 커패시터를 구비하는 반도체 기억 장치의 대표예로서 랜덤 액세스 메모리(이하, DRAM)가 사용되고 있다. 도 15는 종래 기술의 반도체 기억 장치로서 DRAM(1000)을 예로 한 회로 블록 도이다. DRAM(1000) 등의 반도체 기억 장치에서는, 매트릭스형으로 배치된 메모리 셀(C00 내지 Cnm)을 복수의 셀 블록(B1 내지 Bk)으로 분할하여 구성되어 있다. 각 셀 블록(B1 내지 Bk)은 동일한 구성을 갖고 있다. 이하의 설명에서는 셀 블록(B1)을 대표로 하여 설명한다. 매트릭스형으로 배치된 메모리 셀(C00 내지 Cnm)은 행 어드레스마다 메모리 셀(C00 내지 Cnm)을 선택하는 워드선(WL0, WL1 내지 WL<sub>n-1</sub>, WL<sub>n</sub>)이 접속되어 있다. 선택된 메모리 셀(C00 내지 Cnm)로부터의 축적 전하는 데이터 전송로인 비트선(BL0, /BL0 내지 BL<sub>m</sub>, /BL<sub>m</sub>)으로 독출된다. 비트선(BL0, /BL0 내지 BL<sub>m</sub>, /BL<sub>m</sub>)은 센스 앰프군(102)에 구비되는 센스 앰프 회로(도시되지 않음)에 접속되어 있고, 독출된 축적 전하는 한 쌍의 비트선 쌍으로 차동 증폭된다. 최근의 대용량 DRAM(1000)에 있어서는, 센스

앰프 회로는 접지 전위(GND)와 내부 강압 전원에 의해 강압된 전원(Viic) 사이에서 구성되는 것이 일반적이다.

<46> 비트선 쌍(BL0, /BL0 내지 BLm, /BLm)에 대응하는 메모리 셀(C00 내지 Cnm)은 쌍을 이루며 메모리 셀 유닛(U)을 구성한다(도 17 참조). 각 비트선 쌍(BL0, /BL0 내지 BLm, /BLm)마다 센스 앤프 회로가 구비된다. 워드선(WL0 내지 WLn)을 구동하는 드라이버는 워드 드라이버군(101)으로서 행 어드레스마다 구성된다.

<47> 또한, 비트선(BL0 내지 /BLm)에는 워드선(WL0 내지 WLn)에 의해 선택된 메모리 셀(C00 내지 Cnm)이 유지하는 축적 전하가 독출되고, 센스 앤프 회로에 의해 차동 증폭되어 데이터로서 독출되며, 또는 메모리 셀(C00 내지 Cnm)로의 축적 전하의 리프레시를 행한다. 따라서, 액세스 사이클마다 비트선 쌍(BL0, /BL0 내지 BLm, /BLm)의 리셋(이하, 이퀄라이즈라고 기재함)을 행하고, 다음 액세스에 대비할 필요가 있다. 그래서 하나의 액세스 종료 시(이하, 프리차지시라고 기재함)에 비트선 이퀄라이즈군(106)에 의해 이퀄라이즈를 행한다.

<48> 이퀄라이즈시에는 셀 블록(B1)에 속하는 모든 비트선(BL0 내지 /BLm)은 비트선 이퀄라이즈군(106)내에 구비되어 있는 도시하지 않은 트랜지스터에 의해 서로 쇼트된다. 그리고 기준 전압 발생 회로(104)에 의해 기준 전압(VPR)으로 이퀄라이즈된다. 내부 강압 전압(Viic)에 의해 차동 증폭된 비트선 쌍을 이퀄라이즈하기 때문에 이 때의 비트선의 전압은  $1/2 \cdot Viic$ 가 되고, 기준 전압(VPR)도  $1/2 \cdot Viic$ 로 설정된다. 여기서 셀 블록(B1)에는 다수의 비트선(BL0 내지 /BLm)이 존재하기 때문에 이퀄라이즈시에 각 비트선이 갖는 기생 용량의 총합은 유의한 값의 용량값을 갖게 된다. 이 비트선 기생 용량의 총합을 비트선 이퀄라이즈 용량(CPR)으로서 도 15에 도시한다.

<49> 한편, 후술하는 바와 같이 메모리 셀(C00 내지 Cnm)에 있어서의 전하 축적용 셀 커패시터(도 17에 있어서의 C0, C1)의 셀 플레이트(CP1)도, 기준 전압 발생 회로(104)에 의해 기준 전압(VCP)으로 바이어스된다. 여기서도 차동 증폭 전압이  $Viic$ 이기 때문에 셀 커패시터(C0, C1)에 걸리는 전계를 최소로 하기 위해 기준 전압(VCP)을  $1/2 \cdot Viic$ 로 하는 것이 일반적이다. 즉, 기준 전압 발생 회로(104)가 출력하는 기준 전압은  $1/2 \cdot Viic$ 이다. 여기서 셀 플레이트(CP1)는 셀 블록(B1)에 속하는 모든 메모리 셀(C00 내지 Cnm)에 대하여 공통이기 때문에, 기생 용량은 유의한 값의 용량값을 갖게 된다. 이 기생 용량의 총합을 셀 플레이트 기생 용량(CCP)으로서 도 15에 도시한다.

<50> 기준 전압(VPR, VCP)은 NMOS 트랜지스터(MPR, MCP)를 통해 VPR선, VCP선에 의해 각 셀 블록(B1 내지 Bk)에 공급된다. 대용량 DRAM(1000)에 있어서는, 셀 블록(B1 내지 Bk)의 배치 영역은 광대하기 때문에 각 공급선(VPR선, VCP선)의 총배선 길이는 장대해지고 배선 경로상에 기생 저항(RPR0 내지 RPRk, RCP0 내지 RCPk)이 존재한다.

<51> VPR선, VCP선은 NMOS 트랜지스터(MPR, MCP)로의 제어 신호( $\phi PR$ ,  $\phi CP$ )에 의해 기준 전압 발생 회로(104)로부터 분리되고, 시험용 패드(PCP, PPR)에 의해 바이어스를 외부 인가할 수 있다.

<52> 또한, 최근의 대용량 DRAM(1000) 등에 있어서는, 더미 워드선(DWL0, DWL1)과 비트선(BL0 내지 /BLm) 사이에 더미 커패시터(DC00 내지 DC1m)를 삽입하는 구성이 취해지는 경우도 있다. 액세스시에, 더미 워드 드라이버군(103)에 의해 각 더미 워드선(DWL0, DWL1)을 동시에 구동하고, 더미 커패시터(DC00 내지 DC1m)에 의한 용량 결합 효과를 이용하여 비트선(BL0 내지 /BLm)에 보조적으로 전하 공급을 행함으로써, 메모리 셀(C00 내지 Cnm)로부터 독출된 축적 전하의 마진을 향상시키기 위함이다. 정보 "1"의 독출 특성을 향상시키는 동작을 어시스트 1이라고 하고, 정보 "0"의 독출 특성을 향상시키는 동작을 어시스트 0이라 칭한다.

<53> 도 16에 기준 전압 발생 회로(104)의 구체예를 도시한다. 기준 전압 발생부(104B)와 기준 전압 구동부(104D)로 구성된다. 기준 전압 발생부(104B)는 PMOS 트랜지스터(M6)를 통해 전원 전압(VDD)에 접속된 다이오드 접속의 NMOS 트랜지스터(M7)와, NMOS 트랜지스터(M9)를 통해 접지 전위(GND)에 접속된 다이오드 접속의 PMOS 트랜지스터(M8)와의 소스 단자끼리가 접속된다. 이 구성에 의해 트랜지스터(M7, M8)의 드레인 단자 전압은 전원 전압(VDD)에 상관없이 일정한 바이어스 전압을 출력한다. 이 바이어스 전압은 기준 전압 구동부(104D)를 구성하는 NMOS 트랜지스터(M10) 및 PMOS 트랜지스터(M11)의 게이트 단자에 입력된다. 트랜지스터(M10, M11)의 소스 단자 사이가 접속되어 출력 단자를 구성하지만, 트랜지스터(M10, M11)가 각각 소스 폴로어(follower)로서 출력 단자를 기준 전압으로 유지하는 작용을 한다. 또한, 출력 단자에는 기준 전압의 보상 소자로서 저항 소자(R1, R2)를 접속하여도 좋다.

<54> 도 17은 메모리 셀 유닛(U: 도 15 참조)을 나타낸다. 한 쌍의 메모리 셀(C00, C10)로 구성되어 있고, 각각의 메모리 셀(C00, C10)은 셀 커패시터(C0, C1)가 워드선(WL0, WL1)으로 제어되는 NMOS 트랜지스터(M0, M1)를 통해 비트선(BL0, /BL0)에 접속된다. 일반적으로 NMOS 트랜지스터(M0, M1)를 트랜스퍼 게이트라 칭한다. 트랜스퍼 게이트를 통해 셀 커패시터(C0, C1)의 한쪽 단자인 전하 축적 노드(ST0, ST1)와 비트선(BL0, /BL0)과의 축적 전하

의 교환을 행함으로써 데이터를 기억한다. 셀 커패시터(C0, C1)의 다른 쪽 단자는 공통으로 접속되어 셀 플레이트(CP1)로서 기준 전압 발생 회로(104)에 의해 기준 전압(VCP)으로 바이어스된다. 셀 플레이트(CP1)는 셀 커패시터(C0, C1)로의 전하 축적을 위한 기준 전압으로 되어 있기 때문에, 셀 블록(B1)내에서 공통 전위가 되고 있고, 유의한 값의 기생 용량으로서 CCP0이 부가된다. 이 기생 용량의 전 셀 블록(B1 내지 Bk)에 대한 총합이 도 15에 도시된 셀 플레이트 기생 용량(CCP)이다.

<55> 도 18에 메모리 셀(C00)의 단면도를 도시한다. 단면 구조는 모든 메모리 셀에서 동일하지만, 도 18에서는 메모리 셀(C00)로 대표하여 번호를 부가한다. 워드선(WL0)으로 제어되는 NMOS 트랜지스터(M0)의 드레인 단자가 축적 전하(ST0)이다. 축적 전하(ST0)는 셀 커패시터(C0)의 한쪽 단자를 구성하고 있고, 유전체막(17)을 통해 셀 플레이트(CP1)가 배치되어 셀 커패시터(C0)를 구성한다. 셀 플레이트(CP1)는 우측으로 연장되어 있고, 인접하는 메모리 셀의 셀 플레이트(CP1)를 통해 셀 블록(B1)내의 모든 셀 커패시터에 공통으로 구성된다. 셀 플레이트(CP1)는 상층 충간막으로서 PSG막(19)으로 보호되고, 메모리 셀 사이에 있어서는 질화막(15)상에 형성된다. 이들 충간막(15, 19) 사이에 기생 용량 성분이 존재하기 때문에, 셀 플레이트(CP1)로서 기생 용량(CCP0)이 부가되고, DRAM(1000) 전체로서 셀 플레이트 기생 용량(CCP)이 된다.

<56> 액세스 동작은 데이터 독출·기록 및 리프레시의 각각에 대해서, 센스 앰프 회로에 의한 차동 증폭 동작까지는 마찬가지로 행해진다. 즉, 행 어드레스에 대응하는 워드선(WL0 내지 WL<sub>n</sub>)에 의해 선택된 메모리 셀(C00 내지 C<sub>nm</sub>)은 축적 노드가 비트선(BL0 내지 /BL<sub>m</sub>)에 접속된다. 독출된 축적 전하는 비트선 쌍의 미소 전하가 되고, 이것을 센스 앰프 회로가 차동 증폭한다. 차동 증폭에 의해 데이터의 독출, 또는 리프레시가 행해진다(기록 동작에 대해서는 이 후에 외부로부터의 기록으로 데이터를 강제적으로 반전함).

<57> 여기서, 셀 커패시터(C0, C1)의 축적 노드(ST0, ST1)에 있어서의 급준한 전위 변동이 2회 발생한다. 1회 째는 축적 노드(ST0, ST1)가 비트선(BL0 내지 /BL<sub>m</sub>)에 접속될 때이다. 셀 커패시터 용량에 대하여 비트선 용량이 크기 때문에, 접속시에 축적 전하의 재분배가 행해지고, 축적 노드(ST0, ST1)의 전위는 대략 접지 전위(GND) 또는 내부 강압 전압(V<sub>iic</sub>)으로부터 비트선의 이퀄라이즈 전압인 VPR(대략 1/2 · V<sub>iic</sub>) 부근까지 변화한다. 이 변화는 셀 커패시터(C0, C1)를 통해 셀 플레이트(CP1)에 용량 결합되어 전해지고, 셀 플레이트(CP1)에 있어서의 기생 용량에 맞추어 전하의 분배가 행해져서 셀 플레이트 전위(VCP)를 변동시킨다. 그러나 센스 앰프 회로가 기동하여 차동 증폭이 행해지면, 비트선 전위는 1/2 · V<sub>iic</sub>로부터 GND 또는 V<sub>iic</sub> 전위로 회복된다. 이 전위 변동도 마찬가지로 셀 플레이트(CP1)에 용량 결합되어 셀 플레이트 전위(VCP)를 변동시킨다. 이들 용량 결합에 의한 전위 변동은 서로 반대 방향이고, 양자는 쌍을 이루며 인가되기 때문에, 결과적으로 셀 플레이트 전위(VCP)에 변동은 없다.

### 발명이 이루고자 하는 기술적 과제

<58> 그러나, 전원 투입시에는 축적 전하는 없고 모든 셀 커패시터의 축적 노드에는 축적 전하는 존재하지 않거나 있더라도 미소하다. 이 때의 액세스 동작에 의해 이하에 상세히 기술하는 문제가 발생할 우려가 있다.

<59> 도 19에 도시된 바와 같이 전원 투입과 함께 전원 전압(VDD)이 상승한다. 전원 전압(VDD)의 상승에 따라 기준 전압 발생 회로(104)가 동작을 개시하여 비트선 전위(VPR) 및 셀 플레이트 전위(VCP)가 1/2 · V<sub>iic</sub>까지 상승한다. 이 때 셀 플레이트 전위(VCP)로부터 셀 커패시터(C0, C1)를 구성하는 축적 노드(STd, ST1)로의 용량 결합에 의해 전하가 주입된다. 주입된 전하는 축적 노드(ST0, ST1)에 있어서의 접합 용량이나 게이트 용량에도 재분배되기 때문에, 축적 노드(ST0, ST1)의 전위(VST)는 1/2 · V<sub>iic</sub>보다 약간 낮은 전위가 된다.

<60> 이 상태에서 리프레시 동작 등의 액세스 동작이 행해지면, 워드선(WL)이 활성화되어 축적 노드(ST0, ST1)와 비트선(BL0 내지 /BL<sub>m</sub>)이 접속된다. 이 때 비트선 전위는 VPR(=1/2 · V<sub>iic</sub>)로 이퀄라이즈되어 있고, 축적 노드(ST0, ST1)의 전위(VST)와 거의 같은 전하의 이동은 적기 때문에 축적 노드(ST0, ST1)는 거의 같은 전위를 유지한다. 여기서 더미 워드선(DWL)이 활성화됨에 따라, 비트선(BL0 내지 /BL<sub>m</sub>)이 더미 커패시터(DC00 내지 DC1m)를 통해 용량 결합을 받아 전하의 주입이 행해지기 때문에, 축적 노드(ST0, ST1)의 전위(VST)는 1/2 · V<sub>iic</sub>보다 약간 상승한다. 이 전위 관계에 있어서 센스 앰프 회로가 기동하면, 축적 노드(ST0, ST1)의 전위(VST)는 내부 강압 전압(V<sub>iic</sub>) 레벨까지 상승한다. 이 전위 상승은 셀 커패시터(C0, C1)를 통해 용량 결합에 의해 셀 플레이트(CP1)에 전하 공급을 행하여 셀 플레이트 전위(VCP)를 상승시킨다. 또한, 상세한 설명은 생략하지만, 더미 워드선(DWL)이 없는 구성에서는, 비트선(BL0 내지 /BL<sub>m</sub>)은 접지 전위(GND)로 회복되고, 셀 플레이트 전위(VCP)는 마이너스 측으로 용량 결합을 받는다. 전위 방향을 반대로 하면 이하의 설명과 동일한 동작을 행하고 동일한 문제를 갖는다. 이하의 설명은 더미 워드선(DWL)의 존재를 기초로 셀 플레이트 전위(VCP)가 상승하는 경우에 대한

것이다.

<61> 셀 플레이트 전위(VCP)가 회복되지 않는 동안에 순차 워드선(WL0 내지 WL<sub>n</sub>)이 선택되어 상기 동작이 반복되면, 센스 앰프 회로를 활성화할 때마다 발생하는 용량 결합에 의한 셀 플레이트 전위(VCP)의 상승이 축적되고, 최종적으로는 내부 강압 전압(Viic)의 레벨까지 상승해 버릴 우려가 있다. 이 현상은 1회의 동작으로 회복되는 메모리 셀(C00 내지 Cnm)의 수가 많을수록 현저히 나타난다. 통상의 액세스 동작에 비하여 선택되는 워드선(WL0 내지 WL<sub>n</sub>)의 수가 많은 리프레시 동작이 대표적인 경우이다. 셀 커패시터 용량을 증가할 수 있는 가운데 대용량화가 진전하는 상황에 있어서 리프레시 주기를 유지하기 위해서는, 1회의 리프레시 동작에 있어서 선택되는 메모리 셀(C00 내지 Cnm)의 수는 증가하기 때문에, 금후의 대용량화에 따라 현저히 발생할 우려가 있다. 단, 발생 원인은 이것에 그치지 않고, 어드레싱 등의 아키텍처 구성이나 프로세스 테크놀로지에 의존하는 각 용량 성분의 분포 방법에 따라서는, 대용량화는 조건이 되지 않고, 또한 통상 액세스에 있어서도 발생할 가능성이 있다.

<62> 이러한 현상이 전원 투입 직후에 "0" 데이터의 기록을 행한 메모리 셀(C00 내지 Cnm)의 존재하에 발생하면, 셀 플레이트(CP1)의 전위 상승에 따라 "0" 데이터 기록을 마친 축적 노드(ST0, ST1)에도 셀 플레이트(CP1)로부터의 용량 결합에 의해 전하가 공급되어 버리고, 축적 노드의 전위(VST)가 상승해 버린다. 이 전위가  $1/2 \cdot Viic$ 를 초과하여 상승하면 이 메모리 셀(C00 내지 Cnm)로부터 "0" 데이터의 독출을 할 수 없게 되어 데이터 오류가 발생해 버리는 문제이다.

<63> 또한, 셀 플레이트(CP1)의 전위가 상승하고 있는 상태에서 메모리 셀(C00 내지 Cnm)에 1 데이터를 기록한 경우에는, 전하 축적 노드(ST0, ST1)에 충분한 폴러스 전하가 축적되지 않기 때문에, 데이터 소실 등이 발생해 버릴 우려가 있어 문제이다.

<64> 또한, 셀 플레이트 전위(VCP)가 최대로 내부 강압 전압(Viic)까지 상승할 우려가 있다. 이 후에 0 데이터를 기록하면, 셀 커패시터(C0, C1)의 단자 사이의 유전체막(17: 도 18 참조)에 과대한 전계 스트레스가 인가되게 된다. 디바이스의 신뢰성에 악영향을 미치게 되어 문제이다.

<65> 이 상태를 회피하기 위해서는 용량 결합에 의해 공급된 전하를 기준 전압 발생 회로(104)가 흡수할 필요가 있게 된다. 그래서, 기준 전압 발생 회로(104)의 구동 능력을 충분히 크게 하는 것을 생각할 수 있다. 그러나, 이 방책에서는, 기준 전압 발생 회로(104)에서의 소비 전류가 증대하여 버리고 저소비 전류 동작의 요구에 반하기 때문에 실현하는 것은 불가능하다. 또한 회로 규모도 커지지 않을 수 없고, 칩 면적상의 제약으로부터도 실현은 곤란하다.

<66> 또한, 대용량화에 따라 다수의 메모리 셀(C00 내지 Cnm)을 배치하게 되고, 상술한 바와 같이 셀 블록(B1 내지 Bk)의 배치 영역은 광대해진다. VCP선의 총배선 길이는 장대해지고, 배선 경로상의 기생 저항(RCP0 내지 RCPk)이 셀 플레이트 기생 용량(CCP)과 조합되어 지역 회로를 형성해 버린다. 기준 전압 발생 회로(104)의 구동 능력에도 불구하고 용량 결합에 의해 생긴 전하의 흡수를 저지하게 된다.

<67> 본 발명은 상기 종래 기술의 문제점을 해소하기 위해 이루어진 것으로, 메모리 셀에 전하 축적용 셀 커패시터를 구비하고, 전하의 축적보다 데이터 기억을 행하는 반도체 기억 장치에 있어서, 전원 투입시에 있어서, 모든 셀 커패시터의 전하 축적 노드에는 축적 전하는 존재하지 않거나 있더라도 미소한 상태로부터 액세스 동작으로 이행하는 경우에 있어서도, 셀 플레이트 전위가 변동하지 않는 반도체 기억 장치를 제공하는 것을 목적으로 한다.

### 발명의 구성 및 작용

<68> 상기 목적을 달성하기 위해서, 청구항 1에 관한 반도체 기억 장치는 용량 소자에 전하를 축적함으로써 데이터를 기억하는 복수의 기억 셀을 구비하고, 각 용량 소자의 제1 단자를 공통으로 접속하여 기준 단자로 하는 동시에, 전하의 축적을 각 용량 소자의 제2 단자로의 전하의 주입·방출에 의해 행하는 반도체 기억 장치에 있어서, 기준 단자에 접속되고, 각 용량 소자의 제2 단자로의 전하의 주입·방출시에 각 용량 소자에 의해 용량 결합되어 주입되는 전하에 따라 기준 단자의 전위 변동을 억제하는 전위 변동 억제 용량 소자를 구비하는 것을 특징으로 한다.

<69> 그리고, 청구항 2에 관한 반도체 기억 장치는 청구항 1에 기재한 반도체 기억 장치에 있어서, 각 용량 소자의 제2 단자로의 전하의 주입·방출 경로로서 사전 결정된 수의 기억 셀마다 설치되는 복수의 데이터선과, 각 데이터선에 기준 전압을 공급하는 제1 배선과, 기준 단자에 기준 전압을 공급하는 제2 배선과, 제1 배선과 제2 배선을 접속하는 배선 접속 스위치 소자와, 전원 전압의 투입을 검지하는 전원 검지 회로를 구비하고 있고, 전원 검지 회로로부터의 신호에 기초하여 배선 접속 스위치 소자를 접속 제어하는 것을 특징으로 한다.

- <70> 청구항 1의 반도체 기억 장치에서는, 전위 변동 억제 용량 소자가 기준 단자에 접속되어 있고, 각 용량 소자의 제2 단자로의 전하의 주입·방출시에, 용량 결합되어 기준 단자에 주입되는 전하에 의한 전위 변동을 억제한다.
- <71> 청구항 2의 반도체 기억 장치에서는, 제1 배선 및 제2 배선을 통해 사전 결정된 수의 기억 셀이 접속되는 복수의 데이터선 및 기준 단자에 기준 전압을 공급하고 있다. 전원 검지 회로로부터의 신호에 기초하여 배선 접속 스위치 소자에 의해 제1 배선과 제2 배선을 접속한다.
- <72> 이에 따라, 전원 투입시에, 전하가 축적되어 있지 않고 0 데이터도 1 데이터도 존재하지 않는 기억 셀의 용량 소자에 전하를 주입 또는 방출하는 경우에, 용량 소자의 제2 단자로부터 기준 단자로의 용량 결합에 의해 이동하는 전하가 존재하여도, 전위 변동 억제 용량 소자의 존재에 의해 또는 복수의 데이터선으로 총합되는 배선 용량이 접속됨으로써, 기준 단자의 전위 변동을 억제할 수 있다.
- <73> 또한, 제1 배선과 제2 배선을 접속함으로써, 기준 단자로의 배선 저항을 저감할 수 있기 때문에, 기준 전압의 발생 회로의 구동 능력을 매우 유효하게 활용할 수 있고, 용량 결합에 의해 이동하는 전하를 유효하게 흡수하여 기준 단자의 전위 변동을 억제할 수 있다.
- <74> 또한, 제1 배선과 제2 배선과의 접속은 전원 투입시로 한정할 수 있기 때문에, 제1 배선과 제2 배선을 분리함으로써 양자의 독립성을 유지하여 노이즈 등에 의한 상호 간섭을 배제하거나, 시험시에 제각기 다른 전압을 인가 할 수 있다고 하는 종래로부터의 효과를 가진 채로 전원 투입시에 있어서의 기준 단자의 전위 변동을 억제할 수 있다.
- <75> 이들 수단에 의해, 전원 투입시에, 기록된 데이터의 데이터 오류나 소실을 유효하게 방지할 수 있고, 용량 소자의 단자 사이의 유전체막에 과대 전계 스트레스가 인가되는 일이 없고, 신뢰성상의 문제가 되는 동작은 발생하지 않는다. 그리고, 이들의 효과를 실현하기 위해 기준 전압의 발생 회로의 구동 능력을 필요 이상으로 크게 할 필요가 없기 때문에, 소비 전류 증대의 부담이나 칩 점유 면적 증대의 부담도 최소한으로 억제할 수 있다.
- <76> 또한, 청구항 3에 관한 반도체 기억 장치는 용량 소자에 전하를 축적함으로써 데이터를 기억하는 복수의 기억 셀을 구비하고, 용량 소자의 제1 단자를 공통으로 접속하여 기준 단자로 하는 동시에, 전하의 축적을 각 용량 소자의 제2 단자로의 전하의 주입·방출에 의해 행하는 반도체 기억 장치에 있어서, 기준 단자에 공급해야 할 기준 전압값 신호를 생성하는 기준 전압 발생부와, 복수의 기억 셀 중 사전 결정된 수의 기억 셀마다 배치되며, 기준 전압값 신호를 수신하여 기준 전압을 사전 결정된 수의 기억 셀에 있어서 기준 단자의 대응 부분에 공급하는 복수의 기준 전압 구동부를 구비하는 것을 특징으로 한다.
- <77> 청구범위 제3항의 반도체 기억 장치에서는, 복수의 기억 셀 중 사전 결정된 수의 기억 셀마다 기준 단자의 대응 부분에 각각에 배치되는 기준 전압 구동부로부터 기준 전압을 공급한다. 기준 전압 구동부로부터 출력되는 기준 전압은 기준 전압 발생부에서 생성되는 기준 전압값 신호에 따라 설정된다.
- <78> 이에 따라, 기준 전압의 발생 회로를 하나의 기준 전압 발생부와 복수의 기준 전압 구동부로 분할하여 구성한다. 기준 전압 발생부로부터 기준 전압 구동부로 접속되는 기준 전압값 신호는 전압 바이어스 신호이기 때문에 입력 임피던스를 높게 설정할 수 있어 긴 배선이 설치되어도 큰 전위차는 발생하지 않기 때문에, 기준 전압 구동부를 구동해야 할 기준 단자 근방에 배치할 수 있다. 기준 전압 구동부와 기준 단자 사이에 배선 저항, 배선 용량 등의 부하가 개재하지 않기 때문에, 기준 단자의 전위를 효과적으로 유지할 수 있고, 기준 단자의 전위 변동을 억제할 수 있다.
- <79> 또한, 각각의 기준 전압 구동부가 구동해야 할 기준 단자는 사전 결정된 수의 기억 셀마다의 대응 부분에 한정되기 때문에, 구동해야 할 부하를 작게 할 수 있고, 기준 전압 구동부의 구동 능력을 작게 억제할 수 있다. 따라서, 기준 전압 구동부의 회로 규모를 작게 설정함으로써, 칩상의 점유 면적을 필요 최소한으로 할 수 있다.
- <80> 또한, 청구범위 제4항에 관한 반도체 기억 장치는 용량 소자에 전하를 축적함으로써 데이터를 기억하는 복수의 기억 셀을 구비하고, 각 용량 소자의 제1 단자를 공통으로 접속하여 기준 단자로 하는 동시에, 각 용량 소자의 제2 단자로의 전하의 주입·방출에 의해 전하의 축적을 행하는 반도체 기억 장치에 있어서, 전원 전압의 투입을 검지하는 전원 검지 회로를 구비하며, 전원 검지 회로로부터의 신호에 기초하여 전하가 주입되는 용량 소자의 제2 단자를 갖는 기억 셀과, 전하가 방출되는 용량 소자의 제2 단자를 갖는 기억 셀이 같은 수인 것을 특징으로 한다.
- <81> 또한, 청구항 5에 관한 반도체 기억 장치는, 청구항 4에 기재한 반도체 기억 장치에 있어서, 각 용량 소자의 제2 단자로의 전하의 주입·방출 경로로서 사전 결정된 수의 기억 셀마다 설치되는 복수의 데이터선과, 각 데이터

선을 2개로 한 쌍의 데이터선 쌍으로서 접속하여 데이터선 쌍의 전위차를 차동 증폭하는 복수의 센스 앰프 회로와, 각 데이터선과 각 용량 소자의 제2 단자를 전기적으로 접속하는 복수의 선택선을 구비하고, 전원 검지 회로로부터의 신호에 기초하여 선택되는 사전 결정된 수의 선택선에 의해 사전 결정된 수의 데이터선 쌍을 구성하는 각 데이터선의 각각에 같은 수의 용량 소자의 제2 단자를 전기적으로 접속하는 것을 특징으로 한다.

<82> 또한, 청구항 6에 관한 반도체 기억 장치는 청구항 4에 기재한 반도체 기억 장치에 있어서, 각 용량 소자의 제2 단자로의 전하의 주입·방출 경로로서 사전 결정된 수의 기억 셀마다 설치되는 복수의 데이터선과, 각 데이터선과 각 용량 소자의 제2 단자를 전기적으로 접속하는 복수의 선택선과, 각 용량 소자의 제2 단자로부터 축적 전하가 각 데이터선으로 방출되었을 때, 각 데이터선에 전하를 추가로 보충하는 복수의 더미 선택선과, 각 더미 선택선의 논리 레벨을 선택적으로 반전하는 반전 선택 회로를 구비하고, 전원 검지 회로로부터의 신호에 기초하여 선택되는 사전 결정된 수의 선택선 및 더미 선택선에 의해 사전 결정된 수의 용량 소자의 제2 단자에 전하를 주입·방출할 때, 각 더미 선택선 중 절반을 반전 선택 회로에 의해 논리적으로 반전하는 것을 특징으로 한다.

<83> 또한, 청구항 7에 관한 반도체 기억 장치는 청구항 4 내지 청구항 6의 적어도 어느 한 항에 기재한 반도체 기억 장치에 있어서, 복수의 기억 셀 중 사전 결정된 수의 기억 셀을 일단위로서 통합한 복수 개의 셀 블록을 구비하고, 전원 검지 회로로부터의 신호에 기초한 동작은 각 셀 블록 단위로 행해지는 것을 특징으로 한다.

<84> 청구항 4의 반도체 기억 장치에서는, 전원 검지 회로로부터의 신호에 의해 전하가 주입되는 기억 셀의 수와 전하가 방출되는 기억 셀의 수가 같은 수가 된다.

<85> 청구항 5의 반도체 기억 장치에서는, 전원 검지 회로로부터의 신호에 의해 사전 결정된 수의 기억 셀이 접속되는 복수의 데이터선과 각 기억 셀의 용량 소자를 전기적으로 접속하는 복수의 선택선이 활성화하고, 센스 앰프 회로에 접속되어 쌍을 이루는 사전 결정된 수의 데이터선 쌍을 구성하는 데이터선마다 같은 수의 용량 소자를 접속한다.

<86> 청구항 6의 반도체 기억 장치에서는, 전원 검지 회로로부터의 신호에 의해 사전 결정된 수의 기억 셀이 접속되는 복수의 데이터선과 각 기억 셀의 용량 소자를 전기적으로 접속하는 복수의 선택선이 활성화된다. 더욱이 각 데이터선으로 방출된 전하를 추가로 보충하는 각 더미 선택선도 아울러 활성화된다. 이 때, 각 더미 선택선의 절반에 대해서 논리 레벨을 반전하여 각 데이터선에 반전한 전하의 추가 보충을 행한다.

<87> 청구항 7의 반도체 기억 장치에서는, 복수의 기억 셀 중 사전 결정된 수의 기억 셀을 일단위로서 통합한 셀 블록 단위로 전원 검지 회로로부터의 신호에 기초한 동작을 행한다.

<88> 이에 따라, 전하가 주입되는 기억 셀과 전하가 방출되는 기억 셀이 쌍이 되기 때문에, 용량 소자를 통해 기준 단자에 용량 결합하는 전하는 상쇄되고, 기준 단자에 있어서의 전위 변동을 억제할 수 있다.

<89> 이 기억 셀의 쌍은 센스 앰프 회로에 접속되어 쌍을 이루는 데이터선 쌍을 구성하는 각 데이터선에 대하여 같은 수의 기억 셀을 선택해 주면, 기록 데이터의 선택을 의식적으로 행할 필요는 없고, 전하 주입과 전하 방출의 기억 셀을 센스 앰프 회로에 접속되는 데이터선 쌍의 사이에서 같은 수로 하여, 용량 소자의 제2 단자와 기준 단자 사이의 이동 전하를 상쇄하여 기준 단자의 전위 변동을 억제할 수 있다.

<90> 또한, 각 데이터선으로 방출된 전하를 추가로 보충하는 더미 선택선을 사용하는 경우에는, 더미 선택선의 절반에 대해서 논리 레벨을 반전해 주면, 기록 데이터의 선택을 의식적으로 행할 필요는 없고, 전하 주입되는 용량 소자와 전하 방출되는 용량 소자를 같은 수로 설정하여 용량 소자의 제2 단자와 기준 단자 사이의 이동 전하를 상쇄하여 기준 단자의 전위 변동을 억제할 수 있다.

<91> 또한, 이 이동 전하의 상쇄 동작을 사전 결정된 수의 기억 셀을 일단위로서 통합한 셀 블록 단위로 행하면, 전하 주입과 전하 방출과의 기억 셀이 비교적 근접하기 때문에, 이동 전하를 효율적으로 상쇄할 수 있다.

<92> 또한, 청구항 8에 관한 반도체 기억 장치는 용량 소자에 전하를 축적함으로써 데이터를 기억하는 복수의 기억 셀을 구비하고, 각 용량 소자의 제1 단자를 공통으로 접속하여 기준 단자로 하는 동시에, 전하의 축적을 각 용량 소자의 제2 단자로의 전하의 주입·방출에 의해 행하는 반도체 기억 장치에 있어서, 각 용량 소자의 제2 단자로의 전하의 주입·방출 경로로서 사전 결정된 수의 기억 셀마다 설치되는 복수의 데이터선과, 각 데이터선에 기준 전압을 공급하는 제1 배선과, 기준 단자에 기준 전압을 공급하는 제2 배선과, 제1 배선 또는 제2 배선과 사전 결정된 전압 사이에 설치된 클램프 스위치 소자와, 각 데이터선과 각 용량 소자의 제2 단자를 전기적으로 접속하는 복수의 선택선과, 전원 전압의 투입을 검지하는 전원 검지 회로를 구비하며, 전원 검지 회로로부터의 신호에 기초하여 클램프 스위치 소자를 제어하여 제1 배선 또는 제2 배선을 사전 결정된 전압으로 고정하고, 사

전 결정된 수의 선택선을 선택하여 각 용량 소자의 제2 단자를 설정 전압으로 설정하며, 사전 결정된 수의 선택선을 추가로 비선택으로 한 후, 클램프 스위치 소자를 제어하여 제1 배선 또는 제2 배선으로부터 사전 결정된 전위를 분리하고, 기준 전압을 공급하는 것을 특징으로 한다.

<93> 또한, 청구항 9에 관한 반도체 기억 장치는, 청구항 8에 기재한 반도체 기억 장치에 있어서, 사전 결정된 전압은 용량 소자의 제2 단자에 있어서의 하이 레벨 전압 또는 로우 레벨 전압이고, 기준 전압은 하이 레벨 전압과 로우 레벨 전압과의 산술 평균 전압이며, 제1 배선이 사전 결정된 전압으로 고정되는 경우, 설정 전압은 사전 결정된 전압이고, 사전 결정된 수의 선택선을 비선택으로 한 후에도 각 용량 소자의 제2 단자는 설정 전압을 유지하며, 제2 배선이 사전 결정된 전압으로 고정되는 경우, 설정 전압은 기준 전압이 되고, 사전 결정된 수의 선택선을 비선택으로 한 후에는, 제2 배선이 기준 전압이 될 때, 기준 단자로부터의 용량 결합에 의해 각 용량 소자의 제2 단자는 사전 결정된 전압과 반대 전압이 되는 것을 특징으로 한다.

<94> 청구항 8의 반도체 기억 장치에서는, 제1 배선 및 제2 배선을 통해 사전 결정된 수의 기억 셀이 접속되는 복수의 데이터선 및 기준 단자에 기준 전압을 공급한다. 전원 검지 회로로부터의 신호에 기초하여 클램프 스위치 소자에 의해 제1 또는 제2 배선은 사전 결정된 전압으로 고정된다. 사전 결정된 수의 기억 셀을 접속하는 복수의 데이터선과 각 용량 소자를 전기적으로 접속하는 복수의 선택선이 선택되어 각 용량 소자의 제2 단자를 설정 전압으로 한 후, 사전 결정된 수의 선택선을 비선택으로 하여 클램프 스위치 소자를 제어하여 제1 또는 제2 배선으로부터 사전 결정된 전위를 분리하여 기준 전압을 공급한다.

<95> 청구항 9의 반도체 기억 장치에서는, 제1 및 제2 배선을 통해 데이터선 및 기준 단자에 기준 전압으로서 용량 소자에 있어서의 하이 레벨 전압과 로우 레벨 전압과의 산술 평균 전압을 공급하고 있다. 전원 검지 회로로부터의 신호에 기초하여 제1 또는 제2 배선은 하이 레벨 전압 또는 로우 레벨 전압으로 고정된다. 클램프 스위치 소자에 의해 제1 배선이 하이 레벨 전압 또는 로우 레벨 전압으로 고정되는 경우에는, 각 용량 소자의 제2 단자도 하이 레벨 전압 또는 로우 레벨 전압이 되고, 이 전압은 선택선을 비선택으로 한 후에도 유지된다. 제2 배선이 하이 레벨 전압 또는 로우 레벨 전압으로 고정되는 경우에는, 각 용량 소자의 제2 단자는 기준 전압인 산술 평균 전압이 되고, 이 전압은 선택선을 비선택으로 한 후에는, 제2 배선이 기준 전압이 될 때, 기준 단자로부터의 용량 결합에 의해 로우 레벨 전압 또는 하이 레벨 전압이 된다. 이것은 선택선의 선택전 제2 배선의 전압과는 반대의 관계이다. 제1 또는 제2 배선은 기준 전압이 된다.

<96> 이에 따라, 제1 배선을 사전 결정된 전압으로 고정하면 사전 결정된 수의 선택선을 선택하는 것만으로 사전 결정된 수의 용량 소자의 제2 단자를 데이터 기록 상태의 전하 축적 상태로 할 수 있다. 이 전하 축적 상태로의 이행은 센스 앤프 회로에 의한 차동 증폭 동작 등을 행할 필요는 없고, 사전 결정된 수의 선택선의 선택도 1 사이클로 행할 수 있어 이행 동작은 단시간으로 할 수 있다. 따라서, 용량 소자의 제2 단자로의 전하의 주입·방출에 따르는 기준 단자의 전위 변동이 수습되기까지의 시간을 충분히 확보할 수 있다.

<97> 또한 제2 배선을 사전 결정된 전압으로 고정하면 사전 결정된 수의 선택선을 선택함으로써 사전 결정된 수의 용량 소자의 제2 단자를 기준 전압 레벨의 전하 축적 상태로 한 후, 제2 배선의 고정을 해제하여 정규 전압으로 이행할 때, 용량 소자를 통한 용량 결합에 의해 용량 소자의 제2 단자를 데이터 기록 상태의 전하 축적 상태로 할 수 있다. 이 전하 축적 상태로의 이행은 기준 단자가 고정된 사전 결정된 전압으로부터 정규 전압으로 이행할 때의 용량 소자를 통한 용량 결합을 이용하여 행해진다. 따라서, 용량 결합에 따르는 전하 이동이 용량 소자의 제2 단자 및 기준 단자의 전위 변동을 유발하지 않고, 또한, 용량 소자의 제2 단자로의 전하 주입·방출에 이용되어 데이터 기록을 보조하는 효과를 발휘한다.

<98> 어떤 경우에도, 센스 앤프 회로에 의한 차동 증폭 동작 등을 행할 필요는 없고, 사전 결정된 수의 선택선의 선택도 1 사이클로 행할 수도 있으며, 단시간에 데이터 기록을 완료할 수 있다. 그리고, 선택선의 선택 동작은 기존의 회로를 유효하게 유용할 수 있고, 더욱이 시험 회로 등의 회로를 그대로 유용할 수도 있다.

<99> 또한, 청구항 10에 관한 반도체 기억 장치는 용량 소자에 전하를 축적함으로써 데이터를 기억하는 복수의 기억 셀을 구비하고, 각 용량 소자의 제1 단자를 공통으로 접속하여 기준 단자로 하는 동시에, 전하의 축적을 각 용량 소자의 제2 단자로의 전하의 주입·방출에 의해 행하며, 추가로 축적 전하를 셀프 리프레시하는 리프레시 제어 회로를 구비하는 반도체 기억 장치에 있어서, 전원 전압의 투입을 검지하는 전원 검지 회로를 구비하고, 전원 검지 회로로부터의 신호에 기초하여 리프레시 제어 회로를 기동하는 것을 특징으로 한다.

<100> 청구항 10의 반도체 기억 장치에서는, 전원 검지 회로로부터의 신호에 기초하여 리프레시 제어 회로를 기동한다.

- <101> 이에 따라, 리프레시 제어 회로에 의한 셀프 리프레시 동작에 의해 사전 결정된 수의 기억 셀에 리프레시 동작을 행하게 함으로써, 각 용량 소자의 제2 단자에 데이터 기록을 행하여 전하 축적 상태로 할 수 있다.
- <102> 이하, 본 발명의 반도체 기억 장치에 대해서 구체화한 제1 내지 제7 실시 형태를 도 1 내지 도 14에 기초하여 도면을 참조하면서 상세히 설명한다. 도 1은 제1 실시 형태의 반도체 기억 장치를 도시한 회로 블록도이다. 도 2는 제1 실시 형태의 효과를 도시한 설명도이다. 도 3은 제2 실시 형태의 반도체 기억 장치를 도시한 회로 블록도이다. 도 4는 제3 실시 형태의 반도체 기억 장치를 도시한 회로 블록도이다. 도 5는 제3 실시 형태의 반도체 기억 장치의 동작을 도시한 과정도이다. 도 6은 제3 실시 형태의 반도체 기억 장치의 동작을 도시한 회로도이다. 도 7은 제4 실시 형태의 반도체 기억 장치를 도시한 회로 블록도이다. 도 8은 더미 셀의 예를 도시한 회로도이다. 도 9는 제4 실시 형태의 반도체 기억 장치의 동작을 도시한 과정도이다. 도 10은 제5 실시 형태의 반도체 기억 장치를 도시한 회로 블록도이다. 도 11은 제5 실시 형태의 반도체 기억 장치의 동작을 도시한 과정도이다. 도 12는 제6 실시 형태의 반도체 기억 장치를 도시한 회로 블록도이다. 도 13은 제6 실시 형태의 반도체 기억 장치의 동작을 도시한 과정도이다. 도 14는 제7 실시 형태의 반도체 기억 장치를 도시한 회로 블록도이다.
- <103> 도 1에 도시된 제1 실시 형태의 반도체 기억 장치(1: 이하, DRAM1이라 칭함)는 종래 기술의 DRAM(1000: 도 15 참조)에 부가하여 기준 전압 발생 회로(104)로부터의 기준 전압(VPR, VCP)의 공급선인 VPR선, VCP선에 대해서 각 셀 블록(B1 내지 Bk)마다 양 선을 접속하는 NMOS 트랜지스터(M1 내지 Mk)를 구비한다. NMOS 트랜지스터(M1 내지 Mk)의 게이트 단자는 공통으로 신호( $\phi$ CPR)에 접속된다. 여기서,  $\phi$ CPR은 전원 투입후의 사전 결정된 시간에 플러스의 논리 레벨을 출력하는 신호이다.  $\phi$ CPR 신호를 생성하는 회로로서, 전원 투입을 검지하여 사전 결정된 기간의 펄스 신호를 출력하는 파워 온 리셋 회로의 출력 신호를 이용할 수 있다. 또한 이 신호를 받아 파워 온 리셋 신호의 펄스폭을 사전 결정된 시간으로 확장하는 회로로서, 펄스 신호의 종단 에지에 대해서만 지연하는 응답 특성을 가진 회로를 부가하는 것도 가능하다.
- <104> 대용량 DRAM(1)에 있어서는, 셀 블록(B1 내지 Bk)의 배치 영역은 광대하기 때문에 각 공급선(VPR선, VCP선)의 총 배선 길이는 장대해지고 배선 경로상에 기생 저항(RPRO 내지 RPRk, RCPO 내지 RCPk)이 존재한다. 따라서, 각 셀 블록(B1 내지 Bk)마다 VPR선과 VCP선을 단락하는 NMOS 트랜지스터(M1 내지 Mk)를 구비함으로써, 전원 투입시에 양 배선이 각 셀 블록(B1 내지 Bk)마다 단락된다.
- <105> 또한, 각 비트선(BL0 내지 /BLm)에는 트랜스퍼 게이트를 통해 다수의 메모리 셀(C00 내지 Cnm)이 접속되어 있다. 트랜스퍼 게이트는 NMOS 트랜지스터로 구성되어 있고, 그 드레인 단자가 비트선(BL0 내지 /BLm)에 접속되어 있다. 그 때문에, 비트선(BL0 내지 /BLm)에는 다수의 접합 용량이 부가되게 된다. 더욱이 대용량 DRAM(1)에 있어서는, 비트선(BL0 내지 /BLm) 사이의 거리나 워드선(WL0 내지 WLn)과의 교차 거리가 모두 근접하고 있기 때문에, 선간 용량도 큰 것이 되지 않을 수 없고, 각각의 비트선(BL0 내지 /BLm)의 배선 용량(CBL, CBBL: 도 2 참조)은 큰 것이 된다.
- <106> 그리고 도 2에 도시된 바와 같이, 이 배선 용량(CBL, CBBL)이 비트선 이퀄라이즈시에 모든 비트선(BL0 내지 /BLm)에 대해서 가산되어 비트선 이퀄라이즈 용량(CPR)이 형성된다. 비트선 이퀄라이즈 용량(CPR)은 셀 플레이트 기생 용량(CCP)에 비하여 무시할 수 없는 크기가 된다. 또한 셀 플레이트 기생 용량(CCP)은 각 메모리 셀 유닛(U)에 있어서의 셀 플레이트(CP1)에 부가하는 기생 용량(CCP1)의 총합이다.
- <107> 제1 실시 형태의 DRAM(1)에서는, 전원 투입시에 전하가 축적되어 있지 않고 "0" 데이터도 "1" 데이터도 존재하지 않는 메모리 셀(C00 내지 Cnm)의 용량 소자에 전하를 주입 또는 방출하는 경우에, 제2 단자인 전하 축적 노드로부터 기준 단자인 셀 플레이트(CP1)로의 용량 결합에 의해 이동하는 전하가 존재하더라도, 복수의 데이터선인 비트선(BL0 내지 /BLm)으로 총합되는 배선 용량인 비트선 이퀄라이즈 용량(CPR)이 접속됨으로써, 셀 플레이트(CP1)의 전위 변동을 억제할 수 있다. 이 때, 비트선 이퀄라이즈 용량(CPR)은 셀 블록(B1 내지 Bk)마다 분할하여 배치되기 때문에, 각각의 비트선 이퀄라이즈 용량(CPR)에 부가되는 기생 저항은 큰 것으로는 되지 않고, 용량 성분과의 조합으로 불필요한 지연 성분이 부가되는 일은 없다. 비트선 이퀄라이즈 용량(CPR) 대신에 전위 변동 억제 용량 소자를 셀 플레이트(CP1)에 접속하더라도 동일한 효과를 발휘할 수 있다.
- <108> 또한, 제1 배선인 VPR선과 제2 배선인 VCP선을 접속함으로써, 기준 전압 발생 회로(104)와 셀 플레이트(CP1) 사이의 배선 저항을 저감할 수 있기 때문에, 기준 전압 발생 회로(104)의 구동 능력을 매우 유효하게 활용할 수 있고, 용량 결합에 의해 이동하는 전하를 유효하게 흡수하여 셀 플레이트(CP1)의 전위 변동을 억제할 수 있다.
- <109> 또한, VPR선과 VCP선과의 접속은 전원 투입시로 한정할 수 있기 때문에, VPR선과 VCP선을 분리함으로써 양자의

독립성을 유지하여 노이즈 등에 의한 상호 간섭을 배제하거나, 시험시에 제각기 다른 전압을 인가할 수 있다고 하는 종래로부터의 효과를 가진 채로 전원 투입시에 있어서의 셀 플레이트(CP1)의 전위 변동을 억제할 수 있다.

<110> 이들 효과에 의해, 전원 투입시에 기록 데이터의 데이터 오류나 소실을 유효하게 방지할 수 있고, 용량 소자인 셀 커패시터(C0, C1)의 단자 사이의 유전체막(17)에 과대 전계 스트레스가 인가되는 일이 없고 신뢰성상의 문제가 되는 동작은 발생하지 않는다. 그리고, 이들 효과를 실현하기 위해서, 기준 전압 발생 회로(104)의 구동 능력을 필요 이상으로 크게 할 필요가 없기 때문에, 소비 전류 증대의 부담이나 칩 점유 면적 증대의 부담도 최소화함으로 억제할 수 있다.

<111> 또한, 전위 변동 억제 용량 소자와 셀 플레이트(CP1)와의 접속을 용량 접속 스위치 소자에 의해 전원 투입시에 한정하여 행하도록 구성하는 것도 가능하다. 이에 따라, 통상 동작시에 있어서 셀 플레이트(CP1)에 전위 변동 억제 용량 소자를 부가하지 않고, 전원 투입시에 있어서만 부가하여 셀 플레이트(CP1)의 전위 변동을 억제할 수 있다.

<112> 또한, 전위 변동 억제 용량 소자를 셀 블록(B1 내지 Bk)마다 분할하여 배치할 수도 있다. 이에 따라, 비트선 이 퀘리아즈 용량(CPR)의 경우와 마찬가지로 개개의 전위 변동 억제 용량 성분에 부가되는 기생 저항은 큰 것으로는 되지 않고, 용량 성분과의 조합으로 불필요한 지연 성분이 부가되는 일은 없다.

<113> 또한, 전위 변동 억제 용량 소자, 용량 접속 스위치 소자, 또는 배선 접속 스위치 소자(M1 내지 Mk)는 셀 블록(B1 내지 Bk)이 배치되어 있는 기억 셀 영역인 메모리 셀 영역에 배치할 수 있다. 예컨대, 전위 변동 억제 용량 소자는 메모리 셀(C00 내지 Cnm)의 셀 커패시터를 구성하는 셀 플레이트(CP1)상에 사전 결정된 산화막을 통해 도전성 전극을 형성해 주면 셀 플레이트(CP1)상에 겹쳐 배치할 수 있고, 칩상에 특별히 점유 면적을 확보할 필요는 없다. 또한 배선 접속 스위치 소자(M1 내지 Mk)는 셀 블록(B1 내지 Bk)마다 하나 구비해 주면 좋고, 칩상의 점유 면적은 아주 작으며 메모리 셀 영역을 압박하지 않고 배치할 수 있다.

<114> 또한, 배선 접속 스위치 소자(M1 내지 Mk)는 NMOS 트랜지스터로 예시하였지만, PMOS 트랜지스터로 구성할 수도 있다. 또한 PMOS 및 NMOS 트랜지스터를 페어 접속하는 소위 트랜스미션 게이트나 그 밖의 스위칭 특성을 발휘하는 회로라면 적용할 수 있다. 용량 접속 스위치 소자에 대해서도 마찬가지이며, NMOS 트랜지스터, PMOS 트랜지스터, 트랜스미션 게이트, 또는 그 밖의 스위칭 회로 등으로 구성할 수 있다.

<115> 도 3에 도시된 제2 실시 형태의 반도체 기억 장치(2: 이하, DRAM2라 칭함)에서는 종래 기술의 DRAM(1000: 도 15 참조)에 있어서의 기준 전압 발생 회로(104) 대신에 기준 전압 발생 회로(104)의 구성 요소인 기준 전압 발생부(104B)와 기준 전압 구동부(104D 내지 104D)를 분리하여 배치한다. 기준 전압 구동부(104D 내지 104D)는 셀 블록(B1 내지 Bk)마다 분산되어 배치되고, 각각의 셀 블록(B1 내지 Bk)에 있어서의 셀 플레이트(CP1 내지 CP1)에 VCP 전압을 공급한다. 기준 전압 구동부(104D)는 기준 전압 구동부(104D 내지 104D)가 출력해야 할 기준 전압을 설정하기 위한 기준 전압값 신호를 출력한다. MOS 트랜지스터(M6 및 M7)의 접속점, MOS 트랜지스터(M8 및 M9)의 접속점으로부터 출력되는 신호는 바이어스 전압 신호로서 기준 전압 구동부(104D 내지 104D)의 NMOS 트랜지스터(M10 내지 M10) 및 PMOS 트랜지스터(M11 내지 M11)의 각 게이트 단자에 입력된다.

<116> 또한, 종래 기술의 DRAM(1000)에 있어서의 NMOS 트랜지스터(MPR, MCP) 대신에 각 기준 전압 구동부(104D 내지 104D)의 출력을 분할하여 NMOS 트랜지스터(MPR1 내지 MPRk 및 MCP1 내지 MCPk)를 통해 비트선(BL0~/BLm 내지 BL0~/BLm) 및 셀 플레이트(CP1 내지 CP1)에 접속하고, 각각을 독립적으로 바이어스하도록 설정하는 것도 가능하다.

<117> 제2 실시 형태의 DRAM(2)에서는, 기준 전압 발생 회로를 기준 전압 발생부(104B)와 기준 전압 구동부(104D 내지 104D)로 분할한다. 기준 전압 발생부(104B)로부터 기준 전압 구동부(104D 내지 104D)로 접속되는 기준 전압값 신호는 전압 바이어스 신호이기 때문에 높은 입력 임피던스의 MOS 트랜지스터(M10 내지 M10, M11 내지 M11)로 설정하면, 긴 배선 길이를 끌고 돌아다녀도 큰 전위차는 발생하지 않는다. 그 때문에 기준 전압 구동부(104D 내지 104D)를 셀 플레이트(CP1 내지 CP1) 근방에 배치할 수 있다. 기준 전압 구동부(104D 내지 104D)와 셀 플레이트(CP1 내지 CP1) 사이에 배선 저항, 배선 용량 등의 부하가 개재하지 않기 때문에, 셀 플레이트(CP1 내지 CP1)의 전위를 효과적으로 유지할 수 있고, 셀 플레이트(CP1 내지 CP1)의 전위 변동을 억제할 수 있다.

<118> 또한, 개개의 기준 전압 구동부(104D)가 구동해야 할 셀 플레이트(CP1)는 셀 블록(B1 내지 Bk)마다 한정되기 때문에, 구동해야 할 부하를 작게 할 수 있고, 기준 전압 구동부(104D 내지 104D)의 구동 능력을 작게 억제할 수 있다. 따라서, 기준 전압 구동부(104D 내지 104D)의 회로 규모를 작게 설정함으로써, 칩상의 점유 면적을 필요 최저한으로 할 수 있다. 비트선(BL0~/BLm 내지 BL0~/BLm) 및 셀 플레이트(CP1 내지 CP1)를 각각 독립적으로

바이어스하기 위해서 설치하는 NMOS 트랜지스터(MPR1 내지 MPRk 및 MCP1 내지 MCPk)의 소자 사이즈도 기준 전압 구동부(104D 내지 104D)가 구동해야 할 부하가 셀 블록(B1 내지 Bk)마다 한정되어 있기 때문에, 작게 설정할 수 있다.

<119> 또한, 기준 전압 구동부(104D 내지 104D)는 셀 블록(B1 내지 Bk)이 배치되어 있는 기억 셀 영역인 메모리 셀 영역에 배치할 수 있다. 셀 블록(B1 내지 Bk)마다의 셀 플레이트(CP1)에만 한정하여 구동할 수 있으면 좋기 때문에, 개개의 기준 전압 구동부(104D)는 한정된 구동 능력으로 좋고, 따라서 회로 규모도 작아지고 칩상의 점유 면적은 아주 작으며 메모리 셀 영역을 압박하지 않고 배치할 수 있다.

<120> 또한, NMOS 트랜지스터(MPR1 내지 MPRk 및 MCP1 내지 MCPk)는 PMOS 트랜지스터로 구성할 수도 있다. 또한 PMOS 및 NMOS 트랜지스터를 페어 접속하는 소위 트랜스미션 게이트나 그 밖의 스위칭 특성을 발휘하는 회로라면 적용할 수 있다.

<121> 도 4에 도시된 제3 실시 형태의 반도체 기억 장치(3: 이하, DRAM3이라 칭함)에서는, 종래 기술의 DRAM(1000: 도 15 참조)에 부가하여 전원 전압의 투입을 검지하는 전원 검지 회로(105)와, 전원 검지 회로(105)로부터의 펄스 출력 신호(POR)의 펄스폭을 확장하는 펄스 확장 회로(70)와, 펄스 확장 회로(70)로부터의 출력 신호( $\phi Y$ )를 받아 동작하는 제어 회로(80)를 구비한다. 제어 회로(80)는 워드선 활성화 신호( $\phi X$ )와 함께 센스 앤프군 활성화 신호(LE)를 출력한다. 양 신호는 각 셀 블록(B1 내지 Bk)에 출력된다. 전원 검지 회로(105), 펄스 확장 회로(70)는 기존의 회로를 이용할 수 있다. 예컨대, 전원 검지 회로(105)는 파워 온 리셋 회로이며, 출력 신호로서 전원 투입시에 플러스의 펄스 신호(POR)를 출력한다. 또한 펄스 확장 회로(70)는 플러스의 입력 펄스 신호(POR)에 대하여 종단의 펄스 에지인 폴(fall) 에지에만 지연을 부가하는 회로이다. 출력 신호로서 입력 펄스 신호(POR)의 종단측으로 펄스폭이 확장된 확장 펄스 신호( $\phi Y$ )를 출력한다.

<122> 다음에, 전원 기동시에 있어서의 회로 동작을 도 5의 과정도에 기초하여 설명한다. 전원이 투입되어 전원 전압(VDD)이 상승하면, 전원 검지 회로(105)로부터 플러스의 펄스 신호(POR)가 출력된다. 이 펄스 신호(POR)가 입력되는 펄스 확장 회로(70)로부터는 플러스의 확장 펄스 신호( $\phi Y$ )가 출력된다. 이 확장 펄스 신호( $\phi Y$ )는 펄스 신호(POR)의 폴 에지를 지연시켜 종단측으로 펄스폭을 확장한 신호이다. 확장 펄스 신호( $\phi Y$ )는 제어 회로(80)에 입력된다. 제어 회로(80)로부터는 우선 센스 앤프군 활성화 신호(LE)가 출력된다. 이 신호에 의해 센스 앤프군(102)에 구비되는 모든 센스 앤프 회로가 일제히 활성화된다. 이에 따라, 각 센스 앤프 회로에 접속되어 있는 비트선 쌍(BL0, /BL0~BLm, /BLm)을 차동 증폭한다. 비트선 쌍마다의 이퀄라이즈 전압의 차이, 센스 앤프 회로의 감도차, 차동 증폭시의 요란 등의 불확정 요인에 의해 각 비트선 쌍은 차동 증폭되게 된다. 따라서, 비트선 쌍 사이의 차동 증폭 방향은 불확정하다.

<123> 비트선 쌍(BL0, /BL0~BLm, /BLm)의 차동 증폭이 완료되는 타이밍을 대기하여, 제어 회로(80)는 워드선 활성화 신호( $\phi X$ )를 출력하여 워드 드라이버군(101)에 구비되는 전 워드선(WL0~WL<sub>n</sub>)을 일제히 선택한다. 워드선이 선택되면 각 메모리 셀(C00 내지 Cnm)의 트랜스퍼 게이트(M0, M1)가 도통하고, 셀 커패시터(C0, C1)의 전하 축적 노드(ST0, ST1)가 각 비트선에 접속된다. 이 시점에서는, 각 비트선 쌍은 차동 증폭되어 있기 때문에, 차동 증폭 후의 전압이 각 셀 커패시터(C0, C1)에 기록되게 되는(도 5에서는, ST0에 논리 하이 레벨 전압, ST1에 논리 로우 레벨 전압이 기록되는 경우를 도시함) 모든 비트선은 센스 앤프 회로를 사이에 두고 쌍을 이루고 있기 때문에, 차동 증폭 동작된 비트선 쌍에 있어서는, 논리 하이 레벨 전압이 기록되는 셀 커패시터(C0, C1)의 수와 논리 로우 레벨 전압이 기록되는 셀 커패시터(C0, C1)의 수가 같은 수가 된다.

<124> 셀 커패시터(C0, C1)로의 기록 종료 후, 확장 펄스 신호( $\phi Y$ )의 종료에 따라, 제어 회로(80)는 워드선 활성화 신호( $\phi X$ )를 비활성으로 하여 워드선(WL0~WL<sub>n</sub>)의 선택을 해제한 후에, 센스 앤프군 활성화 신호(LE)를 해제하여 전 센스 앤프 회로를 비활성으로 하고 비트선 쌍을 이퀄라이즈하여 동작을 완료한다. 이 동작을 전원 투입으로부터 통상의 동작이 행해질 때까지의 대기 시간인 소위 포즈 시간 내에 실행한다.

<125> 제3 실시 형태의 DRAM(3)에서는, 전하가 주입되는 메모리 셀(C00~Cnm)과 전하가 방출되는 메모리 셀(C00~Cn<sub>m</sub>)이 쌍을 이루기 때문에, 셀 커패시터(C0, C1)를 통해 셀 플레이트(CP1)에 용량 결합하는 전하는 상쇄되고, 셀 플레이트(CP1)에 있어서의 전위 변동을 억제할 수 있다.

<126> 이 상태를 도시한 것이 도 6이다. 센스 앤프 회로(106)에 의해 차동 증폭된 전위차에 의해 비트선 쌍(BL0, /BL0)은 회복된다. 지금 만일, 비트선(BL0)이 논리 하이 레벨 전압으로, 비트선(/BL0)이 논리 로우 레벨 전압으로 회복되어 있다고 하자. 이 상태에서 워드선(WL0, WL1)이 선택되면, 트랜스퍼 게이트를 구성하는 NMOS 트랜지스터(M0, M1)는 모두 도통하고, 메모리 셀의 전하 축적 노드(ST0, ST1)를 비트선(BL0, /BL0)에 접속한다. 즉,

전하 축적 노드(ST0)는 논리 하이 레벨 전압이 되어 전하가 주입된다. 반대로 전하 축적 노드(ST1)는 논리 로우 레벨 전압이 되어 전하가 방출된다. 전하 축적 노드(ST0, ST1)에 전하가 주입·방출되면, 셀 커페시터(C0, C1)를 통해 용량 결합함으로써 셀 플레이트(CP1)에 전하가 방출·주입된다. 구체적으로는, 전하 축적 노드(ST0)에 주입된 전하에 의해 셀 커페시터(C0)에 의해 셀 플레이트(CP1)에 전하가 주입된다(이것을  $\triangle C+$ 로 함). 전하 축적 노드(ST1)로부터 방출된 전하에 의해 셀 커페시터(C1)에 의해 셀 플레이트(CP1)로부터 전하가 방출된다(이것을  $\triangle C-$ 라 함). 여기서, 워드선(WL0, WL1) 선택전의 전하 축적 노드(ST0, ST1)의 전위는 대략 비트선 쌍의 이퀄라이즈 전압과 동일하고, 이 전압은 회복시의 논리 하이·로우 레벨 전압의 산술 평균값이다. 따라서, 양 셀 커페시터(C0, C1)에 의한 용량 결합의 효과는 대략 같게 된다( $\triangle C+=\triangle C-$ ). 따라서, 용량 결합에 의해 셀 플레이트(CP1)에 주입·방출되는 전하는 상쇄한다. 따라서, 셀 플레이트(CP1)에 전위 변동은 발생하지 않는다.

<127> 메모리 셀 유닛(U)에 있어서의 메모리 셀(C00~Cnm)의 쌍에 접속되는 비트선 쌍(BL0, /BL0~BLm, /BLm)으로부터, 비트선마다 같은 수의 메모리 셀을 선택해 주면, 기록 데이터의 선택을 의식적으로 행할 필요는 없고, 전하 주입과 전하 방출의 메모리 셀 사이의 이동 전하를 상쇄하여 셀 플레이트(CP1)의 전위 변동을 억제 할 수 있다.

<128> 또한, 워드선 활성화 신호( $\phi X$ )에서는 일제히 전 워드선(WL0~WLn)을 선택하고, 센스 앤프군 활성화 신호(LE)에서는, 전 센스 앤프 회로를 일제히 활성화하며 전 비트선 쌍(BL0, /BL0~BLm, /BLm)을 일제히 회복하는 경우를 나타내었다. 이 경우에는, 모든 메모리 셀(C00 내지 Cnm)에 데이터를 기록하게 되어 그 후의 액세스 동작에 있어서 셀 플레이트(CP1)에 전위 변동이 발생하지 않는다. 그러나, 셀 플레이트(CP1)의 전위 변동은 기준 전압 발생 회로(104)의 구동 능력과 용량 결합과의 밸런스로 결정되는 현상이다. 따라서, 기준 전압 발생 회로(104)가 허용되면 모두를 일제히 활성화할 필요는 없고, 기준 전압 발생 회로(104)의 구동 능력의 범위 내에서 활성화하는 워드선 및 비트선 쌍을 일부로 한정할 수도 있다.

<129> 또한, 전술한 제3 실시 형태에서는, 센스 앤프 회로의 활성화에 의한 비트선 쌍(BL0, /BL0~BLm, /BLm)의 회복 후에 워드선(WL0 내지 WLn)을 선택하여 비트선과 셀 커페시터(C0, C1)를 접속하여 셀 커페시터(C0, C1)에 회복 전압을 기록하는 시퀀스를 나타내었다. 그러나, 기록해야 되는 전압에 대해서는 논리 하이 레벨 전압과 논리 로우 레벨 전압에서 같은 수로 한다고 하는 제약이 있을 뿐이다. 따라서, 비트선 쌍에 있어서의 임의의 차전압을 회복하여 기록하면 조건을 만족한다. 즉, 워드선의 선택 타이밍과 센스 앤프 회로의 활성화 타이밍 사이에 시간적으로 겹쳐지는 기간을 설정해 주면 양자의 기동 및 종료 타이밍에는 특별히 제약을 두지 않고 자유롭게 설정 할 수 있다.

<130> 또한, 전원 투입시의 신호로서는, 전술한 확장 펄스 신호( $\phi Y$ )를 이용할 수 있는 것 이외에, 파워 온 리셋 회로 등의 전원 검지 회로(105)부터의 출력 신호를 직접 사용할 수도 있다. 또한 펄스 신호의 논리로서는, 전술한 플러스 펄스 이외에, 마이너스 펄스를 사용할 수도 있다. 더욱이 파워 온 리셋 회로 등의 전원 검지 회로(105)로부터의 출력 신호는 펄스 신호일 필요는 없고, 전원 투입을 검지할 수 있으면, 2진 출력의 신호라도 좋다.

<131> 또한, 제3 실시 형태에 있어서의 회로 동작은 셀 블록 단위로 행하는 것이 바람직하다. 이에 따라, 용량 결합에 의해 서로 반대 방향으로 전하의 이동이 발생하는 메모리 셀끼리가 근접하는 위치에 존재하게 되고, 이동 전하의 상쇄 효과를 향상시키는 것이 가능하다.

<132> 도 7에 도시된 제4 실시 형태의 반도체 기억 장치(4: 이하, DRAM4라 칭함)에서는, 제3 실시 형태의 DRAM(3: 도 4 참조)에 부가하여 제어 회로(80)로부터의 출력 신호( $\phi X$ )를 받아, 활성화하는 워드선(WL0~WLn)에 대응하여 더미 워드선(DWL0, DWL1)의 논리를 반전 제어하는 반전 지시 신호( $\phi I$ )를 출력하는 반전 선택 회로(60)와, 반전 지시 신호( $\phi I$ )를 받아, 신호( $\phi X$ )에 의해 선택되는 더미 워드선(DWL0, DWL1)을 반전하는 반전 스위치 회로(I1 내지 Ik)를 구비한다.

<133> 여기서, 더미 워드선(DWL0, DWL1)은 센스 앤프군(102)에 구비되는 센스 앤프 회로의 차동 증폭 동작을 확실하게 하기 위해서 비트선 쌍(BL0, /BL0 내지 BLm, /BLm)에 더미 셀(DC00 내지 DC1m)을 통한 용량 결합에 의해 전하를 추가 공급하는 것이다. 본 실시 형태에서는, 전하를 추가 공급하여 각 비트선의 전위를 상승시키는 정보 "1"을 읽기 쉽게 하는 어시스트 1 효과를 발휘하는 구성이다.

<134> 도 8에는 구체적인 더미 셀 구성을 도시한다. 여기서는 6 종류의 더미 셀 구성을 예시하고 있다. (1)은 더미 워드선(DWL)에 의해 트랜스퍼 게이트(M)를 제어하여 셀 커페시터(CM)의 용량값보다 적은 용량값을 갖는 더미 셀 커페시터(CM/2: 이 예에서는, 절반의 용량값을 가짐)를 비트선(BL, /BL)에 접속하는 구성이다. 메모리 셀의 구성과 동일한 구성을 갖고 있다. (2)는 비트선(BL, /BL)과 더미 워드선(DWL) 사이에 더미 커페시터(DC)를 접속하

는 것이다. 더미 워드선(DWL)의 기동에 의해 용량 결합하여 전하를 공급한다. (3) 및 (4)는 NMOS 트랜지스터(MN)의 게이트 용량을 이용하는 구성이다. 게이트 단자를 비트선(BL, /BL)과 더미 워드선(DWL)과의 어느 것에 접속하는지에 따라 2개의 구성이 있다. (5) 및 (6)은 (3) 및 (4)에 있어서의 NMOS 트랜지스터(MN) 대신에 PMOS 트랜지스터(MP)를 사용하는 구성이다.

<135> 그런데, 전원 기동시에 있어서의 회로 동작을 도 9의 과정도에 기초하여 설명한다. 여기서는, 도 17의 메모리 셀 쌍의 회로도도 아울러 참고하면서 설명한다. 전원이 투입되어 전원 전압(VDD)이 상승하면, 전원 검지 회로(105)로부터 플러스의 펄스 신호(POR)가 출력된다. 이 펄스 신호(POR)가 입력되는 펄스 확장 회로(70)로부터는 플러스의 확장 펄스 신호( $\phi Y$ )가 출력된다. 확장 펄스 신호( $\phi Y$ )가 입력되는 제어 회로(80)로부터는, 워드선 활성화 신호( $\phi X$ )와 센스 앰프군 활성화 신호(LE)가 출력된다.

<136> 우선, 워드선 활성화 신호( $\phi X$ )에 의해 선택되는 워드선(WL0)이 상승 트랜스퍼 게이트(M0)를 도통하여, 전원 기동시의 셀 플레이트(CP1)로부터의 용량 결합에 의해 기준 전압(예컨대,  $1/2 \cdot V_{iic}$ ) 근방으로까지 승압되어 있던 전하 축적 노드(ST0)는 기준 전압(예컨대,  $1/2 \cdot V_{iic}$ )에 이퀄라이즈되어 있던 비트선(BL0)과 접속한다. 그 후 더미 워드선(DWL0)이 선택됨으로써, 비트선(BL0)에 어시스트 1 효과가 작용하여 비트선 전위를 상승시키고, 비트선(/BL0)과의 전위차를 확대하여 회복 동작을 대기한다.

<137> 다음에, 센스 앰프군 활성화 신호(LE)가 활성화하여 각 센스 앰프 회로가 기동하고, 비트선 쌍(BL0과 /BL0)을 회복함으로써, 전하 축적 노드(ST0)에 1 데이터가 기록된다. 즉, 전하 축적 노드(ST0)에 전하가 주입된다.

<138> 프리차지 동작 후, 워드선 활성화 신호( $\phi X$ )에 의해 워드선(WL1)이 선택되어 같은 동작을 반복한다. 단, 프리차지 기간에 출력 신호( $\phi X$ )를 받아 반전 선택 회로(60)로부터 더미 워드선(DWL1)의 논리를 반전 제어하는 반전 지시 신호( $\phi I$ )가 출력되기 때문에, 반전 스위치 회로(I1 내지 Ik)는 워드선 활성화 신호( $\phi X$ )로부터 더미 워드선(DWL1)으로의 경로에 신호 반전 회로(G9)를 부가한다.

<139> 따라서, 더미 워드선(DWL1)의 신호 천이의 방향이 반전되어 비트선(/BL0)에 비트선의 전위를 하강시켜 정보 "0"을 읽기 쉽게 하는 어시스트 0 효과가 작용하여 비트선 전위를 하강시키고, 전하 축적 노드(ST1)에는 0 데이터가 기록된다. 즉, 전하 축적 노드(ST1)로부터는 전하가 방출된다.

<140> 메모리 셀의 전하 축적 노드로의 기록이 1 데이터 기록과 0 데이터 기록으로 같은 수가 되도록 더미 워드선의 절반에 대해서, 신호 천이의 방향을 반전하여 기록 동작을 반복한다.

<141> 제4 실시 형태의 DRAM(4)에서는, 전하가 주입되는 메모리 셀(C00~Cnm)과 전하가 방출되는 메모리 셀(C00~Cn m)이 쌍을 이루기 때문에, 셀 커패시터(C0, C1)를 통해 셀 플레이트(CP1)에 용량 결합하는 전하는 상쇄되고, 셀 플레이트(CP1)에 있어서의 전위 변동을 억제할 수 있다.

<142> 또한, 센스 앰프 회로에 의한 차동 증폭의 동작 여유를 향상시키기 위해서 더미 셀(DC00 내지 DC1m)을 사용하는 경우에는, 더미 셀에 용량 결합하는 더미 선택선(DWL0, DWL1)의 절반에 대해서 논리 레벨을 반전한다. 이에 따라 비트선(BL0~BLm)으로의 더미 셀을 통한 어시스트 1의 전하 공급 중 절반을 어시스트 0의 전하 공급으로 할 수 있다. 메모리 셀(C00 내지 Cnm)로의 기록 데이터의 선택을 의식적으로 행할 필요는 없고, 전하 주입되는 셀 커패시터(C0, C1)와 전하 방출되는 셀 커패시터(C0, C1)를 같은 수로 설정하여 전하 축적 노드(ST0, ST1)와 셀 플레이트(CP1) 사이의 이동 전하를 상쇄하여 셀 플레이트(CP1)의 전위 변동을 억제할 수 있다.

<143> 또한, 제4 실시 형태에서는, 상보 데이터를 기록하는 메모리 셀(C00 내지 Cnm)의 수에 대해서는 언급하고 있지 않지만, 모든 메모리 셀에 데이터를 기록하면 그 후의 액세스 동작에 의해 셀 플레이트(CP1)에 전위 변동이 발생하는 일은 없다. 그러나, 셀 플레이트(CP1)의 전위 변동은 기준 전압 발생 회로(104)의 구동 능력과 용량 결합과의 밸런스로 결정되는 현상이다. 따라서, 기준 전압 발생 회로(104)가 허용되면 전 메모리 셀에 기록할 필요는 없고, 기준 전압 발생 회로(104)의 구동 능력의 범위 내에서 활성화하는 워드선 및 비트선 쌍을 일부로 한정할 수도 있다.

<144> 또한, 워드선의 선택과 비트선의 활성화 순서에 대해서도, 전술한 순서대로 한정되는 일은 없고, 어시스트 1과 어시스트 0이 같은 수가 되도록 하여 회복된 비트선 쌍의 차전압을 기록할 수 있으면 조건을 만족한다. 즉, 워드선의 선택 타이밍과 센스 앰프 회로의 활성화 타이밍 사이에 시간적으로 겹쳐지는 기간을 설정해 주면 양자의 기동 및 종료 타이밍에는 특별히 제약을 두지 않고 자유롭게 설정할 수 있다.

<145> 더욱이 워드선(WL0 내지 WL<sub>n</sub>)과 더미 워드선(DWL0, DWL1)과의 상승 순서에 대해서도, 전술한 시퀀스에 한정될 필요는 없다. 더미 워드선에 의한 어시스트 1과 어시스트 0이 설정할 수 있는 타이밍이라면, 더미 워드선을 위

드선과 동시에 상승시켜도, 앞서서 상승시켜도 좋다.

<146> 또한, 더미 셀(DC00 내지 DC1m)의 용량값을 셀 커패시터의 용량값의 절반으로서 설명하였지만(도 8(1)), 이것에 한정되지 않고 어시스트 동작이 확실하게 행해지면, 용량값은 자유롭게 설정할 수 있다.

<147> 또한, 제4 실시 형태에 있어서의 회로 동작은 셀 블록 단위로 행하는 것이 바람직하다. 이에 따라, 용량 결합에 의해 서로 반대 방향으로 전하의 이동이 발생하는 메모리 셀(C00 내지 Cnm)끼리가 근접하는 위치에 존재하게 되고, 이동 전하의 상쇄 효과를 향상시키는 것이 가능하다.

<148> 이 외에도 전하가 주입되는 메모리 셀(C00 내지 Cnm)과 방출되는 메모리 셀이 같은 수가 되는 방법이라면, 용량 결합에 의한 셀 커패시터(CP1)로의 전하의 이동은 상쇄되어 전위 변동을 억제할 수 있다. 예컨대, 논리 하이 레벨, 즉 1 데이터, 또는 논리 로우 레벨, 즉 0 데이터로 고정된 데이터를 비트선 쌍(BL0, /BL0 내지 BLm, /BLm)을 구성하는 각 비트선에 접속되어 있는 메모리 셀을 같은 수 선택하여 기록해 주면, 셀 커패시터(C0, C1)로의 전하의 주입과 방출이 같은 수가 되어 동일한 효과를 얻을 수 있다.

<149> 도 10에 도시된 제5 실시 형태의 반도체 기억 장치(5: 이하, DRAM5라 칭함)에서는, 종래 기술의 DRAM(1000: 도 15 참조)에 부가하여 제3 실시 형태의 DRAM(3)에 있어서의 전원 검지 회로(105)와, 펄스 확장 회로(70)를 구비한다. 펄스 확장 회로(70)로부터의 확장 펄스 신호( $\phi Y$ )는 워드 드라이버군(101)에 입력된다. 또한 VCP선을 접지 전위(GND)로 고정하는 NMOS 트랜지스터(10)의 게이트 단자에 입력되는 동시에 NOR 게이트(9)에 입력된다. NOR 게이트(9)의 다른 쪽 입력에는 종래 기술의 DRAM(1000)에 있어서 NMOS 트랜지스터(MCP)의 게이트 단자에 입력되어 있던 제어 신호( $\phi CP$ )가 입력된다.

<150> 전원 투입시에 출력되는 확장 펄스 신호( $\phi Y$ )는 워드 드라이버군(101)을 통해 모든 워드선(WL0~WL<sub>n</sub>)을 선택한다. 또한 NOR 게이트(9)의 출력 신호를 로우 레벨로 고정함으로써 NMOS 트랜지스터(MCP)를 비도통으로 하여 VCP 선을 기준 전압 발생 회로(104)로부터 분리하는 동시에, NMOS 트랜지스터(10)에 의해 VCP선을 접지 전위(GND) 레벨로 고정한다.

<151> 전원 기동시에 있어서의 회로 동작은 도 11의 과정도에 도시된 바와 같다. 이하의 설명에서는, 필요에 따라 도 17의 메모리 셀 쌍의 회로도를 참고로 한다. 즉, 전원이 투입되어 전원 전압(VDD)이 상승하면, 전원 검지 회로(105)로부터 플러스의 펄스 신호(POR)가 출력된다. 이 펄스 신호(POR)가 입력되는 펄스 확장 회로(70)로부터는, 플러스의 확장 펄스 신호( $\phi Y$ )가 출력된다. 확장 펄스 신호( $\phi Y$ )는 VCP선을 접지 전위(GND) 레벨로 고정하기 때문에, 전원 전압(VDD)의 상승과 함께 VPR의 전압 레벨은 상승하지만, VCP 레벨은 접지 전위(GND) 레벨을 유지한다. 이 상태에서 모든 워드선(WL0~WL<sub>n</sub>)이 선택된다. 비트선(BL0 내지 /BL<sub>m</sub>)과 모든 메모리 셀(C00 내지 Cnm)이 접속되고, 메모리 셀의 전하 축적 노드(ST0, ST1)가 VPR선의 전압 레벨인 기준 전압(예컨대, 1/2 · Viic)까지 상승한다.

<152> 이 후, 확장 펄스 신호( $\phi Y$ )가 종료되어 전 워드선(WL0 내지 WL<sub>n</sub>)이 폐쇄된다. 이 후의 전하 축적 노드(ST0, ST1)는 어떤 전압 레벨에도 전기적으로 접속되지 않는 플로팅 노드가 된다. 확장 펄스 신호( $\phi Y$ )의 종료에 따라, VCP선은 접지 전위(GND) 레벨로부터 해방되는 동시에, 기준 전압 발생 회로(104)에 접속된다. VCP선은 접지 전압(GND)으로부터 기준 전압(예컨대, 1/2 · Viic)까지 상승한다. 이 때, 셀 커패시터(C0, C1)를 통해 용량 결합에 의해 전하가 이동하여 전하 축적 노드(ST0, ST1)를 기준 전압(예컨대, 1/2 · Viic)분만큼 상승시킨다. 용량 결합전의 전위가 기준 전압(예컨대, 1/2 · Viic)이기 때문에, 결과적으로 전하 축적 노드(ST0, ST1)는 논리 하이 레벨(예컨대, Viic)이 되고, 1 데이터가 기록된 것과 같은 상태가 된다.

<153> 제5 실시 형태의 DRAM(5)에서는, 제2 배선인 VCP선을 사전 결정된 전압인 접지 전위(GND)로 고정하면, 모든 선택선인 워드선(WL0 내지 WL<sub>n</sub>)을 활성화함으로써, 모든 전하 축적 노드(ST0, ST1)에 기준 전압(예컨대, 1/2 · Viic) 레벨까지 충전한다. 그 후, VCP선의 접지 전위(GND) 레벨로의 고정을 해제하여 정규 전압인 기준 전압(예컨대, 1/2 · Viic)으로 이행할 때, 셀 커패시터(C0, C1)를 통한 용량 결합에 의해 전하 축적 노드를 1 데이터 기록 상태의 전하 축적 상태로 할 수 있다. 이 전하 축적 상태로의 이행은 기준 단자인 셀 플레이트(CP1)가 고정된 사전 결정된 전압인 접지 전위(GND)로부터, 정규 전압인 기준 전압(예컨대, 1/2 · Viic)으로 이행할 때의 용량 소자를 통한 용량 결합을 이용하여 행해진다. 따라서, 용량 결합에 따른 전하 이동이 전하 축적 노드(ST0, ST1) 및 셀 플레이트(CP1)의 전위 변동을 유발하지 않고, 더욱이 전하 축적 노드로의 전하 주입 · 방출에 이용되어 1 데이터 기록을 보조하는 효과를 발휘한다.

<154> 도 12에 도시된 제6 실시 형태의 반도체 기억 장치(6: 이하, DRAM6이라 칭함)에서는, 제5 실시 형태의 DRAM(5: 도 10 참조)에 있어서의 NOR 게이트(9) 및 NMOS 트랜지스터(10) 대신에 NOR 게이트(11) 및 NMOS 트랜지스터

(12)를 구비한다. 확장 펄스 신호( $\phi Y$ )는 VPR선을 접지 전위(GND)로 고정하는 NMOS 트랜지스터(12)의 게이트 단자에 입력되는 동시에 NOR 게이트(11)에 입력된다. NOR 게이트(11)의 다른 쪽 입력에는 종래 기술의 DRAM(100 0)에 있어서 NMOS 트랜지스터(MPR)의 게이트 단자에 입력되어 있던 제어 신호( $\phi PR$ )가 입력된다.

<155> 전원 투입시에 출력되는 확장 펄스 신호( $\phi Y$ )는 제5 실시 형태의 DRAM(5)의 경우와 마찬가지로 모든 워드선(WL0 내지 WL<sub>n</sub>)을 선택한다. 또한 NMOS 트랜지스터(MPR)를 비도통으로 하여 VPR선을 기준 전압 발생 회로(104)로부터 분리하고, NMOS 트랜지스터(12)에 의해 VPR선을 접지 전위(GND)로 고정한다.

<156> 전원 기동시에 있어서의 회로 동작을 필요에 따라 도 17의 메모리 셀 쌍의 회로도를 참고하면서 도 13의 과정도에 대해서 설명한다. 전원이 투입되어 전원 전압(VDD)이 상승하면, 전원 겸지 회로(105)로부터 플러스의 펄스 신호(POR)가 출력된다. 이 펄스 신호(POR)가 입력되는 펄스 확장 회로(70)로부터는 플러스의 확장 펄스 신호( $\phi Y$ )가 출력된다. 확장 펄스 신호( $\phi Y$ )는 VPR선을 접지 전위(GND)로 고정하기 때문에, 전원 전압(VDD)의 상승과 함께 VCP의 전압 레벨은 상승하지만, VPR 레벨은 접지 전위(GND)를 유지한다. 이 상태에서 모든 워드선(WL0 내지 WL<sub>n</sub>)이 선택된다. 비트선(BL0 내지 BL<sub>m</sub>)과 모든 메모리 셀(C00 내지 C<sub>nm</sub>)이 접속되고, 메모리 셀의 전하 축적 노드(ST0, ST1)가 VPR선의 전압 레벨인 접지 전위(GND)가 된다.

<157> 이 후, 확장 펄스 신호( $\phi Y$ )가 종료되어 전 워드선(WL0~WL<sub>n</sub>)이 폐쇄된다. 이 후의 전하 축적 노드(ST0, ST1)는 어떤 전압 레벨에도 전기적으로 접속되지 않는 플로팅 노드가 된다. 확장 펄스 신호( $\phi Y$ )의 종료에 따라, VPR선은 접지 전위(GND)로부터 해방되는 동시에 기준 전압 발생 회로(104)에 접속된다. VPR선은 접지 전압(GND)으로부터 기준 전압(예컨대, 1/2 · Viic)까지 상승한다.

<158> 전하 축적 노드(ST0, ST1)가 접지 전위(GND)로 하강할 때, 셀 커페시터(C0, C1)를 통해 용량 결합에 의해 전하가 이동하여 셀 플레이트(CP1)의 전위가 강하하지만, 이 전위는 VCP선을 통해 기준 전압 발생 회로(104)로부터의 전하 공급에 의해 회복된다. 전원 투입으로부터 통상 동작 개시까지의 포즈 시간에 셀 플레이트(CP1)가 회복되도록 회로 구성을 설정함으로써 통상 동작 전에 회복시킬 수 있다.

<159> 제5 실시 형태의 DRAM(5)에서는, VPR선을 접지 전위(GND)로 고정하면, 모든 워드선(WL0 내지 WL<sub>n</sub>)을 활성화하는 것만으로 모든 전하 축적 노드(ST0, ST1)에 0 데이터의 기록 상태인 전하 축적 상태로 할 수 있다. 이 전하 축적 상태로의 이행은 각 센스 앰프 회로에 의한 차동 증폭 동작 등을 행할 필요는 없고 모든 워드선의 활성화도 1 사이클로 행할 수 있어 이행 동작은 단시간으로 할 수 있다. 또한 전하 축적 노드(ST0, ST1)로의 0 데이터 기록시에, 용량 결합에 의해 셀 플레이트(CP1)의 전위가 강하하지만, 이 전위는 VCP선을 통해 기준 전압 발생 회로(104)로부터의 전하 공급에 의해 회복된다. 전원 투입으로부터 통상 동작 개시까지의 포즈 시간에 셀 플레이트(CP1)가 회복되도록 회로 구성을 설정함으로써 통상 동작 전에 회복시킬 수 있다.

<160> 또한, 선택되는 워드선(WL0 내지 WL<sub>n</sub>)의 전압 레벨은 통상 동작 상태에 있어서의 전압값일 필요는 없다. 비트선(BL0 내지 BL<sub>m</sub>)을 통해 메모리 셀(C00 내지 C<sub>nm</sub>)에 기록되는 전압이 기준 전압(예컨대, 1/2 · Viic), 또는 접지 전위(GND)이기 때문에, 트랜스퍼 게이트인 NMOS 트랜지스터(M0, M1)의 임계치 전압을 초과하는 전압을 인가할 수 있으면 문제는 없다.

<161> 또한, 모든 워드선(WL0 내지 WL<sub>n</sub>)을 선택하면 1 사이클로 모든 메모리 셀(C00 내지 C<sub>nm</sub>)에 데이터를 기록할 수 있고, 그 후의 액세스 동작에 의해 셀 플레이트(CP1)에 전위 변동이 발생하는 일은 없다. 그러나, 셀 플레이트(CP1)의 전위 변동은 기준 전압 발생 회로(104)의 구동 능력과 용량 결합과의 밸런스로 결정되는 현상이다. 따라서, 기준 전압 발생 회로(104)가 허용되면 전 메모리 셀에 기록할 필요는 없고, 기준 전압 발생 회로(104)의 구동 능력의 범위 내에서 활성화하는 워드선을 일부로 한정할 수도 있다.

<162> 제5 및 제6 실시 형태에서는, NMOS 트랜지스터(10 및 12)를 사용하여 접지 전위(GND)에 VCP선 및 VPR선을 고정하는 경우에 대해서 예시하였지만, PMOS 트랜지스터 대신에 논리 하이 레벨 전압(예컨대, Viic)으로 고정하도록 할 수 있다. 이 경우, 제5 실시 형태에서는, 메모리 셀에는 0 데이터가 기록되고, 제6 실시 형태에서는, 메모리 셀에는 1 데이터가 기록된다.

<163> 제5 및 제6 실시 형태에 있어서는, 센스 앰프 회로에 의한 차동 증폭 동작 등을 행할 필요는 없고, 모든 워드선(WL0 내지 WL<sub>n</sub>)의 활성화도 1 사이클로 행할 수 있으며, 단시간에서의 데이터 기록을 완료할 수 있다. 그리고 워드선의 활성화 동작은 기존의 회로를 유효하게 유용할 수 있고, 더욱이 시험 회로 등의 회로를 그대로 유용할 수도 있다.

<164> 더욱이, 제5 실시 형태와 제6 실시 형태를 병합한 구성으로 할 수도 있다. 즉, VCP선과 VPR선을 함께 전위 고정

하는 구성이다.

<165> VCP선 및 VPR선을 함께 접지 전위(GND)로 고정하는 경우에는, 워드선(WL0 내지 WL<sub>n</sub>)의 선택에 의해 전하 축적 노드(ST0, ST1)에는 0 데이터가 기록된다. 이 상태에서 VCP선의 고정을 해제하면 셀 플레이트(CP1)는 접지 전위(GND)로부터 기준 전압(예컨대, 1/2 · Viic) 레벨로 상승하지만, 전하 축적 노드는 비트선(BL0 내지 /BL<sub>m</sub>)을 통해 접지 전위(GND)로 고정되어 있기 때문에, 용량 결합에 의한 전하 축적 노드의 전위 변동은 발생하지 않는다. 워드선의 선택을 해제한 후, VPR선의 고정을 해제하여 비트선을 기준 전압(예컨대, 1/2 · Viic) 레벨로 상승시킨 상태에서 모든 메모리 셀로의 0 데이터 기록이 완료된다.

<166> 또한, VCP선을 접지 전위(GND)로 하고 VPR선을 논리 하이 레벨(예컨대, Viic)로 고정하는 경우에는, 워드선(WL0 내지 WL<sub>n</sub>)의 선택에 의해 전하 축적 노드(ST0, ST1)에는 1 데이터가 기록된다. 이 상태에서 VCP선의 고정을 해제하면 셀 플레이트(CP1)는 접지 전위(GND)로부터 기준 전압(예컨대, 1/2 · Viic) 레벨로 상승하지만, 전하 축적 노드는 비트선을 통해 논리 하이 레벨(예컨대, Viic)로 고정되어 있기 때문에, 용량 결합에 의한 전하 축적 노드의 전위 변동은 발생하지 않는다. 워드선의 선택을 해제한 후, VPR선의 고정을 해제하여 비트선을 기준 전압(예컨대, 1/2 · Viic) 레벨로 강하시킨 상태에서 모든 메모리 셀로의 1 데이터 기록이 완료된다.

<167> 도 14에 도시된 제7 실시 형태의 반도체 기억 장치(7: 이하, DRAM7이라 칭함)에서는, 종래 기술의 DRAM(1000: 도 15 참조)에 있어서의 통상 동작 상태에서의 리프레시 제어 회로(107)에 부가하여 리프레시 트리거 회로(92), 카운터 회로(94), 지연 회로(96)를 구비한다. 추가로 전원 전압의 투입을 검지하는 전원 검지 회로(105)를 구비한다.

<168> 리프레시 제어 회로(107)는 DRAM(1000)에 있어서의 셀프 리프레시 동작을 제어하는 회로이다. 도시하지 않은 제어 회로로부터의 셀프 커맨드가 입력되면, 엔트리 회로는 신호(SRE)를 출력한다. 이 신호(SRE)와 리프레시 동작의 시간 간격을 계측하는 타이머로부터의 신호(TMR)에 의해 제어 회로는 리프레시 제어 신호(REF)를 출력한다. 리프레시 제어 신호(REF)에 기초하여 워드 드라이버군(101)이 각 워드선을 순차적으로 선택하여 셀프 리프레시 동작을 행한다.

<169> 제7 실시 형태의 DRAM(7)에서는, 리프레시 제어 회로(107)를 이용한다. 전원 검지 회로(105)로부터의 펄스 출력 신호(POR)는 리프레시 트리거 회로(92)의 입력단에 있는 NAND 게이트(G1)에 입력된다. NAND 게이트(G1)의 다른 쪽 입력 단자는 지연 회로(96)로부터의 출력 신호(CNTD)가 입력된다. NAND 게이트(G1)로의 양 입력 신호가 선택(모두, 논리 하이 레벨)되면 리프레시 트리거 회로(92)로부터의 출력 신호는 리프레시 제어 회로(107)의 엔트리 회로를 기동하는 동시에 타이머에 입력되어 리프레시 주기를 단축화한다. 본래의 주기보다 짧은 주기로 셀프 리프레시 동작이 개시된다. 각 리프레시 동작은 신호(REF)를 검지하고 있는 카운터 회로(94)에 있어서 계수된다. 계수값이 규정 횟수에 이르면 출력 신호(CNT)를 출력하여 지연 회로(96)를 통해 신호(CNTD)로서 리프레시 트리거 회로(92)에 복귀된다. 이 때의 신호(CNTD)는 논리 로우 레벨이기 때문에, 이 이후 리프레시 트리거 회로(92)로부터 트리거 신호가 출력되지 않게 되고, 전원 투입시의 설정 사이클이 종료된다.

<170> 리프레시 동작에 의해 워드선(WL0 내지 WL<sub>n</sub>)이 순차적으로 선택되면서 센스 앰프 회로에 의해 비트선 쌍(BL0, /BL0 내지 BL<sub>m</sub>, /BL<sub>m</sub>)이 회복된다. 이 동작은 전원 투입시에 계속해서 행해지기 때문에 메모리 셀(CO0 내지 Cnm)에는 데이터는 존재하지 않는 상태이다. 즉, 전하 축적 노드(ST0, ST1)에는 셀 플레이트(CP1)의 상승에 따른 용량 결합에 의해 기준 전압(예컨대, 1/2 · Viic)보다 약간 낮은 전위로 유지되고 있다. 여기서, 워드선이 선택되어 전하 축적 노드가 비트선과 접속되어 회복된다. 이 회복은 비트선 쌍마다의 유지 전위의 차이, 센스 앰프 회로의 감도차, 차동 증폭시의 요란 등의 불확정 요인에 의해 정해지는 방향으로 행해진다. 따라서, 각 메모리 셀에는 1 또는 0 중 어느 하나의 데이터가 기록되고, 전하 축적 노드에는 전하의 주입 · 방출 중 어느 하나가 행해진다. 이에 따라, 데이터 기록이 없는 메모리 셀은 없어지고 셀 플레이트의 전위 변동은 발생하지 않게 된다.

<171> 제7 실시 형태의 DRAM(7)에서는, 리프레시 제어 회로(107)에 의한 셀프 리프레시 동작에 의해 사전 결정된 수의 메모리 셀(CO0 내지 Cnm)에 리프레시 동작을 행하게 함으로써, 각 셀 플레이트(CP1)를 데이터 기록 상태인 전하 축적 상태로 할 수 있다.

<172> 그리고, 전원 투입시의 신호(POR)를 리프레시 트리거 회로(92)가 받아 동작을 개시하는 동시에, 리프레시 주기를 결정하는 리프레시 제어 회로(107)내의 타이머에 작용하여 계측 시간을 단축함으로써, 전원 투입시에 있어서의 동작 시간을 단축할 수 있다. 따라서, 전원 투입으로부터 통상 동작 개시까지의 포즈 시간 내에 이를 동작을 행하도록 타이머의 계측 시간을 적절히 조정할 수 있다.

- <173> 또한, 전하 축적 노드(ST0, ST1)로의 데이터 기록시에, 용량 결합에 의해 셀 플레이트(CP1)의 전위가 강하하지만, 이 전위는 VCP선을 통해 기준 전압 발생 회로(104)로부터의 전하 공급에 의해 회복된다. 전원 투입으로부터 통상 동작 개시까지의 포즈 시간에 셀 플레이트(CP1)의 전위가 회복되도록 회로 구성을 설정함으로써 통상 동작 전에 회복시킬 수 있다.
- <174> 또한, 카운터 회로(94) 및 지연 회로(96)는 필수적인 회로가 아니다. 이를 회로가 없어도 내부 타이밍이 조정되어 있으면 사전 결정된 메모리 셀(C00 내지 Cnm)로의 데이터 기록을 행하고, 이후 이 동작을 금지하는 것은 가능하다.
- <175> 또한, 모든 워드선(WL0 내지 WLn)을 선택하도록 하면, 모든 메모리 셀(C00 내지 Cnm)에 데이터를 기록할 수 있기 때문에, 그 후의 액세스 동작에 의해 셀 플레이트(CP1)에 전위 변동이 발생하는 일은 없다. 그러나, 셀 플레이트(CP1)의 전위 변동은 기준 전압 발생 회로(104)의 구동 능력과 용량 결합과의 밸런스로 결정되는 현상이다. 따라서, 기준 전압 발생 회로(104)가 허용되면 전 메모리 셀에 기록할 필요는 없고, 기준 전압 발생 회로(104)의 구동 능력의 범위 내에서 활성화하는 워드선 및 비트선 쌍을 일부로 한정할 수도 있다.
- <176> 또한, 본 발명은 상기 실시 형태에 한정되지 않고, 본 발명의 취지를 일탈하지 않는 범위 내에서 여러 가지 개량, 변형이 가능한 것은 물론이다.
- <177> 예컨대, 본 실시 형태에 있어서는, DRAM을 예로 들어 설명하였지만, 이것에 한정되지 않고, 동기형 DRAM 등의 용량 소자에 전하를 축적함으로써 데이터를 기억하는 구성의 반도체 기억 장치라면 적용할 수 있다.
- <178> (부기 1) 용량 소자에 전하를 축적함으로써 데이터를 기억하는 복수의 기억 셀을 구비하고, 상기 각 용량 소자의 제1 단자를 복수의 상기 기억 셀 사이에서 공통으로 접속하여 기준 단자로 하는 동시에, 상기 전하의 축적을 상기 각 용량 소자의 제2 단자로의 전하의 주입·방출에 의해 행하는 반도체 기억 장치에 있어서,
- <179> 상기 기준 단자에 접속되고, 상기 각 용량 소자의 제2 단자로의 전하의 주입·방출시에 상기 각 용량 소자에 의해 용량 결합되어 주입되는 전하에 따르는 기준 단자의 전위 변동을 억제하는 전위 변동 억제 용량 소자를 구비하는 것을 특징으로 하는 반도체 기억 장치.
- <180> (부기 2) 상기 기준 단자와 상기 전위 변동 억제 용량 소자를 접속하는 용량 접속 스위치 소자와,
- <181> 전원 전압의 투입을 검지하는 전원 검지 회로를 구비하고,
- <182> 상기 전원 검지 회로로부터의 신호에 기초하여 상기 용량 접속 스위치 소자를 접속 제어하는 것을 특징으로 하는 부기 1에 기재한 반도체 기억 장치.
- <183> (부기 3) 상기 각 용량 소자의 제2 단자로의 전하의 주입·방출 경로로서 사전 결정된 수의 상기 기억 셀마다 설치되는 복수의 데이터선과,
- <184> 상기 각 데이터선에 기준 전압을 공급하는 제1 배선과,
- <185> 상기 기준 단자에 기준 전압을 공급하는 제2 배선과,
- <186> 상기 제1 배선과 상기 제2 배선을 접속하는 배선 접속 스위치 소자와,
- <187> 전원 전압의 투입을 검지하는 전원 검지 회로를 구비하고,
- <188> 상기 전원 검지 회로로부터의 신호에 기초하여 상기 배선 접속 스위치 소자를 접속 제어하는 것을 특징으로 하는 부기 1에 기재한 반도체 기억 장치.
- <189> (부기 4) 용량 소자에 전하를 축적함으로써 데이터를 기억하는 복수의 기억 셀을 구비하고, 상기 각 용량 소자의 제1 단자를 복수의 상기 기억 셀 사이에서 공통으로 접속하여 기준 단자로 하는 동시에, 상기 전하의 축적을 상기 각 용량 소자의 제2 단자로의 전하의 주입·방출에 의해 행하는 반도체 기억 장치에 있어서,
- <190> 상기 기준 단자에 공급해야 할 기준 전압값 신호를 생성하는 기준 전압 발생부와,
- <191> 복수의 상기 기억 셀 중 사전 결정된 수의 상기 기억 셀마다 배치되며, 상기 기준 전압값 신호를 수신하여 기준 전압을 사전 결정된 수의 상기 기억 셀에 있어서 상기 기준 단자의 대응 부분에 공급하는 복수의 기준 전압 구동부를 구비하는 것을 특징으로 하는 반도체 기억 장치.
- <192> (부기 5) 복수의 상기 기억 셀 중 사전 결정된 수의 기억 셀을 일단위로서 통합한 복수 개의 셀 블록을 구비하

고,

<193> 상기 전위 변동 억제 용량 소자, 상기 용량 접속 스위치 소자, 상기 배선 접속 스위치 소자, 또는 상기 기준 전압 구동부는 상기 셀 블록마다 배치되는 것을 특징으로 하는 부기 1 내지 4 중 적어도 어느 한 항에 기재한 반도체 기억 장치.

<194> (부기 6) 상기 각 블록이 배치되는 기억 셀 영역과,

<195> 각종 제어 회로가 배치되는 주변 회로 영역을 구비하고,

<196> 상기 전위 변동 억제 용량 소자, 상기 용량 접속 스위치 소자, 상기 배선 접속 스위치 소자, 또는 상기 기준 전압 구동부는 상기 기억 셀 영역에 배치되는 것을 특징으로 하는 부기 1 내지 4 중 어느 한 항에 기재한 반도체 기억 장치.

<197> (부기 7) 용량 소자에 전하를 축적함으로써 데이터를 기억하는 복수의 기억 셀을 구비하고, 상기 각 용량 소자의 제1 단자를 복수의 상기 기억 셀 사이에서 공통으로 접속하여 기준 단자로 하는 동시에, 상기 전하의 축적을 상기 각 용량 소자의 제2 단자로의 전하의 주입·방출에 의해 행하는 반도체 기억 장치에 있어서,

<198> 전원 전압의 투입을 검지하는 전원 검지 회로를 구비하며,

<199> 상기 전원 검지 회로로부터의 신호에 기초하여 전하가 주입되는 상기 용량 소자의 제2 단자를 갖는 상기 기억 셀과, 전하가 방출되는 상기 용량 소자의 제2 단자를 갖는 상기 기억 셀이 같은 수인 것을 특징으로 하는 반도체 기억 장치.

<200> (부기 8) 상기 각 용량 소자의 제2 단자로의 전하의 주입·방출 경로로서 사전 결정된 수의 상기 기억 셀마다 설치되는 복수의 데이터선과,

<201> 상기 각 데이터선을 2개로 한 쌍의 데이터선 쌍으로서 접속하여 상기 데이터선 쌍의 전위차를 차동 증폭하는 복수의 센스 앰프 회로와,

<202> 상기 각 데이터선과 상기 각 용량 소자의 제2 단자를 전기적으로 접속하는 복수의 선택선을 구비하고,

<203> 상기 전원 검지 회로로부터의 신호에 기초하여 선택되는 사전 결정된 수의 상기 선택선에 의해 사전 결정된 수의 상기 데이터선 쌍을 구성하는 상기 각 데이터선에 같은 수의 상기 용량 소자의 제2 단자를 전기적으로 접속하는 것을 특징으로 하는 부기 7에 기재한 반도체 기억 장치.

<204> (부기 9) 상기 각 용량 소자의 제2 단자로의 전하의 주입·방출 경로로서 사전 결정된 수의 상기 기억 셀마다 설치되는 복수의 데이터선과,

<205> 상기 각 데이터선과 상기 각 용량 소자의 제2 단자를 전기적으로 접속하는 복수의 선택선과,

<206> 상기 각 용량 소자의 제2 단자로부터 축적 전하가 상기 각 데이터선으로 방출되었을 때, 상기 각 데이터선에 전하를 추가로 보충하는 복수의 더미 선택선과,

<207> 상기 각 더미 선택선의 논리 레벨을 선택적으로 반전하는 반전 선택 회로를 구비하고,

<208> 상기 전원 검지 회로로부터의 신호에 기초하여 선택되는 사전 결정된 수의 상기 선택선 및 상기 더미 선택선에 의해 사전 결정된 수의 상기 용량 소자의 제2 단자에 전하를 주입·방출할 때, 상기 각 더미 선택선 중 절반을 상기 반전 선택 회로에 의해 논리 반전하는 것을 특징으로 하는 부기 7에 기재한 반도체 기억 장치.

<209> (부기 10) 상기 각 데이터선과 상기 각 용량 소자의 제2 단자를 전기적으로 접속하는 복수의 선택선과,

<210> 상기 기억 셀로의 데이터 기록마다 주입·방출하는 전하를 반전하는 토클 전하를 발생하는 데이터 발생 회로와,

<211> 상기 전원 검지 회로로부터의 신호에 기초하여 상기 데이터 발생 회로로부터의 상기 토클 전하를 선택되는 사전 결정된 수의 상기 선택선에 의해 사전 결정된 수의 상기 기억 셀마다 기록하는 것을 특징으로 하는 부기 7에 기재한 반도체 기억 장치.

<212> (부기 11) 상기 토클 전하는 논리 하이 레벨, 또는 논리 로우 레벨의 고정 데이터이고,

<213> 상기 각 데이터선 쌍을 구성하는 상기 각 데이터선에 접속되는 상기 각 기억 셀로부터 상기 데이터선마다 같은 수의 상기 기억 셀을 선택하는 것을 특징으로 하는 부기 10에 기재한 반도체 기억 장치.

<214> (부기 12) 상기 복수의 기억 셀 중 사전 결정된 수의 기억 셀을 일단위로서 통합한 복수 개의 셀 블록을 구비하

고,

- <215> 상기 전원 검지 회로로부터의 신호에 기초한 상기 동작은 상기 각 셀 블록단위로 행해지는 것을 특징으로 하는 부기 7 내지 11 중 적어도 어느 한 항에 기재한 반도체 기억 장치.
- <216> (부기 13) 용량 소자에 전하를 축적함으로써 데이터를 기억하는 복수의 기억 셀을 구비하고, 상기 각 용량 소자의 제1 단자를 복수의 상기 기억 셀 사이에서 공통으로 접속하여 기준 단자로 하는 동시에, 상기 전하의 축적을 상기 각 용량 소자의 제2 단자로의 전하의 주입·방출에 의해 행하는 반도체 기억 장치에 있어서,
- <217> 상기 각 용량 소자의 제2 단자로의 전하의 주입·방출 경로로서 사전 결정된 수의 상기 기억 셀마다 설치되는 복수의 데이터선과,
- <218> 상기 각 데이터선에 기준 전압을 공급하는 제1 배선과,
- <219> 상기 기준 단자에 기준 전압을 공급하는 제2 배선과,
- <220> 상기 제1 배선 또는 상기 제2 배선과 사전 결정된 전압 사이에 설치된 클램프 스위치 소자와,
- <221> 상기 각 데이터선과 상기 각 용량 소자의 제2 단자를 전기적으로 접속하는 복수의 선택선과,
- <222> 전원 투입을 검지하는 전원 검지 회로를 구비하며,
- <223> 상기 전원 검지 회로로부터의 신호에 기초하여,
- <224> 상기 클램프 스위치 소자를 제어하여 상기 제1 배선 또는 상기 제2 배선을 상기 사전 결정된 전압으로 고정하고,
- <225> 사전 결정된 수의 상기 선택선을 선택하여 상기 각 용량 소자의 제2 단자를 설정 전압으로 하며,
- <226> 사전 결정된 수의 상기 선택선을 추가로 비선택으로 한 후, 상기 클램프 스위치 소자를 제어하여 상기 제1 배선 또는 상기 제2 배선으로부터 상기 사전 결정된 전위를 분리하고, 상기 기준 전압을 공급하는 것을 특징으로 하는 반도체 기억 장치.
- <227> (부기 14) 상기 사전 결정된 전압은 상기 용량 소자의 제2 단자에 있어서의 하이 레벨 전압 또는 로우 레벨 전압이고,
- <228> 상기 기준 전압은 상기 하이 레벨 전압과 상기 로우 레벨 전압과의 산술 평균 전압이며,
- <229> 상기 제1 배선이 상기 사전 결정된 전압으로 고정되는 경우, 상기 설정 전압은 상기 사전 결정된 전압이고, 사전 결정된 수의 상기 선택선을 비선택으로 한 후에도 상기 각 용량 소자의 제2 단자는 상기 설정 전압을 유지하며,
- <230> 상기 제2 배선이 상기 사전 결정된 전압으로 고정되는 경우, 상기 설정 전압은 상기 기준 전압이 되고, 사전 결정된 수의 상기 선택선을 비선택으로 한 후, 상기 제2 배선이 상기 기준 전압이 될 때, 상기 기준 단자로부터의 용량 결합에 의해 상기 각 용량 소자의 제2 단자는 상기 사전 결정된 전압과 반대의 전압이 되는 것을 특징으로 하는 부기 13에 기재한 반도체 기억 장치.
- <231> (부기 15) 용량 소자에 전하를 축적함으로써 데이터를 기억하는 복수의 기억 셀을 구비하고, 상기 각 용량 소자의 제1 단자를 복수의 상기 기억 셀 사이에서 공통으로 접속하여 기준 단자로 하는 동시에, 상기 전하의 축적을 상기 각 용량 소자의 제2 단자로의 전하의 주입·방출에 의해 행하는 반도체 기억 장치에 있어서,
- <232> 상기 각 용량 소자의 제2 단자로의 전하의 주입·방출 경로로서 사전 결정된 수의 상기 기억 셀마다 설치되는 복수의 데이터선과,
- <233> 상기 각 데이터선에 기준 전압을 공급하는 제1 배선과,
- <234> 상기 기준 단자에 기준 전압을 공급하는 제2 배선과,
- <235> 상기 제1 및 상기 제2 배선과 사전 결정된 전압 사이에 설치된 제1 및 제2 클램프 스위치 소자와,
- <236> 상기 각 데이터선과 상기 각 용량 소자의 제2 단자를 전기적으로 접속하는 복수의 선택선과,
- <237> 전원 투입을 검지하는 전원 검지 회로를 구비하고,

- <238> 상기 전원 검지 회로로부터의 신호에 기초하여,
- <239> 상기 제1 및 상기 제2 클램프 스위치 소자를 제어하여 상기 제1 및 상기 제2 배선을 사전 결정된 전압으로 고정하며,
- <240> 사전 결정된 수의 상기 선택선을 선택하여 상기 각 용량 소자의 제2 단자를 설정 전압으로 하는 동시에, 상기 제2 클램프 스위치 소자를 제어하여 상기 제2 배선으로부터 상기 사전 결정된 전위를 분리하고, 상기 기준 전압을 공급하며,
- <241> 사전 결정된 수의 상기 선택선을 추가로 비선택으로 한 후, 상기 제1 클램프 스위치 소자를 제어하여 상기 제1 배선으로부터 상기 사전 결정된 전위를 분리하고, 상기 기준 전압을 공급하는 것을 특징으로 하는 반도체 기억 장치.
- <242> (부기 16) 상기 사전 결정된 전압은,
- <243> 상기 제1 배선에 대해서는, 상기 기억 셀에 있어서의 하이 레벨 전압 또는 로우 레벨 전압이고, 상기 제2 배선에 대해서는, 상기 로우 레벨 전압이며,
- <244> 상기 기준 전압은 상기 하이 레벨 전압과 상기 로우 레벨 전압과의 산술 평균 전압이고,
- <245> 상기 설정 전압은 상기 사전 결정된 전압이며, 사전 결정된 수의 상기 선택선을 비선택으로 한 후에도 상기 각 용량 소자의 제2 단자는 상기 설정 전압을 유지하는 것을 특징으로 하는 부기 15에 기재한 반도체 기억 장치.
- <246> (부기 17) 상기 전원 검지 회로로부터의 신호에 기초하여 사전 결정된 수의 상기 선택선을 선택하는 회로는, 시험시에 있어서 시험 신호에 기초하여 사전 결정된 수의 상기 선택선을 활성화하는 상기 선택선의 제어 회로인 것을 특징으로 하는 부기 8 내지 16 중 적어도 어느 한 항에 기재한 반도체 기억 장치.
- <247> (부기 18) 용량 소자에 전하를 축적함으로써 데이터를 기억하는 복수의 기억 셀을 구비하고, 상기 각 용량 소자의 제1 단자를 공통으로 접속하여 기준 단자로 하는 동시에, 상기 전하의 축적을 상기 각 용량 소자의 제2 단자로의 전하의 주입·방출에 의해 행하며, 추가로 상기 축적 전하를 셀프 리프레시하는 리프레시 제어 회로를 구비하는 반도체 기억 장치에 있어서,
- <248> 전원 전압의 투입을 검지하는 전원 검지 회로를 구비하고,
- <249> 상기 전원 검지 회로로부터의 신호에 기초하여 상기 리프레시 제어 회로를 기동하는 것을 특징으로 하는 반도체 기억 장치.
- <250> (부기 19) 상기 전원 검지 회로로부터의 신호는 상기 리프레시 제어 회로에 있어서의 셀프 리프레시 동작의 주기를 변경하는 것을 특징으로 하는 부기 18에 기재한 반도체 기억 장치.
- <251> (부기 20) 상기 리프레시 제어 회로의 트리거를 발생하는 리프레시 트리거 회로와,
- <252> 상기 리프레시 제어 회로에 있어서의 리프레시 횟수를 카운트하는 리프레시 횟수 카운트 회로를 구비하고,
- <253> 상기 리프레시 횟수 카운트 회로에 의해 셀프 리프레시 동작의 횟수가 사전 결정된 횟수가 된 경우, 상기 리프레시 트리거 회로를 비활성으로 하는 것을 특징으로 하는 부기 18 또는 19에 기재한 반도체 기억 장치.
- <254> (부기 21) 상기 전원 검지 회로는 파워 온 리셋 회로이고,
- <255> 상기 전원 검지 회로로부터의 신호는 파워 온 리셋 회로로부터의 출력 신호, 또는 상기 출력 신호에 기초하여 생성한 사전 결정된 월스폭을 갖는 월스 신호인 것을 특징으로 하는 부기 3 및 7 내지 20 중 적어도 어느 한 항에 기재한 반도체 기억 장치.
- <256> (부기 22) 용량 소자에 전하를 축적함으로써 데이터를 기억하는 복수의 기억 셀을 구비하고, 상기 각 용량 소자의 제1 단자를 공통으로 접속하여 기준 단자로 하는 동시에, 상기 전하의 축적을 상기 각 용량 소자의 제2 단자로의 전하의 주입·방출에 의해 행하는 반도체 기억 장치의 제어 방법에 있어서,
- <257> 상기 각 용량 소자의 제2 단자로의 전하의 주입·방출시에 상기 각 용량 소자에 의해 용량 결합되어 주입되는 전하에 따르는 전위 변동을 억제하기 위해서 전위 변동 억제 용량 소자를 상기 기준 단자에 접속하는 것을 특징으로 하는 반도체 기억 장치의 제어 방법.
- <258> (부기 23) 전원 전압이 투입된 것을 검지하여 사전 결정된 수의 상기 기억 셀마다 설치되는 복수의 데이터선에

기준 전압을 공급하는 제1 배선과, 상기 기준 단자에 기준 전압을 공급하는 제2 배선을 접속하는 것을 특징으로 하는 부기 22에 기재한 반도체 기억 장치의 제어 방법.

<259> (부기 24) 용량 소자에 전하를 축적함으로써 데이터를 기억하는 복수의 기억 셀을 구비하고, 상기 각 용량 소자의 제1 단자를 공통으로 접속하여 기준 단자로 하는 동시에, 상기 전하의 축적을 상기 각 용량 소자의 제2 단자로의 전하의 주입·방출에 의해 행하는 반도체 기억 장치의 제어 방법에 있어서,

<260> 전원 전압이 투입된 것을 검지하여 사전 결정된 수의 상기 기억 셀에 있어서의 상기 각 용량 소자의 제2 단자에 전하를 주입하는 동시에, 이것과 같은 수의 다른 상기 기억 셀에 있어서의 상기 각 용량 소자의 제2 단자로부터 전하를 방출하는 것을 특징으로 하는 반도체 기억 장치의 제어 방법.

<261> (부기 25) 상기 각 용량 소자의 제2 단자로의 전하의 주입·방출 경로로서 사전 결정된 수의 상기 기억 셀마다 설치되는 복수의 데이터선과, 2개로 한 쌍의 데이터선 쌍을 차동 증폭하는 복수의 센스 앰프 회로와, 상기 각 데이터선과 상기 각 용량 소자의 제2 단자를 전기적으로 접속하는 선택선을 갖고 있고,

<262> 전원 전압이 투입된 것을 검지하여 상기 각 선택선을 선택함으로써, 사전 결정된 수의 상기 데이터선 쌍을 구성하는 상기 각 데이터선에 같은 수의 상기 용량 소자의 제2 단자를 전기적으로 접속하는 것을 특징으로 하는 부기 24에 기재한 반도체 기억 장치의 제어 방법.

<263> (부기 26) 상기 각 용량 소자의 제2 단자로의 전하의 주입·방출 경로로서 사전 결정된 수의 상기 기억 셀마다 설치되는 복수의 데이터선과, 상기 각 데이터선과 상기 각 용량 소자의 제2 단자를 전기적으로 접속하는 복수의 선택선과, 상기 각 용량 소자의 제2 단자로부터 축적 전하가 상기 각 데이터선으로 방출되었을 때, 상기 각 데이터선에 전하를 추가로 보충하는 복수의 더미 선택선을 갖고 있고,

<264> 전원 전압이 투입된 것을 검지하여 상기 각 선택선 및 상기 각 더미 선택선을 선택함으로써, 사전 결정된 수의 상기 용량 소자의 제2 단자에 전하를 주입·방출할 때, 상기 각 더미 선택선 중의 절반을 논리 반전하는 것을 특징으로 하는 부기 24에 기재한 반도체 기억 장치의 제어 방법.

<265> (부기 27) 상기 각 데이터선과 상기 각 용량 소자의 제2 단자를 전기적으로 접속하는 복수의 선택선을 갖고 있고,

<266> 전원 전압이 투입된 것을 검지하여 상기 각 선택선을 선택함으로써, 사전 결정된 수의 상기 기억 셀마다 전하의 주입과 방출을 교대로 전환하여 상기 데이터의 기록을 행하는 것을 특징으로 하는 부기 24에 기재한 반도체 기억 장치의 제어 방법.

<267> (부기 28) 상기 데이터의 논리 레벨은 논리 하이 레벨, 또는 논리 로우 레벨의 고정이고,

<268> 상기 각 데이터선 쌍을 구성하는 상기 각 데이터선에 접속되는 상기 각 기억 셀로부터 상기 데이터선마다 같은 수의 상기 기억 셀을 선택하는 것을 특징으로 하는 부기 27에 기재한 반도체 기억 장치의 제어 방법.

<269> (부기 29) 상기 제어 방법에 의한 동작은 상기 복수의 기억 셀 중 사전 결정된 수의 기억 셀을 일단위로서 통합한 각 셀 블록 단위로 행해지는 것을 특징으로 하는 부기 24 내지 28 중 적어도 어느 한 항에 기재한 반도체 기억 장치의 제어 방법.

<270> (부기 30) 용량 소자에 전하를 축적함으로써 데이터를 기억하는 복수의 기억 셀을 구비하고, 상기 각 용량 소자의 제1 단자를 공통으로 접속하여 기준 단자로 하는 동시에, 상기 전하의 축적을 상기 각 용량 소자의 제2 단자로의 전하의 주입·방출에 의해 행하는 반도체 기억 장치의 제어 방법에 있어서,

<271> 상기 각 용량 소자의 제2 단자로의 전하의 주입·방출 경로로서 사전 결정된 수의 상기 기억 셀마다 설치되는 복수의 데이터선과, 상기 각 데이터선에 기준 전압을 공급하는 제1 배선과, 상기 기준 단자에 기준 전압을 공급하는 제2 배선과, 상기 각 데이터선과 상기 각 용량 소자의 제2 단자를 전기적으로 접속하는 복수의 선택선을 갖고 있고,

<272> 전원 전압이 투입된 것을 검지하여 상기 제1 배선 또는 상기 제2 배선을 상기 사전 결정된 전압으로 고정하며, 사전 결정된 수의 상기 선택선을 선택하여 상기 각 용량 소자의 제2 단자를 설정 전압으로 한 후, 사전 결정된 수의 상기 선택선을 비선택으로 하여 상기 제1 배선 또는 상기 제2 배선으로부터 상기 사전 결정된 전위를 분리하여 상기 기준 전압을 공급하는 것을 특징으로 하는 반도체 기억 장치의 제어 방법.

<273> (부기 31) 상기 사전 결정된 전압은 상기 용량 소자의 제2 단자에 있어서의 하이 레벨 전압 또는 로우 레벨 전

압이고,

<274> 상기 기준 전압은 상기 하이 레벨 전압과 상기 로우 레벨 전압과의 산술 평균 전압이며,

<275> 상기 제1 배선이 상기 사전 결정된 전압으로 고정되는 경우, 상기 설정 전압은 상기 사전 결정된 전압이고, 사전 결정된 수의 상기 선택선을 비선택으로 한 후에도 상기 각 용량 소자의 제2 단자는 상기 설정 전압을 유지하며,

<276> 상기 제2 배선이 상기 사전 결정된 전압으로 고정되는 경우, 상기 설정 전압은 상기 기준 전압이 되고, 사전 결정된 수의 상기 선택선을 비선택으로 한 후에는, 상기 제2 배선이 상기 기준 전압이 될 때, 상기 기준 단자로부터의 용량 결합에 의해 상기 각 용량 소자의 제2 단자는 상기 사전 결정된 전압과 반대의 전압이 되는 것을 특징으로 하는 부기 30에 기재한 반도체 기억 장치의 제어 방법.

<277> (부기 32) 용량 소자에 전하를 축적함으로써 데이터를 기억하는 복수의 기억 셀을 구비하고, 상기 각 용량 소자의 제1 단자를 공통으로 접속하여 기준 단자로 하는 동시에, 상기 전하의 축적을 상기 각 용량 소자의 제2 단자로의 전하의 주입·방출에 의해 행하는 반도체 기억 장치의 제어 방법에 있어서,

<278> 상기 각 용량 소자의 제2 단자로의 전하의 주입·방출 경로로서 사전 결정된 수의 상기 기억 셀마다 설치되는 복수의 데이터선과, 상기 각 데이터선에 기준 전압을 공급하는 제1 배선과, 상기 기준 단자에 기준 전압을 공급하는 제2 배선과, 상기 각 데이터선과 상기 각 용량 소자의 제2 단자를 전기적으로 접속하는 복수의 선택선을 갖고 있고,

<279> 전원 전압이 투입된 것을 검지하여 상기 제1 및 상기 제2 배선을 사전 결정된 전압으로 고정하며, 사전 결정된 수의 상기 선택선을 선택하여 상기 각 용량 소자의 제2 단자를 설정 전압으로 하는 동시에, 상기 제2 배선으로부터 상기 사전 결정된 전위를 분리하여 상기 기준 전압을 공급하고, 사전 결정된 수의 상기 선택선을 추가로 비선택으로 한 후, 상기 제1 배선으로부터 상기 사전 결정된 전위를 분리하여 상기 기준 전압을 공급하는 것을 특징으로 하는 반도체 기억 장치의 제어 방법.

<280> (부기 33) 상기 사전 결정된 전압은,

<281> 상기 제1 배선에 대해서는 상기 기억 셀에 있어서의 하이 레벨 전압 또는 로우 레벨 전압이고, 상기 제2 배선에 대해서는 상기 로우 레벨 전압이며,

<282> 상기 기준 전압은 상기 하이 레벨 전압과 상기 로우 레벨 전압과의 산술 평균 전압이고,

<283> 상기 설정 전압은 상기 사전 결정된 전압이며, 사전 결정된 수의 상기 선택선을 비선택으로 한 후에도 상기 각 용량 소자의 제2 단자는 상기 설정 전압을 유지하는 것을 특징으로 하는 부기 32에 기재한 반도체 기억 장치의 제어 방법.

<284> (부기 34) 용량 소자에 전하를 축적함으로써 데이터를 기억하는 복수의 기억 셀을 구비하고, 상기 각 용량 소자의 제1 단자를 공통으로 접속하여 기준 단자로 하는 동시에, 상기 전하의 축적을 상기 각 용량 소자의 제2 단자로의 전하의 주입·방출에 의해 행하며, 추가로 상기 축적 전하를 셀프 리프레시하는 리프레시 제어 회로를 구비하는 반도체 기억 장치의 제어 방법에 있어서,

<285> 전원 전압이 투입된 것을 검지하여 상기 리프레시 제어 회로를 기동하는 것을 특징으로 하는 반도체 기억 장치의 제어 방법.

<286> (부기 35) 전원 전압이 투입된 것을 검지하여 상기 리프레시 제어 회로에 있어서의 셀프 리프레시 동작의 주기를 변경하는 것을 특징으로 하는 부기 34에 기재한 반도체 기억 장치의 제어 방법.

<287> (부기 36) 상기 리프레시 제어 회로에 의한 셀프 리프레시 동작의 횟수가 사전 결정된 횟수가 된 경우, 상기 리프레시 제어 회로를 비활성으로 하는 것을 특징으로 하는 부기 34 또는 35에 기재한 반도체 기억 장치의 제어 방법.

<288> (부기 37) 상기 제어 방법은 상기 전원 전압이 투입된 후의 사전 결정된 기간에 있어서 행해지는 것을 특징으로 하는 부기 22 내지 부기 36 중 적어도 어느 한 항에 기재한 반도체 장치의 제어 방법.

### 발명의 효과

<289> 본 발명에 따르면, 메모리 셀에 전하 축적용의 셀 커패시터를 구비하고, 전하의 축적보다 데이터 기억을 행하는

반도체 기억 장치에 있어서, 전원 투입시에 있어서, 모든 셀 커패시터의 전하 축적 노드에는 축적 전하는 존재하지 않거나 있더라도 미소한 상태로부터 액세스 동작으로 이행하는 경우에 있어서도, 셀 플레이트 전위가 변동하지 않는 반도체 기억 장치를 제공하는 것이 가능하게 된다.

### 도면의 간단한 설명

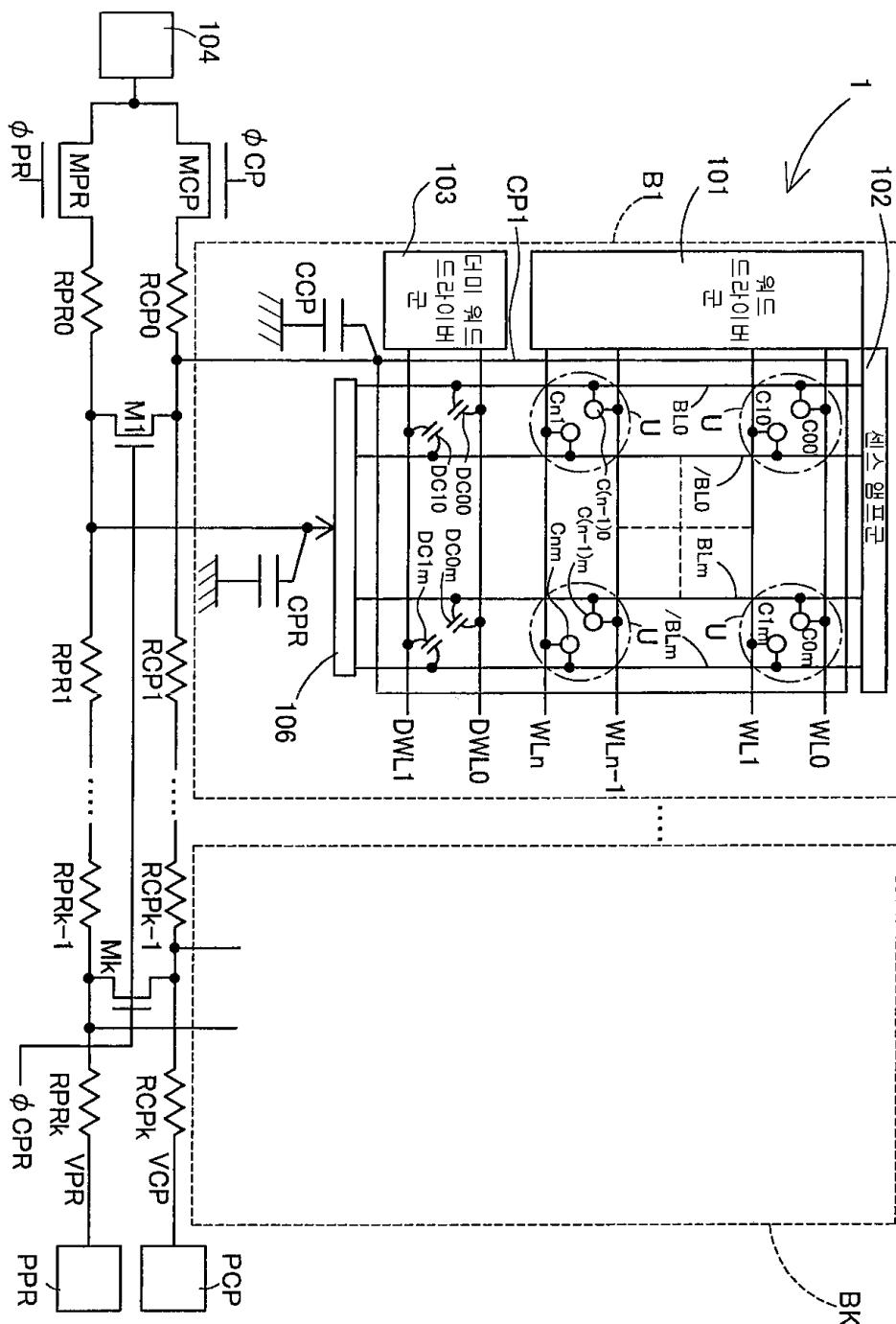
- <1> 도 1은 제1 실시 형태의 반도체 기억 장치를 도시한 회로 블록도.
- <2> 도 2는 제1 실시 형태의 효과를 도시한 설명도.
- <3> 도 3은 제2 실시 형태의 반도체 기억 장치를 도시한 회로 블록도.
- <4> 도 4는 제3 실시 형태의 반도체 기억 장치를 도시한 회로 블록도.
- <5> 도 5는 제3 실시 형태의 반도체 기억 장치의 동작을 도시한 과정도.
- <6> 도 6은 제3 실시 형태의 반도체 기억 장치의 동작을 도시한 회로도.
- <7> 도 7은 제4 실시 형태의 반도체 기억 장치를 도시한 회로 블록도.
- <8> 도 8은 더미 셀의 예를 도시한 회로도.
- <9> 도 9는 제4 실시 형태의 반도체 기억 장치의 동작을 도시한 과정도.
- <10> 도 10은 제5 실시 형태의 반도체 기억 장치를 도시한 회로 블록도.
- <11> 도 11은 제5 실시 형태의 반도체 기억 장치의 동작을 도시한 과정도.
- <12> 도 12는 제6 실시 형태의 반도체 기억 장치를 도시한 회로 블록도.
- <13> 도 13은 제6 실시 형태의 반도체 기억 장치의 동작을 도시한 과정도.
- <14> 도 14는 제7 실시 형태의 반도체 기억 장치를 도시한 회로 블록도.
- <15> 도 15는 종래 기술의 반도체 기억 장치를 도시한 회로 블록도.
- <16> 도 16은 기준 전압 발생 회로를 도시한 회로도.
- <17> 도 17은 비트선 쌍에 접속된 1 세트의 메모리 셀 쌍을 도시한 회로도.
- <18> 도 18은 메모리 셀의 단면도.
- <19> 도 19는 종래 기술의 반도체 기억 장치의 동작을 도시한 과정도.
- <20> <도면의 주요부분에 대한 부호의 설명>
- <21> 9, 11 : NOR 게이트
- <22> 10, 12 : NMOS 트랜지스터
- <23> 60 : 반전 선택 회로
- <24> 70 : 필스 확장 회로
- <25> 80 : 제어 회로
- <26> 92 : 리프레시 트리거 회로
- <27> 94 : 카운터 회로
- <28> 96 : 지연 회로
- <29> 101 : 워드 드라이버군
- <30> 102 : 센스 앰프군
- <31> 103 : 더미 워드 드라이버군
- <32> 104 : 기준 전압 발생 회로

- <33> 104B : 기준 전압 발생부
- <34> 104D : 기준 전압 구동부
- <35> 105 : 전원 검지 회로
- <36> 107 : 리프레시 제어 회로
- <37> C0, C1 : 셀 커패시터
- <38> CP1 : 셀 플레이트
- <39> I1 내지 Ik : 반전 스위치 회로
- <40> M1 내지 Mk : NMOS 트랜지스터
- <41> CCP : 셀 플레이트 기생 용량
- <42> CPR : 비트선 이퀄라이즈 용량
- <43> ST0, ST1 : 전하 축적 노드

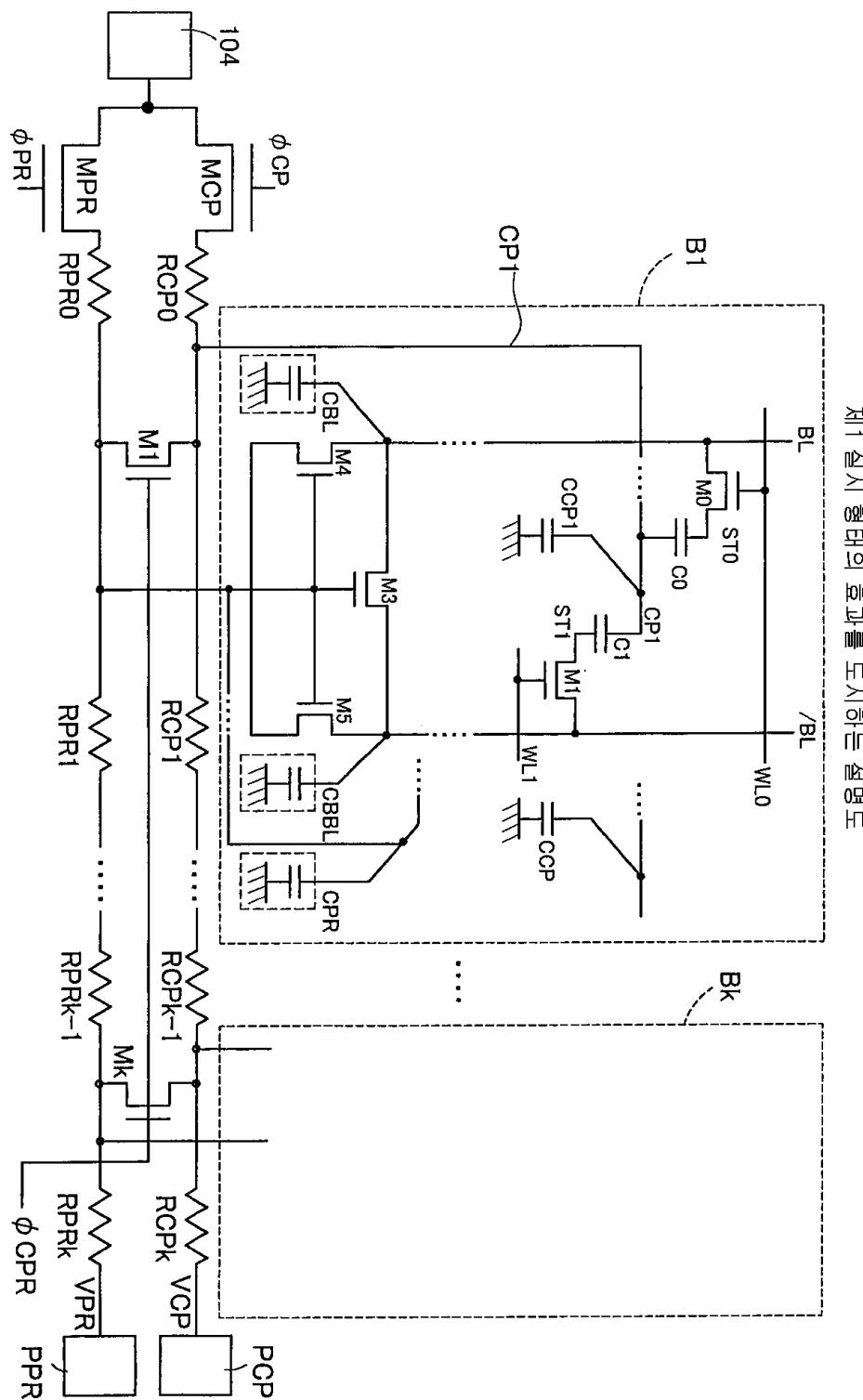
도면

도면1

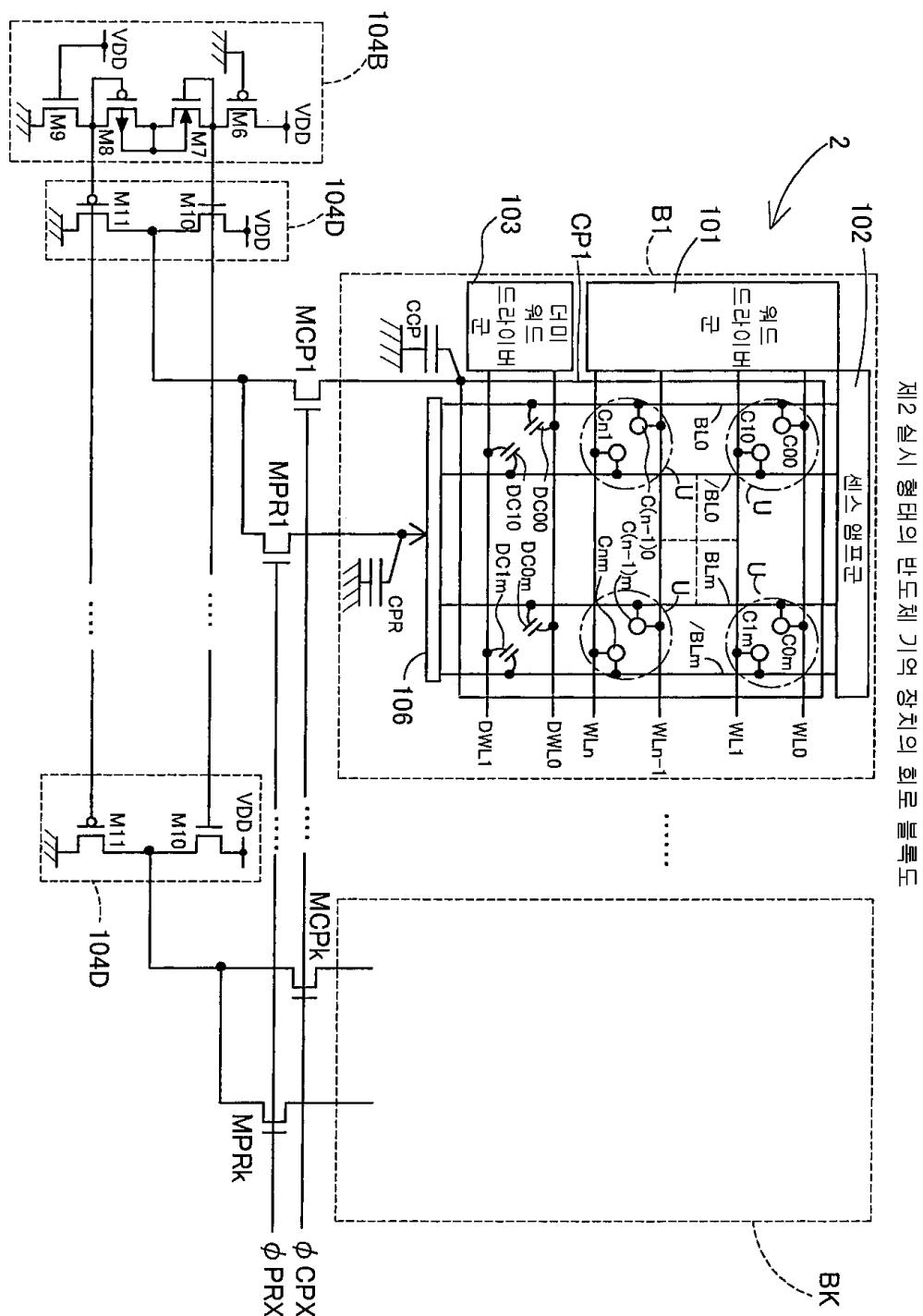
제 1 실시 형태의 반도체 기억 장치의 회로 블록도



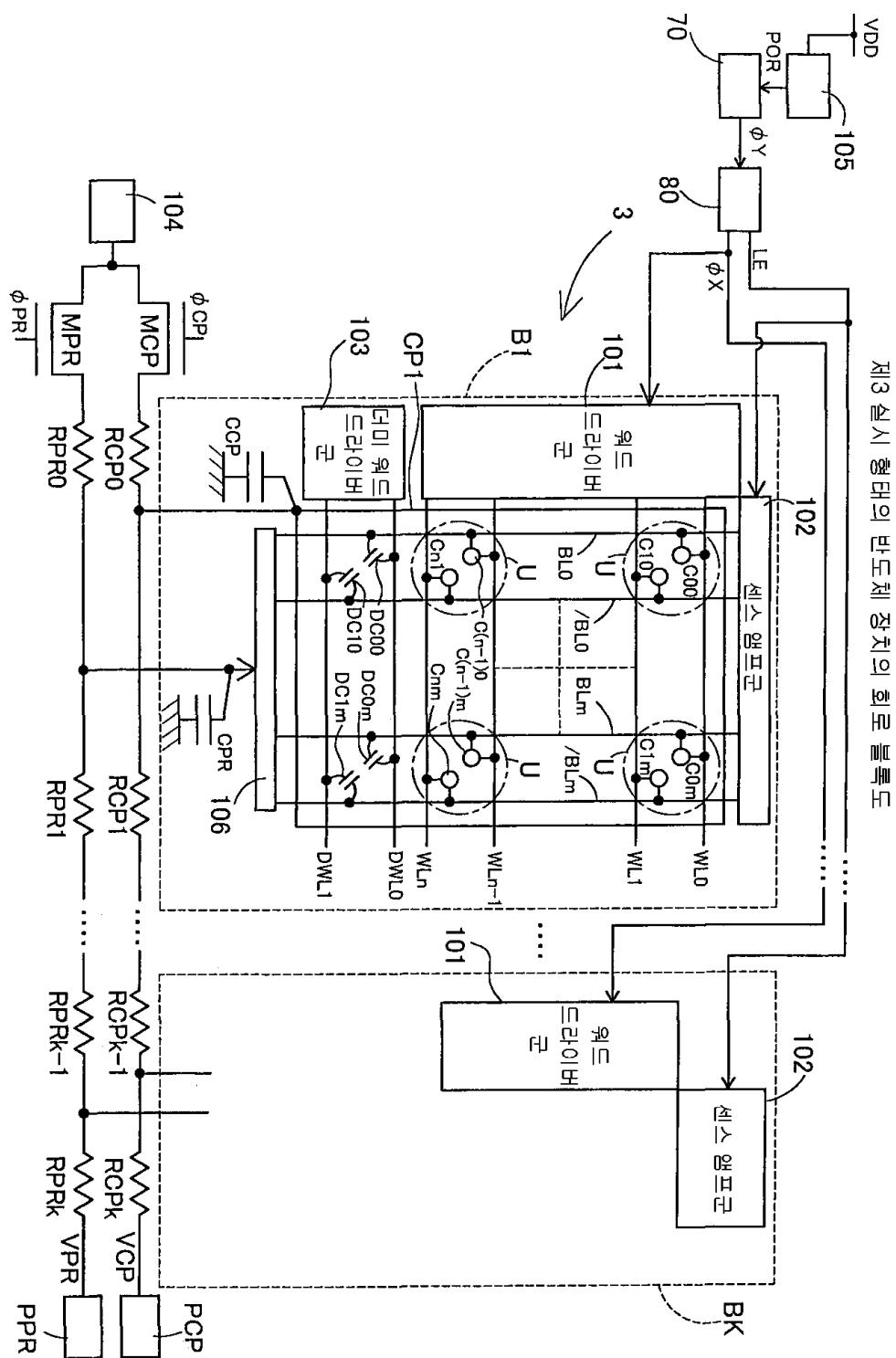
도면2



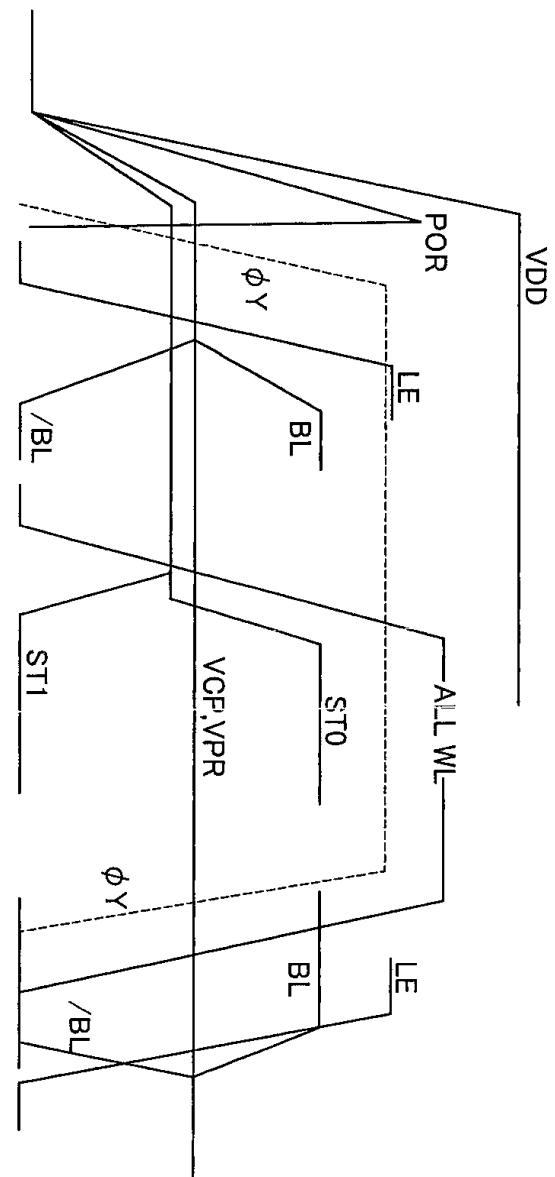
도면3



도면4

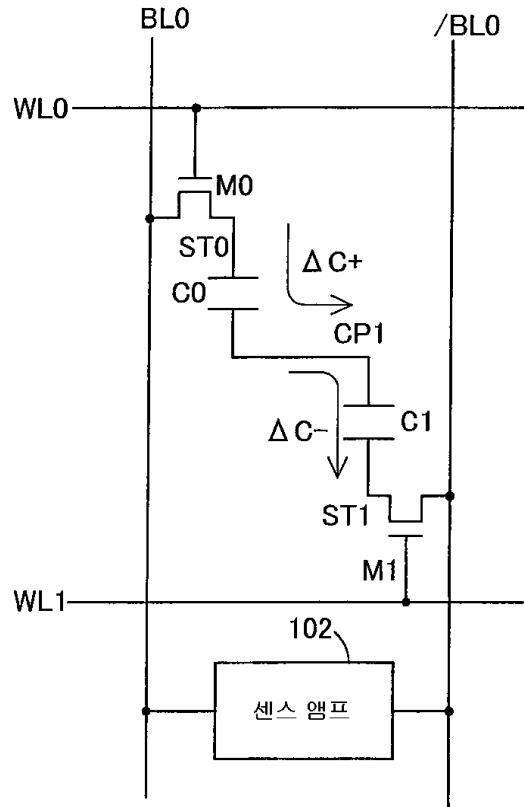


도면5



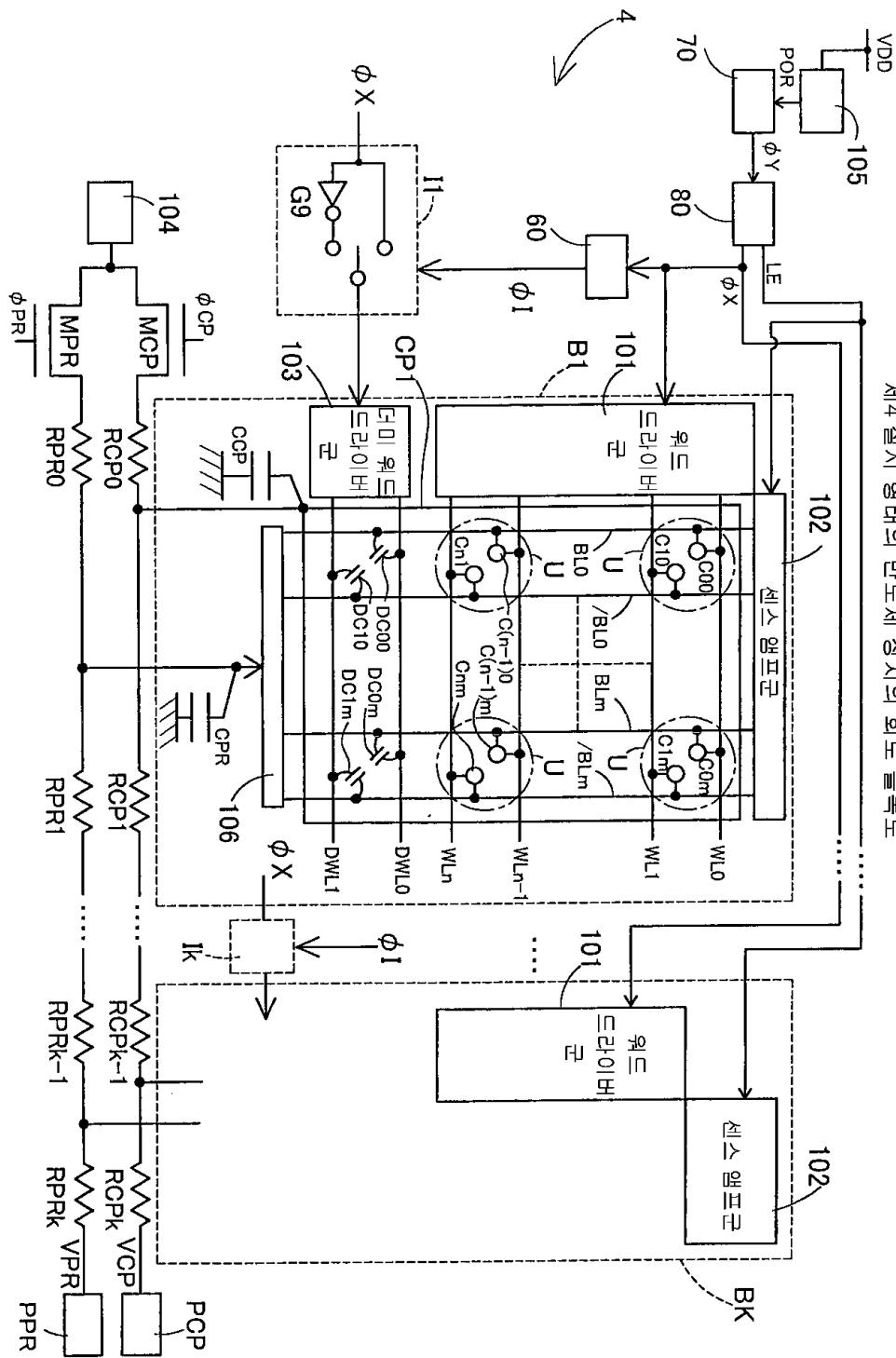
도면6

제3 실시 형태의 동작을 도시하는 회로도



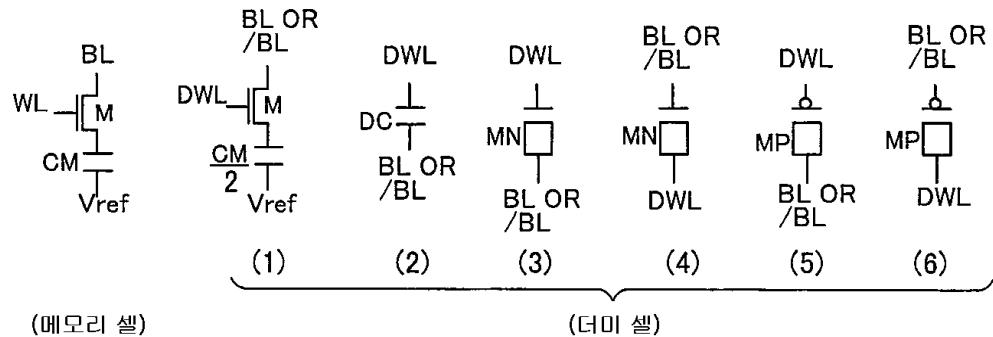
도면7

제4 실시 형태의 반도체 장치의 회로 블록도

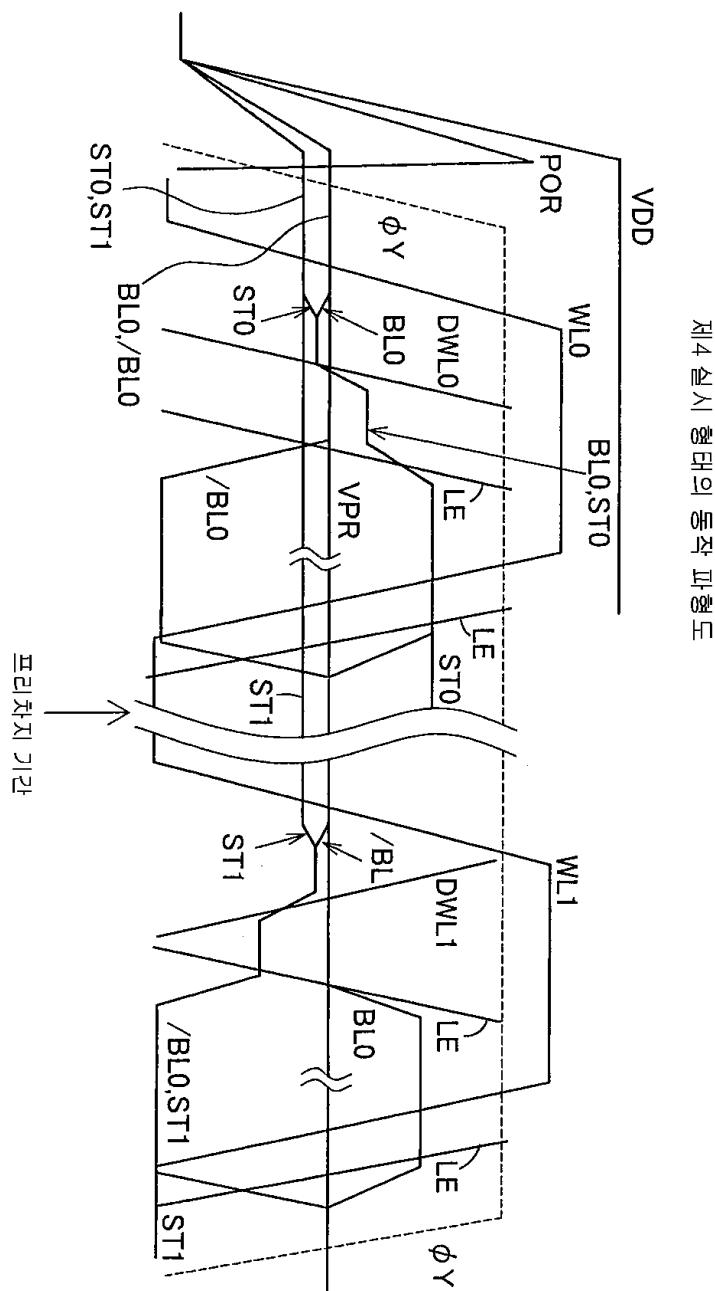


## 도면8

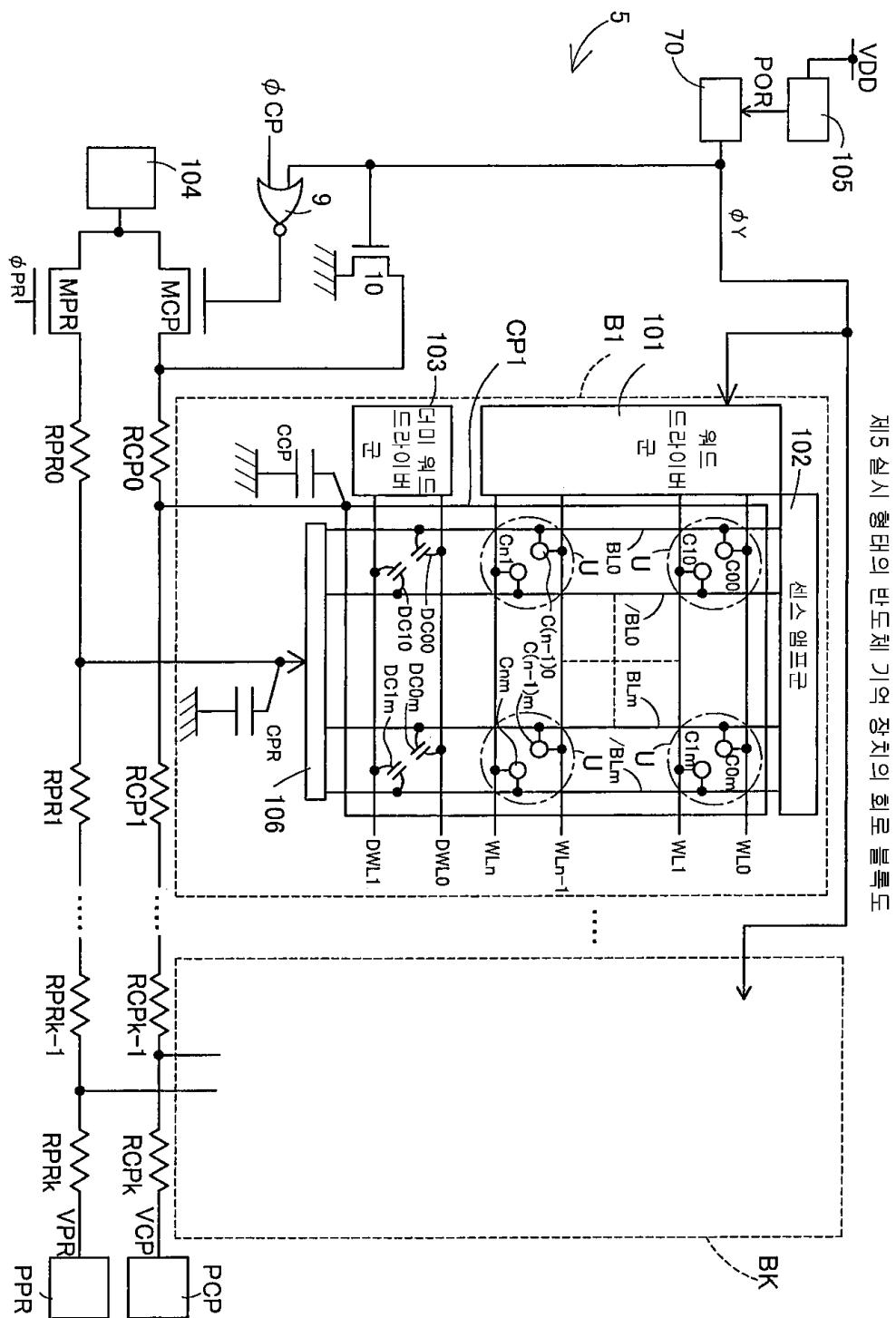
더미 셀의 예



도면9

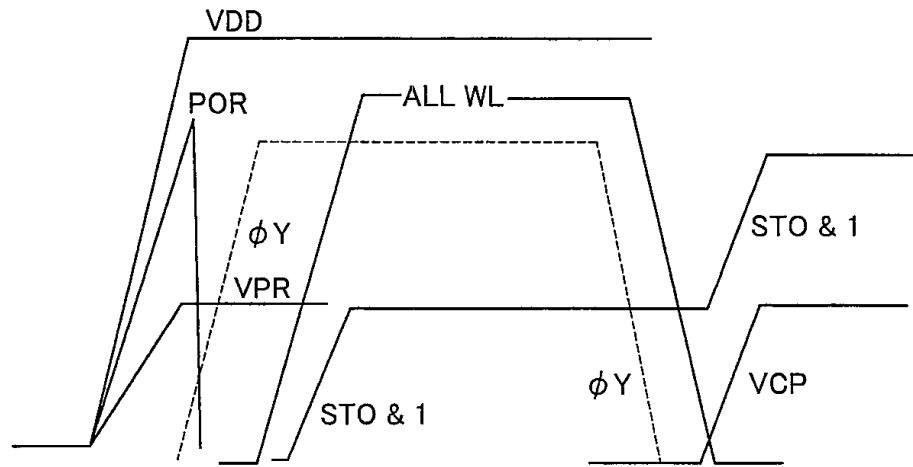


도면10



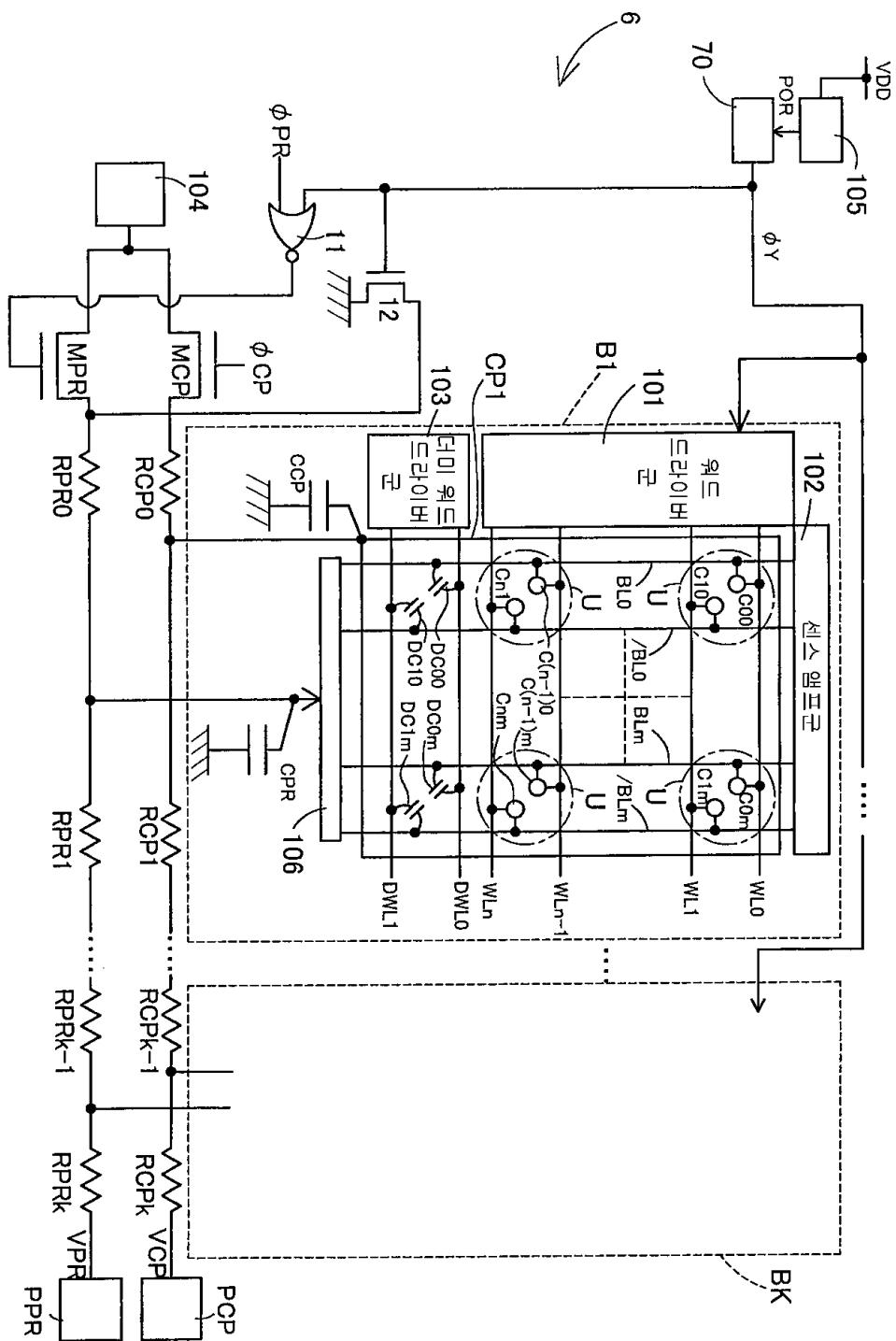
도면11

제5 실시 형태의 동작 파형도



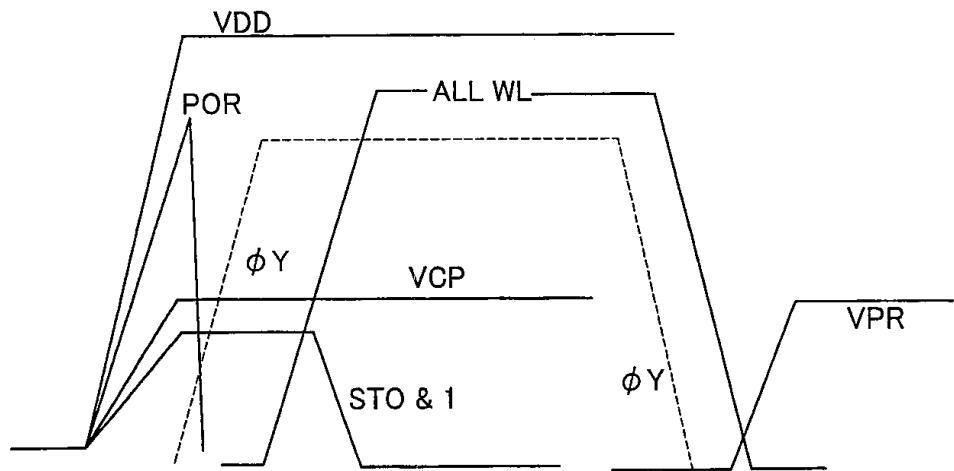
도면12

제6 실시 형태의 반도체 기억 장치의 회로 블록도

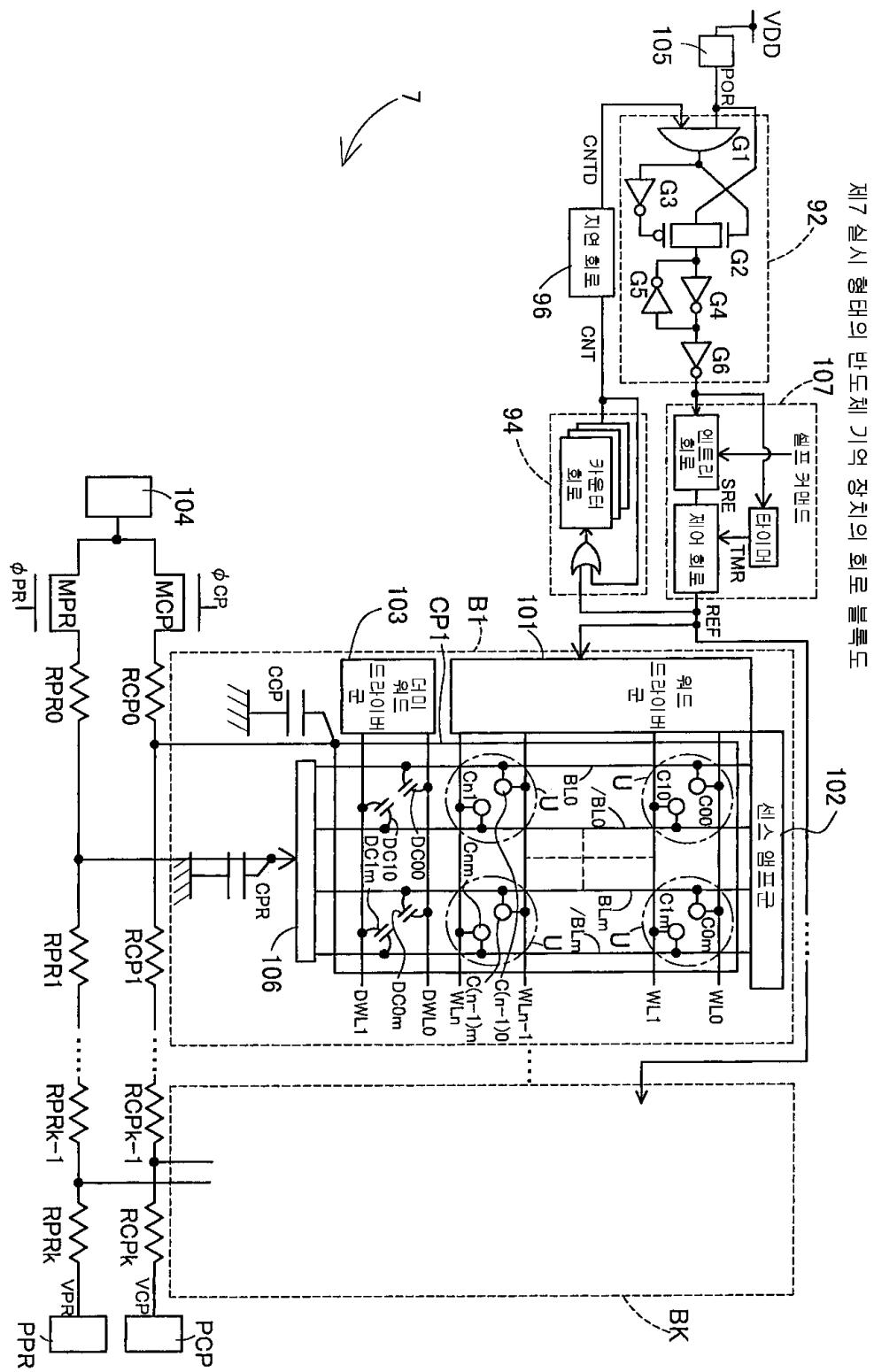


도면13

제6 실시 형태의 동작 파형도

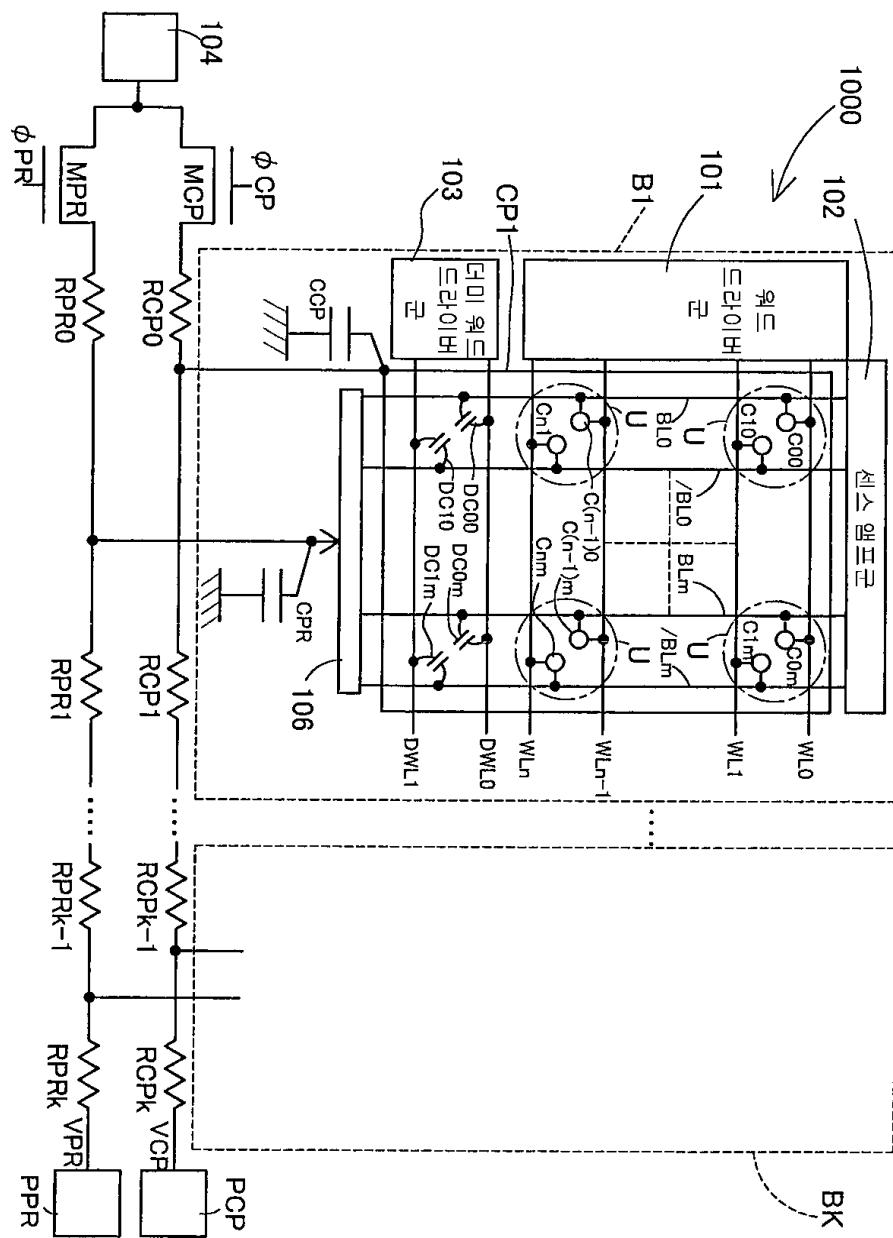


도면14



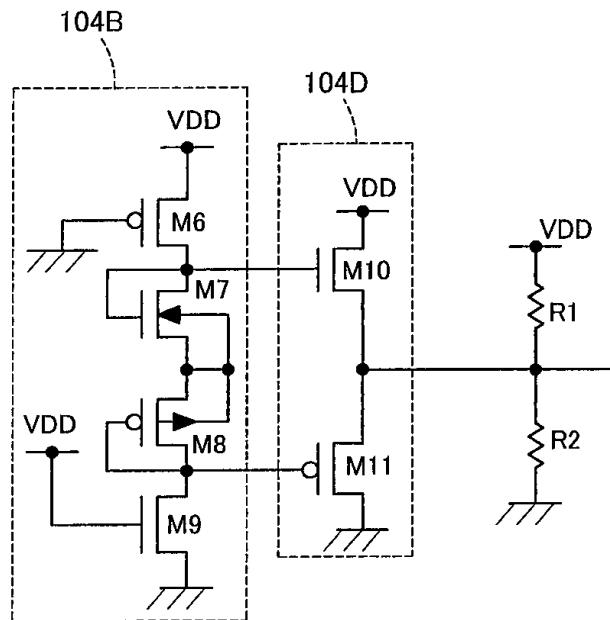
도면15

종래 기술의 반도체 기억 장치의 회로 블록도



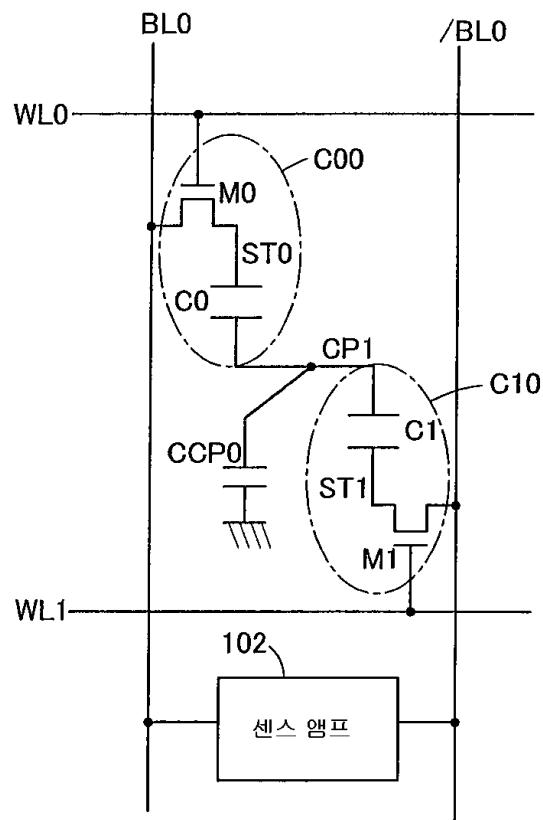
도면16

기준 전압 발생 회로



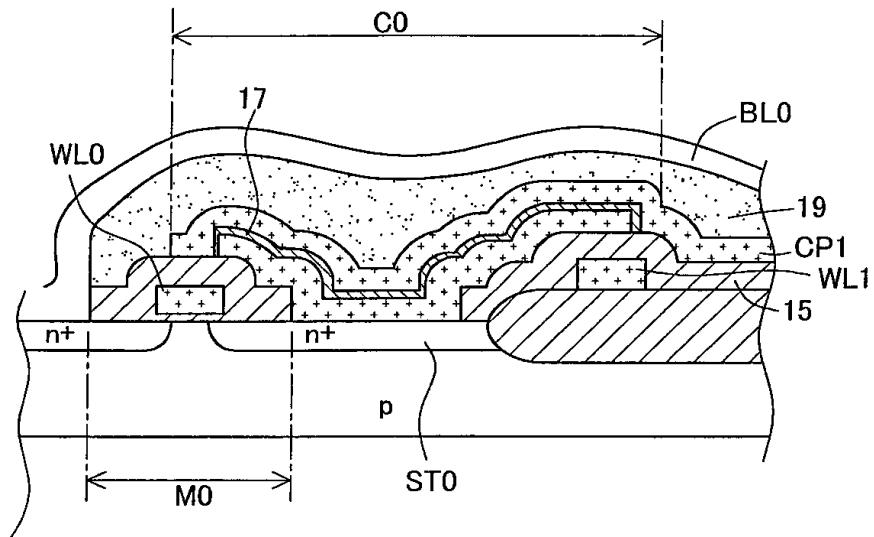
도면17

비트선 쌍에 접속된 메모리 셀 쌍을 도시하는 회로도



도면18

메모리 셀의 단면도



도면19

종래 기술의 동작 파형도

