

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-173859

(P2005-173859A)

(43) 公開日 平成17年6月30日(2005.6.30)

(51) Int.Cl.⁷

G06F 12/00

F I

G06F 12/00 571B

テーマコード (参考)

5B060

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21) 出願番号 特願2003-411306 (P2003-411306)
 (22) 出願日 平成15年12月10日 (2003.12.10)

(71) 出願人 000005821
 松下電器産業株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100077931
 弁理士 前田 弘
 (74) 代理人 100094134
 弁理士 小山 廣毅
 (74) 代理人 100110939
 弁理士 竹内 宏
 (74) 代理人 100113262
 弁理士 竹内 祐二
 (74) 代理人 100115059
 弁理士 今江 克実
 (74) 代理人 100117710
 弁理士 原田 智雄

最終頁に続く

(54) 【発明の名称】 メモリアクセス制御回路

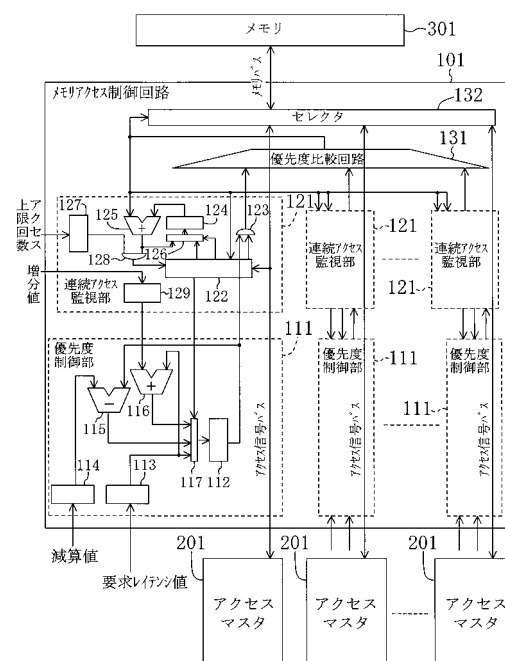
(57) 【要約】

【課題】 1つのメモリに対する複数のアクセスマスタの競合に対して柔軟、かつ、確実にレイテンシを保証する。

【解決手段】

メモリアクセス制御回路101は、複数のアクセスマスタ201とメモリ301との間に設けられる。優先度比較回路131は優先度レジスタ112に保持される優先度を比較し、セクタ132は最も優先度の高いアクセスマスタ201にアクセスを許可する。優先度レジスタ112に保持される優先度は、アクセスが待たされるごとに減算値レジスタ114の値が減算されることによって上昇し、アクセスされやすくなる。連続アクセス回数レジスタ124は連続アクセス回数を保持し、アクセス上限回数レジスタ127に達すると、次のアクセス要求があったときに優先度レジスタ112に保持される初期値の優先度が低く抑えられる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

1 つのメモリに対する複数のアクセスマスタからのアクセス要求を調停するメモリアクセス制御回路であって、

各アクセスマスタからの要求に応じたアクセス許可の優先度を保持する優先度保持手段と、

上記優先度保持手段に保持された優先度に基づいて、各アクセスマスタにアクセス許可を与えるアクセス許可手段と、

各アクセスマスタによるアクセスが完了した後に、上記優先度保持手段に保持される優先度を所定の初期値に設定する一方、各アクセスマスタによるアクセスが待たされるごとに、上記優先度保持手段に保持されている優先度を所定の程度だけ上昇させる優先度制御手段と、

10

を備えたことを特徴とするメモリアクセス制御回路。

【請求項 2】

請求項 1 のメモリアクセス制御回路であって、さらに、

上記優先度保持手段に保持される上記優先度の初期値を保持する優先度初期値保持手段と、

上記優先度保持手段に保持されている上記優先度の上昇程度を示す値を保持する優先度上昇程度保持手段と、

を備え、

20

上記優先度制御手段は、上記優先度初期値保持手段および優先度上昇程度保持手段に保持された値に基づいて、上記優先度の初期値の設定を行い、または優先度を上昇させるように構成されていることを特徴とするメモリアクセス制御回路。

【請求項 3】

請求項 1 のメモリアクセス制御回路であって、

上記優先度制御手段は、さらに、同一のアクセスマスタによるアクセスが連続して許可された場合に、そのアクセスマスタからの次の要求に応じて上記優先度保持手段に保持される初期値としての優先度を低下させるように構成されていることを特徴とするメモリアクセス制御回路。

【請求項 4】

30

請求項 3 のメモリアクセス制御回路であって、

上記優先度制御手段は、同一のアクセスマスタによるアクセスが所定の回数連続して許可された場合に、アクセスマスタからの次の要求に応じて上記優先度保持手段に保持される初期値としての優先度を所定の程度だけ低下させるように構成されていることを特徴とするメモリアクセス制御回路。

【請求項 5】

請求項 4 のメモリアクセス制御回路であって、さらに、

同一のアクセスマスタによる連続したアクセス回数を保持する連続アクセス回数保持手段と、

上記連続したアクセス回数の上限回数を保持する連続アクセス上限回数保持手段と、

40

上記優先度保持手段に保持されている上記優先度の低下程度を示す値を保持する優先度低下程度保持手段と、

を備え、

上記優先度制御手段は、上記連続アクセス回数保持手段に保持される回数が、上記連続アクセス上限回数保持手段に保持されている上限回数以上または上限回数を超える回数になったときに、そのアクセスマスタからの次の要求に応じて上記優先度保持手段に保持される初期値としての優先度を上記優先度低下程度保持手段に保持されている値だけ低下させるように構成されていることを特徴とするメモリアクセス制御回路。

【発明の詳細な説明】

【技術分野】

50

【0001】

本発明は、ひとつのメモリに対して複数のアクセスマスタが競合してアクセスする場合のアクセス性能を保証するために、上記アクセスマスタからのアクセス要求を調停するメモリアクセス制御回路に関するものである。

【背景技術】

【0002】

近年、システムLSIにおけるユニファイド化等に伴い、複数のアクセスマスタが同一のメモリにアクセスするシステムが多くなっている。このようなシステムでは、各アクセスマスタからのアクセス要求に対するアクセス制御は、システムの性能に大きな影響を与える。そこで、各アクセスマスタからのアクセス要求に対する遅延時間、すなわちレイテンシを保証するために、複数のアクセスマスタからのアクセス要求を調停するメモリアクセス制御回路が設けられる。すなわち、複数のアクセスマスタからのアクセス要求が競合した場合に、ラウンドロビン方式で順次アクセスを許可したり、固定された優先度でアクセスを許可したりするようになっている（例えば、特許文献1、2参照）。

10

【特許文献1】特開平11-316738号公報

【特許文献2】特開平10-247138号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら、上記従来のメモリアクセス制御回路では、柔軟、かつ、確実にレイテンシを保証することは困難であるという問題点を有していた。すなわち、ラウンドロビン方式が用いられる場合には、各アクセスマスタに対して公平な仲裁は可能となるが、アクセスマスタによってそれぞれ異なるレイテンシを保証することはできない。また、固定された優先度でアクセスが許可される場合には、優先度の高いアクセス要求と優先度の低いアクセス要求とが連続して発生するような場合に、優先度の低いアクセス要求に対するレイテンシを保証することが困難になる。

20

【0004】

本発明は、上記の点に鑑み、メモリアクセス制御回路によって、柔軟、かつ、確実にレイテンシを保証することができるようにすることを目的としている。

【課題を解決するための手段】

30

【0005】

上記の課題を解決するために、請求項1の発明は、

1つのメモリに対する複数のアクセスマスタからのアクセス要求を調停するメモリアクセス制御回路であって、

各アクセスマスタからの要求に応じたアクセス許可の優先度を保持する優先度保持手段と、

上記優先度保持手段に保持された優先度に基づいて、各アクセスマスタにアクセス許可を与えるアクセス許可手段と、

各アクセスマスタによるアクセスが完了した後に、上記優先度保持手段に保持される優先度を所定の初期値に設定する一方、各アクセスマスタによるアクセスが待たされるごとに、上記優先度保持手段に保持されている優先度を所定の程度だけ上昇させる優先度制御手段と、

40

を備えたことを特徴とする。

【0006】

また、請求項2の発明は、

請求項1のメモリアクセス制御回路であって、さらに、

上記優先度保持手段に保持される上記優先度の初期値を保持する優先度初期値保持手段と、

上記優先度保持手段に保持されている上記優先度の上昇程度を示す値を保持する優先度上昇程度保持手段と、

50

を備え、

上記優先度制御手段は、上記優先度初期値保持手段および優先度上昇程度保持手段に保持された値に基づいて、上記優先度の初期値の設定を行い、または優先度を上昇させるように構成されていることを特徴とする。

【0007】

これらにより、各アクセスマスタによるアクセスが待たされるほど、上記優先度保持手段に保持されている優先度が上昇し、アクセスが許可されやすくなる。

【0008】

また、請求項3の発明は、

請求項1のメモリアクセス制御回路であって、

10

上記優先度制御手段は、さらに、同一のアクセスマスタによるアクセスが連続して許可された場合に、そのアクセスマスタからの次の要求に応じて上記優先度保持手段に保持される初期値としての優先度を低下させるように構成されていることを特徴とする。

【0009】

また、請求項4の発明は、

請求項3のメモリアクセス制御回路であって、

上記優先度制御手段は、同一のアクセスマスタによるアクセスが所定の回数連続して許可された場合に、アクセスマスタからの次の要求に応じて上記優先度保持手段に保持される初期値としての優先度を所定の程度だけ低下させるように構成されていることを特徴とする。

20

【0010】

また、請求項5の発明は、

請求項4のメモリアクセス制御回路であって、さらに、

同一のアクセスマスタによる連続したアクセス回数を保持する連続アクセス回数保持手段と、

上記連続したアクセス回数の上限回数を保持する連続アクセス上限回数保持手段と、

上記優先度保持手段に保持されている上記優先度の低下程度を示す値を保持する優先度低下程度保持手段と、

を備え、

上記優先度制御手段は、上記連続アクセス回数保持手段に保持される回数が、上記連続アクセス上限回数保持手段に保持されている上限回数以上または上限回数を超える回数になったときに、そのアクセスマスタからの次の要求に応じて上記優先度保持手段に保持される初期値としての優先度を上記優先度低下程度保持手段に保持されている値だけ低下させるように構成されていることを特徴とする。

30

【0011】

これらにより、同一のアクセスマスタに連続してアクセスが許可されるほど、次にアクセス要求がなされたときの優先度が低く設定され、特定のアクセスマスタによるアクセスが集中しにくくなる。

【発明の効果】

【0012】

40

本発明によれば、メモリアクセス制御回路によって、柔軟、かつ、確実にレイテンシを保証することができる。

【発明を実施するための最良の形態】

【0013】

以下、本発明の実施形態を図面に基づいて詳細に説明する。

【0014】

メモリアクセス制御回路101は、図1に示すように、複数のアクセスマスタ201とメモリ301との間に設けられている。このメモリアクセス制御回路101は、それぞれ各アクセスマスタ201に対応する複数の優先度制御部111（優先度制御手段の一部）および連続アクセス監視部121（優先度制御手段の一部）と、各優先度制御部111か

50

ら連続アクセス監視部 1 2 1 を介して入力される優先度を比較する優先度比較回路 1 3 1 と、上記優先度比較回路 1 3 1 の出力に応じて、何れかのアクセスマスタ 2 0 1 によるメモリ 3 0 1 へのアクセスを許可するセクタ 1 3 2 (アクセス許可手段) とを備えている。

【0015】

上記優先度制御部 1 1 1 は、より詳しくは、図 2 に示すように、優先度を示す値 (この例では小さいほど優先度が高い) を保持する優先度レジスタ 1 1 2 (優先度保持手段)、上記優先度レジスタ 1 1 2 の初期値としての要求レイテンシ値を保持する要求レイテンシ値レジスタ 1 1 3 (優先度初期値保持手段)、メモリ 3 0 1 へのアクセスが待たされるごとに優先度レジスタ 1 1 2 に保持されている優先度から減算する値を保持する減算値レジスタ 1 1 4 (優先度上昇程度保持手段)、上記減算を行う減算器 1 1 5、上記要求レイテンシ値レジスタ 1 1 3 に保持される要求レイテンシ値に後述する増分値を加算する加算器 1 1 6、および上記要求レイテンシ値レジスタ 1 1 3、減算器 1 1 5、または加算器 1 1 6 の出力を選択して優先度レジスタ 1 1 2 に保持させ得るセクタ 1 1 7 を備えて構成されている。

10

【0016】

また、連続アクセス監視部 1 2 1 は、図 3 に示すように、この連続アクセス監視部 1 2 1 および優先度制御部 1 1 1 を制御する制御回路 1 2 2、優先度制御部 1 1 1 から出力される優先度を所定のタイミングで優先度比較回路 1 3 1 に出力させるゲート回路 1 2 3、同一のアクセスマスタ 2 0 1 に連続してアクセスが許可された回数 (連続アクセス回数) を保持する連続アクセス回数レジスタ 1 2 4 (連続アクセス回数保持手段)、同一のアクセスマスタ 2 0 1 に連続してアクセスが許可される場合に上記連続アクセス回数レジスタ 1 2 4 に保持されている値に値 “ 1 ” を加算する加算器 1 2 5、上記加算器 1 2 5 による加算結果または制御回路 1 2 2 から後述するクリア時に出力される値 “ 0 ” を選択的に連続アクセス回数レジスタ 1 2 4 に保持させるセクタ 1 2 6、連続アクセス回数の上限回数を保持するアクセス上限回数レジスタ 1 2 7 (連続アクセス上限回数保持手段)、加算器 1 2 5 の加算結果と上記上限回数とを比較する比較器 1 2 8、および連続アクセス回数が上限回数に達したときに優先度を低下させるために要求レイテンシ値レジスタ 1 1 3 に保持されている要求レイテンシ値に加算する増分値を保持する増分値レジスタ 1 2 9 (優先度低下程度保持手段) を備えて構成されている。

20

30

【0017】

上記のように構成されたメモリアクセス制御回路では、次のようにしてアクセス制御がなされる。

【0018】

まず、各アクセスマスタ 2 0 1 または図示しない制御装置などによって、要求レイテンシ値レジスタ 1 1 3、減算値レジスタ 1 1 4、アクセス上限回数レジスタ 1 2 7、および増分値レジスタ 1 2 9 に、それぞれ要求レイテンシ値、減算値、アクセス上限回数、または増分値が設定される。なお、これらの値は各アクセスマスタ 2 0 1 に共通に用いられるようにしたり、あらかじめ固定的に設定されるようにしたりしてもよいが、上記のように各アクセスマスタ 2 0 1 に対応させてそれぞれのレジスタを設けることによって、アクセスの優先度を柔軟に設定することができる。また、これらのレジスタへの設定は、メモリアクセス制御回路が用いられるシステムの状態等に応じて動作中に適宜変更されるようにしてもよい。

40

【0019】

上記設定がなされた後に、何れかのアクセスマスタ 2 0 1 からアクセス信号バスを介してアクセス要求が出力されると、制御回路 1 2 2 は、セクタ 1 1 7 に要求レイテンシ値レジスタ 1 1 3 の出力を選択させる選択信号を出力し、要求レイテンシ値が優先度の初期値として優先度レジスタ 1 1 2 に保持される。優先度レジスタ 1 1 2 に保持された優先度は所定のタイミングでゲート回路 1 2 3 を介して優先度比較回路 1 3 1 に入力され、他のアクセスマスタ 2 0 1 の優先度と比較される。優先度比較回路 1 3 1 からは優先度の値が

50

最も小さい（優先度が高い）アクセスマスタ 201 を示す比較結果信号が出力され、そのアクセスマスタ 201 からのアクセス信号バスがセクタ 132 を介してメモリバスに接続され、アクセスが許可される。

【0020】

このとき、上記アクセスが許可されたアクセスマスタ 201 に対応する優先度制御部 111 では、上記比較結果信号に基づいて制御回路 122 から出力される選択信号に応じて、セクタ 117 により要求レイテンシ値レジスタ 113 の出力が再度選択され、要求レイテンシ値が優先度レジスタ 112 に保持される。一方、アクセス要求をしてもアクセスが許可されなかった（待ちが生じた）アクセスマスタ 201 に対応する優先度制御部 111 では、制御回路 122 から出力される選択信号に応じて、セクタ 117 により減算器 115 からの出力が選択され、優先度レジスタ 112 に保持されていた優先度を減算値レジスタ 114 に保持されている減算値だけ減じた値が保持される。つまり、待ちが生じると優先度が高くなり、要求レイテンシ値を減算値で除した回数以下の待ちで必ずアクセスが許可されるようになる。

10

【0021】

また、何れかのアクセスマスタ 201 に連続してアクセスが許可された場合、そのアクセスマスタ 201 に対応する連続アクセス監視部 121 では、連続アクセス回数レジスタ 124 に保持されている連続アクセス回数が加算器 125 によってインクリメントされる。このインクリメントは、他のアクセスマスタ 201 にアクセスが許可されて連続アクセス回数レジスタ 124 がクリアされるまで行われる。そこで、連続したアクセスが繰り返行われ、やがて加算器 125 の出力がアクセス上限回数レジスタ 127 に保持されたアクセス上限回数に一致すると、そのアクセスマスタ 201 から次にアクセス要求がなされたときに、制御回路 122 から出力される選択信号に応じて、セクタ 117 により加算器 116 の出力が選択される。すなわち、要求レイテンシ値レジスタ 113 に保持されている要求レイテンシ値に、増分値レジスタ 129 に保持されている増分値を加算した値が、優先度の初期値として優先度レジスタ 112 に保持される。これによって、要求レイテンシ値が小さい（優先度が高い）アクセスマスタ 201 であっても、過度に連続アクセスが行われることによって他のアクセスマスタ 201 のアクセスが阻害されるのを容易に防ぐことができる。なお、連続アクセスが行われた場合でも優先度を低下させるべきでないアクセスマスタ 201 がある場合には、増分値レジスタ 129 に値“0”を保持させたり、アクセス上限回数レジスタ 127 に十分に大きな値を保持させたりすればよい。

20

30

【0022】

上記のように、要求レイテンシ値を設定して、アクセス要求に対して待ちが生じると優先度を上昇させ、また、連続してアクセスが行われるごとに、次にアクセス要求がなされた場合の優先度の初期値を低下させることによって、アクセスマスタ 201 ごとに互いに異なる要求レイテンシ値に応じて、何れのアクセスマスタ 201 にも確実にアクセスが許可され、また、何れかのアクセスマスタ 201 だけに連続的なアクセスが集中することが防止されるようにすることができ、柔軟、かつ、確実にレイテンシを保証することができる。

【0023】

なお、上記の例では、優先度レジスタ 112 に保持される値が小さいほど優先度が高いとしたが、加算、減算を入れ替えるなどすれば、値が大きいほど優先度が高くなるようにすることも容易にできる。

40

【0024】

また、各優先度レジスタ 112 に保持される優先度が一致する場合には、ラウンドロビン方式を併用するなどしてもよく、その場合でも、何れの優先度も待ちが生じると上昇するので、やはり確実にアクセス許可がなされることになる。また、例えば、3つのアクセスマスタ 201 についての要求レイテンシ値を 10、11、12 のようにずらして設定し、減算値を 3 に設定するなどすれば、各優先度レジスタ 112 に保持される優先度の値は常に一致しないようにすることができる。

50

【0025】

また、連続アクセス回数は1つのアクセス上限回数レジスタ127に保持された値とだけ比較される例を示したが、これに限らず、多段階の値と比較して、段階的に増分値を大きくするなどしてもよい。

【産業上の利用可能性】

【0026】

本発明にかかるメモリアクセス制御回路は、柔軟、かつ、確実にレイテンシを保証することができる効果を有し、ひとつのメモリに対して複数のアクセスマスタが競合してアクセスする場合のアクセス性能を保証するために上記アクセスマスタからのアクセス要求を調停するメモリアクセス制御回路等として有用である。

10

【図面の簡単な説明】

【0027】

【図1】実施形態のメモリアクセス制御回路の構成を示す回路図である。

【図2】同、優先度制御部111の詳細な構成を示す回路図である。

【図3】同、連続アクセス監視部121の詳細な構成を示す回路図である。

【符号の説明】

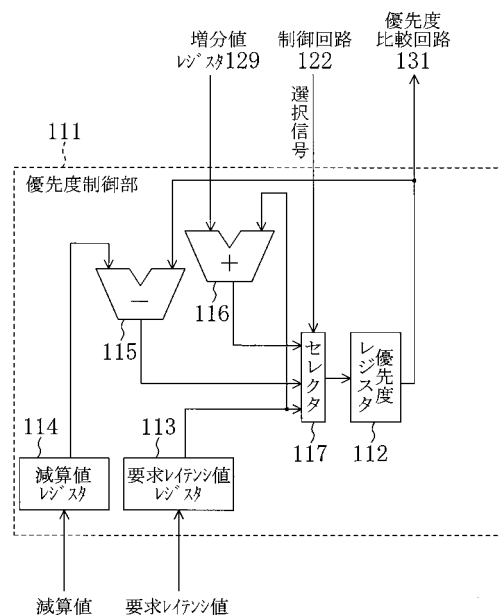
【0028】

101	メモリアクセス制御回路
111	優先度制御部
112	優先度レジスタ
113	要求レイテンシ値レジスタ
114	減算値レジスタ
115	減算器
116	加算器
117	セレクタ
121	連続アクセス監視部
122	制御回路
123	ゲート回路
124	連続アクセス回数レジスタ
125	加算器
126	セレクタ
127	アクセス上限回数レジスタ
128	比較器
129	増分値レジスタ
131	優先度比較回路
132	セレクタ
201	アクセスマスタ
301	メモリ

20

30

【図 2】



フロントページの続き

(72)発明者 山口 友邦

大阪府門真市大字門真1006番地 松下電器産業株式会社内

Fターム(参考) 5B060 CD14