

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7622063号
(P7622063)

(45)発行日 令和7年1月27日(2025.1.27)

(24)登録日 令和7年1月17日(2025.1.17)

(51)国際特許分類		F I		
H 0 3 K	5/08 (2006.01)	H 0 3 K	5/08	E
H 0 3 M	1/10 (2006.01)	H 0 3 M	1/10	A
H 0 3 M	1/38 (2006.01)	H 0 3 M	1/38	
H 0 3 M	1/12 (2006.01)	H 0 3 M	1/12	Z
H 0 3 M	1/46 (2006.01)	H 0 3 M	1/46	
請求項の数 21 (全30頁)				
(21)出願番号	特願2022-530538(P2022-530538)	(73)特許権者	316005926	
(86)(22)出願日	令和3年6月4日(2021.6.4)		ソニーセミコンダクタソリューションズ株式会社	
(86)国際出願番号	PCT/JP2021/021434		神奈川県厚木市旭町四丁目14番1号	
(87)国際公開番号	WO2021/251305	(74)代理人	100120031	
(87)国際公開日	令和3年12月16日(2021.12.16)		弁理士 宮嶋 学	
審査請求日	令和6年4月11日(2024.4.11)	(72)発明者	八木下 雄貴	
(31)優先権主張番号	特願2020-101636(P2020-101636)		神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内	
(32)優先日	令和2年6月11日(2020.6.11)	審査官	柳下 勝幸	
(33)優先権主張国・地域又は機関	日本国(JP)			
最終頁に続く				

(54)【発明の名称】 コンパレータ及びアナログ - デジタル変換器

(57)【特許請求の範囲】

【請求項1】

第1差動入力信号対を比較する第1比較回路と、
第2差動入力信号対を比較する第2比較回路と、
前記第1比較回路にて前記第1差動入力信号対を比較するとともに前記第2比較回路にて前記第2差動入力信号対を比較するか、又は、前記第1比較回路と前記第2比較回路とのゲイン差を比較するかを切り替える切替回路と、を備えるコンパレータ。

【請求項2】

記第1比較回路のゲイン及び前記第2比較回路のゲインを補正する補正回路を備える、請求項1に記載のコンパレータ。

【請求項3】

前記補正回路は、前記ゲイン差がより小さくなるように前記第1比較回路のゲイン及び前記第2比較回路のゲインを補正する、請求項2に記載のコンパレータ。

【請求項4】

前記切替回路で切り替えられた差動信号を伝送する比較出力ノード対を備え、
前記補正回路は、前記ゲイン差がより小さくなるように、前記比較出力ノード対の一方のノードから前記切替回路及び前記第1比較回路を通して基準電位ノードに至る放電経路の放電速度と、前記比較出力ノード対の他方のノードから前記切替回路及び前記第2比較回路を通して前記基準電位ノードに至る放電経路の放電速度とを調整する、請求項3に記載のコンパレータ。

【請求項 5】

前記第 1 比較回路と前記基準電位ノードとの間に接続される第 1 可変容量と、
前記第 2 比較回路と前記基準電位ノードとの間に接続される第 2 可変容量と、を備え、
前記補正回路は、前記第 1 可変容量及び前記第 2 可変容量の少なくとも一方の容量値を調整することにより、前記放電速度を調整する、請求項 4 に記載のコンパレータ。

【請求項 6】

前記第 1 比較回路は、
前記第 1 差動入力信号対の差信号を生成する第 1 トランジスタ対と、
前記第 1 トランジスタ対と前記基準電位ノードとを接続するか否かを切り替える第 1 切替回路と、を有し、
前記第 2 比較回路は、
前記第 2 差動入力信号対の差信号を生成する第 2 トランジスタ対と、
前記第 2 トランジスタ対と前記基準電位ノードとを接続するか否かを切り替える第 2 切替回路と、を有し、
前記補正回路は、前記第 1 切替回路及び前記第 2 切替回路の少なくとも一方を切り替えるタイミングを調整することにより、前記放電速度を調整する、請求項 4 に記載のコンパレータ。

【請求項 7】

前記第 1 比較回路は、前記第 1 差動入力信号対の差信号に応じて前記基準電位ノードに流れる電流を調整可能な第 1 電流源を有し、
前記第 2 比較回路は、前記第 2 差動入力信号対の差信号に応じて前記基準電位ノードに流れる電流を調整可能な第 2 電流源を有し、
前記補正回路は、前記第 1 電流源及び前記第 2 電流源の少なくとも一方から前記基準電位ノードに流れる電流を調整することにより、前記放電速度を調整する、請求項 4 に記載のコンパレータ。

【請求項 8】

前記第 1 比較回路は、前記第 1 差動入力信号対の差信号に応じた第 1 差動出力信号対を生成する第 1 トランジスタ対を有し、
前記第 2 比較回路は、前記第 2 差動入力信号対の差信号に応じた第 2 差動出力信号対を生成する第 2 トランジスタ対を有し、
前記補正回路は、前記第 1 トランジスタ対及び前記第 2 トランジスタ対の中の少なくとも一つのトランジスタのゲート幅を調整することにより、前記放電速度を調整する、請求項 4 に記載のコンパレータ。

【請求項 9】

前記第 1 比較回路は、前記第 1 差動入力信号対の差信号に応じた第 1 差動出力信号対を生成する第 1 トランジスタ対を有し、
前記第 2 比較回路は、前記第 2 差動入力信号対の差信号に応じた第 2 差動出力信号対を生成する第 2 トランジスタ対を有し、
前記ゲイン差は、前記第 1 トランジスタ対のトランスコンダクタンスと、前記第 1 差動入力信号対のコモン電圧との積と、前記第 2 トランジスタ対のトランスコンダクタンスと、前記第 2 差動入力信号対のコモン電圧との積との差分である、請求項 1 に記載のコンパレータ。

【請求項 10】

前記切替回路で切り替えられた差動信号を伝送する比較出力ノード対と、
前記比較出力ノード対の前記差動信号を保持するラッチ回路と、を備える、請求項 1 に記載のコンパレータ。

【請求項 11】

前記比較出力ノード対にそれぞれ配置され、前記差動信号の波形整形を行う第 1 波形整形回路及び第 2 波形整形回路を備え、
前記ラッチ回路は、前記第 1 波形整形回路及び前記第 2 波形整形回路が波形整形した差

10

20

30

40

50

動信号を保持する、請求項 10 に記載のコンパレータ。

【請求項 12】

前記第 1 波形整形回路及び前記第 2 波形整形回路のそれぞれは、インバータである、請求項 11 に記載のコンパレータ。

【請求項 13】

前記ラッチ回路は、

前記第 1 比較回路にて前記第 1 差動入力信号対を比較するとともに前記第 2 比較回路にて前記第 2 差動入力信号対を比較する際に前記比較出力ノード対の前記差動信号を保持する第 1 ラッチ部と、

前記第 1 比較回路と前記第 2 比較回路とのゲイン差を比較する際に前記比較出力ノード対の前記差動信号を保持する第 2 ラッチ部と、を有する、請求項 10 に記載のコンパレータ。

10

【請求項 14】

前記ラッチ回路は、前記比較出力ノード対よりも電圧レベルの高い電源電圧ノードと、前記比較出力ノード対との間に接続される、請求項 13 に記載のコンパレータ。

【請求項 15】

前記切替回路は、前記第 1 比較回路にて前記第 1 差動入力信号対を比較するとともに前記第 2 比較回路にて前記第 2 差動入力信号対を比較する第 1 動作モードと、前記第 1 比較回路と前記第 2 比較回路とのゲイン差を比較する第 2 動作モードとを、交互に繰り返す、請求項 1 に記載のコンパレータ。

20

【請求項 16】

前記切替回路は、動作開始時に前記第 1 動作モードを行い、その後、前記第 2 動作モード及び前記第 1 動作モードの順に切替動作を繰り返す、請求項 15 に記載のコンパレータ。

【請求項 17】

前記切替回路は、動作開始時に前記第 2 動作モードを行い、その後、前記第 1 動作モード及び前記第 2 動作モードの順に切替動作を繰り返す、請求項 15 に記載のコンパレータ。

【請求項 18】

前記第 1 比較回路は、前記第 1 差動入力信号対の差信号に応じた第 1 差動出力信号対を生成する第 1 トランジスタ対を有し、

前記第 2 比較回路は、前記第 2 差動入力信号対の差信号に応じた第 2 差動出力信号対を生成する第 2 トランジスタ対を有し、

30

前記切替回路は、前記第 1 比較回路と前記第 2 比較回路とのゲイン差を比較する際には、前記第 1 トランジスタ対のゲート同士を短絡し、かつ前記第 2 トランジスタ対のゲート同士を短絡する、請求項 1 に記載のコンパレータ。

【請求項 19】

前記切替回路で切り替えられた差動信号を伝送する比較出力ノード対を備え、

前記第 1 比較回路は、第 1 出力ノード及び第 2 出力ノードを有し、

前記第 2 比較回路は、第 3 出力ノード及び第 4 出力ノードを有し、

前記切替回路は、前記第 1 比較回路にて前記第 1 差動入力信号対を比較するとともに前記第 2 比較回路にて前記第 2 差動入力信号対を比較する際には、前記第 1 出力ノード及び前記第 3 出力ノードを前記比較出力ノード対の一方のノードに接続するとともに、前記第 2 出力ノード及び前記第 4 出力ノードを前記比較出力ノード対の他方のノードに接続し、前記第 1 比較回路と前記第 2 比較回路とのゲイン差を比較する際には、前記第 1 出力ノード及び前記第 2 出力ノードを前記比較出力ノード対の一方のノードに接続するとともに、前記第 3 出力ノード及び前記第 4 出力ノードを前記比較出力ノード対の他方のノードに接続する、請求項 1 に記載のコンパレータ。

40

【請求項 20】

差動入力信号対の一方の信号をサンプリングするか否かを切り替える第 1 サンプリングスイッチと、

サンプリングされた前記一方の信号を複数ビットからなるデジタル信号に 1 ビットずつ

50

順に変換するとともに、未変換のビットに応じた電圧レベルの信号を出力する第 1 デジタル - アナログ変換器と、

前記差動入力信号対の他方の信号をサンプリングするか否かを切り替える第 2 サンプリングスイッチと、

サンプリングされた前記他方の信号を複数ビットからなるデジタル信号に 1 ビットずつ順に変換するとともに、未変換のビットに応じた電圧レベルの信号を出力する第 2 デジタル - アナログ変換器と、

前記第 1 デジタル - アナログ変換器の出力信号と、前記第 2 デジタル - アナログ変換器の出力信号とをサンプリングして出力するフィルタ回路と、

前記第 1 デジタル - アナログ変換器の出力信号と前記第 2 デジタル - アナログ変換器の出力信号とを対とする第 1 差動入力信号対の差信号と、前記フィルタ回路から出力された第 2 差動入力信号対の差信号と、に応じた信号を出力するコンパレータと、

前記コンパレータの出力信号に基づいて、前記第 1 デジタル - アナログ変換器及び前記第 2 デジタル - アナログ変換器を制御する制御回路と、を備え

前記コンパレータは、

前記第 1 差動入力信号対を比較する第 1 比較回路と、

前記第 2 差動入力信号対を比較する第 2 比較回路と、

前記第 1 比較回路にて前記第 1 差動入力信号対を比較するとともに前記第 2 比較回路にて前記第 2 差動入力信号対を比較するか、又は、前記第 1 比較回路と前記第 2 比較回路とのゲイン差を比較するかを切り替える切替回路と、を有するアナログ - デジタル変換器。

【請求項 2 1】

前記第 1 サンプリングスイッチ及び前記第 2 サンプリングスイッチによる前記差動入力信号対のサンプリングと、前記第 1 デジタル - アナログ変換器及び前記第 2 デジタル - アナログ変換器による前記デジタル信号への変換と、前記ゲイン差の比較と、前記ゲイン差の補正とが順繰りに繰返し行われる、請求項 2 0 に記載のアナログ - デジタル変換器。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本開示は、コンパレータ及びアナログ - デジタル変換器に関する。

【背景技術】

【0 0 0 2】

サンプリングスイッチと、2つの差動入力信号対が入力されるコンパレータと、デジタル - アナログ変換器（以下、DAC）とを備えた逐次比較型アナログ - デジタル変換器（以下、逐次比較型ADC）が知られている（非特許文献1参照）。この種のコンパレータは、一方の差動入力信号対の差信号と、他方の差動入力信号対の差信号とに応じた信号を保持する。コンパレータが保持した信号によりDACが制御され、DACの出力信号に基づいて2つの差動入力信号対が生成される。

【先行技術文献】

【非特許文献】

【0 0 0 3】

【文献】“An Oversampling SAR ADC With DAC Mismatch Error Shaping Achieving 105 dB SFDR and 101 dB SNDR Over 1 kHz BW in 55 nm CMOS”（IEEE Journal of Solid-State Circuit, 2016）

【発明の概要】

【発明が解決しようとする課題】

【0 0 0 4】

コンパレータの内部には、一方の差動入力信号対の差信号を生成する比較器と、他方の差動入力信号対の差信号を生成する比較器とが設けられているが、各比較器を構成するトランジスタの製造ばらつきにより、ゲインミスマッチが生じる。ゲインミスマッチは、一方の差動入力信号対のコモン電圧と、他方の差動入力信号対のコモン電圧とがずれている

10

20

30

40

50

場合にも生じる。ゲインミスマッチが生じると、A D C の S / N 比が低下したり、安定性が悪くなる。

そこで、本開示では、ゲインミスマッチを検出可能なコンパレータ及びアナログ - デジタル変換器を提供するものである。

【課題を解決するための手段】

【 0 0 0 5 】

上記の課題を解決するために、本開示によれば、第 1 差動入力信号対を比較する第 1 比較回路と、

第 2 差動入力信号対を比較する第 2 比較回路と、

前記第 1 比較回路にて前記第 1 差動入力信号対を比較するとともに前記第 2 比較回路にて前記第 2 差動入力信号対を比較するか、又は、前記第 1 比較回路と前記第 2 比較回路とのゲイン差を比較するかを切り替える切替回路と、を備えるコンパレータが提供される。

【 0 0 0 6 】

記第 1 比較回路のゲイン及び前記第 2 比較回路のゲインを補正する補正回路を備えてもよい。

【 0 0 0 7 】

前記補正回路は、前記ゲイン差がより小さくなるように前記第 1 比較回路のゲイン及び前記第 2 比較回路のゲインを補正してもよい。

【 0 0 0 8 】

前記切替回路で切り替えられた差動信号を伝送する比較出力ノード対を備え、

前記補正回路は、前記ゲイン差がより小さくなるように、前記比較出力ノード対の一方のノードから前記切替回路及び前記第 1 比較回路を通して基準電位ノードに至る放電経路の放電速度と、前記比較出力ノード対の他方のノードから前記切替回路及び前記第 2 比較回路を通して前記基準電位ノードに至る放電経路の放電速度とを調整してもよい。

【 0 0 0 9 】

前記第 1 比較回路と前記基準電位ノードとの間に接続される第 1 可変容量と、

前記第 2 比較回路と前記基準電位ノードとの間に接続される第 2 可変容量と、を備え、

前記補正回路は、前記第 1 可変容量及び前記第 2 可変容量の少なくとも一方の容量値を調整することにより、前記放電速度を調整してもよい。

【 0 0 1 0 】

前記第 1 比較回路は、

前記第 1 差動入力信号対の差信号を生成する第 1 トランジスタ対と、

前記第 1 トランジスタ対と前記基準電位ノードとを接続するか否かを切り替える第 1 切替回路と、を有し、

前記第 2 比較回路は、

前記第 2 差動入力信号対の差信号を生成する第 2 トランジスタ対と、

前記第 2 トランジスタ対と前記基準電位ノードとを接続するか否かを切り替える第 2 切替回路と、を有し、

前記補正回路は、前記第 1 切替回路及び前記第 2 切替回路の少なくとも一方を切り替えるタイミングを調整することにより、前記放電速度を調整してもよい。

【 0 0 1 1 】

前記第 1 比較回路は、前記第 1 差動入力信号対の差信号に応じて前記基準電位ノードに流れる電流を調整可能な第 1 電流源を有し、

前記第 2 比較回路は、前記第 2 差動入力信号対の差信号に応じて前記基準電位ノードに流れる電流を調整可能な第 2 電流源を有し、

前記補正回路は、前記第 1 電流源及び前記第 2 電流源の少なくとも一方から前記基準電位ノードに流れる電流を調整することにより、前記放電速度を調整してもよい。

【 0 0 1 2 】

前記第 1 比較回路は、前記第 1 差動入力信号対の差信号に応じた第 1 差動出力信号対を生成する第 1 トランジスタ対を有し、

10

20

30

40

50

前記第 2 比較回路は、前記第 2 差動入力信号対の差信号に応じた第 2 差動出力信号対を生成する第 2 トランジスタ対を有し、

前記補正回路は、前記第 1 トランジスタ対及び前記第 2 トランジスタ対の中の少なくとも一つのトランジスタのゲート幅を調整することにより、前記放電速度を調整してもよい。

【 0 0 1 3 】

前記第 1 比較回路は、前記第 1 差動入力信号対の差信号に応じた第 1 差動出力信号対を生成する第 1 トランジスタ対を有し、

前記第 2 比較回路は、前記第 2 差動入力信号対の差信号に応じた第 2 差動出力信号対を生成する第 2 トランジスタ対を有し、

前記ゲイン差は、前記第 1 トランジスタ対のトランスコンダクタンスと、前記第 1 差動入力信号対のコモン電圧との積と、前記第 2 トランジスタ対のトランスコンダクタンスと、前記第 2 差動入力信号対のコモン電圧との積との差分であってもよい。

10

【 0 0 1 4 】

前記切替回路で切り替えられた差動信号を伝送する比較出力ノード対と、

前記比較出力ノード対の前記差動信号を保持するラッチ回路と、を備えてもよい。

【 0 0 1 5 】

前記比較出力ノード対にそれぞれ配置され、前記差動信号の波形整形を行う第 1 波形整形回路及び第 2 波形整形回路を備え、

前記ラッチ回路は、前記第 1 波形整形回路及び前記第 2 波形整形回路が波形整形した差動信号を保持してもよい。

20

【 0 0 1 6 】

前記第 1 波形整形回路及び前記第 2 波形整形回路のそれぞれは、インバータであってもよい。

【 0 0 1 7 】

前記ラッチ回路は、

前記第 1 比較回路にて前記第 1 差動入力信号対を比較するとともに前記第 2 比較回路にて前記第 2 差動入力信号対を比較する際に前記比較出力ノード対上の前記差動信号を保持する第 1 ラッチ部と、

前記第 1 比較回路と前記第 2 比較回路とのゲイン差を比較する際に前記比較出力ノード対上の前記差動信号を保持する第 2 ラッチ部と、を有してもよい。

30

【 0 0 1 8 】

前記ラッチ回路は、前記比較出力ノード対よりも電圧レベルの高い電源電圧ノードと、前記比較出力ノード対との間に接続されてもよい。

【 0 0 1 9 】

前記切替回路は、前記第 1 比較回路にて前記第 1 差動入力信号対を比較するとともに前記第 2 比較回路にて前記第 2 差動入力信号対を比較する第 1 動作モードと、前記第 1 比較回路と前記第 2 比較回路とのゲイン差を比較する第 2 動作モードとを、交互に繰り返してもよい。

【 0 0 2 0 】

前記切替回路は、動作開始時に前記第 1 動作モードを行い、その後、前記第 2 動作モード及び前記第 1 動作モードの順に切替動作を繰り返してもよい。

40

【 0 0 2 1 】

前記切替回路は、動作開始時に前記第 2 動作モードを行い、その後、前記第 1 動作モード及び前記第 2 動作モードの順に切替動作を繰り返してもよい。

【 0 0 2 2 】

前記第 1 比較回路は、前記第 1 差動入力信号対の差信号に応じた第 1 差動出力信号対を生成する第 1 トランジスタ対を有し、

前記第 2 比較回路は、前記第 2 差動入力信号対の差信号に応じた第 2 差動出力信号対を生成する第 2 トランジスタ対を有し、

前記切替回路は、前記第 1 比較回路と前記第 2 比較回路とのゲイン差を比較する際には

50

、前記第 1 トランジスタ対のゲート同士を短絡し、かつ前記第 2 トランジスタ対のゲート同士を短絡してもよい。

【 0 0 2 3 】

前記切替回路で切り替えられた差動信号を伝送する比較出力ノード対を備え、

前記第 1 比較回路は、第 1 出力ノード及び第 2 出力ノードを有し、

前記第 2 比較回路は、第 3 出力ノード及び第 4 出力ノードを有し、

前記切替回路は、前記第 1 比較回路にて前記第 1 差動入力信号対を比較するとともに前記第 2 比較回路にて前記第 2 差動入力信号対を比較する際には、前記第 1 出力ノード及び前記第 3 出力ノードを前記比較出力ノード対の一方のノードに接続するとともに、前記第 2 出力ノード及び前記第 4 出力ノードを前記比較出力ノード対の他方のノードに接続し、前記第 1 比較回路と前記第 2 比較回路とのゲイン差を比較する際には、前記第 1 出力ノード及び前記第 2 出力ノードを前記比較出力ノード対の一方のノードに接続するとともに、前記第 3 出力ノード及び前記第 4 出力ノードを前記比較出力ノード対の他方のノードに接続してもよい。

10

【 0 0 2 4 】

本開示の一態様では、差動入力信号対の一方の信号をサンプリングするか否かを切り替える第 1 サンプリングスイッチと、

サンプリングされた前記一方の信号を複数ビットからなるデジタル信号に 1 ビットずつ順に変換するとともに、未変換のビットに応じた電圧レベルの信号を出力する第 1 デジタル - アナログ変換器と、

20

前記差動入力信号対の他方の信号をサンプリングするか否かを切り替える第 2 サンプリングスイッチと、

サンプリングされた前記他方の信号を複数ビットからなるデジタル信号に 1 ビットずつ順に変換するとともに、未変換のビットに応じた電圧レベルの信号を出力する第 2 デジタル - アナログ変換器と、

前記第 1 デジタル - アナログ変換器の出力信号と、前記第 2 デジタル - アナログ変換器の出力信号とをサンプリングして出力するフィルタ回路と、

前記第 1 デジタル - アナログ変換器の出力信号と前記第 2 デジタル - アナログ変換器の出力信号とを対とする第 1 差動入力信号対の差信号と、前記フィルタ回路から出力された第 2 差動入力信号対の差信号と、に応じた信号を出力するコンパレータと、

30

前記コンパレータの出力信号に基づいて、前記第 1 デジタル - アナログ変換器及び前記第 2 デジタル - アナログ変換器を制御する制御回路と、を備え

前記コンパレータは、

前記第 1 差動入力信号対を比較する第 1 比較回路と、

前記第 2 差動入力信号対を比較する第 2 比較回路と、

前記第 1 比較回路にて前記第 1 差動入力信号対を比較するとともに前記第 2 比較回路にて前記第 2 差動入力信号対を比較するか、又は、前記第 1 比較回路と前記第 2 比較回路とのゲイン差を比較するかを切り替える切替回路と、を有するアナログ - デジタル変換器が提供される。

【 0 0 2 5 】

40

前記第 1 サンプリングスイッチ及び前記第 2 サンプリングスイッチによる前記差動入力信号対のサンプリングと、前記第 1 デジタル - アナログ変換器及び前記第 2 デジタル - アナログ変換器による前記デジタル信号への変換と、前記ゲイン差の比較と、前記ゲイン差の補正とが順繰りに繰り返し行われてもよい。

【図面の簡単な説明】

【 0 0 2 6 】

【図 1】第 1 の実施形態によるコンパレータの回路図。

【図 2】一比較例によるコンパレータの回路図。

【図 3 A】コンパレータの比較動作時の比較出力信号対の波形図。

【図 3 B】コンパレータの比較動作時の比較出力信号対の波形図。

50

- 【図 4】第 1 比較回路のゲインと第 2 比較回路のゲインとを比較した図。
- 【図 5】コンパレータを備えた逐次比較型 A D C の回路図。
- 【図 6】図 5 の第 1 D A C の出力ノード電圧と第 2 D A C の出力ノード電圧の電圧波形図。
- 【図 7】図 6 の A D C の動作タイミングを示すタイミング図。
- 【図 8】図 5 の A D C の処理手順を示すフローチャート。
- 【図 9】図 5 の A D C の処理手順の一変形例を示すフローチャート。
- 【図 10】第 2 の実施形態によるコンパレータの回路図。
- 【図 11】第 3 の実施形態によるコンパレータの回路図。
- 【図 12】第 4 の実施形態によるコンパレータの回路図。
- 【図 13】第 5 の実施形態によるコンパレータの回路図。
- 【図 14】第 6 の実施形態によるコンパレータの回路図。
- 【図 15】第 7 の実施形態によるコンパレータの回路図。
- 【図 16】第 8 の実施形態によるコンパレータの回路図。
- 【図 17】第 9 の実施形態によるコンパレータの回路図。
- 【発明を実施するための形態】

【 0 0 2 7 】

以下、図面を参照して、コンパレータ及びアナログ - デジタル変換器の実施形態について説明する。以下では、コンパレータ及びアナログ - デジタル変換器の主要な構成部分を中心に説明するが、コンパレータ及びアナログ - デジタル変換器には、図示又は説明されていない構成部分や機能が存在しうる。以下の説明は、図示又は説明されていない構成部分や機能を除外するものではない。

【 0 0 2 8 】

(第 1 の実施形態)

図 1 は第 1 の実施形態によるコンパレータ 1 の回路図である。図 2 は一比較例によるコンパレータ 1 0 1 の回路図である。図 1 及び図 2 のコンパレータ 1、1 0 1 は、後述するように、例えば逐次比較型 A D C で用いられるが、図 1 及び図 2 のコンパレータ 1、1 0 1 の用途は必ずしも A D C には限らない。図 1 及び図 2 のコンパレータ 1、1 0 1 には、2 つの差動入力信号対 (以下、第 1 差動入力信号対 V_{in_p} 、 V_{in_n} と第 2 差動入力信号対 V_{ns_p} 、 V_{ns_n} と呼ぶ) が入力される。コンパレータ 1、1 0 1 は、第 1 差動入力信号対 V_{in_p} 、 V_{in_n} の差信号と、第 2 差動入力信号対 V_{ns_p} 、 V_{ns_n} の差信号とに応じた差動出力信号対 V_{out_p} 、 V_{out_n} を出力する。このように、図 1 及び図 2 のコンパレータ 1、1 0 1 は、2 つの差動入力信号対 (V_{in_p} 、 V_{in_n})、(V_{ns_p} 、 V_{ns_n}) の比較動作を行うダイナミックコンパレータである。

【 0 0 2 9 】

以下では、図 1 のコンパレータ 1 の構成及び動作を説明する前に、図 2 のコンパレータ 1 0 1 の構成及び動作を説明する。図 2 のコンパレータ 1 0 1 は、第 1 比較回路 2 と、第 2 比較回路 3 を備えている。

【 0 0 3 0 】

第 1 比較回路 2 は、第 1 差動入力信号対 V_{in_p} 、 V_{in_n} の差信号に応じた第 1 差動出力信号対を出力する。第 1 比較回路 2 は、第 1 差動入力信号対 V_{in_p} 、 V_{in_n} がゲートに入力される第 1 トランジスタ対 Q 1 1、Q 1 2 と、スイッチとして機能するトランジスタ Q 1 3 とを有する。トランジスタ Q 1 3 のゲートにはクロック信号 Clk が入力されており、クロック信号 Clk がハイ電位のときにトランジスタ Q 1 3 はオンし、第 1 比較回路 2 は比較動作を行う。

【 0 0 3 1 】

第 2 比較回路 3 は、第 2 差動入力信号対 V_{ns_p} 、 V_{ns_n} の差信号に応じた第 2 差動出力信号対を出力する。第 2 比較回路 3 は、第 2 差動入力信号対 V_{ns_p} 、 V_{ns_n} がゲートに入力される第 2 トランジスタ対 Q 2 1、Q 2 2 と、スイッチとして機能するトランジスタ Q 2 3 とを有する。トランジスタ Q 2 3 のゲートに入力されるクロック信号 Clk がハイ電位のときに第 2 比較回路 3 は比較動作を行う。

【 0 0 3 2 】

第1トランジスタ対Q 1 1、Q 1 2の各ドレインは、比較出力ノード対n 1、n 2に接続されている。同様に、第2トランジスタ対Q 2 1、Q 2 2の各ドレインも、同じ比較出力ノード対n 1、n 2に接続されている。本明細書では、比較出力ノード対n 1、n 2上の電圧信号を、比較出力信号対Vgm_p、Vgm_nと呼ぶ。比較出力ノード対n 1、n 2には、プルアップ回路4とラッチ回路5が接続されている。

【 0 0 3 3 】

プルアップ回路4はトランジスタ対Q 1、Q 2を有し、クロック信号Clkがローレベルのときに、比較出力ノード対n 1、n 2をハイ電位にプルアップする。このように、プルアップ回路4は、第1比較回路2と第2比較回路3が比較動作を行っていないときに比較出力ノード対n 1、n 2をハイ電位にプルアップする。

10

【 0 0 3 4 】

ラッチ回路5は、トランジスタQ 3 1～Q 4 0を有する。ラッチ回路5は、比較出力ノード対n 1、n 2の放電速度の差に応じて、ラッチ出力の論理を決定する。より具体的には、比較出力ノード対n 1、n 2のうち、放電速度が速い方のノードがハイ電位に、遅い方のノードがロー電位になる。

【 0 0 3 5 】

次に、図2のコンパレータ1 0 1の動作を説明する。クロック信号Clkがローレベルからハイレベルに遷移すると、図2のコンパレータ1 0 1は比較動作を開始する。クロック信号Clkがローレベルの間は、比較出力ノード対n 1、n 2は、ハイ電位にプルアップされている。クロック信号Clkがハイレベルに遷移すると、比較出力ノード対n 1、n 2上の電位Vgm_p、Vgm_nは、第1トランジスタ対Q 1 1、Q 1 2の一方のトランジスタと、第2トランジスタ対Q 2 1、Q 2 2の一方のトランジスタがオンすることで、放電により低下していく。

20

【 0 0 3 6 】

第1トランジスタ対Q 1 1、Q 1 2の各トランジスタのトランスコンダクタンスをgm_in、第2トランジスタ対Q 2 1、Q 2 2の各トランジスタのトランスコンダクタンスをgm_nsとすると、 $(V_{in_p} \times gm_{in} + V_{ns_p} \times gm_{ns}) > (V_{in_n} \times gm_{in} + V_{ns_n} \times gm_{ns})$ のとき、Vgm_pの放電速度 > Vgm_nの放電速度となる。逆に、 $(V_{in_p} \times gm_{in} + V_{ns_p} \times gm_{ns}) < (V_{in_n} \times gm_{in} + V_{ns_n} \times gm_{ns})$ のとき、Vgm_pの放電速度 < Vgm_nの放電速度となる。

30

【 0 0 3 7 】

このように、比較出力信号対Vgm_p、Vgm_nの放電速度は、第1差動入力信号対Vin_p、Vin_n及び第2差動入力信号対Vns_p、Vns_nの電位と、第1トランジスタ対Q 1 1、Q 1 2及び第2トランジスタ対Q 2 1、Q 2 2のトランスコンダクタンスとに依存する。

【 0 0 3 8 】

図3 A及び図3 Bはコンパレータ1 0 1の比較動作時の比較出力信号対Vgm_pとVgm_nの波形図である。図3 Aは $(V_{in_p} \times gm_{in} + V_{ns_p} \times gm_{ns}) > (V_{in_n} \times gm_{in} + V_{ns_n} \times gm_{ns})$ のときの波形図、図3 Bは $(V_{in_p} \times gm_{in} + V_{ns_p} \times gm_{ns}) < (V_{in_n} \times gm_{in} + V_{ns_n} \times gm_{ns})$ のときの波形図である。

40

【 0 0 3 9 】

比較出力信号対Vgm_p、Vgm_nの放電速度の差によって、コンパレータ1 0 1の後段側のラッチ回路5のラッチ出力の論理が決まる。Vgm_pの放電速度 > Vgm_nの放電速度であれば、Vout_p = High / Vout_n = Lowになる。Vgm_pの放電速度 < Vgm_nの放電速度であれば、Vout_p = Low / Vout_n = Highになる。

【 0 0 4 0 】

図1及び図2のコンパレータ1、1 0 1は、後述するように逐次比較型ADCの内部で用いることができる。逐次比較型ADCでは、A / D変換を行うべき差動のアナログ入力信号をサンプリングして、最上位ビット側から順にデジタル変換した電圧を第1差動入力信号対Vin_p、Vin_nとし、後述する容量DACに残留した電圧をフィルタリングした後

50

の差動信号を第 2 差動入力信号対 V_{ns_p} 、 V_{ns_n} として、コンパレータ 1、101 で比較動作を行う。

【0041】

ところが、図 2 のコンパレータ 101 では、第 1 差動入力信号対 V_{in_p} 、 V_{in_n} を比較する第 1 比較回路 2 のゲインと、第 2 差動入力信号対 V_{ns_p} 、 V_{ns_n} を比較する第 2 比較回路 3 のゲインとがずれるゲインミスマッチが問題となりうる。

【0042】

図 4 は図 2 のコンパレータ 101 における第 1 比較回路 2 のゲインと第 2 比較回路 3 のゲインとを比較した図である。図 4 の横軸は第 2 差動入力信号対 V_{ns_p} 、 V_{ns_n} の電位差、縦軸は第 1 差動入力信号対 V_{in_p} 、 V_{in_n} の電位差である。図 4 の破線 w1 は、第 1 差動入力信号対 V_{in_p} 、 V_{in_n} の電位差の絶対値と第 2 差動入力信号対 V_{ns_p} 、 V_{ns_n} の電位差の絶対値が等しい場合を示している。

10

【0043】

図 4 の破線 w1 よりも上の領域は、第 1 差動入力信号対 V_{in_p} 、 V_{in_n} の電位差の絶対値が第 2 差動入力信号対 V_{ns_p} 、 V_{ns_n} の電位差の絶対値よりも大きい場合であり、この場合はラッチ回路 5 の出力電位 V_{out_p} はハイ電位、 V_{out_n} はロー電位になる。一方、図 4 の破線 w1 よりも下の領域は、第 1 差動入力信号対 V_{in_p} 、 V_{in_n} の電位差の絶対値が第 2 差動入力信号対 V_{ns_p} 、 V_{ns_n} の電位差の絶対値よりも小さい場合であり、この場合はラッチ回路 5 の出力電位 V_{out_p} はロー電位、 V_{out_n} はハイ電位になる。

【0044】

20

図 4 において、第 1 比較回路 2 内の第 1 トランジスタ対 Q11、Q12 のトランスコンダクタンス gm_{in} と第 1 差動入力信号対 V_{in_p} 、 V_{in_n} のコモン電圧 V_{in_cm} との積 $gm_{in} \times V_{in_cm}$ が、第 2 比較回路 3 内の第 2 トランジスタ対 Q21、Q22 のトランスコンダクタンス gm_{ns} と第 2 差動入力信号対 V_{ns_p} 、 V_{ns_n} のコモン電圧 V_{ns_cm} との積 $gm_{ns} \times V_{ns_cm}$ と等しければ、図 4 の破線 w1 の特性が得られるが、実際には $gm_{in} \times V_{in_cm}$ は $gm_{ns} \times V_{ns_cm}$ と同一にはならず、例えば図 4 の実線 w2 のような特性になる。

【0045】

図 4 の実線 w2 の場合、第 2 差動入力信号対 V_{ns_p} 、 V_{ns_n} の電位差 $V_{ns_p} - V_{ns_n} = 1mV$ の場合に、 $V_{in_p} - V_{in_n} > -1.1mV$ であれば、コンパレータ 101 の出力電圧 V_{out_p} はハイ電位、 V_{out_n} はロー電位になる。 $V_{in_p} - V_{in_n} < 1.1mV$ であれば、 V_{out_p} はロー電位、 V_{out_n} はハイ電位になる。

30

【0046】

図 4 の実線 w2 のような特性は、コンパレータ 101 内の第 1 比較回路 2 と第 2 比較回路 3 にゲイン差すなわちゲインミスマッチがあるために生じる。ゲイン差とは、より正確には、 $gm_{in} \times V_{in_cm}$ と $gm_{ns} \times V_{ns_cm}$ に差異があることを指す。図 4 の実線 w2 のような特性を持つコンパレータ 101 は、非理想性のコンパレータである。ゲイン差のあるコンパレータは、S/N などの性能が低下し、安定性が悪くなるおそれがある。このため、ゲインミスマッチをできるだけ抑えたコンパレータが望ましい。

【0047】

ゲイン差が発生する主な要因は、上述したように、 $gm_{in} \times V_{in_cm}$ と $gm_{ns} \times V_{ns_cm}$ が一致しないためである。 $gm_{in} \times V_{in_cm}$ と $gm_{ns} \times V_{ns_cm}$ が一致しない要因は複数考えられる。その要因の一つは、コンパレータ 101 を半導体基板上に形成する際の製造プロセスのばらつきである。製造プロセスのばらつきにより、第 1 トランジスタ対 Q11、Q12 のトランスコンダクタンス gm_{in} と第 2 トランジスタ対 Q21、Q22 のトランスコンダクタンス gm_{ns} がずれてしまう。

40

【0048】

また、他の要因として、第 1 差動入力信号対 V_{in_p} 、 V_{in_n} のコモン電圧 V_{in_cm} と第 2 差動入力信号対 V_{ns_p} 、 V_{ns_n} のコモン電圧 V_{ns_cm} とがずれることが挙げられる。第 1 差動入力信号対 V_{in_p} 、 V_{in_n} のコモン電圧 V_{in_cm} は、ADC に入力される差動入力信号対のコモン電圧に依存し、第 2 差動入力信号対 V_{ns_p} 、 V_{ns_n} のコモン電圧 V_{ns_cm}

50

は、A D C 内のフィルタ回路の特性に依存するため、両コモン電圧が一致する保証はない。
【 0 0 4 9 】

第 1 比較回路 2 内の第 1 トランジスタ対 Q 1 1、Q 1 2 と第 2 比較回路 3 内の第 2 トランジスタ対 Q 2 1、Q 2 2 のトランスコンダクタンス g_{m_in} 、 g_{m_ns} は、 $\mu C_{ox} \times (W/L) \times (V_{gs} - V_{th})$ という式で表される。 μ は移動度、 C_{ox} はゲート酸化膜厚、 W はゲート幅、 L はゲート長、 V_{gs} はゲート - ソース間電圧、 V_{th} は閾値電圧である。このうち、移動度 μ 、酸化膜厚 C_{ox} 、ゲート幅 W 、ゲート長 L 、閾値電圧 V_{th} は、製造ばらつきによって変化するパラメータである。ゲート - ソース間電圧 V_{gs} は第 1 差動入力信号対 V_{in_p} 、 V_{in_n} や第 2 差動入力信号対 V_{ns_p} 、 V_{ns_n} のコモン電圧に依存するパラメータである。

【 0 0 5 0 】

10

このように、製造ばらつきやコモン電圧の変動は、コンパレータ 1 0 1 のゲイン差すなわちゲインミスマッチを生じさせ、コンパレータ 1 の S / N 比の低下や安定性の悪化を招くおそれがある。

【 0 0 5 1 】

図 1 のコンパレータ 1 は、製造ばらつきやコモン電圧の変動に対する対策を施したことを特徴としている。以下、図 1 のコンパレータ 1 の構成及び動作を説明する。図 1 のコンパレータ 1 は、第 1 比較回路 2 と、第 2 比較回路 3 と、切替回路 6 とを備えている。

【 0 0 5 2 】

第 1 比較回路 2 は、第 1 差動入力信号対 V_{in_p} 、 V_{in_n} を比較する。第 1 比較回路 2 は、第 1 差動入力信号対 V_{in_p} 、 V_{in_n} の差信号に応じた第 1 差動出力信号対を生成する第 1 トランジスタ対 Q 1 1、Q 1 2 を有する。第 2 比較回路 3 は、第 2 差動入力信号対 V_{ns_p} 、 V_{ns_n} を比較する。第 2 比較回路 3 は、第 2 差動入力信号対 V_{ns_p} 、 V_{ns_n} の差信号に応じた第 2 差動出力信号対を生成する第 2 トランジスタ対 Q 2 1、Q 2 2 を有する。

20

【 0 0 5 3 】

切替回路 6 は、第 1 比較回路 2 にて第 1 差動入力信号対 V_{in_p} 、 V_{in_n} を比較するとともに第 2 比較回路 3 にて第 2 差動入力信号対 V_{ns_p} 、 V_{ns_n} を比較するか、又は、第 1 比較回路 2 と第 2 比較回路 3 とのゲイン差を比較するかを切り替える。

【 0 0 5 4 】

本実施形態によるコンパレータ 1 は、補正回路 7 を備えている。補正回路 7 は、第 1 比較回路 2 のゲイン及び第 2 比較回路 3 のゲインを補正する。補正回路 7 は、ゲイン差がより小さくなるように第 1 比較回路 2 のゲインと第 2 比較回路 3 のゲインを補正する。補正回路 7 は、後述するように、A D C 内の制御回路に内蔵することができる。

30

【 0 0 5 5 】

本実施形態によるコンパレータ 1 は、切替回路 6 で切り替えられた差動信号を伝送する比較出力ノード対 n_1 、 n_2 を備えている。補正回路 7 は、ゲイン差がより小さくなるように、比較出力ノード対 n_1 、 n_2 の一方のノード n_1 の電圧が切替回路 6 及び第 1 比較回路 2 を通って基準電位ノードに放電される際の放電速度と、比較出力ノード対 n_1 、 n_2 の他方のノード n_2 の電圧が切替回路 6 及び第 2 比較回路 3 を通って基準電位ノードに放電される際の放電速度とを調整する。

【 0 0 5 6 】

40

図 1 の第 1 比較回路 2 は、第 1 差動入力信号対 V_{in_p} 、 V_{in_n} の差信号に応じた差動出力信号対を生成する第 1 トランジスタ対 Q 1 1、Q 1 2 を有する。第 1 トランジスタ対 Q 1 1、Q 1 2 は、例えば一对の N M O S トランジスタである。本明細書では、第 1 トランジスタ対 Q 1 1、Q 1 2 を構成する一对の N M O S トランジスタのトランスコンダクタンス g_{m_in} が互いに等しいものとする。

【 0 0 5 7 】

第 1 トランジスタ対 Q 1 1、Q 1 2 のソースと基準電位ノード（例えば接地ノード）との間には、スイッチとして機能する N M O S トランジスタが接続されている。このトランジスタのゲートにはクロック信号 Clk が入力されている。

【 0 0 5 8 】

50

図 1 の第 2 比較回路 3 は、第 2 差動入力信号対 V_{ns_p} 、 V_{ns_n} の差信号に応じた差動出力信号対を生成する第 2 トランジスタ対 Q_{21} 、 Q_{22} を有する。第 2 トランジスタ対 Q_{21} 、 Q_{22} は、例えば一对の NMOS トランジスタである。本明細書では、第 2 トランジスタ対 Q_{21} 、 Q_{22} を構成する一对の NMOS トランジスタのトランスコンダクタンス g_{m_ns} が互いに等しいものとする。

【0059】

第 2 トランジスタ対 Q_{21} 、 Q_{22} のソースと基準電位ノード（例えば接地ノード）との間には、スイッチとして機能する NMOS トランジスタが接続されている。このトランジスタのゲートにはクロック信号 Clk が入力されている。

【0060】

クロック信号 Clk がロー電位の間は、第 1 比較回路 2 と第 2 比較回路 3 は比較動作を行わず、クロック信号 Clk がロー電位からハイ電位に遷移すると、第 1 比較回路 2 と第 2 比較回路 3 は比較動作を開始する。

【0061】

図 1 のコンパレータ 1 では、第 1 比較回路 2 の出力ノード対と第 2 比較回路 3 の出力ノード対は、切替回路 6 を介して比較出力ノード対 n_1 、 n_2 に接続されている。第 1 比較回路 2 の出力ノード対からは第 1 差動出力信号対が出力され、第 2 比較回路 3 の出力ノード対からは第 2 差動出力信号対が出力される。

【0062】

図 1 の切替回路 6 は、第 1 比較回路 2 にて前記第 1 差動入力信号対 V_{in_p} 、 V_{in_n} を比較するとともに前記第 2 比較回路 3 にて前記第 2 差動入力信号対 V_{ns_p} 、 V_{ns_n} を比較する第 1 動作モード（以下では、通常比較モードとも呼ぶ）と、第 1 比較回路 2 と前記第 2 比較回路 3 とのゲイン差を比較するかを切り替える第 2 動作モード（以下では、ゲイン比較モードとも呼ぶ）の切替を行う。

【0063】

切替回路 6 は、第 1 ～ 第 4 スイッチ対 6 a、6 b、6 c、6 d を有する。第 1 スイッチ対 6 a を構成する 2 つのスイッチ SW_1 、 SW_2 と、第 2 スイッチ対 6 b を構成する 2 つのスイッチ SW_3 、 SW_4 は、通常比較モードのときにオンする。スイッチ SW_1 の一端はトランジスタ Q_{11} のドレインに接続され、他端は比較出力ノード n_1 に接続されている。スイッチ SW_2 の一端はトランジスタ Q_{12} のドレインに接続され、他端は比較出力ノード n_2 に接続されている。スイッチ SW_3 の一端はトランジスタ Q_{21} のドレインに接続され、他端は比較出力ノード n_1 に接続されている。スイッチ SW_4 の一端はトランジスタ Q_{22} のドレインに接続され、他端は比較出力ノード n_2 に接続されている。

【0064】

第 3 スイッチ対 6 c を構成する 2 つのスイッチ SW_5 、 SW_6 と、第 4 スイッチ対 6 d を構成する 2 つのスイッチ SW_7 、 SW_8 は、ゲイン比較モードのときにオンする。スイッチ SW_5 の一端はトランジスタ Q_{11} のドレインに接続され、他端は比較出力ノード n_1 に接続されている。スイッチ SW_6 の一端はトランジスタ Q_{12} のドレインに接続され、他端は比較出力ノード n_1 に接続されている。スイッチ SW_7 の一端はトランジスタ Q_{21} のドレインに接続され、他端は比較出力ノード n_2 に接続されている。スイッチ SW_8 の一端はトランジスタ Q_{22} のドレインに接続され、他端は比較出力ノード n_2 に接続されている。

【0065】

通常比較モードでは、第 1 比較回路 2 から出力された第 1 差動出力信号対は切替回路 6 を介して比較出力ノード対 n_1 、 n_2 に供給されるとともに、第 2 比較回路 3 から出力された第 2 差動出力信号対は切替回路 6 を介して比較出力ノード対 n_1 、 n_2 に供給される。

【0066】

一方、ゲイン比較モードでは、第 1 比較回路 2 から出力された第 1 差動出力信号対は切替回路 6 を介して比較出力ノード n_1 に供給されるとともに、第 2 比較回路 3 から出力された第 2 差動出力信号対は切替回路 6 を介して比較出力ノード n_2 に供給される。

10

20

30

40

50

【 0 0 6 7 】

図 1 のコンパレータ 1 は、第 1 比較回路 2 内の第 1 トランジスタ対 Q_{11} 、 Q_{12} のソースと基準電位ノード（例えば接地ノード）の間に接続された第 1 可変容量 C_1 と、第 2 比較回路 3 内の第 2 トランジスタ対 Q_{21} 、 Q_{22} のソースと基準電位ノード（例えば接地ノード）の間に接続された第 2 可変容量 C_2 とを備えている。これら第 1 可変容量 C_1 と第 2 可変容量 C_2 の容量値は、補正回路 7 により調整可能である。補正回路 7 は、第 1 比較回路 2 と第 2 比較回路 3 とのゲイン差がより小さくなるように、第 1 可変容量 C_1 と第 2 可変容量 C_2 の容量値を調整する。ここで、ゲイン差とは、第 1 トランジスタ対 Q_{11} 、 Q_{12} のトランスコンダクタンス gm_{in} と第 1 差動入力信号対 V_{in_p} 、 V_{in_n} のコモン電圧 V_{in_cm} との積 $gm_{in} \times V_{in_cm}$ と、第 2 トランジスタ対 Q_{21} 、 Q_{22} のトランスコンダクタンス gm_{ns} と第 2 差動入力信号対 V_{ns_p} 、 V_{ns_n} のコモン電圧 V_{ns_cm} との積 $gm_{ns} \times V_{ns_cm}$ との差分である。

10

【 0 0 6 8 】

補正回路 7 は、第 1 可変容量 C_1 の容量値と第 2 可変容量 C_2 の容量値を個別に制御することができる。補正回路 7 は、後述する ADC 内の制御回路の内部に設けることができる。上述したように、第 1 比較回路 2 と第 2 比較回路 3 は、クロック信号 Clk がロー電位からハイ電位に遷移すると、比較動作を開始するが、第 1 可変容量 C_1 と第 2 可変容量 C_2 の容量値を可変制御することで、第 1 比較回路 2 と第 2 比較回路 3 が比較動作を開始するタイミングを調整することができる。すなわち、補正回路 7 が第 1 可変容量 C_1 と第 2 可変容量 C_2 の容量値を個別に制御することで、比較出力ノード対 n_1 、 n_2 の一方のノードの放電速度と、他方のノードの放電速度とを個別に調整できる。第 1 可変容量 C_1 の容量値を小さくするほど、比較出力ノード n_1 の放電速度を高速化することができる。同様に、第 2 可変容量 C_2 の容量値を小さくするほど、比較出力ノード n_2 の放電速度を高速化することができる。

20

【 0 0 6 9 】

ラッチ回路 5 のラッチ出力の論理は、比較出力ノード対 n_1 、 n_2 の一方のノードと他方のノードの放電速度の違いによって大小関係が決まる。第 1 比較回路 2 と第 2 比較回路 3 に上述したゲイン差がある場合に、補正回路 7 により第 1 可変容量 C_1 と第 2 可変容量 C_2 の容量値を個別に制御することで、ゲイン差がより小さくなるように、比較出力ノード対 n_1 、 n_2 の一方のノードの放電速度と他方のノードの放電速度を設定できる。

30

【 0 0 7 0 】

例えば、 $gm_{ns} \times V_{ns_cm} < gm_{in} \times V_{in_cm}$ の場合には、第 2 比較回路 3 に接続された第 2 可変容量 C_2 の容量値を少しずつ小さくして、比較出力ノード n_2 の放電速度を徐々に高速化する。比較出力ノード対 n_1 、 n_2 の放電速度がほぼ等しくなると、ゲイン比較モードでの補正回路 7 による補正処理を終了する。この状態では、ゲイン差がなくなっており、その後に通常比較モードを行うことで、ゲイン差の影響を受けずに、第 1 差動入力信号対 V_{in_p} 、 V_{in_n} 及び第 2 差動入力信号対 V_{ns_p} 、 V_{ns_n} の比較処理を行うことができる。

【 0 0 7 1 】

図 1 のコンパレータ 1 では、補正回路 7 により第 1 可変容量 C_1 の容量値と第 2 可変容量 C_2 の容量値を制御することにより、図 4 の破線 w_1 のような特性を持たせることができる。

40

【 0 0 7 2 】

図 5 は本実施形態によるコンパレータ 1 を備えた逐次比較型 ADC 11 の回路図である。図 5 の逐次比較型 ADC 11 は、差動入力信号対 V_{ad_p} 、 V_{ad_n} を 5 ビットのデジタル信号に変換する例を示している。なお、逐次比較型 ADC 11 のビット数は任意である。また、逐次比較型 ADC 11 の回路構成は、図 5 に示すものに限定されない。

【 0 0 7 3 】

図 5 の逐次比較型 ADC 11 は、第 1 サンプリングスイッチ 12 と、第 2 サンプリングスイッチ 13 と、第 1 デジタル - アナログ変換器（以下、第 1 DAC）14 と、第 2 デジ

50

タル - アナログ変換器 (第 2 D A C) 1 5 と、フィルタ回路 1 6 と、コンパレータ 1 と、制御回路 (S A R ロジック) 1 7 とを備えている。本明細書では、第 1 D A C 1 4 と第 2 D A C 1 5 を総称して容量 D A C 1 8 と呼ぶ。

【 0 0 7 4 】

第 1 サンプリグスイッチ 1 2 は、差動入力信号対 Vad_p、Vad_n の一方の信号 Vad_p をサンプリグするか否かを切り替える。第 2 サンプリグスイッチ 1 3 は、差動入力信号対 Vad_p、Vad_n の他方の信号 Vad_n をサンプリグするか否かを切り替える。

【 0 0 7 5 】

第 1 D A C 1 4 は、サンプリグされた一方の信号 Vad_p を複数ビットからなるデジタル信号に 1 ビットずつ順に変換するとともに、未変換のビットに応じた電圧レベルの信号

10

【 0 0 7 6 】

第 1 D A C 1 4 は、2 のべき乗倍ずつ容量が異なる 5 つのキャパシタ C 1 ~ C 5 と、各キャパシタ C 1 ~ C 5 に接続される 3 つのスイッチ (第 1 ~ 第 3 スイッチ) S W 1 1 ~ S W 1 3 とを有する。第 1 スイッチ S W 1 1 は、キャパシタ C 1 ~ C 5 の一端を 0 V に設定するか否かを切り替える。第 2 スイッチ S W 1 2 は、キャパシタ C 1 ~ C 5 の一端をコモン電圧 Vcom に設定するか否かを切り替える。第 3 スイッチ S W 1 3 は、キャパシタ C 1 ~ C 5 の一端を基準電圧 Vref に設定するか否かを切り替える。コモン電圧 Vcom は、例えば基準電圧 Vref の 1 / 2 の電圧レベルである。

【 0 0 7 7 】

20

第 1 ~ 第 3 スイッチ S W 1 1 ~ S W 1 3 は、制御回路 1 7 からの制御信号に基づいて、オン又はオフが切り替えられる。制御回路 1 7 は、比較動作の開始時点では第 2 スイッチ S W 1 2 をオンする。その後、制御回路 1 7 は、第 1 D A C 1 4 の出力ノード電圧 (第 1 差動入力信号対 Vin_p、Vin_n の一方) Vin_p を下げたい場合には第 1 スイッチ S W 1 1 をオンし、第 1 D A C 1 4 の出力ノード電圧 (第 1 差動入力信号対 Vin_p、Vin_n の一方) Vin_p を上げたい場合には第 3 スイッチ S W 1 3 をオンする。

【 0 0 7 8 】

第 2 D A C 1 5 は、サンプリグされた他方の信号を複数ビットからなるデジタル信号に 1 ビットずつ順に変換するとともに、未変換のビットに応じた電圧レベルの信号を出力する。第 2 D A C 1 5 は、第 1 D A C 1 4 と同様に構成されており、第 1 D A C 1 4 と同様に制御回路 1 7 からの制御信号に基づいて第 1 ~ 第 3 スイッチ S W 1 1 ~ S W 1 3 を切り替える。

30

【 0 0 7 9 】

フィルタ回路 1 6 は、第 1 D A C 1 4 の出力信号と第 2 D A C 1 5 の出力信号とをサンプリグして出力する。フィルタ回路 1 6 から出力される差動出力信号対が第 2 差動入力信号対 Vns_p、Vns_n である。

【 0 0 8 0 】

コンパレータ 1 は、図 1 に示す構成を備えている。コンパレータ 1 には、第 1 D A C 1 4 の出力信号と第 2 D A C 1 5 の出力信号とを対とする第 1 差動入力信号対 Vin_p、Vin_n と、フィルタ回路 1 6 から出力された第 2 差動入力信号対 Vns_p、Vns_n とが入力される。コンパレータ 1 は、第 1 差動入力信号対 Vin_p、Vin_n の差信号と、第 2 差動入力信号対 Vns_p、Vns_n の差信号とに応じた差動出力信号対 Vout_p、Vout_n を出力する。

40

【 0 0 8 1 】

制御回路 1 7 は、コンパレータ 1 の差動出力信号対に基づいて、第 1 D A C 1 4 及び第 2 D A C 1 5 内の第 1 ~ 第 3 スイッチ S W 1 1 ~ S W 1 3 の切替制御を行う。制御回路 1 7 は、図 1 等 に示した補正回路 7 を内蔵することができる。以下では、制御回路 1 7 が補正回路 7 を内蔵する例を説明する。制御回路 1 7 は、コンパレータ 1 の差動出力信号対に基づいて、信号 Sw_comp、信号 Sw_gain、信号 Comp_end、信号 Gain_cal_in、信号 Gain_cal_ns を生成する。信号 Sw_comp は、通常比較モードのときにハイ電位になる信号である。信号 Sw_gain は、ゲイン比較モードのときにハイ電位になる信号である。信号 Com

50

p_endは、ゲイン比較モード時にゲイン差がなくなったときにハイ電位になる信号である。信号Gain_cal_inは、ゲイン比較モードでの調整後の第1可変容量C1の容量値を調整する信号である。信号Gain_gain_nsは、ゲイン比較モードでの調整後の第2可変容量C2の容量値を調整する信号である。

【0082】

コンパレータ1に入力されるクロック信号Clkのタイミングは、第1サンプリングスイッチ12及び第2サンプリングスイッチ13の切替信号Clk_smplと、コンパレータ1の差動出力信号対と、信号Comp_endとによって設定される。クロック信号Clkのタイミングを設定するために、図5のADC11は、インバータ31, 32と、NORゲート33と、ANDゲート34, 35とを備えている。なお、これらの論理ゲートは、他の論理回路素子に置換可能である。

10

【0083】

図6は、図5の第1DAC14の出力ノード電圧(第1差動入力信号対Vin_p、Vin_nの一方)Vin_pと、第2DAC15の出力ノード電圧(第1差動入力信号対Vin_p、Vin_nの他方)Vin_nの電圧波形図である。まず初めは、第1サンプリングスイッチ12と第2サンプリングスイッチ13をともにオンして、差動入力信号対Vad_p、Vad_nをサンプリングする。このとき、各キャパシタC1~C5の一端は第2スイッチSW12を介して、第1差動入力信号対Vin_p、Vin_nのコモン電圧Vcomに設定される。これにより、容量DAC18には、差動入力信号対Vad_p、Vad_nの差信号に応じた電荷が蓄積される。容量DAC18を構成する第1DAC14の出力信号と第2DAC15の出力信号は、コンパレータ1に入力される第1差動入力信号対Vin_p、Vin_nである。また、フィルタ回路16の差動出力信号は、コンパレータ1に入力される第2差動入力信号対Vns_p、Vns_nである。

20

【0084】

その後、第1サンプリングスイッチ12と第2サンプリングスイッチ13をともにオフにして、コンパレータ1による比較動作を開始する。容量DAC18の出力は、サンプリングされた差動入力信号対Vad_p、Vad_nの差信号に応じて、図6に示すように上記ビットから順に第1差動入力信号の電位差が小さくなるように制御され、第1差動入力信号の電位差は徐々にゼロに近づいていく。

【0085】

制御が完了すると、容量DAC18に残留した電圧がフィルタ回路16でサンプリングされて、フィルタ回路16の出力電圧(第2差動入力信号)を変化させる。通常は、容量DAC18の制御完了時の残留電圧は非常に小さい電圧レベルであり、フィルタ回路16は、小さい電圧レベルの信号を出力し続ける。すなわち、第2差動入力信号対Vns_p、Vns_nの差信号(Vns_p - Vns_n) = 0という状態を保持する。

30

【0086】

図7は図6のADC11の動作タイミングを示すタイミング図である。時刻t1~t2では、信号Clk_smplがハイになり、第1サンプリングスイッチ12と第2サンプリングスイッチ13がオンする。これにより、第1DAC14と第2DAC15は、差動入力信号Vad_p、Vad_nをサンプリングする。時刻t2で第1サンプリングスイッチ12と第2サンプリングスイッチ13はオフし、差動入力信号Vad_p、Vad_nのサンプリングは終了する。また、時刻t2で信号Sw_compはハイ電位に遷移し、コンパレータ1内の切替回路6は、第1比較回路2から出力された第1差動出力信号対を比較出力ノード対n1、n2に接続し、第2比較回路3から出力された第2差動出力信号対を比較出力ノード対n1、n2に接続する。

40

【0087】

時刻t3でクロック信号Clkがロー電位からハイ電位に遷移すると、図5のコンパレータ1は比較動作を開始する。コンパレータ1内の第1比較回路2と第2比較回路3は、クロック信号Clkがハイ電位の期間のみ、比較動作を行う。時刻t3以降、クロック信号Clkがロー電位からハイ電位に遷移するたびに、第1DAC14と第2DAC15は、サンプリング

50

リングされた差動入力電圧を、上位ビットから順に、1ビットずつデジタル値に変換する。より詳細には、第1比較回路2は、第1DAC14と第2DAC15の出力電圧（第1差動入力信号対 V_{in_p} 、 V_{in_n} ）の差信号 $V_{in_p} - V_{in_n}$ が正か負かを判別し、その判別結果を示す差動出力信号対を出力する。制御回路17は、第1DAC14と第2DAC15の出力電圧（第2差動入力信号対 V_{ns_p} 、 V_{ns_n} ）の差信号 $V_{in_p} - V_{in_n}$ がゼロに近づくように、第1DAC14と第2DAC15の最上位ビットから順に各ビットの値を制御する。これにより、図6に示したように、第1差動入力信号対 V_{in_p} 、 V_{in_n} の差信号は次第にゼロに近づく。

【0088】

時刻 t_4 で、第1DAC14と第2DAC15によるD/A変換処理が終了すると、信号 Sw_comp はロー電位に遷移するとともに、信号 Sw_gain が所定の期間だけハイ電位になる。信号 Sw_gain がハイ電位になると、ゲイン比較モードになり、切替回路6は、第1比較回路2から出力された第1差動出力信号対を比較出力ノード対 n_1 、 n_2 の一方に接続し、第2比較回路3から出力された第2差動出力信号対を比較出力ノード対 n_1 、 n_2 の他方に接続する。

【0089】

時刻 t_5 になると、信号 $Comp_end$ がハイ電位になり、それ以降は、第1比較回路2と第2比較回路3にクロック信号 Clk が供給されなくなる。

【0090】

時刻 t_6 になると、ゲイン比較モードにおける比較結果をもとに、補正回路7は、 $gm_{in} \times V_{in_cm}$ と $gm_{ns} \times V_{ns_cm}$ の差が小さくなるように、第1可変容量C1の容量値と第2可変容量C2の容量値を制御する。ゲイン調整信号 $Gain_cal_in$ は第1可変容量C1の容量値を指定する信号であり、ゲイン調整信号 $Gain_cal_ns$ は第2可変容量C2の容量値を指定する信号である。時刻 t_6 前後で、ゲイン調整信号 $Gain_cal_in$ にて第1可変容量C1の容量値設定が切り替わるとともに、ゲイン調整信号 $Gain_cal_ns$ にて第2可変容量C2の容量値設定が切り替わる。その後、時刻 t_7 以降では、時刻 $t_1 \sim t_6$ と同様の動作を繰り返す。

【0091】

図8は図5のADC11の処理手順を示すフローチャートであり、図6のタイミング図に準拠したものである。ADC11に電源電圧が供給されると、まず、外部から入力された差動入力信号対 V_{ad_p} 、 V_{ad_n} をサンプリングする（ステップS1）。次に、通常比較モードに設定して、サンプリングされた電圧に基づいて、第1DAC14と第2DAC15の容量を制御して、最上位ビットから1ビットずつ順にデジタル値に変換する（ステップS2）。次に、ゲイン比較モードに設定して、第1比較回路2のゲインと第2比較回路3のゲインを比較して（ステップS3）、ゲイン差がなくなるように第1可変容量C1と第2可変容量C2の容量値を制御する（ステップS4）。ゲイン差がなくなると、ステップS2以降の処理を繰り返す。

【0092】

図8の処理順序の一部を入れ替えてもよい。図9は図5のADC11の処理手順の一変形例を示すフローチャートである。ADC11に電源電圧を供給後、まず、ゲイン比較モードに設定して、第1比較回路2のゲインと第2比較回路3のゲインを比較して（ステップS11）、ゲイン差がなくなるように第1可変容量C1と第2可変容量C2の容量値を制御する（ステップS12）。ゲイン差がなくなると、外部から入力された差動入力信号対 V_{ad_p} 、 V_{ad_n} をサンプリングする（ステップS13）。次に、通常比較モードに設定して、サンプリングされた電圧に基づいて、第1DAC14と第2DAC15の容量を制御して、最上位ビットから1ビットずつ順にデジタル値に変換する（ステップS14）。最下位ビットまでデジタル値に変換すると、ステップS11以降の処理を繰り返す。

【0093】

このように、図8は、ADC11に電源電圧が供給されると、まず最初に差動入力信号対のサンプリング及びA/D変換を行った後にゲイン比較及びゲイン補正を行うの対し、

10

20

30

40

50

図 9 は、まず最初にゲイン比較及びゲイン補正を行った後に、サンプリング及び A / D 変換を行う点で異なる。しかしながら、図 8 と図 9 は、A D C 1 1 に電源電圧が供給された直後の動作が異なるだけで、サンプリング及び A / D 変換を行うたびに、ゲイン比較及びゲイン補正を行う点では共通する。

【 0 0 9 4 】

上述したように、第 1 の実施形態では、コンパレータ 1 内の第 1 比較回路 2 と第 2 比較回路 3 のゲイン差がなくなるように、第 1 可変容量 C 1 の容量値と第 2 可変容量 C 2 の容量値を制御するため、製造ばらつきにより、第 1 比較回路 2 内の第 1 トランジスタ対 Q 1 1、Q 1 2 のトランスコンダクタンスと第 2 比較回路 3 内の第 2 トランジスタ対 Q 2 1、Q 2 2 のトランスコンダクタンスに差異があっても、また、第 1 比較回路 2 に入力される第 1 差動入力信号対 Vin_p、Vin_n のコモン電圧と、第 2 比較回路 3 に入力される第 2 差動入力信号対 Vns_p、Vns_n のコモン電圧に差異があっても、 $gm_{in} \times Vin_{cm}$ と $gm_{ns} \times Vns_{cm}$ が等しくなるように制御でき、A D C 1 1 及びコンパレータ 1 の S / N 比を向上でき、かつ安定性も高くなる。

【 0 0 9 5 】

(第 2 の実施形態)

図 1 のコンパレータ 1 では、第 1 比較回路 2 に入力される第 1 差動入力信号対 Vin_p、Vin_n の電圧レベルが大きい場合や、第 2 比較回路 3 に入力される第 2 差動入力信号対 Vns_p、Vns_n の電圧レベルが大きい場合に正しい比較結果を出力しない場合が起こりうる。そこで、第 2 の実施形態では、このような不具合が起きないようにしたものである。

【 0 0 9 6 】

図 1 0 は第 2 の実施形態によるコンパレータ 1 a の回路図である。図 1 0 のコンパレータ 1 a は、図 5 のコンパレータ 1 の代わりに用いることができ、これにより図 5 と同様の動作を行う A D C 1 1 を構成することができる。

【 0 0 9 7 】

図 1 0 のコンパレータ 1 a は、切替回路 6 の構成が図 1 のコンパレータ 1 と一部異なっている。図 1 0 の切替回路 6 は、図 1 の切替回路 6 のスイッチ構成に加えて、第 1 トランジスタ対 Q 1 1、Q 1 2 のゲート同士を短絡するか否かを切り替えるスイッチ SW 9 と、第 2 トランジスタ対 Q 2 1、Q 2 2 のゲート同士を短絡するか否かを切り替えるスイッチ SW 1 0 とを有する。これらスイッチ SW 9、SW 1 0 は、通常比較モード時はオフであり、ゲイン比較モード時にオンする。これらスイッチ SW 9、SW 1 0 がオンすると、第 1 トランジスタ対 Q 1 1、Q 1 2 のゲート同士は短絡され、同様に、第 2 トランジスタのゲート同士は短絡される。よって、第 1 トランジスタ対 Q 1 1、Q 1 2 のゲート同士は同電位になり、第 2 トランジスタ対 Q 2 1、Q 2 2 のゲート同士も同電位になる。

【 0 0 9 8 】

ゲイン比較モード時は、第 1 トランジスタ対 Q 1 1、Q 1 2 と第 2 トランジスタ対 Q 2 1、Q 2 2 のトランスコンダクタンスの違いと、第 1 差動入力信号対 Vin_p、Vin_n と第 2 差動入力信号対 Vns_p、Vns_n のコモン電圧の違いを補正するものであり、第 1 トランジスタ対 Q 1 1、Q 1 2 のゲート同士を短絡し、かつ第 2 トランジスタ対 Q 2 1、Q 2 2 のゲート同士を短絡しても、補正処理を行うことができる。むしろ、第 1 差動入力信号対 Vin_p、Vin_n 同士を短絡し、かつ第 2 差動入力信号同士を短絡した状態でゲイン比較及びゲイン補正を行うことで、第 1 トランジスタ対 Q 1 1、Q 1 2 のゲート間や第 2 トランジスタ対 Q 2 1、Q 2 2 のゲート間に大きな電圧が印加されなくなり、第 1 比較回路 2 と第 2 比較回路 3 が誤った比較結果を出力するおそれがなくなる。

【 0 0 9 9 】

(第 3 の実施形態)

第 3 の実施形態によるコンパレータ 1 b は、第 1 及び第 2 の実施形態によるコンパレータ 1 とは、トランジスタの導電型を逆にしたものである。

【 0 1 0 0 】

図 1 1 は第 3 の実施形態によるコンパレータ 1 b の回路図である。図 1 1 のコンパレー

タ 1 b は、図 5 のコンパレータ 1 の代わりに用いることができ、これにより図 5 と同様の動作を行う A D C 1 1 を構成することができる。

【 0 1 0 1 】

図 1 1 のコンパレータ 1 b は、図 1 のコンパレータ 1 内の各トランジスタの導電型を逆にした構成を有する。図 1 1 のコンパレータ 1 b 内の第 1 比較回路 2 は、2 つの P M O S トランジスタからなる第 1 トランジスタ対 Q 1 1 a、Q 1 2 a を有する。電源電圧ノードと第 1 トランジスタ対 Q 1 1 a、Q 1 2 a のソースとの間には、P M O S トランジスタ Q 1 3 a からなるスイッチと、第 1 可変容量 C 1 とが接続されている。図 1 1 のコンパレータ 1 b 内の第 2 比較回路 3 は、2 つの P M O S トランジスタからなる第 2 トランジスタ対 Q 2 1 a、Q 2 2 a を有する。電源電圧ノードと第 2 トランジスタ対 Q 2 1 a、Q 2 2 a のソースとの間には、P M O S トランジスタ Q 2 3 a からなるスイッチと、第 2 可変容量 C 2 とが接続されている。

10

【 0 1 0 2 】

第 1 トランジスタ対 Q 1 1 a、Q 1 2 a のドレイン及び第 2 トランジスタ対 Q 2 1 a、Q 2 2 a のドレインと比較出力ノード対 n 1、n 2 の間には、切替回路 6 が接続されている。切替回路 6 と基準電圧ノード（例えば接地ノード）の間には、プルダウン回路 8 が接続されている。図 1 1 のラッチ回路 5 は、図 1 のラッチ回路 5 とは異なる導電型のトランジスタを有する。

【 0 1 0 3 】

図 1 1 のコンパレータ 1 b は、トランジスタの導電型が図 1 のコンパレータ 1 とは逆であるものの、回路の動作としては同じである。ゲイン比較モード時にゲイン差がゼロになるように、第 1 可変容量 C 1 の容量値と第 2 可変容量 C 2 の容量値を制御するため、製造ばらつきにより第 1 トランジスタ対 Q 1 1 a、Q 1 2 a と第 2 トランジスタ対 Q 2 1 a、Q 2 2 a のトランスコンダクタンスに差異が生じてても、また、第 1 差動入力信号対 Vin_p、Vin_n のコモン電圧と第 2 差動入力信号対 Vns_p、Vns_n のコモン電圧にずれがあっても、 $gm_{in} \times Vin_{cm}$ と $gm_{ns} \times Vns_{cm}$ が等しくなるように制御でき、A D C 1 1 の S / N 比を向上でき、かつ安定性も向上できる。

20

【 0 1 0 4 】

なお、図 1 1 のコンパレータ 1 b と同様に、図 1 0 のコンパレータ 1 a 内の各トランジスタの導電型を逆にしてもよい。

30

【 0 1 0 5 】

（第 4 の実施形態）

第 4 の実施形態は、ラッチ回路 5 の接続場所が図 1 のコンパレータ 1 とは異なるものである。

【 0 1 0 6 】

図 1 2 は第 4 の実施形態によるコンパレータ 1 c の回路図である。図 1 2 のコンパレータ 1 c は、電源電圧ノードと比較出力ノード対 n 1、n 2 との間に接続されたラッチ回路 5 を備えている。ラッチ回路 5 内のトランジスタの導電型は、図 1 のラッチ回路 5 内のトランジスタとは逆になっている。図 1 2 のコンパレータ 1 c は、図 5 のコンパレータ 1 の代わりに用いることができ、これにより図 5 と同様の動作を行う A D C 1 1 を構成することができる。

40

【 0 1 0 7 】

図 1 2 のコンパレータ 1 c は、図 1 のコンパレータ 1 と同様の切替回路 6、第 1 可変容量 C 1、第 2 可変容量 C 2 及び補正回路 7 を備えているため、図 1 のコンパレータ 1 と同様に、ゲイン比較モード時に $gm_{in} \times Vin_{cm}$ と $gm_{ns} \times Vns_{cm}$ が等しくなるように制御でき、A D C 1 1 の S / N 比を向上でき、かつ安定性も向上できる。

【 0 1 0 8 】

（第 5 の実施形態）

第 5 の実施形態は、比較出力ノード対 n 1、n 2 で伝送される信号のドライブ能力を高めて、ラッチ回路 5 のラッチ動作を高速化するものである。

50

【 0 1 0 9 】

図 1 3 は第 5 の実施形態によるコンパレータ 1 d の回路図である。図 1 3 のコンパレータ 1 d は、比較出力ノード対 n 1、n 2 に接続されたインバータ I V 1、I V 2 を備えている。これらインバータ I V 1、I V 2 は、信号の論理を反転して出力するが、その際に、出力信号波形を急峻にする波形整形を行う。このように、これらインバータ I V 1、I V 2 は、波形整形回路として機能する。インバータ I V 1、I V 2 の代わりに、種々の論理演算素子（例えば、NAND 素子や NOR 素子など）を用いてもよい。図 1 3 のコンパレータ 1 d は、図 5 のコンパレータ 1 の代わりに用いることができ、これにより図 5 と同様の動作を行う ADC 1 1 を構成することができる。

【 0 1 1 0 】

10

図 1 3 のように、比較出力ノード対 n 1、n 2 にインバータ I V 1、I V 2 を設けると、信号の論理が反転するため、ラッチ回路 5 の内部構成を図 1 とは異なるものにする必要がある。図 1 3 のラッチ回路 5 は、比較出力ノード対 n 1、n 2 に接続されるゲートを有する 2 つの NMOS トランジスタ Q 4 1、Q 4 2 と、これら NMOS トランジスタ Q 4 1、Q 4 2 のソースと基準電圧ノード（例えば接地ノード）との間に接続される 2 つの NMOS トランジスタ Q 4 3、Q 4 4 と、これら NMOS トランジスタ Q 4 3、Q 4 4 のドレインと電源電圧ノードとの間に接続される PMOS トランジスタ Q 4 5 ~ Q 4 8 とを有する。

【 0 1 1 1 】

20

このように、図 1 3 のコンパレータ 1 d は、比較出力ノード対 n 1、n 2 にインバータ I V 1、I V 2 を接続するため、比較出力ノード対 n 1、n 2 の信号の波形整形を行うことができ、ラッチ回路 5 のラッチ動作を高速化することができる。

【 0 1 1 2 】

（第 6 の実施形態）

第 6 の実施形態は、第 1 可変容量 C 1 及び第 2 可変容量 C 2 の代替手段を設けたものである。

【 0 1 1 3 】

図 1 4 は第 6 の実施形態によるコンパレータ 1 e の回路図である。図 1 4 のコンパレータ 1 e は、図 5 のコンパレータ 1 の代わりに用いることができ、これにより図 5 と同様の動作を行う ADC 1 1 を構成することができる。図 1 4 のコンパレータ 1 e は、図 1 の第 1 可変容量 C 1 及び第 2 可変容量 C 2 の代わりに、第 1 比較回路 2 内のスイッチであるトランジスタ Q 1 3 がオンするタイミングを制御する第 1 可変遅延バッファ 2 1 と、第 2 比較回路 3 内のスイッチであるトランジスタ Q 2 3 がオンするタイミングを制御する第 2 可変遅延バッファ 2 2 とを備えている。

30

【 0 1 1 4 】

第 1 可変遅延バッファ 2 1 は、信号 Gain_cal_in により、入力されたクロック信号 Clk を出力するまでの遅延時間を可変制御する。同様に、第 2 可変遅延バッファ 2 2 は、信号 Gain_cal_ns により、入力されたクロック信号 Clk を出力するまでの遅延時間を可変制御する。ゲイン比較モード時には、第 1 可変遅延バッファ 2 1 の出力がハイ電位になるタイミングに応じて、比較出力ノード n 1 から第 1 比較回路 2 内のトランジスタ Q 1 1 又は Q 1 2 とトランジスタ Q 1 3 を通って接地ノードに至る放電経路の放電速度が変化する。同様に、ゲイン比較モード時には、第 2 可変遅延バッファ 2 2 の出力がハイ電位になるタイミングに応じて、比較出力ノード n 2 から第 2 比較回路 3 内のトランジスタ Q 2 1 又は Q 2 2 とトランジスタ Q 2 3 を通って接地ノードに至る放電経路の放電速度が変化する。

40

【 0 1 1 5 】

よって、第 1 可変遅延バッファ 2 1 と第 2 可変遅延バッファ 2 2 の遅延時間を個別に制御することにより、第 1 比較回路 2 と第 2 比較回路 3 とのゲイン差がゼロになるように調整できる。

【 0 1 1 6 】

第 1 可変遅延バッファ 2 1 と第 2 可変遅延バッファ 2 2 の遅延時間の調整は補正回路 7

50

が行う。補正回路 7 は、第 1 可変遅延バッファ 2 1 と第 2 可変遅延バッファ 2 2 の遅延時間を調整することにより、スイッチであるトランジスタ Q 1 3、Q 2 3 が基準電位ノード（例えば接地ノード）に短絡されるタイミングを調整して、比較出力ノード n 1、n 2 の放電速度を調整する。

【0117】

図 1 4 のコンパレータ 1 e では、第 1 可変容量 C 1 と第 2 可変容量 C 2 の代わりに、第 1 可変遅延バッファ 2 1 と第 2 可変遅延バッファ 2 2 の遅延時間の調整でゲイン差をゼロにするため、図 1 のコンパレータ 1 よりもコンパレータ 1 e の回路面積を縮小することができる。

【0118】

（第 7 の実施形態）

第 7 の実施形態は、第 1 可変容量 C 1 及び第 2 可変容量 C 2 の代替手段を設けたものである。

【0119】

図 1 5 は第 7 の実施形態によるコンパレータ 1 f の回路図である。図 1 5 のコンパレータ 1 f は、図 5 のコンパレータ 1 の代わりに用いることができ、これにより図 5 と同様の動作を行う ADC 1 1 を構成することができる。図 1 5 のコンパレータ 1 f は、図 1 の第 1 可変容量 C 1 及び第 2 可変容量 C 2 の代わりに、第 1 比較回路 2 内に第 1 可変電流源 2 3 を設けるとともに、第 2 比較回路 3 内に第 2 可変電流源 2 4 を設けている。

【0120】

第 1 可変電流源 2 3 は、第 1 比較回路 2 内のトランジスタ Q 1 3 のソースと基準電圧ノード（例えば接地ノード）の間に接続されている。また、第 2 可変電流源 2 4 は、第 2 比較回路 3 内のトランジスタ Q 2 3 のソースと基準電圧ノードとの間に接続されている。第 1 可変電流源 2 3 は、信号 Gain_cal_in により電流値が制御される。第 2 可変電流源 2 4 は、信号 Gain_cal_ns により電流値が制御される。

【0121】

図 1 5 のコンパレータ 1 f では、第 1 可変電流源 2 3 と第 2 可変電流源 2 4 を流れる電流値を個別に制御することにより、比較出力ノード対 n 1、n 2 の放電速度を調整できる。よって、図 1 のコンパレータ 1 f と同様に、ゲイン比較モード時に $gm_{in} \times Vin_{cm}$ と $gm_{ns} \times Vns_{cm}$ が等しくなるように制御でき、ADC 1 1 の S/N 比を向上でき、かつ安定性も向上できる。

【0122】

（第 8 の実施形態）

第 8 の実施形態は、第 1 可変容量 C 1 及び第 2 可変容量 C 2 の代替手段を設けたものである。

【0123】

図 1 6 は第 8 の実施形態によるコンパレータ 1 g の回路図である。図 1 6 のコンパレータ 1 g は、図 5 のコンパレータ 1 の代わりに用いることができ、これにより図 5 と同様の動作を行う ADC 1 1 を構成することができる。図 1 6 のコンパレータ 1 g は、図 1 の第 1 可変容量 C 1 及び第 2 可変容量 C 2 の代わりに、第 1 比較回路 2 内の第 1 トランジスタ対 Q 1 1 s、Q 1 2 s のサイズを可変制御でき、かつ第 2 比較回路 3 内の第 2 トランジスタ対 Q 2 1 s、Q 2 2 s のサイズを可変制御できるようにしている。

【0124】

サイズとは、例えばゲート幅である。複数のトランジスタのうち任意の数のトランジスタを選択可能なスイッチを設けて、スイッチの切替により、任意の数のトランジスタを直列又は並列接続した回路を一つのトランジスタとして扱うことで、実質的にトランジスタのゲート幅を可変調整することができる。

【0125】

図 1 6 のコンパレータ 1 g においても、図 1 のコンパレータ 1 g と同様に、ゲイン比較モード時に $gm_{in} \times Vin_{cm}$ と $gm_{ns} \times Vns_{cm}$ が等しくなるように制御でき、ADC 1

10

20

30

40

50

1 の S / N 比を向上でき、かつ安定性も向上できる。

【 0 1 2 6 】

(第 9 の実施形態)

第 9 の実施形態は、通常比較モード用のラッチ回路 5 と、ゲイン比較モード用のラッチ回路 5 とを別個に設けるものである。

【 0 1 2 7 】

図 1 7 は第 9 の実施形態によるコンパレータ 1 h の回路図である。図 1 7 のコンパレータ 1 h は、ラッチ回路 5 の構成が異なる他は、図 1 のコンパレータ 1 h と同様に構成されている。図 1 7 のコンパレータ 1 h は、図 5 のコンパレータ 1 の代わりに用いることができ、これにより図 5 と同様の動作を行う A D C 1 1 を構成することができる。

10

【 0 1 2 8 】

図 1 7 のコンパレータ 1 h は、比較出力ノード対 n 1、n 2 に接続された 2 つのラッチ回路 5 (以下、第 1 ラッチ回路 5 a と第 2 ラッチ回路 5 b と呼ぶ) を備えている。第 1 ラッチ回路 5 a と第 2 ラッチ回路 5 b の内部構成は、基本的には図 1 のラッチ回路 5 と同じであるが、切替動作のための N A N D ゲート 3 6、3 7 を有する。

【 0 1 2 9 】

第 1 ラッチ回路 5 a 内の N A N D ゲート 3 6 は、信号 Sw_gain がハイ電位のときに、クロック信号 Clk を反転出力して、第 1 ラッチ回路 5 a 内に供給する。第 1 ラッチ回路 5 a は、信号 Sw_gain がハイ電位のときにラッチ動作を行う。

【 0 1 3 0 】

20

第 2 ラッチ回路 5 b 内の N A N D ゲート 3 7 は、信号 Sw_comp がハイ電位のときに、クロック信号 Clk を反転出力して、第 2 ラッチ回路 5 b 内に供給する。第 2 ラッチ回路 5 b は、信号 Sw_comp がハイ電位のときにラッチ動作を行う。

【 0 1 3 1 】

図 1 7 のように、通常比較モード用の第 1 ラッチ回路 5 a と、ゲイン比較用の第 2 ラッチ回路 5 b を設けることで、通常比較モードが終了した後、第 1 ラッチ回路 5 a を初期化することなく、ゲイン比較用の第 2 ラッチ回路 5 b でラッチ動作を行うことができるため、通常比較モードとゲイン比較モードの切替を迅速に行うことができる。

【 0 1 3 2 】

上述した図 1 5 ~ 図 1 7 における第 1 可変容量 C 1 及び第 2 可変容量 C 2 の代替手段は、図 1 のコンパレータ 1 だけでなく、図 1 0 ~ 図 1 4 のコンパレータ 1 a、1 b、1 c、1 d、1 e にも適用可能である。

30

【 0 1 3 3 】

なお、本技術は以下のような構成を取ることができる。

(1) 第 1 差動入力信号対を比較する第 1 比較回路と、

第 2 差動入力信号対を比較する第 2 比較回路と、

前記第 1 比較回路にて前記第 1 差動入力信号対を比較するとともに前記第 2 比較回路にて前記第 2 差動入力信号対を比較するか、又は、前記第 1 比較回路と前記第 2 比較回路とのゲイン差を比較するかを切り替える切替回路と、を備えるコンパレータ。

(2) 前記第 1 比較回路のゲイン及び前記第 2 比較回路のゲインを補正する補正回路を備える、(1) に記載のコンパレータ。

40

(3) 前記補正回路は、前記ゲイン差がより小さくなるように前記第 1 比較回路のゲイン及び前記第 2 比較回路のゲインを補正する、(2) に記載のコンパレータ。

(4) 前記切替回路で切り替えられた差動信号を伝送する比較出力ノード対を備え、

前記補正回路は、前記ゲイン差がより小さくなるように、前記比較出力ノード対の一方のノードから前記切替回路及び前記第 1 比較回路を通して基準電位ノードに至る放電経路の放電速度と、前記比較出力ノード対の他方のノードから前記切替回路及び前記第 2 比較回路を通して前記基準電位ノードに至る放電経路の放電速度とを調整する、(3) に記載のコンパレータ。

(5) 前記第 1 比較回路と前記基準電位ノードとの間に接続される第 1 可変容量と、

50

前記第 2 比較回路と前記基準電位ノードとの間に接続される第 2 可変容量と、を備え、
前記補正回路は、前記第 1 可変容量及び前記第 2 可変容量の少なくとも一方の容量値を調整することにより、前記放電速度を調整する、(4)に記載のコンパレータ。

(6) 前記第 1 比較回路は、

前記第 1 差動入力信号対の差信号を生成する第 1 トランジスタ対と、

前記第 1 トランジスタ対と前記基準電位ノードとを接続するか否かを切り替える第 1 切替回路と、を有し、

前記第 2 比較回路は、

前記第 2 差動入力信号対の差信号を生成する第 2 トランジスタ対と、

前記第 2 トランジスタ対と前記基準電位ノードとを接続するか否かを切り替える第 2 切替回路と、を有し、

10

前記補正回路は、前記第 1 切替回路及び前記第 2 切替回路の少なくとも一方を切り替えるタイミングを調整することにより、前記放電速度を調整する、(4)に記載のコンパレータ。

(7) 前記第 1 比較回路は、前記第 1 差動入力信号対の差信号に応じて前記基準電位ノードに流れる電流を調整可能な第 1 電流源を有し、

前記第 2 比較回路は、前記第 2 差動入力信号対の差信号に応じて前記基準電位ノードに流れる電流を調整可能な第 2 電流源を有し、

前記補正回路は、前記第 1 電流源及び前記第 2 電流源の少なくとも一方から前記基準電位ノードに流れる電流を調整することにより、前記放電速度を調整する、(4)に記載のコンパレータ。

20

(8) 前記第 1 比較回路は、前記第 1 差動入力信号対の差信号に応じた第 1 差動出力信号対を生成する第 1 トランジスタ対を有し、

前記第 2 比較回路は、前記第 2 差動入力信号対の差信号に応じた第 2 差動出力信号対を生成する第 2 トランジスタ対を有し、

前記補正回路は、前記第 1 トランジスタ対及び前記第 2 トランジスタ対の中の少なくとも一つのトランジスタのゲート幅を調整することにより、前記放電速度を調整する、(4)に記載のコンパレータ。

(9) 前記第 1 比較回路は、前記第 1 差動入力信号対の差信号に応じた第 1 差動出力信号対を生成する第 1 トランジスタ対を有し、

30

前記第 2 比較回路は、前記第 2 差動入力信号対の差信号に応じた第 2 差動出力信号対を生成する第 2 トランジスタ対を有し、

前記ゲイン差は、前記第 1 トランジスタ対のトランスコンダクタンスと、前記第 1 差動入力信号対のコモン電圧との積と、前記第 2 トランジスタ対のトランスコンダクタンスと、前記第 2 差動入力信号対のコモン電圧との積との差分である、(1)乃至(7)のいずれか一項に記載のコンパレータ。

(10) 前記切替回路で切り替えられた差動信号を伝送する比較出力ノード対と、

前記比較出力ノード対の前記差動信号を保持するラッチ回路と、を備える、(1)乃至(3)のいずれか一項に記載のコンパレータ。

(11) 前記比較出力ノード対にそれぞれ配置され、前記差動信号の波形整形を行う第 1 波形整形回路及び第 2 波形整形回路を備え、

40

前記ラッチ回路は、前記第 1 波形整形回路及び前記第 2 波形整形回路が波形整形した差動信号を保持する、(9)に記載のコンパレータ。

(12) 前記第 1 波形整形回路及び前記第 2 波形整形回路のそれぞれは、インバータである、(11)に記載のコンパレータ。

(13) 前記ラッチ回路は、

前記第 1 比較回路にて前記第 1 差動入力信号対を比較するとともに前記第 2 比較回路にて前記第 2 差動入力信号対を比較する際に前記比較出力ノード対上の前記差動信号を保持する第 1 ラッチ部と、

前記第 1 比較回路と前記第 2 比較回路とのゲイン差を比較する際に前記比較出力ノード

50

対上の前記差動信号を保持する第2ラッチ部と、を有する、(10)乃至(12)のいずれか一項に記載のコンパレータ。

(14)前記ラッチ回路は、前記比較出力ノード対よりも電圧レベルの高い電源電圧ノードと、前記比較出力ノード対との間に接続される、(13)に記載のコンパレータ。

(15)前記切替回路は、前記第1比較回路にて前記第1差動入力信号対を比較するとともに前記第2比較回路にて前記第2差動入力信号対を比較する第1動作モードと、前記第1比較回路と前記第2比較回路とのゲイン差を比較する第2動作モードとを、交互に繰り返す、(1)乃至(14)のいずれか一項に記載のコンパレータ。

(16)前記切替回路は、動作開始時に前記第1動作モードを行い、その後、前記第2動作モード及び前記第1動作モードの順に切替動作を繰り返す、(15)に記載のコンパレータ。

10

(17)前記切替回路は、動作開始時に前記第2動作モードを行い、その後、前記第1動作モード及び前記第2動作モードの順に切替動作を繰り返す、(15)に記載のコンパレータ。

(18)前記第1比較回路は、前記第1差動入力信号対の差信号に応じた第1差動出力信号対を生成する第1トランジスタ対を有し、

前記第2比較回路は、前記第2差動入力信号対の差信号に応じた第2差動出力信号対を生成する第2トランジスタ対を有し、

前記切替回路は、前記第1比較回路と前記第2比較回路とのゲイン差を比較する際には、前記第1トランジスタ対のゲート同士を短絡し、かつ前記第2トランジスタ対のゲート同士を短絡する、(1)乃至(17)のいずれか一項に記載のコンパレータ。

20

(19)前記切替回路で切り替えられた差動信号を伝送する比較出力ノード対を備え、

前記第1比較回路は、第1出力ノード及び第2出力ノードを有し、

前記第2比較回路は、第3出力ノード及び第4出力ノードを有し、

前記切替回路は、前記第1比較回路にて前記第1差動入力信号対を比較するとともに前記第2比較回路にて前記第2差動入力信号対を比較する際には、前記第1出力ノード及び前記第3出力ノードを前記比較出力ノード対の一方のノードに接続するとともに、前記第2出力ノード及び前記第4出力ノードを前記比較出力ノード対の他方のノードに接続し、前記第1比較回路と前記第2比較回路とのゲイン差を比較する際には、前記第1出力ノード及び前記第2出力ノードを前記比較出力ノード対の一方のノードに接続するとともに、前記第3出力ノード及び前記第4出力ノードを前記比較出力ノード対の他方のノードに接続する、(1)乃至(3)のいずれか一項に記載のコンパレータ。

30

(20)差動入力信号対の一方の信号をサンプリングするか否かを切り替える第1サンプリングスイッチと、

サンプリングされた前記一方の信号を複数ビットからなるデジタル信号に1ビットずつ順に変換するとともに、未変換のビットに応じた電圧レベルの信号を出力する第1デジタル-アナログ変換器と、

前記差動入力信号対の他方の信号をサンプリングするか否かを切り替える第2サンプリングスイッチと、

サンプリングされた前記他方の信号を複数ビットからなるデジタル信号に1ビットずつ順に変換するとともに、未変換のビットに応じた電圧レベルの信号を出力する第2デジタル-アナログ変換器と、

40

前記第1デジタル-アナログ変換器の出力信号と、前記第2デジタル-アナログ変換器の出力信号とをサンプリングして出力するフィルタ回路と、

前記第1デジタル-アナログ変換器の出力信号と前記第2デジタル-アナログ変換器の出力信号とを対とする第1差動入力信号対の差信号と、前記フィルタ回路から出力された第2差動入力信号対の差信号と、に応じた信号を出力するコンパレータと、

前記コンパレータの出力信号に基づいて、前記第1デジタル-アナログ変換器及び前記第2デジタル-アナログ変換器を制御する制御回路と、を備え

前記コンパレータは、

50

前記第 1 差動入力信号対を比較する第 1 比較回路と、
前記第 2 差動入力信号対を比較する第 2 比較回路と、
前記第 1 比較回路にて前記第 1 差動入力信号対を比較するとともに前記第 2 比較回路にて前記第 2 差動入力信号対を比較するか、又は、前記第 1 比較回路と前記第 2 比較回路とのゲイン差を比較するかを切り替える切替回路と、を有するアナログ - デジタル変換器。
(2 1) 前記第 1 サンプリングスイッチ及び前記第 2 サンプリングスイッチによる前記差動入力信号対のサンプリングと、前記第 1 デジタル - アナログ変換器及び前記第 2 デジタル - アナログ変換器による前記デジタル信号への変換と、前記ゲイン差の比較と、前記ゲイン差の補正とが順繰りに繰り返し行われる、(2 0) に記載のアナログ - デジタル変換器。

10

【 0 1 3 4 】

本開示の態様は、上述した個々の実施形態に限定されるものではなく、当業者が想到しうる種々の変形も含むものであり、本開示の効果も上述した内容に限定されない。すなわち、特許請求の範囲に規定された内容およびその均等物から導き出される本開示の概念的な思想と趣旨を逸脱しない範囲で種々の追加、変更および部分的削除が可能である。

【 符号の説明 】

【 0 1 3 5 】

1、1 a、1 b、1 c、1 d、1 e、1 f、1 g、1 h、1 0 1 コンパレータ、2 第 1 比較回路、3 第 2 比較回路、4 プルアップ回路、5 ラッチ回路、5 a 第 1 ラッチ回路、5 b 第 2 ラッチ回路、6 切替回路、6 a 第 1 スイッチ対、6 b 第 2 スイッチ対、6 c 第 3 スイッチ対、6 d 第 4 スイッチ対、7 補正回路、1 1 A D C、1 2 第 1 サンプリングスイッチ、1 3 第 2 サンプリングスイッチ、1 4 第 1 D A C、1 5 第 2 D A C、1 6 フィルタ回路、1 7 制御回路、1 8 容量 D A C

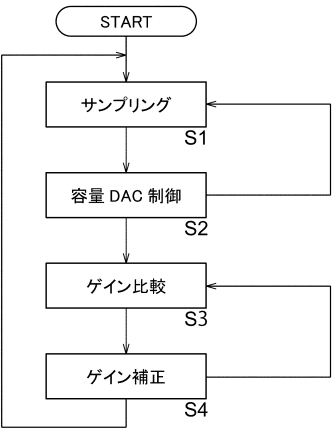
20

30

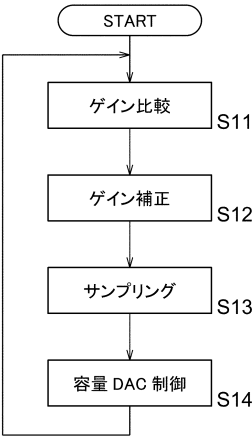
40

50

【図 8】

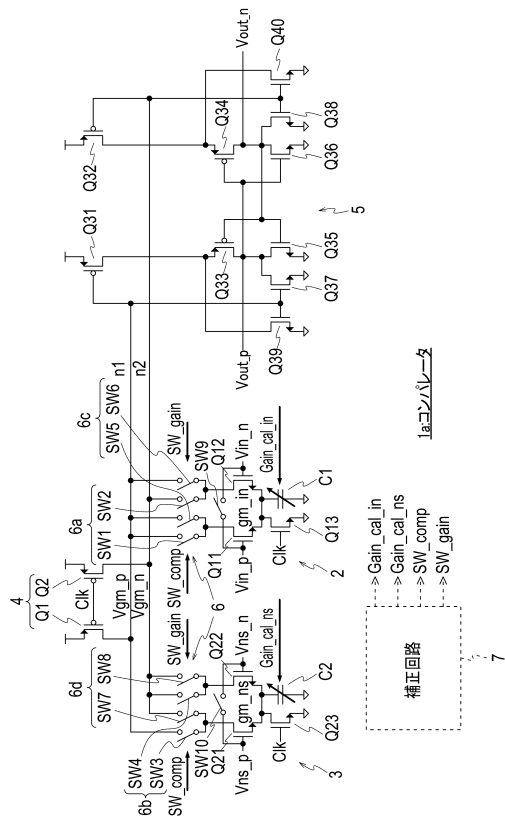


【図 9】

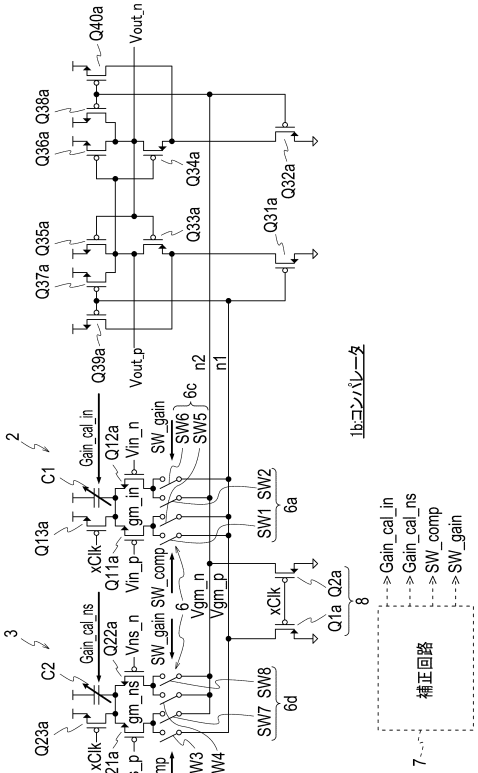


10

【図 10】



【図 11】



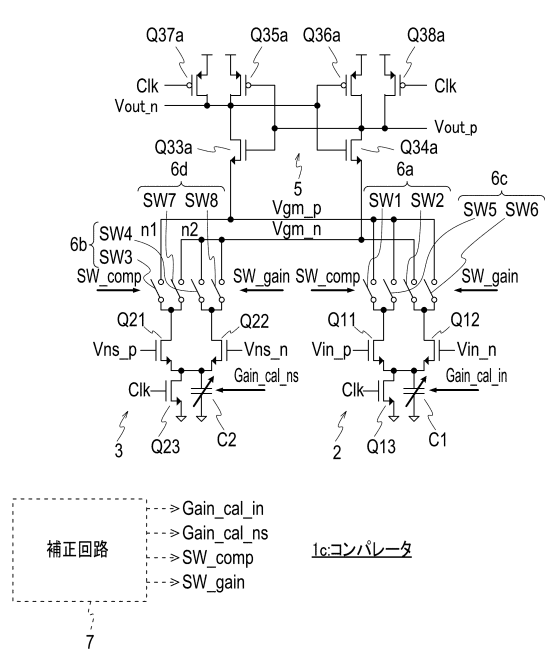
20

30

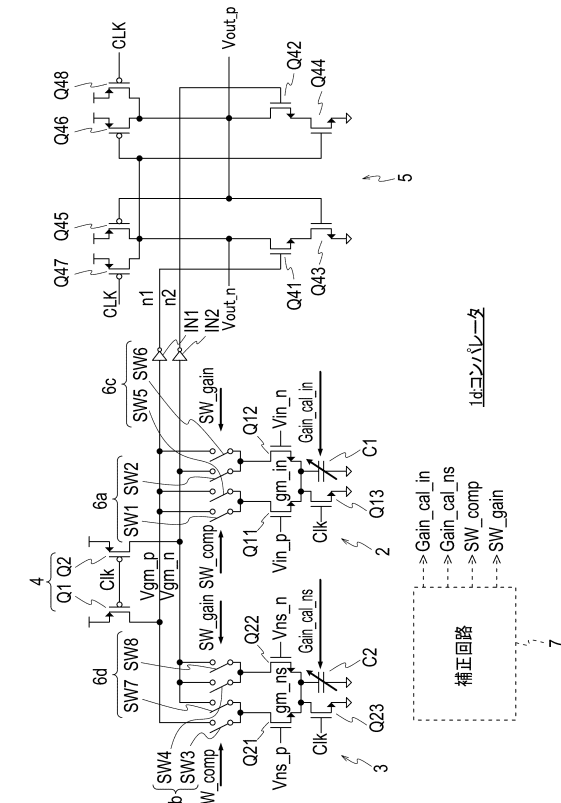
40

50

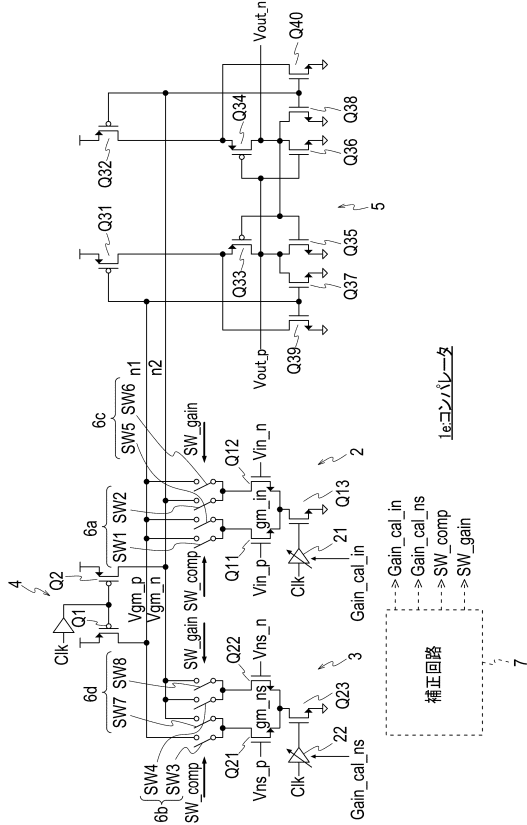
【図 1 2】



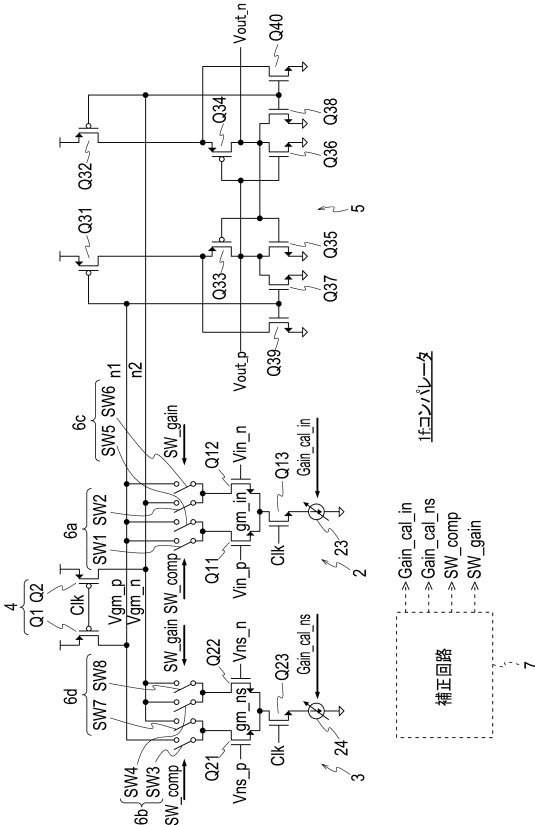
【図 1 3】



【図 1 4】



【図 1 5】



10

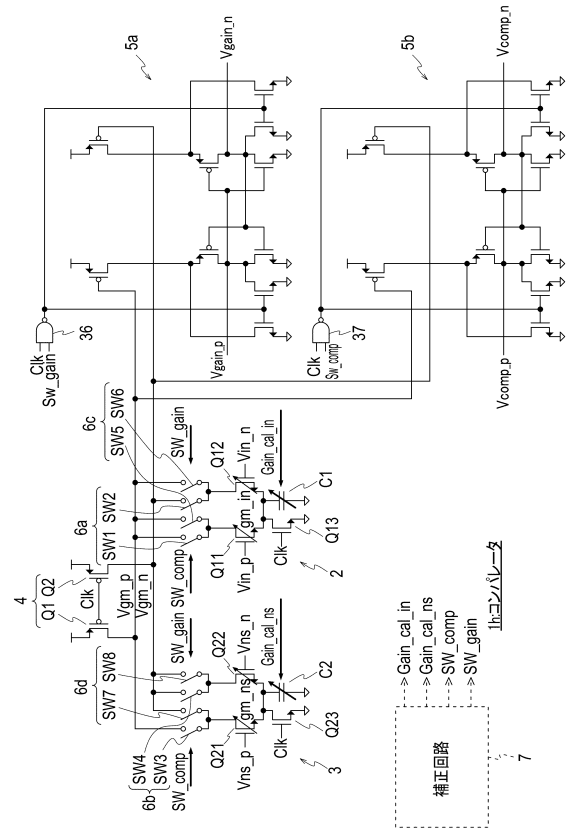
20

30

40

50

【 図 1 7 】



50

フロントページの続き

- (56)参考文献 国際公開第 2 0 1 8 / 2 1 6 6 7 7 (W O , A 1)
 特開 2 0 1 7 - 2 2 9 0 1 4 (J P , A)
 特開 2 0 1 3 - 2 5 8 4 8 2 (J P , A)
 特開 2 0 1 3 - 1 8 7 6 9 5 (J P , A)
 米国特許第 9 6 0 2 1 2 0 (U S , B 1)
 米国特許出願公開第 2 0 1 9 / 0 3 5 6 3 2 5 (U S , A 1)
 米国特許出願公開第 2 0 2 0 / 0 0 7 2 9 0 0 (U S , A 1)
- (58)調査した分野 (Int.Cl. , D B 名)
- | | |
|---------|---------|
| H 0 3 K | 5 / 0 8 |
| H 0 3 M | 1 / 1 0 |
| H 0 3 M | 1 / 3 8 |
| H 0 3 M | 1 / 1 2 |
| H 0 3 M | 1 / 4 6 |