

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003年5月8日 (08.05.2003)

PCT

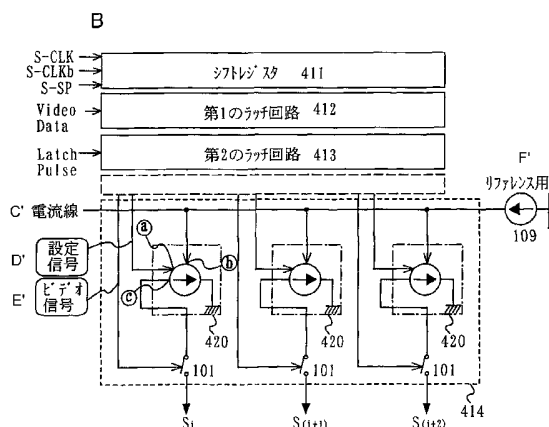
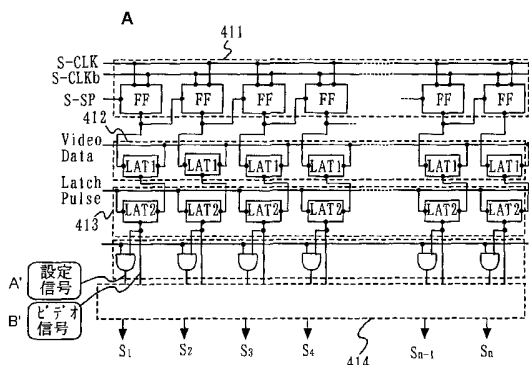
(10) 国際公開番号
WO 03/038794 A1

- (51) 国際特許分類: G09G 3/30, 3/20, H05B 33/14 特願2002-288104 2002年9月30日 (30.09.2002) JP
- (21) 国際出願番号: PCT/JP02/11279 (71) 出願人 (米国を除く全ての指定国について): 株式会社半導体エネルギー研究所 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) [JP/JP]; 〒243-0036 神奈川県 厚木市 長谷 3 9 8 Kanagawa (JP).
- (22) 国際出願日: 2002年10月30日 (30.10.2002)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語 (72) 発明者: および (75) 発明者/出願人 (米国についてのみ): 木村 肇 (KIMURA, Hajime) [JP/JP]; 〒243-0036 神奈川県 厚木市 長谷 3 9 8 株式会社半導体エネルギー研究所内 Kanagawa (JP).
- (30) 優先権データ:
特願 2001-333466
2001年10月30日 (30.10.2001) JP

[続葉有]

(54) Title: SIGNAL LINE DRIVE CIRCUIT, LIGHT EMITTING DEVICE, AND ITS DRIVE METHOD

(54) 発明の名称: 信号線駆動回路、発光装置及びその駆動方法



A'...SET SIGNAL
B'...VIDEO SIGNAL
C'...CURRENT LINE
D'...SET SIGNAL
E'...VIDEO SIGNAL
F'...FOR REFERENCE
411...SHIFT REGISTER
412...FIRST LATCH CIRCUIT
413...SECOND LATCH CIRCUIT

(57) Abstract: A transistor generates a dispersion in characteristics. This signal line drive circuit has current source circuits corresponding to the respective wirings. Each of the current source circuits has a capacitor means and a supply means. Each of the current source circuits is characterized by converting a supplied current into a voltage according to a video signal, and by supplying a current corresponding to the converted voltage.

[続葉有]



(74) 代理人: 大島 陽一 (OSHIMA, Yoichi); 〒162-0825 東京都 新宿区 神楽坂 6-4 2 喜多川ビル 7 階 Tokyo (JP).

(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許

(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書
— 補正書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

トランジスタの特性にはバラツキが生じてしまう。本発明は、複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路であって、前記複数の電流源回路の各々は、容量手段及び供給手段を有し、前記複数の電流源回路の各々は、ビデオ信号に従って、供給された電流を電圧に変換し、前記変換された電圧に応じた電流を供給することを特徴とする。

明 細 書

信号線駆動回路、発光装置及びその駆動方法

5 技術分野

本発明は信号線駆動回路の技術に関する。また前記信号線駆動回路を有する発光装置の技術に関する。

背景技術

- 10 近年、画像の表示を行う表示装置の開発が進められている。表示装置としては、液晶素子を用いて画像の表示を行う液晶表示装置が、高画質、薄型、軽量などの利点を活かして幅広く用いられている。

- 一方、自発光素子である発光素子を用いた発光装置の開発も近年進められている。発光装置は、既存の液晶表示装置がもつ利点に加えて、動画表示に適した速い応答
- 15 速度、低電圧、低消費電力などの特徴を有し、次世代ディスプレイとして大きく注目されている。

- 発光装置に多階調の画像を表示する際の階調表現方法としては、アナログ階調方式とデジタル階調方式が挙げられる。前者のアナログ階調方式は、発光素子に流れる電流の大きさをアナログ的に制御して階調を得るという方式である。また後者の
- 20 デジタル階調方式は、発光素子がオン状態（輝度がほぼ100%の状態）と、オフ状態（輝度がほぼ0%の状態）の2つの状態のみによって駆動するという方式である。デジタル階調方式においては、このままでは2階調しか表示できないため、別の方式と組み合わせて多階調の画像を表示する方法が提案されている。

- また画素の駆動方法としては、画素に入力する信号の種類で分類すると、電圧入力方式と電流入力方式が挙げられる。前者の電圧入力方式は、画素に入力するビデオ信号（電圧）を駆動用素子のゲート電極に入力して、該駆動用素子を用いて発光
- 25

素子の輝度を制御する方式である。また後者の電流入力方式では、設定された信号電流を発光素子に流すことにより、該発光素子の輝度を制御する方式である。

ここで、電圧入力方式を適用した発光装置における画素の回路の一例とその駆動方法について、図16 (A) を用いて簡単に説明する。図16 (A) に示した画素5は、信号線501、走査線502、スイッチング用TFT503、駆動用TFT504、容量素子505、発光素子506、電源507、508を有する。

走査線502の電位が変化してスイッチング用TFT503がオンすると、信号線501に入力されているビデオ信号は、駆動用TFT504のゲート電極へと入力される。入力されたビデオ信号の電位に従って、駆動用TFT504のゲート・ソース間電圧が決定し、駆動用TFT504のソース・ドレイン間を流れる電流が決定する。この電流は発光素子506に供給され、該発光素子506は発光する。発光素子を駆動する半導体素子としては、ポリシリコントランジスタが用いられる。しかし、ポリシリコントランジスタは、結晶粒界における欠陥に起因して、しきい値やオン電流等の電気的特性にバラツキが生じやすい。図16 (A) に示した画素15において、駆動用TFT504の特性が画素毎にばらつくと、同じビデオ信号を入力した場合にも、それに応じた駆動用TFT504のドレイン電流の大きさが異なるため、発光素子506の輝度はばらつく。

上記問題を解決するためには、発光素子を駆動するTFTの特性に左右されず、所望の電流を発光素子に供給すればよい。この観点から、TFTの特性に左右されずに発光素子に供給する電流の大きさを制御できる電流入力方式が提案されている。

次いで、電流入力方式を適用した発光装置における画素の回路の一例とその駆動方法について、図16 (B)、17を用いて簡単に説明する。図16 (B) に示した画素は、信号線601、第1～第3の走査線602～604、電流線605、TFT606～609、容量素子610、発光素子611を有する。電流源回路612は、各信号線（各列）に配置される。

図 1 7 を用いて、ビデオ信号の書き込みから発光までの動作について説明する。
図 1 7 中、各部を示す図番は、図 1 6 に準ずる。図 1 7 (A) ~ (C) は、電流の
経路を模式的に示している。図 1 7 (D) は、ビデオ信号の書き込み時における各
経路を流れる電流の関係を示し、図 1 7 (E) は、同じくビデオ信号の書き込み時
5 に容量素子 6 1 0 に蓄積される電圧、つまり T F T 6 0 8 のゲート・ソース間電圧
を示す。

まず、第 1 及び第 2 の走査線 6 0 2、6 0 3 にパルスが入力され、T F T 6 0 6、
6 0 7 がオンする。このとき、信号線 6 0 1 を流れる電流は信号電流を I_{data} と表
記する。信号線 6 0 1 には、信号電流 I_{data} が流れているので、図 1 7 (A) に示
10 すように、画素内では、電流の経路は I_1 と I_2 とに分かれて流れる。これらの関
係を図 1 7 (D) に示すが、 $I_{data} = I_1 + I_2$ であることは言うまでもない。

T F T 6 0 6 がオンした瞬間には、まだ容量素子 6 1 0 には電荷が保持されてい
ないため、T F T 6 0 8 はオフである。よって、 $I_2 = 0$ となり、 $I_{data} = I_1$ とな
る。この間は、容量素子 6 1 0 の両電極間に電流が流れて、該容量素子 6 1 0 にお
15 いて電荷の蓄積が行われている。

そして徐々に容量素子 6 1 0 に電荷が蓄積され、両電極間に電位差が生じ始める
(図 1 7 (E))。両電極の電位差が V_{th} となると (図 1 7 (E)、A 点)、T F T 6
0 8 がオンして、 I_2 が生ずる。前述したように、 $I_{data} = I_1 + I_2$ であるので、
 I_1 は次第に減少するが、依然電流は流れており、容量素子 6 1 0 にはさらに電荷
20 の蓄積が行われる。

容量素子 6 1 0 では、その両電極の電位差、つまり T F T 6 0 8 のゲート・ソー
ス間電圧が所望の電圧になるまで電荷の蓄積が続く。つまり T F T 6 0 8 が I_{data}
の電流を流すことが出来るだけの電圧になるまで電荷の蓄積が続く。やがて電荷の
蓄積が終了する (図 1 7 (E)、B 点) と、電流 I_1 は流れなくなる。また、T F T
25 6 0 8 は完全にオンしているので、 $I_{data} = I_2$ となる (図 1 7 (B))。以上の動
作により、画素に対する信号の書き込み動作が完了する。最後に第 1 及び第 2 の走

査線 6 0 2、6 0 3 の選択が終了し、T F T 6 0 6、6 0 7 がオフする。

続いて、第 3 の走査線 6 0 4 にパルスが入力され、T F T 6 0 9 がオンする。容量素子 6 1 0 には、先ほど書き込んだ VGS が保持されているため、T F T 6 0 8 はオンしており、電流線 6 0 5 から I data に等しい電流が流れる。これにより発光素子 6 1 1 が発光する。このとき、T F T 6 0 8 が飽和領域において動作するようにしておけば、T F T 6 0 8 のソース・ドレイン間電圧が変化したとしても、発光素子 6 1 1 に流れる発光電流 I EL は変わりなく流れる。

このように電流入力方式とは、T F T 6 0 9 のドレイン電流が電流源回路 6 1 2 で設定された信号電流 I data と同じ電流値になるように設定し、このドレイン電流 10 に応じた輝度で発光素子 6 1 1 が発光を行う方式をいう。上記構成の画素を用いることで、画素を構成する T F T の特性バラツキの影響を抑制して、所望の電流を発光素子に供給することが出来る。

但し、電流入力方式を適用した発光装置では、ビデオ信号に応じた信号電流を正確に画素に入力する必要がある。しかし、信号電流を画素に入力する役目を担う信号線駆動回路（図 1 6 では電流源回路 6 1 2 に相当）をポリシリコントランジスタ 15 で形成すると、その特性にバラツキが生じるため、該信号電流にもバラツキが生じてしまう。

つまり電流入力方式を適用した発光装置では、画素及び信号線駆動回路を構成する T F T の特性バラツキの影響を抑制する必要がある。しかし図 1 6 （B）に示す構成の画素を用いることによって、画素を構成する T F T の特性バラツキの影響を抑制することは出来るが、信号線駆動回路を構成する T F T の特性バラツキの影響を抑制することは困難となる。

そこで、電流入力方式の画素を駆動する信号線駆動回路に配置される電流源回路の構成とその動作について図 1 8 を用いて簡単に説明する。

25 図 1 8 （A）（B）における電流源回路 6 1 2 は、図 1 6 （B）で示した電流源回路 6 1 2 に相当する。電流源回路 6 1 2 は、定電流源 5 5 5 ～ 5 5 8 を有する。

定電流源 555～558 は、端子 551～554 を介して入力される信号により制御される。定電流源 555～558 から供給される電流の大きさは各々異なり、その比は 1 : 2 : 4 : 8 となるように設定されている。

- 図 18 (B) は電流源回路 612 の回路構成を示した図であり、図中の定電流源 555～558 はトランジスタに相当する。トランジスタ 555～558 のオン電流は、 L (ゲート長) / W (ゲート幅) 値の比 (1 : 2 : 4 : 8) に起因して 1 : 2 : 4 : 8 となる。そうすると電流源回路 612 は、 $2^4 = 16$ 段階で電流の大きさを制御することが出来る。つまり 4 ビットのデジタルビデオ信号に対して、16 階調のアナログ値を持つ電流を出力することが出来る。なお、この電流源回路 612 は、
- 10 ポリシリコントランジスタで形成され、画素部と同一基板上に一体形成される。

このように、従来において、電流源回路を内蔵した信号線駆動回路は提案されている。(例えば、非特許文献 1、2 参照)

- また、デジタル階調方式においては、多階調の画像を表現するためにデジタル階調方式と面積階調方式とを組み合わせた方式 (以下面積階調方式と表記) やデジタル階調方式と時間階調方式とを組み合わせた方式 (以下時間階調方式と表記) がある。面積階調方式とは、一画素を複数の副画素に分割し、それぞれの副画素で発光、又は非発光を選択することで、一画素において発光している面積と、それ以外の面積との差をもって階調を表現する方式である。また時間階調方式とは、発光素子が発光している時間を制御することにより、階調表現を行う方式である。具体的には、
- 20 1 フレーム期間を長さの異なる複数のサブフレーム期間に分割し、各期間での発光素子の発光、又は非発光を選択することで、1 フレーム期間内で発光した時間の長さの差をもって階調を表現する。デジタル階調方式においては、多階調の画像を表現するためにデジタル階調方式と時間階調方式とを組み合わせた方式 (以下時間階調方式と表記) が提案されている。(例えば、特許文献 1 参照)

- 25 [非特許文献 1]

服部励治、他 3 名、「信学技報」、ED2001-8、電流指定型ポリシリコン TFT アクテ

ィブマトリクス駆動有機 LED ディスプレイの回路シミュレーション、p. 7-14

〔非特許文献2〕

Reiji H et al., 「AM-LCD'01」、OLED-4, p. 223-226

5 〔特許文献1〕

特開2001-5426号公報

発明の開示

上述した電流源回路612は、L/W値を設計することによって、トランジスタの
10 オン電流を1:2:4:8になるように設定している。しかしトランジスタ555
～558は、作製工程や使用する基板の相違によって生じるゲート長、ゲート幅及
びゲート絶縁膜の膜厚のバラツキの要因が重なって、しきい値や移動度にバラツキ
が生じてしまう。そのため、トランジスタ555～558のオン電流を設計通りに
正確に1:2:4:8にすることは困難である。つまり列によって、画素に供給す
15 る電流値にバラツキが生じてしまう。

トランジスタ555～558のオン電流を設計通りに正確に1:2:4:8にする
ためには、全ての列にある電流源回路の特性を、全て同一にする必要がある。つ
まり、信号線駆動回路の有する電流源回路のトランジスタの特性を、全て同一にす
る必要があるが、その実現は非常に困難である。

20 本発明は上記の問題点を鑑みてなされたものであり、TFTの特性バラツキの影
響を抑制して、所望の信号電流を画素に供給することができる信号線駆動回路を提
供する。さらに本発明は、TFTの特性バラツキの影響を抑制した回路構成の画素
を用いることにより、画素及び駆動回路の両方を構成するTFTの特性バラツキの
影響を抑制して、所望の信号電流を発光素子に供給することができる発光装置を提
25 供する。

本発明は、TFTの特性バラツキの影響を抑制して、所望の一定電流を流す電気

回路（本明細書では電流源回路とよぶ）を設けた新しい構成の信号線駆動回路を提供する。さらに本発明は、前記信号線駆動回路を具備した発光装置を提供する。

本発明は各列（各信号線など）に電流源回路が配置された信号線駆動回路を提供する。

- 5 本発明は、各信号線（各列）に配置された電流源回路は、リファレンス用定電流源を用いて、所定の信号電流を供給するように設定される。設定された電流源回路では、リファレンス用定電流源に比例した電流を供給する能力を有する。その結果、前記電流源回路を用いることにより、信号線駆動回路を構成するTFTの特性バラツキの影響を抑制することが出来る。そして、設定された信号電流を電流源回路から画素に供給するか否かを決定するスイッチは、ビデオ信号により制御される。
- 10

- つまり、信号線にビデオ信号に比例した信号電流を流す必要がある場合は、電流源回路から信号線駆動回路に信号電流を供給するか否かを決定するスイッチを制御することにより行われ、該スイッチはビデオ信号により制御される。なお、本明細書において、電流源回路から信号線駆動回路に信号電流を供給するか否かを決定
- 15
- するスイッチのことを、信号電流制御スイッチと呼ぶことにする。

なお、リファレンス用定電流源は、基板上に信号線駆動回路と一体形成してもよいし、ICを用いて基板の外部に配置してもよい。この場合には、リファレンス用電流として、基板の外部から一定の電流が信号線駆動回路に供給される。

- 本発明の信号線駆動回路の概略について図1、2を用いて説明する。図1、2に
- 20
- は、 i 列目から $(i+2)$ 列目の3本の信号線の周辺の信号線駆動回路が示されている。

まず、信号線にビデオ信号に比例した信号電流を流す必要がある場合について述べる。

- 図1において、信号線駆動回路403には、各信号線（各列）に電流源回路420が配置されている。電流源回路420は、端子a、端子b及び端子cを有する。
- 25
- 端子aには設定信号が入力される。端子bには電流線に接続されたリファレンス用

定電流源 1 0 9 から電流（リファレンス用電流）が供給される。また端子 c は、電流源回路 4 2 0 に保持された信号をスイッチ 1 0 1（信号電流制御スイッチ）を介して出力する。つまり電流源回路 4 2 0 は、端子 a から入力される設定信号により制御され、端子 b から電流（リファレンス用電流）が供給され、該電流（リファレンス用電流）に比例した電流を端子 c より出力する。なおスイッチ 1 0 1（信号電流制御スイッチ）は、電流源回路 4 2 0 と信号線に接続された画素との間に設けられ、前記スイッチ 1 0 1（信号電流制御スイッチ）のオン又はオフは、ビデオ信号により制御される。

次いで図 1 とは異なる構成の本発明の信号線駆動回路について図 2 を用いて説明する。図 2 において、信号線駆動回路 4 0 3 には、それぞれの信号線ごと（各列）に 2 つ以上の電流源回路 4 2 0 が配置されている。そして電流源回路 4 2 0 は複数の電流源回路を有する。そしてここでは仮に 2 つの電流源回路を有するとし、電流源回路 4 2 0 は、第 1 電流源回路 4 2 1 及び第 2 電流源回路 4 2 2 を有するとする。第 1 電流源回路 4 2 1 及び第 2 電流源回路 4 2 2 は、端子 a、端子 b、端子 c 及び端子 d を有する。端子 a には設定信号が入力される。端子 b には電流線に接続されたリファレンス用定電流源 1 0 9 から電流（リファレンス用電流）が供給される。また端子 c は、第 1 電流源回路 4 2 1 及び第 2 電流源回路 4 2 2 に保持された信号（信号電流）をスイッチ 1 0 1（信号電流制御スイッチ）を介して出力する。つまり電流源回路 4 2 0 は、端子 a から入力される設定信号及び端子 d から入力される制御信号により制御され、端子 b からは電流（リファレンス用電流）が供給され、該電流（リファレンス用電流）に比例した電流（信号電流）を端子 c より出力する。なおスイッチ（信号電流制御スイッチ） 1 0 1 は、電流源回路 4 2 0 と信号線に接続された画素の間に設けられ、前記スイッチ（信号電流制御スイッチ） 1 0 1 のオン又はオフは、ビデオ信号により制御される。

なお本明細書では、電流源回路 4 2 0 に対して信号電流の書き込みを終了させる動作（信号電流を設定する、リファレンス用電流によって信号電流を設定する、電

流源回路 4 2 0 が信号電流を出力できるように定める) を設定動作と呼び、信号電流を画素に入力する動作 (電流源回路 4 2 0 が信号電流を出力する動作) を入力動作と呼ぶことにする。図 2 において、第 1 電流源回路 4 2 1 及び第 2 電流源回路 4 2 2 に入力される制御信号は互いに異なっているため、第 1 電流源回路 4 2 1 及び
5 第 2 電流源回路 4 2 2 は、一方は設定動作を行い、他方は入力動作を行う。これにより同時に 2 つの動作を行うことが出来る。

なお設定動作は任意の時間に任意のタイミングで任意の回数だけ行えばよい。どのようなタイミングで設定動作を行うかは、画素構成 (画素に配置された電流源回路) や、信号線駆動回路に配置された電流源回路などの構成により、任意に調節することが出来る。設定動作を行う回数は、信号線駆動回路に、電源を供給し、動作
10 し始める時に、最低限 1 回だけ行えばよい。しかしながら、実際には、設定動作により取得した情報が漏れてしまったりする場合があるため、その情報を再び取得したほうがよい時期がきたら、再び設定動作を行えばよい。

図 1、2 に示した信号線駆動回路では、ビデオ信号に比例した信号電流を信号線
15 に供給する場合について述べた。但し、本発明はこれに限定されない。例えば、信号線とは異なる別の配線に電流を供給してもよい。この場合には、スイッチ 1 0 1 (信号電流制御スイッチ) を配置する必要はない。このスイッチ 1 0 1 を配置しない場合について、図 1 については図 3 6、図 2 については図 3 7 に示す。この場合には、電流は画素用電流線に出力される。信号線にはビデオ信号が出力される。

20 本発明では、ビデオ信号は、画素の制御に用いる場合と電流源回路の設定信号に用いる場合の 2 つの場合がある。つまり、ビデオ信号は、画像の表示のためだけに利用するのではなく、電流源回路の設定動作のためにも利用する。そして、ビデオ信号を画素の制御 (画像の表示) に用いる場合には、電流源回路は入力動作 (画素への電流の出力) を行う。また、ビデオ信号を電流源回路の設定信号として用いる
25 場合には、電流源回路は設定動作を行う。

なお電流は信号線又は画素用電流線のどちらかに出力される。電流が信号線に出

力される場合、ビデオ信号を画素の制御（画像の表示）に用いる際には、電流源回路は入力動作（画素への電流の出力）を行う。なぜなら、信号線へ出力される電流がビデオ信号そのものであるためである。一方、電流が画素用電流線に出力される場合、ビデオ信号を画素の制御（画像の表示）に用いる際には、信号線駆動回路に

5 配置された電流源回路では入力動作を行うとは限らない。なぜなら、ビデオ信号を画素の制御（画像の表示）に用いる際には、信号線には、ビデオ信号が入力されており、そのビデオ信号と、信号線駆動回路に配置された電流源回路が入力動作の時に出力する電流とは、無関係のものだからである。信号線駆動回路に配置された電流源回路では、画素に配置された電流源回路の設定動作を行っている際に入力動作

10 を行う。

そして本発明では、設定動作を行う際、ビデオ信号を用いて、1列目から最終列目のうち、任意の列に配置された電流源回路を指定する。また、任意の期間だけ、電流源回路を指定する。そうすると、複数列に配置された電流源回路のうち、設定動作が必要な電流源回路を指定することが可能となり、また指定された電流源回路

15 では設定動作に時間をかけて行うことが可能となるため、正確に設定動作を行うことができる。

もし、任意の列の電流源回路を指定することができず、1列目から最終列目まで順に指定しなければならない場合には、1列当たりの設定動作の期間が短くなってしまふ。なぜなら、ある決まった期間において、1列目から最終列目までの電流源

20 回路に対して、設定動作を行わなければならないため、1列当たりの設定動作の期間が短くなってしまふからである。その結果、十分に設定動作を行うことができない。

なお複数列に配置された電流源回路のうち、1列目から最終列目まで順に電流源回路の設定動作を行ってもよい。しかし、1列目から順に電流源回路の設定動作を行うのではなく、電流源回路の設定動作をランダムに行うことができると、様々な

25 利点が生じる。例えば、電流源回路の設定動作を行う時間の長さが自由に長くとれ

- るようになる。また、設定動作を行うことができる期間が、1フレーム中に点在している場合は、任意の列をランダムに選択できると、自由度が上がり、設定動作を行う期間を長くとることができるようになる。例えば、1フレーム中に点在している、設定動作を行うことができる期間において、1列分の電流源回路の設定動作を、
- 5 その期間いっぱいを用いて、行うことができる。そのほかの利点としては、電流源回路内に配置された容量素子における電荷の漏れの影響を目立たなくさせることができる。このように、設定動作に伴う不具合があった場合、その不具合を目立たなくさせることができるようになる。

- 本発明は、ビデオ信号を電流源回路の制御のために利用することにより、電流源
- 10 回路の設定動作の制御や電流源回路を指定するための専用の回路が不要になる。その結果、配置する回路数が減少するため、製造時における不良発生率を抑え、歩留まりを向上することができるようになる。また、配置する回路数を減少することが出来るため、レイアウト面積も小さくできる。そのため、額縁面積を小さくでき、装置を小型化できる。

- 15 なお、本発明において、T F Tは、通常の単結晶を用いたトランジスタや、SOIを用いたトランジスタ、有機トランジスタなどに置き換えて適用することができる。

- また本発明において、発光装置とは発光素子を有する画素部及び信号線駆動回路が基板とカバー材との間に封入されたパネル、前記パネルにI C等を実装したモジュール、ディスプレイなどを範疇に含む。つまり発光装置とは、パネル、モジュール及びディスプレイなどの総称に相当する。
- 20

本発明は上記のような電流源回路を有する信号線駆動回路を提供する。さらに本発明は、T F Tの特性に左右されない回路構成の画素を用いることにより、画素及び駆動回路の両方を構成するT F Tの特性バラツキの影響を抑制し、また所望の信号電流 I_{data} を発光素子に供給することができる発光装置を提供する。

- 図 1 は、信号線駆動回路の図。
- 図 2 は、信号線駆動回路の図。
- 図 3 は、信号線駆動回路の図（1 ビット）。
- 図 4 は、信号線駆動回路の図（3 ビット）。
- 5 図 5 は、信号線駆動回路の図（3 ビット）。
- 図 6 は、電流源回路の回路図。
- 図 7 は、電流源回路の回路図。
- 図 8 は、電流源回路の回路図。
- 図 9 は、タイミングチャート。
- 10 図 10 は、信号線駆動回路の図。
- 図 11 は、タイミングチャート。
- 図 12 は、発光装置の外観を示す図。
- 図 13 は、発光装置の画素の回路図。
- 図 14 は、駆動方法を説明する図。
- 15 図 15 は、発光装置を示す図。
- 図 16 は、発光装置の画素の回路図。
- 図 17 は、発光装置の画素の動作を説明する図。
- 図 18 は、電流源回路の図。
- 図 19 は、電流源回路の動作を説明する図。
- 20 図 20 は、電流源回路の動作を説明する図。
- 図 21 は、電流源回路の動作を説明する図。
- 図 22 は、本発明が適用される電子機器を示す図。
- 図 23 は、信号線駆動回路の図（3 ビット）。
- 図 24 は、信号線駆動回路の図（3 ビット）。
- 25 図 25 は、駆動方法を説明する図。
- 図 26 は、駆動方法を説明する図。

- 図 2 7 は、信号線駆動回路の図。
- 図 2 8 は、信号線駆動回路の図。
- 図 2 9 は、駆動方法を説明する図。
- 図 3 0 は、信号線駆動回路の図。
- 5 図 3 1 は、駆動方法を説明する図。
- 図 3 2 は、リファレンス用定電流源の回路図。
- 図 3 3 は、リファレンス用定電流源の回路図。
- 図 3 4 は、リファレンス用定電流源の回路図。
- 図 3 5 は、リファレンス用定電流源の回路図。
- 10 図 3 6 は、信号線駆動回路の図。
- 図 3 7 は、信号線駆動回路の図。
- 図 3 8 は、電流源回路の回路図。
- 図 3 9 は、電流源回路の回路図。
- 図 4 0 は、電流源回路の回路図。
- 15 図 4 1 は、電流源回路の回路図。
- 図 4 2 は、電流源回路の回路図。
- 図 4 3 は、電流源回路の回路図。
- 図 4 4 は、信号線駆動回路の図。
- 図 4 5 は、信号線駆動回路の図。
- 20 図 4 6 は、信号線駆動回路の図。
- 図 4 7 は、信号線駆動回路の図。
- 図 4 8 は、信号線駆動回路の図。
- 図 4 9 は、信号線駆動回路の図。
- 図 5 0 は、信号線駆動回路の図。
- 25 図 5 1 は、信号線駆動回路の図。
- 図 5 2 は、信号線駆動回路の図。

- 図 5 3 は、信号線駆動回路の図。
- 図 5 4 は、発光装置の図。
- 図 5 5 は、信号線駆動回路の図。
- 図 5 6 は、信号線駆動回路の図。
- 5 図 5 7 は、信号線駆動回路の図。
- 図 5 8 は、信号線駆動回路の図。
- 図 5 9 は、信号線駆動回路の図。
- 図 6 0 は、信号線駆動回路の図。
- 図 6 1 は、信号線駆動回路の図。
- 10 図 6 2 は、信号線駆動回路の図。
- 図 6 3 は、信号線駆動回路の図。
- 図 6 4 は、信号線駆動回路の図。
- 図 6 5 は、信号線駆動回路の図。
- 図 6 6 は、信号線駆動回路の図。
- 15 図 6 7 は、信号線駆動回路の図。
- 図 6 8 は、信号線駆動回路の図。
- 図 6 9 は、信号線駆動回路の図。
- 図 7 0 は、信号線駆動回路の図。
- 図 7 1 は、信号線駆動回路の図。
- 20 図 7 2 は、信号線駆動回路の図。
- 図 7 3 は、発光装置の画素の回路図。
- 図 7 4 は、タイミングチャート。
- 図 7 5 は、タイミングチャート。
- 図 7 6 は、タイミングチャート。
- 25 図 7 7 は、タイミングチャート。
- 図 7 8 は、タイミングチャート。

図 7 9 は、タイミングチャート。

図 8 0 は、タイミングチャート。

図 8 1 は、タイミングチャート。

図 8 2 は、タイミングチャート。

5 図 8 3 は、タイミングチャート。

図 8 4 は、タイミングチャート。

図 8 5 は、タイミングチャート。

図 8 6 は、タイミングチャート。

図 8 7 は、電流源回路のレイアウト図。

10 図 8 8 は、電流源回路の回路図。

発明を実施するための最良の形態

(実施の形態 1)

15 本実施の形態では、本発明の信号線駆動回路に具備される図 1 に示した電流源回路 4 2 0 の回路構成の例について説明する。

図 1 において、端子 a から入力される設定信号とは、第 2 のラッチ回路 4 1 3 から供給されるビデオ信号に相当する。但し、ビデオ信号は画素の制御にも用いられるため、電流源回路 4 2 0 に直接入力されず、論理演算子を介して入力される。こ

20 の論理演算子により、ビデオ信号を画素の制御（画像の表示）のために用いる時と、電流源回路の制御のために用いる時とを切り替えることが可能となる。つまり、端子 a から入力される設定信号とは、設定制御線（図 1 には図示せず）に接続された論理演算子の出力端子から供給される信号に相当する。そして本発明では、設定制御線に接続された論理演算子の出力端子から供給される信号に合わせて、電流源回路 4 2 0 の設定を行う。

前記論理演算子の 2 つの入力端子は、一方には第 2 のラッチ回路から供給される

信号（ビデオ信号に相当）、他方には設定制御線から信号が入力される。前記論理演算子では、入力された2つの信号の論理演算を行って、出力端子から信号を出力する。そして電流源回路420では、前記論理演算子の出力端子から供給される信号に従って、設定動作又は入力動作を行う。このようにすることにより、ビデオ信号

5 号を画素の制御（画像の表示）に用いている時に、ビデオ信号が電流源回路に影響を与えないようにできる。

もし、前記論理演算子を配置せず、第2のラッチ回路から供給される信号（ビデオ信号に相当）に従って、電流源回路420の設定動作や入力動作を行うとすると、ビデオ信号を画素の制御（画像の表示）に用いている時にも、電流源回路420の

10 設定動作や入力動作などが行われることになってしまう。そして、どの電流源回路420に対して設定動作や入力動作などが行われるかが、画像の表示パターンによって異なってしまう。つまり、正しく、電流源回路420の設定動作や入力動作などを行うことができなくなってしまう。それに対し、前記論理演算子を配置すれば、

15 前記論理演算子に入力される設定制御線から信号を用いることにより、ビデオ信号を画素の制御（画像の表示）に用いている時でも、前記論理演算子の出力端子の信号が変化したりすることを防ぐことができ、正しく、電流源回路420の設定動作や入力動作などを行うことが可能となる。

そして本発明においては、第2のラッチ回路から出力される信号（ビデオ信号に相当）は、画素に入力するビデオ信号として用いる場合と、電流源回路の設定信号

20 として用いる場合の2つの場合がある。つまり第2のラッチ回路から出力される信号（ビデオ信号に相当）を画素に入力するビデオ信号として用いるときには、信号線駆動回路の電流源回路は入力動作を行う。また第2のラッチ回路から出力される信号（ビデオ信号に相当）を電流源回路の設定信号として用いるときには、該電流源回路は設定動作を行う。

25 そのため、仮に第2のラッチ回路から出力されるビデオ信号を電流源回路の端子aにそのまま入力すると、画素にビデオ信号を入力しているときに、信号線駆動回

路の電流源回路は、設定動作を同時に行うことになる。つまり信号線駆動回路の電流源回路が設定動作と入力動作を同時に行うことになってしまう。そうすると、ビデオ信号は、表示する画像によって変化するために、正確に設定動作を行うことが出来なくなる。

- 5 そこで本発明では、電流源回路が設定動作を行うタイミングを設定制御線から供給される信号を用いて制御する。さらにどの列の電流源回路で設定動作を行うのかをビデオ信号を用いて制御する。そうすると、ビデオ信号を画素に入力するビデオ信号として用いる場合には、信号線駆動回路の電流源回路に影響を与えない。またビデオ信号を信号線駆動回路の電流源回路の設定信号として用いて設定動作を行う
- 10 うときは、該電流源回路が入力動作を行わないように設定制御線を制御することによって、正確に電流源回路の設定動作を行うことが出来る。

- なおシフトレジスタとは、フリップフロップ回路（FF）等を複数列用いた構成を有するものである。そして前記シフトレジスタにクロック信号（S-CLK）、スタートパルス（S-SP）及びクロック反転信号（S-CLKb）が入力されて、これらの信号
- 15 のタイミングに従って、順次出力される信号をサンプリングパルスとよぶ。

 図6（A）において、スイッチ104、105a、116と、トランジスタ102（nチャネル型）と、該トランジスタ102のゲート・ソース間電圧VGSを保持する容量素子103とを有する回路が電流源回路420に相当する。

- 電流源回路420では、端子aを介して入力される信号によってスイッチ104、
- 20 スイッチ105aがオンとなる。そうすると、電流線に接続されたりファレンス用定電流源109（以下定電流源109と表記）から、端子bを介して電流（リファレンス用電流）が供給され、容量素子103に所定の電荷が保持される。そして定電流源109から流される電流（リファレンス用電流）がトランジスタ102のドレイン電流と等しくなるまで、容量素子103に電荷が保持される。

- 25 次いで、端子aを介して入力される信号により、スイッチ104、スイッチ105aをオフにする。そうすると、容量素子103に所定の電荷が保持されているた

め、トランジスタ102は、信号電流I data に応じた大きさの電流を流す能力をもつことになる。そして仮にスイッチ101（信号電流制御スイッチ）、スイッチ116が導通状態になると、端子cを介して信号線に接続された画素に電流が流される。このとき、トランジスタ102のゲート電圧は、容量素子103により所定の

5 ゲート電圧に維持されているため、トランジスタ102のドレイン領域には信号電流I data に応じたドレイン電流が流れる。そのため、信号線駆動回路を構成するトランジスタの特性バラツキに左右されずに、画素に入力される電流の大きさを制御できる。

なお、スイッチ101（信号電流制御スイッチ）が配置されていない場合は、スイッチ116が導通状態になると、端子cを介して信号線に接続された画素に電流

10 が流れる。

なおスイッチ104及びスイッチ105aの接続構成は図6（A）に示す構成に限定されない。例えば、スイッチ104の一方を端子bに接続し、他方をトランジスタ102のゲート電極の間に接続し、更にスイッチ105aの一方を、スイッチ

15 104を介して端子bに接続して、他方をスイッチ106に接続する構成でもよい。そしてスイッチ104及びスイッチ105aは、端子aから入力される信号により制御される。

或いは、スイッチ104は端子bとトランジスタ102のゲート電極の間に配置し、スイッチ105aは端子bとスイッチ116の間に配置してもよい。つまり、

20 図38（A）を参照すると、設定動作時には図38（A1）のように接続され、入力動作時には図38（A2）のように接続されるように、配線やスイッチを配置するとよい。配線の本数やスイッチの個数、及びその接続は特に限定されない。

なお図6（A）に示す電流源回路420では、信号を設定する動作（設定動作）と、信号を画素に入力する動作（入力動作）を同時に行うことは出来ない。

25 図6（B）において、スイッチ124、スイッチ125と、トランジスタ122（nチャンネル型）と、該トランジスタ122のゲート・ソース間電圧VGS を保持

する容量素子 123 と、とトランジスタ 126 (nチャネル型) とを有する回路が電流源回路 420 に相当する。

トランジスタ 126 はスイッチ又は電流源用トランジスタの一部のどちらかとして機能する。

- 5 電流源回路 420 では、端子 a を介して入力される信号によってスイッチ 124、スイッチ 125 がオンとなる。そうすると、電流線に接続された定電流源 109 から、端子 b を介して電流 (リファレンス用電流) が供給され、容量素子 123 に所定の電荷が保持される。そして定電流源 109 から流される電流 (リファレンス用電流) がトランジスタ 122 のドレイン電流と等しくなるまで、容量素子 123 に
- 10 電荷が保持される。なおスイッチ 124 がオンとなると、トランジスタ 126 のゲート・ソース間電圧 V_{GS} が 0 V となるので、トランジスタ 126 はオフになる。

- 次いで、スイッチ 124、スイッチ 125 をオフにする。そうすると、容量素子 123 に所定の電荷が保持されているため、トランジスタ 122 は、信号電流 I_{data} に応じた大きさの電流を流す能力をもつことになる。そして仮にスイッチ 10
- 15 1 (信号電流制御スイッチ) が導通状態になると、端子 c を介して信号線に接続された画素に電流が流される。このとき、トランジスタ 122 のゲート電圧は、容量素子 123 により所定のゲート電圧に維持されているため、トランジスタ 122 のドレイン領域には信号電流 I_{data} に応じたドレイン電流が流れる。そのため、信号線駆動回路を構成するトランジスタの特性バラツキに左右されずに、画素に入力さ
- 20 れる電流の大きさを制御できる。

- なおスイッチ 124、125 がオフすると、トランジスタ 126 のゲートとソースは同電位ではなくなる。その結果、容量素子 123 に保持された電荷がトランジスタ 126 の方にも分配され、トランジスタ 126 が自動的にオンになる。ここで、トランジスタ 122、126 は直列に接続され、且つ互いのゲートが接続されてい
- 25 る。従って、トランジスタ 122、126 はマルチゲートのトランジスタとして動作する。つまり、設定動作時と入力動作時とは、トランジスタのゲート長 L が異

なることになる。従って、設定動作時に端子bから供給される電流値は、入力動作時に端子cから供給される電流値よりも大きくすることが出来る。そのため、端子bとリファレンス用定電流源との間に配置された様々な負荷（配線抵抗、交差容量など）を、より早く充電することができる。従って、設定動作を素早く完了させることができる。なお、スイッチ101（信号電流制御スイッチ）が配置されていない場合は、トランジスタ126が導通状態になると、端子cを介して信号線に接続された画素に電流が流れる。

なお配線の本数、スイッチの個数及びその接続構成は特に限定されない。つまり、図38（B）を参照すると、設定動作時には図38（B1）のように接続され、入力動作時には図38（B2）のように接続されるように、配線やスイッチを配置するとよい。特に、図38（C2）においては、容量素子107に貯まった電荷が漏れないようになっていけばよい。

なお図6（B）に示す電流源回路420では、信号を設定する動作（設定動作）と、信号を画素に入力する動作（入力動作）を同時に行うことは出来ない。

15 図6（C）において、スイッチ108、スイッチ110、トランジスタ105b、106（nチャネル型）、該トランジスタ105b、106のゲート・ソース間電圧VGSを保持する容量素子107とを有する回路が電流源回路420に相当する。

電流源回路420では、端子aを介して入力される信号によってスイッチ108、スイッチ110がオンとなる。そうすると電流線に接続された定電流源109から、端子bを介して電流（リファレンス用電流）が供給され、容量素子107に所定の電荷が保持される。そして定電流源109から流される電流（リファレンス用電流）がトランジスタ105bのドレイン電流と等しくなるまで、容量素子107に電荷が保持される。このとき、トランジスタ105b及びトランジスタ106のゲート電極は互いに接続されているので、トランジスタ105b及びトランジスタ106のゲート電圧は、容量素子107によって保持されている。

20

25

次いで、端子aを介して入力される信号により、スイッチ108、スイッチ11

0をオフにする。そうすると、容量素子107に所定の電荷が保持されるため、トランジスタ106は、電流（リファレンス用電流）に応じた大きさの電流を流す能力をもつことになる。そして仮にスイッチ101（信号電流制御スイッチ）が導通状態になると、端子cを介して信号線に接続された画素に電流が流される。このとき、トランジスタ106のゲート電圧は、容量素子107により所定のゲート電圧に維持されているため、トランジスタ106のドレイン領域には電流（リファレンス用電流）に応じたドレイン電流が流れる。そのため、信号線駆動回路を構成するトランジスタの特性バラツキに左右されずに、画素に入力される電流の大きさを制御することが出来る。

- 10 なおスイッチ101（信号電流制御スイッチ）が配置されていない場合は、端子cを介して信号線に接続された画素に電流が流れる。

このとき、トランジスタ106のドレイン領域に、信号電流I_{data}に応じたドレイン電流を正確に流すためには、トランジスタ105b及びトランジスタ106の特性が同じであることが必要となる。より詳しくは、トランジスタ105b及びトランジスタ106の移動度、しきい値などの値が同じであることが必要となる。また図6（C）では、トランジスタ105b及びトランジスタ106のW（ゲート幅）/L（ゲート長）の値を任意に設定して、定電流源109から供給される電流に比例した電流を画素に流すようにしてもよい。

- 20 またトランジスタ105b及び106のうち、定電流源109に接続されたトランジスタのW/Lを大きく設定することで、該定電流源109から大電流を供給して、書き込み速度を早くすることが出来る。

なお図6（B）に示す電流源回路420では、信号を設定する動作（設定動作）と、信号を画素に入力する動作（入力動作）を同時に行うことが出来る。

- 25 そして図6（D）、（E）に示す電流源回路420は、図6（C）に示す電流源回路420とスイッチ110の接続構成が異なっている点以外は、その他の回路素子の接続構成は同じである。また図6（D）、（E）に示す電流源回路420の動作は、

図 6 (C) に示す電流源回路 4 2 0 の動作に準ずるので、ここでは説明を省略する。

なお配線の本数、スイッチの個数及びその接続構成は特に限定されない。つまり、
図 3 8 (C) を参照すると、設定動作時には図 3 8 (C 1) のように接続され、入
力動作時には図 3 8 (C 2) のように接続されるように、配線やスイッチを配置す
5 るとよい。特に、図 3 8 (C 2) においては、容量素子 1 0 7 に貯まった電荷が漏
れないようになっていけばよい。

図 3 9 (A) において、スイッチ 1 9 5 b、1 9 5 c、1 9 5 d、1 9 5 f、ト
ランジスタ 1 9 5 a、容量素子 1 9 5 e を有する回路が電流源回路に相当する。図
3 9 (A) に示す電流源回路では、端子 a を介して入力される信号によりスイッ
10 1 9 5 b、1 9 5 c、1 9 5 d、1 9 5 f がオンになる。そうすると、端子 b を介
して、電流線に接続された定電流源 1 0 9 から電流が供給され、定電流源 1 0 9 か
ら供給される信号電流とトランジスタ 1 9 5 a のドレイン電流が等しくなるまで、
容量素子 1 9 5 e に所定の電荷が保持される。

次いで、端子 a を介して入力される信号により、スイッチ 1 9 5 b、1 9 5 c、
15 1 9 5 d、1 9 5 f がオフになる。このとき、容量素子 1 9 5 e には所定の電荷が
保持されているため、トランジスタ 1 9 5 a は信号電流に応じた大きさの電流を流
す能力を有する。これは、トランジスタ 1 9 5 a のゲート電圧は、容量素子 1 9 5
e により所定のゲート電圧に設定されており、該トランジスタ 1 9 5 a のドレイン
領域には電流（リファレンス用電流）に応じたドレイン電流が流れるためである。
20 この状態において、端子 c を介して外部に電流が供給される。なお図 3 9 (A) に
示す電流源回路では、電流源回路が信号電流を流す能力を有するように設定する設
定動作と、該信号電流を画素に入力する入力動作を同時に行うことは出来ない。ま
た端子 a を介して入力される信号により制御されるスイッチがオンであり、且つ端
子 c から電流が流れないようになっているときは、端子 c と他の電位の配線とを接
25 続する必要がある。そして、ここではその配線の電位を、 V_a とする。 V_a は、端子
b から流れてくる電流をそのまま流せるような電位であればよく、一例としては、

電源電圧 V_{dd} などによい。

なお配線の本数、スイッチの個数及びその接続構成は特に限定されない。つまり、図 39 (B) (C) を参照すると、設定動作時には図 39 (B 1) (C 1) のように接続され、入力動作時には図 39 (B 2) (C 2) のように接続されるように、配線やスイッチを配置するとよい。

また図 6 (A)、図 6 (C) ~ (E) の電流源回路において、電流の流れる方向 (画素から信号線駆動回路へ) は同様であって、トランジスタ 102、トランジスタ 105b、トランジスタ 106 の極性 (導電型) を p チャネル型にすることも可能である。

- 10 そこで図 7 (A) には、電流の流れる方向 (画素から信号線駆動回路へ) は同様であって、図 6 (A) に示すトランジスタ 102 を p チャネル型にしたときの回路構成を示す。図 6 (A) では、容量素子をゲート・ソース間に配置することにより、ソースの電位は変化しても、ゲート・ソース間電圧は保持することが出来る。また図 7 (B) ~ (D) には、電流の流れる方向 (画素から信号線駆動回路へ) は同様であって、図 6 (C) ~ (E) に示すトランジスタ 105b、トランジスタ 106 を p チャネル型にした回路図を示す。

また、図 40 (A) には、図 39 に示した構成において、トランジスタ 195a を p チャネル型にした場合を示す。また図 40 (B) には、図 6 (B) に示した構成において、トランジスタ 122、126 を p チャネル型にした場合を示す。

- 20 図 42 において、スイッチ 104、116、トランジスタ 102、容量素子 103 などを有する回路が電流源回路に相当する。

- 図 42 (A) は、図 6 (A) の一部を変更した回路に相当する。図 42 (A) に示す電流源回路では、電流源の設定動作時と、入力動作時とで、トランジスタのゲート幅 W が異なる。つまり、設定動作時には、図 42 (B) のように接続され、ゲート幅 W が大きい。入力動作時には、図 42 (C) のように接続され、ゲート幅 W が小さい。従って、設定動作時に端子 b から供給される電流値は、入力動作
- 25

時に端子cから供給される電流値よりも大きくすることが出来る。そのため、端子bとリファレンス用定電流源との間に配置された様々な負荷（配線抵抗、交差容量など）を、より早く充電することができる。従って、設定動作を素早く完了させることができる。

- 5 なお、図42では、図6（A）の一部を変更した回路について示した。しかし、図6のほかの回路や図7、図39、図40、図41などの回路にも、容易に適用できる。

- 10 なお、図6、図7、図39に示した電流源回路では、電流は画素から信号線駆動回路の方向へ流れる。しかしながら、電流は画素から信号線駆動回路の方向へ流れるだけでなく、信号線駆動回路から画素の方向へ流れる場合もある。電流がどちらの方向に流れるかは、画素の構成に依存する。電流が信号線駆動回路から画素の方向へ流れる場合には、図6において、Vss（低電位電源）をVdd（高電位電源）に変更して、トランジスタ102、105b、106、122、126をpチャネル型とすればよい。また図7において、VssをVddに変更して、トランジスタ102、
15 105b、106をnチャネル型とすればよい。

なお、上記の全ての電流源回路において、配置されている容量素子は、トランジスタのゲート容量などを代用することで、配置しなくてもよい。

- 20 なお、図7（A）～（D）、図40（A）（B）の回路は、設定動作時には図41（A1）～（D1）のように接続され、入力動作時には図41（A2）～（D2）のように接続されるように、配線やスイッチを配置するとよい。配線の本数やスイッチの個数は特に限定されない。

- 以下には、図6、7を用いて説明した電流源回路のうち、図6（A）及び図7（A）、図6（C）～（E）及び図7（B）～（D）の電流源回路の動作について詳しく説明する。まず、図6（A）及び図7（A）の電流源回路の動作について図19を用
25 いて説明する。

図19（A）～図19（C）は、電流が回路素子間を流れていく経路を模式的に

示している。図 19 (D) は、信号電流 I_{data} を電流源回路に書き込むときの各経路を流れる電流と時間の関係を示しており、図 19 (E) は、信号電流 I_{data} を電流源回路に書き込むときに容量素子 16 に蓄積される電圧、つまりトランジスタ 15 のゲート・ソース間電圧と時間の関係を示している。また図 19 (A) ~ 図 19 (C) に示す回路図において、11 はリファレンス用定電流源、スイッチ 12 ~ スイッチ 14 はスイッチング機能を有する半導体素子、15 はトランジスタ (n チャネル型)、16 は容量素子、17 は画素である。本実施の形態では、スイッチ 14 と、トランジスタ 15 と、容量素子 16 とが電流源回路 20 に相当する電気回路とする。なお図 19 (A) には引き出し線と符号が付いており、図 19 (B)、(C) において引き出し線と符号は図 19 (A) に準ずるので図示は省略する。

n チャネル型のトランジスタ 15 のソース領域は V_{ss} に接続され、ドレイン領域はリファレンス用定電流源 11 に接続されている。そして容量素子 16 の一方の電極は V_{ss} (トランジスタ 15 のソース) に接続され、他方の電極はスイッチ 14 (トランジスタ 15 のゲート) に接続されている。容量素子 16 は、トランジスタ 15 のゲート・ソース間電圧を保持する役目を担う。

画素 17 は、発光素子やトランジスタなどにより構成される。発光素子は、陽極と陰極と、該陽極と該陰極との間に挟まれた発光層を有する。本明細書では、陽極を画素電極として用いる場合は陰極を対向電極と呼び、陰極を画素電極として用いる場合は陽極を対向電極と呼ぶ。また発光層には、公知の発光材料を用いて作製することが出来る。発光層には、単層構造と積層構造の二つの構造があるが、本発明は公知のどのような構造を用いてもよい。発光層におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光 (蛍光) と、三重項励起状態から基底状態に戻る際の発光 (リン光) とがあるが、本発明はどちらか一方、又は両方の発光を用いた発光装置にも適用できる。また発光層は、有機材料や無機材料などの公知の材料から構成される。

なお実際には、電流源回路 20 は信号線駆動回路に設けられている。そして信号

線駆動回路に設けられた電流源回路 20 から、信号線や画素が有する回路素子等を介して発光素子に信号電流 I_{data} に応じた電流が流れる。しかし図 19 は、リファレンス用定電流源 11、電流源回路 20 及び画素 17 との関係の概略を簡単に説明するための図であるので、詳しい構成の図示は省略する。

- 5 まず電流源回路 20 が信号電流 I_{data} を保持する動作(設定動作)を図 19 (A)、(B)を用いて説明する。図 19 (A)において、スイッチ 12、スイッチ 14 がオンとなり、スイッチ 13 はオフとなる。この状態において、リファレンス用定電流源 11 から信号電流 I_{data} が出力され、リファレンス用定電流源 11 から電流源回路 20 の方向に電流が流れていく。このとき、リファレンス用定電流源 11 から
- 10 は信号電流 I_{data} が流れているので、図 19 (A)に示すように電流源回路 20 内では、電流の経路は I_1 と I_2 に分かれて流れる。このときの関係を図 19 (D)に示しているが、信号電流 $I_{data} = I_1 + I_2$ の関係であることは言うまでもない。

- リファレンス用定電流源 11 から電流が流れ始めた瞬間には、容量素子 16 に電荷は保持されていないため、トランジスタ 15 はオフしている。よって、 $I_2 = 0$
- 15 となり、 $I_{data} = I_1$ となる。

- そして、徐々に容量素子 16 に電荷が蓄積されて、容量素子 16 の両電極間に電位差が生じはじめる(図 19 (E))。両電極間の電位差が V_{th} になると(図 19 (E) A点)、トランジスタ 15 がオンして、 $I_2 > 0$ となる。上述したように $I_{data} = I_1 + I_2$ であるので、 I_1 は次第に減少するが、依然電流は流れている。容量素子 16 には、さらに電荷の蓄積が行われる。
- 20

- 容量素子 16 の両電極間の電位差は、トランジスタ 15 のゲート・ソース間電圧となる。そのため、トランジスタ 15 のゲート・ソース間電圧が所望の電圧、つまりトランジスタ 15 が I_{data} の電流を流すことが出来るだけの電圧 (V_{GS}) になるまで、容量素子 16 における電荷の蓄積は続けられる。そして電荷の蓄積が終了
- 25 すると(図 19 (E) B点)、電流 I_1 は流れなくなり、さらにトランジスタ 15 はオンしているので、 $I_{data} = I_2$ となる(図 19 (B))。

次いで、画素に信号電流 I data を入力する動作（入力動作）を図 19（C）を用いて説明する。画素に信号電流 I data を入力するときには、スイッチ 13 をオンにしてスイッチ 12 及びスイッチ 14 をオフにする。容量素子 16 には前述した動作において書き込まれた VGS が保持されているため、トランジスタ 15 はオンしており、信号電流 I data に等しい電流が、スイッチ 13 及びトランジスタ 15 を介して Vss の方向に流れて、画素への信号電流 I data の入力完了する。このとき、トランジスタ 15 を飽和領域において動作するようにしておけば、トランジスタ 15 のソース・ドレイン間電圧が変化したとしても、発光素子には一定の電流が供給される。

10 図 19 に示す電流源回路 20 では、図 19（A）～図 19（C）に示すように、まず電流源回路 20 に対して信号電流 I data の書き込みを終了させる動作（設定動作、図 19（A）、（B）に相当）と、画素に信号電流 I data を入力する動作（入力動作、図 19（C）に相当）に分けられる。そして画素では入力された信号電流 I data に基づき、発光素子への電流の供給が行われる。

15 図 19 に示す電流源回路 20 では、設定動作と入力動作を同時に行うことは出来ない。よって、設定動作と入力動作を同時に行う必要がある場合には、画素が複数個接続されている信号線であって、更に画素部に複数本配置されている信号線のそれぞれに、少なくとも 2 つの電流源回路を設けることが好ましい。但し、信号電流 I data を画素に入力していない期間内に、設定動作を行うことが可能であるならば、
20 信号線ごとに（各列に）1 つの電流源回路を設けるだけでもよい。

また図 19（A）～図 19（C）に示した電流源回路 20 のトランジスタ 15 は n チャネル型であったが、勿論電流源回路 20 のトランジスタ 15 を p チャネル型としてもよい。ここで、トランジスタ 15 が p チャネル型の場合の回路図を図 19（F）に示す。図 19（F）において、31 はリファレンス用定電流源、スイッチ
25 32～スイッチ 34 はスイッチング機能を有する半導体素子（トランジスタ）、35 はトランジスタ（p チャネル型）、36 は容量素子、37 は画素である。本実施

の形態では、スイッチ 3 4 と、トランジスタ 3 5 と、容量素子 3 6 とが電流源回路 2 4 に相当する電気回路とする。

トランジスタ 3 5 は p チャネル型であり、トランジスタ 3 5 のソース領域及びドレイン領域は、一方は Vdd に接続され、他方は定電流源 3 1 に接続されている。そして容量素子 3 6 の一方の電極は Vdd に接続され、他方の電極はスイッチ 3 6 に接続されている。容量素子 3 6 は、トランジスタ 3 5 のゲート・ソース間電圧を保持する役目を担う。

図 1 9 (F) に示す電流源回路 2 4 の動作は、電流の流れる方向が異なる以外は、上記の電流源回路 2 0 と同じ動作を行うのでここでは説明を省略する。なお電流の流れる方向を変更せずに、トランジスタ 1 5 の極性を変更した電流源回路を設計する場合には、図 7 (A) に示す回路図を参考にすればよい。

なお図 4 3 において、電流の流れる方向は図 1 9 (F) と同じで、トランジスタ 3 5 を n チャネル型にしている。容量素子 3 6 は、トランジスタ 3 5 のゲート・ソース間に接続する。トランジスタ 3 5 のソースの電位は設定動作時と入力動作時とで異なる。しかし、ソースの電位が変化しても、ゲート・ソース間電圧は保持されているため、正常に動作する。

続いて、図 6 (C) ~ (E) 及び図 7 (B) ~ (D) の電流源回路の動作について図 2 0、2 1 を用いて説明する。図 2 0 (A) ~ 図 2 0 (C) は、電流が回路素子間を流れていく経路を模式的に示している。図 2 0 (D) は、信号電流 I data を電流源回路に書き込むときの各経路を流れる電流と時間の関係を示しており、図 2 0 (E) は、信号電流 I data を電流源回路に書き込むときに容量素子 4 6 に蓄積される電圧、つまりトランジスタ 4 3、4 4 のゲート・ソース間電圧と時間の関係を示している。また図 2 0 (A) ~ 図 2 0 (C) に示す回路図において、4 1 はリファレンス用定電流源、スイッチ 4 2 はスイッチング機能を有する半導体素子、4 3、4 4 はトランジスタ (n チャネル型)、4 6 は容量素子、4 7 は画素である。本実施の形態では、スイッチ 4 2 と、トランジスタ 4 3、4 4 と、容量素子 4 6 を有す

る回路が電流源回路 25 に相当する電気回路とする。なお図 20 (A) には引き出し線と符号が付いており、図 20 (B)、(C) において引き出し線と符号は図 20 (A) に準ずるので図示は省略する。

n チャネル型のトランジスタ 43 のソース領域は V_{ss} に接続され、ドレイン領域は定電流源 41 に接続されている。n チャネル型のトランジスタ 44 のソース領域は V_{ss} に接続され、ドレイン領域は発光素子 47 の端子 48 に接続されている。そして容量素子 46 の一方の電極は V_{ss} (トランジスタ 43 及び 44 のソース) に接続され、他方の電極はトランジスタ 43 及びトランジスタ 44 のゲート電極に接続されている。容量素子 46 は、トランジスタ 43 及びトランジスタ 44 のゲート・ソース間電圧を保持する役目を担う。

なお実際には、電流源回路 25 は信号線駆動回路に設けられている。そして信号線駆動回路に設けられた電流源回路 25 から、信号線や画素が有する回路素子等を介して発光素子に信号電流 I_{data} に応じた電流が流れる。しかし図 20 は、リファレンス用定電流源 41、電流源回路 25 及び画素 47 との関係の概略を説明するための図であるので、詳しい構成の図示は省略する。

図 20 の電流源回路 25 では、トランジスタ 43 及びトランジスタ 44 のサイズが重要となる。そこでトランジスタ 43 及びトランジスタ 44 のサイズが、同じ場合と異なる場合について、符号を分けて説明する。図 20 (A) ~ 図 20 (C) において、トランジスタ 43 及びトランジスタ 44 のサイズが同じ場合には、信号電流 I_{data} を用いて説明する。そしてトランジスタ 43 及びトランジスタ 44 のサイズが異なる場合には、信号電流 I_{data1} と信号電流 I_{data2} を用いて説明する。なおトランジスタ 43 及びトランジスタ 44 のサイズは、それぞれのトランジスタの W (ゲート幅) / L (ゲート長) の値を用いて判断される。

最初に、トランジスタ 43 及びトランジスタ 44 のサイズが同じ場合について説明する。そしてまず信号電流 I_{data} を電流源回路 20 に保持する動作を図 20 (A) (B) を用いて説明する。図 20 (A) において、スイッチ 42 がオンになると、

リファレンス用定電流源 4 1 で信号電流 I_{data} が設定され、定電流源 4 1 から電流源回路 2 5 の方向に電流が流れていく。このとき、リファレンス用定電流源 4 1 からは信号電流 I_{data} が流れているので、図 2 0 (A) に示すように電流源回路 2 5 内では、電流の経路は I_1 と I_2 に分かれて流れる。このときの関係を図 2 0 (D) 5 に示しているが、信号電流 $I_{data} = I_1 + I_2$ の関係であることは言うまでもない。

定電流源 4 1 から電流が流れ始めた瞬間には、容量素子 4 6 に電荷は保持されていないため、トランジスタ 4 3 及びトランジスタ 4 4 はオフしている。よって、 $I_2 = 0$ となり、 $I_{data} = I_1$ となる。

そして、徐々に容量素子 4 6 に電荷が蓄積されて、容量素子 4 6 の両電極間に電位差が生じはじめる (図 2 0 (E))。両電極間の電位差が V_{th} になると (図 2 0 (E) A 点)、トランジスタ 4 3 及びトランジスタ 4 4 がオンして、 $I_2 > 0$ となる。上述したように $I_{data} = I_1 + I_2$ であるので、 I_1 は次第に減少するが、依然電流は流れている。容量素子 4 6 には、さらに電荷の蓄積が行われる。

容量素子 4 6 の両電極間の電位差は、トランジスタ 4 3 及びトランジスタ 4 4 のゲート・ソース間電圧となる。そのため、トランジスタ 4 3 及びトランジスタ 4 4 のゲート・ソース間電圧が所望の電圧、つまりトランジスタ 4 4 が I_{data} の電流を流すことが出来るだけの電圧 (V_{GS}) になるまで、容量素子 4 6 における電荷の蓄積は続けられる。そして電荷の蓄積が終了すると (図 2 0 (E) B 点)、電流 I_1 は流れなくなり、さらにトランジスタ 4 3 及びトランジスタ 4 4 はオンしているので、 $I_{data} = I_2$ となる (図 2 0 (B))。 20

次いで、画素に信号電流 I_{data} を入力する動作を図 2 0 (C) を用いて説明する。まずスイッチ 4 2 をオフにする。容量素子 4 6 には所定の電荷が保持されているため、トランジスタ 4 3 及びトランジスタ 4 4 はオンしており、画素 4 7 から信号電流 I_{data} に等しい電流が流れる。これにより、画素に信号電流 I_{data} が入力される。このとき、トランジスタ 4 4 を飽和領域において動作するようにしておけば、トランジスタ 4 4 のソース・ドレイン間電圧が変化したとしても、画素において流 25

れる電流は変わりなく流れることができる。

なお図 6 (C) のようなカレントミラー回路の場合には、スイッチ 4 2 をオフにしなくても、定電流源 4 1 から供給される電流を用いて画素 4 7 に電流を流すことも出来る。つまり電流源回路 2 0 に対して信号を設定する動作を設定動作と、信号 5 を画素に入力する動作（入力動作）を同時に行うことが出来る。

次いで、トランジスタ 4 3 及びトランジスタ 4 4 のサイズが異なる場合について説明する。電流源回路 2 5 における動作は、上述した動作と同じであるのでここでは説明を省略する。トランジスタ 4 3 及びトランジスタ 4 4 のサイズが異なると、必然的にリファレンス用定電流源 4 1 において設定される信号電流 I data1 と画素 10 4 7 に流れる信号電流 I data2 とは異なる。両者の相違点は、トランジスタ 4 3 及びトランジスタ 4 4 の W (ゲート幅) / L (ゲート長) の値の相違点に依存する

通常はトランジスタ 4 3 の W/L 値を、トランジスタ 4 4 の W/L 値よりも大きくすることが望ましい。これは、トランジスタ 4 3 の W/L 値を大きくすれば、信号電流 I data1 を大きくできるからである。この場合、信号電流 I data1 で電流源回路 15 を設定するとき、負荷（交差容量、配線抵抗）を充電できるため、素早く設定動作を行うことが可能となる。

図 2 0 (A) ～図 2 0 (C) に示した電流源回路 2 5 のトランジスタ 4 3 及びトランジスタ 4 4 は n チャネル型であったが、勿論電流源回路 2 5 のトランジスタ 4 3 及びトランジスタ 4 4 を p チャネル型としてもよい。ここで、トランジスタ 4 3 20 及びトランジスタ 4 4 が p チャネル型の場合の回路図を図 2 1 に示す。

図 2 1 において、4 1 は定電流源、スイッチ 4 2 はスイッチング機能を有する半導体素子、4 3、4 4 はトランジスタ (p チャネル型)、4 6 は容量素子、4 7 は画素である。本実施の形態では、スイッチ 4 2 と、トランジスタ 4 3、4 4 と、容量素子 4 6 とが電流源回路 2 6 に相当する電気回路とする。

25 p チャネル型のトランジスタ 4 3 のソース領域は Vdd に接続され、ドレイン領域は定電流源 4 1 に接続されている。p チャネル型のトランジスタ 4 4 のソース領域

は Vdd に接続され、ドレイン領域は発光素子 4 7 の端子 4 8 に接続されている。そして容量素子 4 6 の一方の電極は（ソース）に接続され、他方の電極はトランジスタ 4 3 及びトランジスタ 4 4 のゲート電極に接続されている。容量素子 4 6 は、トランジスタ 4 3 及びトランジスタ 4 4 のゲート・ソース間電圧を保持する役目を担う。

図 2 1 に示す電流源回路 2 4 の動作は、電流の流れる方向が異なる以外は、図 2 0 (A) ~ 図 2 0 (C) と同じ動作を行うのでここでは説明を省略する。なお電流の流れる方向を変更せずに、トランジスタ 4 3、トランジスタ 4 4 の極性を変えた電流源回路を設計する場合には、図 7 (B) に示す回路図を参考にすればよい。

10 また、電流の流れる方向を変えずに、トランジスタの極性を変えることも可能である。それは、図 4 3 の動作に準ずるので、ここでは説明を省略する。

以上をまとめると、図 1 9 の電流源回路では、電流源で設定される信号電流 I data と同じ大きさの電流が画素に流れる。言い換えると、定電流源において設定された信号電流 I data と、画素に流れる電流は値が同じであり、電流源回路に設けら
15 れたトランジスタの特性バラツキの影響は受けない。

また、図 1 9 の電流源回路及び図 6 (B) の電流源回路では、設定動作を行う期間においては、電流源回路から画素に信号電流 I data を出力することは出来ない。そのため、1 本の信号線ごとに 2 つの電流源回路を設けて、一方の電流源回路に信号を設定する動作（設定動作）を行い、他方の電流源回路を用いて画素に I data を
20 入力する動作（入力動作）を行うことが好ましい。

ただし、設定動作と入力動作を同時に行わない場合は、各列に 1 つの電流源回路を設けるだけでもよい。なお、図 3 9 (A)、図 4 0 (A) の電流源回路は、図 1 9 の電流源回路と、接続や電流が流れる経路が異なる以外は、同様である。図 4 2 (A) の電流源回路は、定電流源から供給される電流と、電流源回路から流れる電
25 流の大きさが異なること以外は、同様である。また、図 6 (B)、図 4 0 (B) の電流源回路は、定電流源から供給される電流と、電流源回路から流れる電流の大き

さが異なること以外は、同様である。つまり、図 4 2 (A) では、トランジスタのゲート幅 W が設定動作時と入力動作時で異なり、図 6 (B)、図 4 0 (B) では、トランジスタのゲート長 L が設定動作時と入力動作時とで異なるだけで、それ以外は図 1 9 の電流源回路と同様の構成である。

- 5 一方、図 2 0、2 1 の電流源回路では、定電流源において設定された信号電流 I_{data} と、画素に流れる電流の値は、電流源回路に設けられた 2 つのトランジスタのサイズに依存する。つまり電流源回路に設けられた 2 つのトランジスタのサイズ (W (ゲート幅) / L (ゲート長)) を任意に設計して、定電流源において設定された信号電流 I_{data} と、画素に流れる電流を任意に変えることが出来る。但し、2 つ
- 10 のトランジスタのしきい値や移動度などの特性にバラツキが生じている場合には、正確な信号電流 I_{data} を画素に出力することが難しい。

- また、図 2 0、2 1 の電流源回路では、設定動作を行う期間に画素に信号を入力することは可能である。つまり、信号を設定する動作を設定動作と、信号を画素に
- 15 入力する動作 (入力動作) を同時に行うことが出来る。そのため、図 1 9 の電流源
- 回路のように、1 本の信号線に 2 つの電流源回路を設ける必要はない。

上記構成を有する本発明は、T F T の特性バラツキの影響を抑制して、所望の電流を外部に供給することができる。

(実施の形態 2)

- 図 1 9 (および図 6 (B)、図 4 0 (B)、図 4 2 (A) など) に示した電流源回
- 20 路では、1 本の信号線ごと (各列) に 2 つの電流源回路を設けて、一方の電流源回路で設定動作を行い、他方の電流源回路で入力動作を行うように設定することが好ましいことは上述した。これは、設定動作と入力動作とを同時に行うことが出来ないためである。本実施の形態では、図 2 に示した第 1 電流源回路 4 2 1 又は第 2 電流源回路 4 2 2 の構成とその動作について図 8 を用いて説明する。

- 25 なお信号線駆動回路は、電流源回路 4 2 0、シフトレジスタ及びラッチ回路などを有する。

本発明では端子 a から入力される設定信号とは、第 2 のラッチ回路 4 1 3 から供給されるビデオ信号に相当する。つまり図 2 における設定信号とは、第 2 のラッチ回路 4 1 3 から供給されるビデオ信号に相当する。但し、ビデオ信号は画素の制御にも用いられるため、電流源回路 4 2 0 に直接入力されず、論理演算子を介して入力される。この論理演算子により、ビデオ信号を画素の制御（画像の表示）のために用いる時と、電流源回路の制御のために用いる時とを切り替えることが可能となる。つまり、端子 a から入力される設定信号とは、設定制御線（図 1 には図示せず）に接続された論理演算子の出力端子から供給される信号に相当する。そして本発明では、論理演算子の出力端子から供給される信号と制御線のタイミングに合わせて、電流源回路 4 2 0 の設定を行う。

前記論理演算子の 2 つの入力端子は、一方には第 2 のラッチ回路から出力される信号（ビデオ信号に相当）が入力され、他方には設定制御線から信号が入力される。論理演算子では、入力された 2 つの信号の論理演算を行って、出力端子から信号を出力する。そして電流源回路では、前記論理演算子の出力端子から入力される信号によって、設定動作又は入力動作を行う。

電流源回路 4 2 0 は、端子 a を介して入力される設定信号と端子 d を介して入力される信号とにより制御され、端子 b から電流（リファレンス用電流）が供給され、該電流（リファレンス用電流）に比例した電流を端子 c より出力する。

図 8（A）において、スイッチ 1 3 4～スイッチ 1 3 9 と、トランジスタ 1 3 2（n チャネル型）と、該トランジスタ 1 3 2 のゲート・ソース間電圧 V_{GS} を保持する容量素子 1 3 3 とを有する回路が第 1 電流源回路 4 2 1 又は第 2 電流源回路 4 2 2 に相当する。

第 1 電流源回路 4 2 1 又は第 2 電流源回路 4 2 2 では、端子 a を介して入力される信号によってスイッチ 1 3 4、スイッチ 1 3 6 がオンとなる。また端子 d を介して制御線から入力される信号によってスイッチ 1 3 5、スイッチ 1 3 7 がオンとなる。そうすると、電流線に接続されたリファレンス用定電流源 1 0 9 から端子 b を

介して電流（リファレンス用電流）が供給され、容量素子 1 3 3 に所定の電荷が保持される。そして定電流源 1 0 9 から流される電流（リファレンス用電流）がトランジスタ 1 3 2 のドレイン電流と等しくなるまで、容量素子 1 3 3 に電荷が保持される。

- 5 次いで、端子 a、d を介して入力される信号により、スイッチ 1 3 4 ～スイッチ 1 3 7 をオフにする。そうすると、容量素子 1 3 3 に所定の電荷が保持されているため、トランジスタ 1 3 2 は、信号電流 I_{data} に応じた大きさの電流を流す能力をもつことになる。そして仮にスイッチ 1 0 1（信号電流制御スイッチ）、スイッチ 1 3 8、スイッチ 1 3 9 が導通状態になると、端子 c を介して信号線に接続された
- 10 画素に電流が流される。このとき、トランジスタ 1 3 2 のゲート電圧は、容量素子 1 3 3 により所定のゲート電圧に維持されているため、トランジスタ 1 3 2 のドレイン領域には信号電流 I_{data} に応じたドレイン電流が流れる。そのため、信号線駆動回路を構成するトランジスタの特性バラツキに左右されずに、画素において流れる電流の大きさを制御できる。
- 15 なお、スイッチ 1 0 1（信号電流制御スイッチ）が配置されていない場合は、スイッチ 1 3 8、1 3 9 が導通状態になると、端子 c を介して信号線に接続された画素に電流が流れる。

- 図 8（B）において、スイッチ 1 4 4 ～スイッチ 1 4 7 と、トランジスタ 1 4 2（n チャネル型）と、該トランジスタ 1 4 2 のゲート・ソース間電圧 V_{GS} を保持
- 20 する容量素子 1 4 3 と、トランジスタ 1 4 8（n チャネル型）とを有する回路が第 1 電流源回路 4 2 1 又は第 2 電流源回路 4 2 2 に相当する。

- 第 1 電流源回路 4 2 1 又は第 2 電流源回路 4 2 2 では、端子 a を介して入力される信号によってスイッチ 1 4 4、スイッチ 1 4 6 がオンとなる。また端子 d を介して制御線から入力される信号によってスイッチ 1 4 5、スイッチ 1 4 7 がオンとなる。そうすると、電流線に接続された定電流源 1 0 9 から、端子 b を介して電流（リ
- 25 ファレンス用電流）が供給され、容量素子 1 4 3 に電荷が保持される。そして定電

流源 109 から流される電流（リファレンス用電流）がトランジスタ 142 のドレイン電流と等しくなるまで、容量素子 143 に電荷が保持される。なおスイッチ 144、スイッチ 145 がオンとなると、トランジスタ 148 のゲート・ソース間電圧 V_{GS} が 0 V となるので、トランジスタ 148 は自動的にオフになる。

- 5 次いで、端子 a、d を介して入力される信号により、スイッチ 144～147 がオフになる。そうすると、容量素子 143 には所定の電荷が保持されているため、トランジスタ 142 は信号電流に応じた大きさの電流を流す能力を有する。そして仮にスイッチ 101（信号電流制御スイッチ）が導通状態になると、端子 c を介して信号線に接続された画素に電流が供給される。これは、トランジスタ 142 のゲート電圧は容量素子 143 により所定のゲート電圧に設定されており、該トランジスタ 142 のドレイン領域には信号電流 I_{data} に応じたドレイン電流が流れる。そのため、信号線駆動回路を構成するトランジスタの特性バラツキに左右されずに、画素において流れる電流の大きさを制御できる。
- 10

- 15 なおスイッチ 144、145 がオフすると、トランジスタ 142 のゲートとソースは同電位ではなくなる。その結果、容量素子 143 に保持された電荷がトランジスタ 148 の方にも分配され、トランジスタ 148 が自動的にオンになる。ここで、トランジスタ 142、148 は直列に接続され、且つ互いのゲートが接続されている。従って、トランジスタ 142、148 はマルチゲートのトランジスタとして動作する。つまり、設定動作時と入力動作時とでは、トランジスタのゲート長 L が異なることになる。従って、設定動作時に端子 b から供給される電流値は、入力動作時に端子 c から供給される電流値よりも大きくすることが出来る。そのため、端子 b とリファレンス用定電流源との間に配置された様々な負荷（配線抵抗、交差容量など）を、より早く充電することができる。従って、設定動作を素早く完了させることができる。なお、スイッチ 101（信号電流制御スイッチ）が配置されていない場合は、スイッチ 144、145 がオフになると、端子 c を介して信号線に接続された画素に電流が流れる。
- 20
- 25

なお、図 8 (A) は、図 6 (A) の構成に端子 d を追加した構成に相当する。図 8 (B) は、図 6 (B) の構成に端子 d を追加した構成に相当する。このように、図 6 (A) (B) の構成にスイッチを直列に追加して配置することにより、端子 d を追加した図 8 (A) (B) の構成に変形される。なお、第 1 電流源回路 4 2 1 又は第 2 電流源回路 4 2 2 には、2 つのスイッチを直列に配置することで、図 6、図 7、図 3 9、図 4 0、図 4 2 などに示した電流源回路の構成を任意に用いることができる。

なお図 2 では、1 本の信号線ごとに第 1 電流源回路 4 2 1 及び第 2 電流源回路 4 2 2 の 2 つの電流源回路を有する電流源回路 4 2 0 を設けた構成を示したが、本発明はこれに限定されない。1 本の信号線ごとに電流源回路の個数は特に限定されず、任意に設定することができる。複数の電流源回路は、各々に対応した定電流源を設けるように設定して、該定電流源から電流源回路に信号電流を設定するようにしてもよい。例えば、1 本の信号線ごとに 3 つの電流源回路 4 2 0 を設けてもよい。そして各電流源回路 4 2 0 には異なるリファレンス用定電流源 1 0 9 から信号電流を設定するようにしてもよい。例えば、1 つの電流源回路 4 2 0 には、1 ビット用のリファレンス用定電流源を用いて信号電流を設定し、1 つの電流源回路 4 2 0 には、2 ビット用のリファレンス用定電流源を用いて信号電流を設定し、1 つの電流源回路 4 2 0 には、3 ビット用のリファレンス用定電流源を用いて信号電流を設定するようにしてもよい。そうすると、3 ビット表示を行うことが出来る。

上記構成を有する本発明は、T F T の特性バラツキの影響を抑制して、所望の電流を外部に供給することができる。

本実施の形態は、実施の形態 1 と任意に組み合わせることが可能である。

(実施の形態 3)

本実施の形態では、本発明の信号線駆動回路が具備される発光装置の構成について図 1 5 を用いて説明する。

図 1 5 (A) において、発光装置は基板 4 0 1 上に、複数の画素がマトリクス状

に配置された画素部 402 を有し、画素部 402 の周辺には、信号線駆動回路 403、第 1 及び第 2 の走査線駆動回路 404、405 を有する。図 15 (A) においては、信号線駆動回路 403 と、2 組の走査線駆動回路 404、405 を有しているが、本発明はこれに限定されない。駆動回路の個数は、画素の構成に応じて任意
5 に設計することができる。信号線駆動回路 403 と、第 1 及び第 2 の走査線駆動回路 404、405 には、FPC 406 を介して外部より信号が供給される。

第 1 及び第 2 の走査線駆動回路 404、405 の構成とその動作について図 15 (B) を用いて説明する。第 1 及び第 2 の走査線駆動回路 404、405 は、シフトレジスタ 407、バッファ 408 を有する。シフトレジスタ 407 は、クロック
10 信号 (G-CLK)、スタートパルス (S-SP) 及びクロック反転信号 (G-CLKb) に従って、順次サンプリングパルスを出力する。その後バッファ 408 で増幅されたサンプリングパルスは、走査線に入力されて 1 行ずつ選択状態にしていく。そして選択された走査線によって制御される画素には、順に信号線から信号が書き込まれる。

なお、シフトレジスタ 407 とバッファ 408 の間にレベルシフト回路を配置し
15 た構成にしてもよい。レベルシフト回路を配置することによって、電圧振幅を大きくすることが出来る。

本実施の形態は、実施の形態 1、2 と任意に組み合わせることができる。

(実施の形態 4)

本実施の形態では、図 15 (A) に示した信号線駆動回路 403 の構成とその動作について説明する。本実施の形態では、1 ビットのデジタル階調表示を行う場合
20 に用いる信号線駆動回路 403 について図 3 を用いて説明する。

まず図 1 に対応した場合について述べる。またここでは線順次駆動の場合について述べる。

図 3 (A) には、1 ビットのデジタル階調表示を行う場合における信号線駆動回路 403 の概略図を示す。信号線駆動回路 403 は、シフトレジスタ 411、第 1
25 のラッチ回路 412、第 2 のラッチ回路 413、定電流回路 414 を有する。

動作を簡単に説明するとシフトレジスタ 4 1 1 は、フリップフロップ回路 (FF) 等を複数列用いて構成され、クロック信号 (S-CLK)、スタートパルス (S-SP)、クロック反転信号 (S-CLKb) が入力される。これらの信号のタイミングに従って、順次サンプリングパルスが出力される。

- 5 シフトレジスタ 4 1 1 より出力されたサンプリングパルスは、第 1 のラッチ回路 4 1 2 に入力される。第 1 のラッチ回路 4 1 2 には、デジタルビデオ信号が入力されており、サンプリングパルスが入力されるタイミングに従って、各列でビデオ信号を保持していく。

- 第 1 のラッチ回路 4 1 2 において、最終列までビデオ信号の保持が完了すると、
10 水平帰線期間中に、第 2 のラッチ回路 4 1 3 にラッチパルスが入力され、第 1 のラッチ回路 4 1 2 に保持されていたビデオ信号は、一斉に第 2 のラッチ回路 4 1 3 に転送される。すると、第 2 のラッチ回路 4 1 3 に保持されたビデオ信号は、1 行分が同時に定電流回路 4 1 4 へと入力される。

- 第 2 のラッチ回路 4 1 3 に保持されたビデオ信号が定電流回路 4 1 4 に入力さ
15 れている間、シフトレジスタ 4 1 1 においては再びサンプリングパルスが出力される。以後この動作を繰り返し、1 フレーム分のビデオ信号の処理を行う。なお定電流回路 4 1 4 は、デジタル信号をアナログ信号に変換する役割を持つ場合もある。

また定電流回路 4 1 4 は、電流源回路 4 2 0 を複数設けられる。図 3 (B) には、 i 列目から $(i + 2)$ 列目の 3 本の信号線の周辺の信号線駆動回路の概略を示す。

- 20 電流源回路 4 2 0 は、端子 a を介して入力される信号により制御される。また電流源回路 4 2 0 には、端子 b を介して、電流線に接続されたりファレンス用定電流源 1 0 9 から電流が供給される。そして電流源回路 4 2 0 と信号線 S_n に接続された画素との間にはスイッチ 1 0 1 (信号電流制御スイッチ) が設けられ、前記スイッチ 1 0 1 (信号電流制御スイッチ) のオン又はオフはビデオ信号により制御され
25 る。ビデオ信号が明信号の場合、電流源回路 4 2 0 から画素に信号電流が供給される。またビデオ信号が暗信号の場合、スイッチ 1 0 1 (信号電流制御スイッチ) が

制御されて画素に電流は供給されない。つまり電流源回路420は、所定の電流を流す能力を有し、該電流を画素に供給するか否かはスイッチ101（信号電流制御スイッチ）により制御される。

そして電流源回路420の構成には、図6、図7、図39、図40、図42など
5 に示した電流源回路420の構成を任意に用いることが出来る。電流源回路420には、1つの構成を採用するだけでなく、複数を採用してもよい。

なお端子aから入力される設定信号とは、第2のラッチ回路413から供給されるビデオ信号に相当する。但し、ビデオ信号は画素の制御にも用いられるため、電流源回路420に直接入力されず、論理演算子を介して入力される。つまり、端子
10 aから入力される設定信号とは、設定制御線に接続された論理演算子の出力端子から供給される信号に相当する。そして本発明では、設定制御線に接続された論理演算子の出力端子から入力される信号に合わせて、電流源回路420の設定を行う。

前記論理演算子の2つの入力端子は、一方には第2のラッチ回路から供給される信号（ビデオ信号に相当）が入力され、他方には設定制御線から信号が入力される。
15 論理演算子では、入力された2つの信号の論理演算を行って、出力端子から信号を出力する。そして電流源回路では、前記論理演算子の出力端子から供給される信号によって、設定動作又は入力動作を行う。

なお電流源回路420に、図6（A）、7（A）に示した構成を用いる場合、上述したように入力動作を行っている期間には、設定動作を行うことが出来ない。従
20 って、入力動作を行っていない期間に設定動作を行う必要がある。但し、入力動作を行っていない期間は、1フレーム期間中に連続して存在せずに、点在している場合があるため、そのような場合には各列を順に選択するのではなく、任意の列を選択できるようにすることが好ましい。

なお、本発明では、電流源回路の設定動作を行う場合、ビデオ信号を利用して電
25 流源回路を指定する。したがって、電流源回路の設定動作も、1列目から最終列目まで順に行うのではなく、ランダムに行うことができる。つまり、ビデオ信号は、

本来、画像情報を持つ信号である。したがって、ある列の画像情報と別の列の画像情報を同じ値にしたり、ある列の画像情報のみ別の値にして、それ以外の列の画像情報を同じ値にしたり、などということは容易に実現できる。すなわち、各々の列のビデオ信号の値は、自由に設定することができる。したがって、ある列のビデオ信号のみ別の値にすれば、その列のみ選択状態にすることができることになる。そして、次の電流源回路の設定動作を行う時には、また、全く別の列のビデオ信号のみ別の値にして、その列のみ選択状態にすることができる。このようにすれば、各列を順に選択するのではなく、任意の列を選択できることになる。

また、設定動作を行う時間の長さも、自由に長くとれるようになる。つまり、ビデオ信号を利用して、ある列の電流源回路を指定して設定動作を開始し、次に、いつ次の列の電流源回路の設定動作を行うかは、自由に設定できる。よって、例えば、設定動作を行うことができる期間が1つあった場合、その期間の全てを用いて、ある1列の電流源回路のみに設定動作を行ってもよいし、複数列の電流源回路に設定動作を行ってもよい。したがって、設定動作を行う時間の長さを長くすることができる。

このように、ランダムに電流源回路の設定動作を行うことができると、様々な利点が生じる。たとえば、設定動作を行うことができる期間が、1フレーム中に点在している場合には、任意の列を選択できると、自由度が上がり、設定動作の期間を長くとることができる。たとえ、設定動作を行うことができる期間が、1フレーム中に点在していても、任意の列を選択することができず、1列目から順に選択しなければならない場合は、1フレーム中に点在している、設定動作を行うことができる期間のうちの1つの期間を用いて、1列目から順に選択していかなければならなくなってしまう。そのため、1列あたりの設定動作の期間が短くなってしまう。

そのほかの利点としては、電流源回路420の中にある容量素子（例えば、図6（A）では容量素子103、図6（B）では容量素子123、図6（C）では容量素子107などに相当する）における電荷の漏れの影響を目立たなくさせることが

できるようになる。

なお電流源回路420には、容量素子が配置されている。ただし、容量素子をトランジスタのゲート容量などで代用してもよい。その容量素子には、電流源回路の設定動作により、所定の電荷が蓄積される。理想的には、電流源回路の設定動作は、

- 5 電源を入力した時に1回だけ行えばよい。つまり、信号線駆動回路を動作させるとき、その動作の最初の期間に、1回だけ行えばよい。なぜなら、容量素子に蓄積される電荷量は、動作状態や時間などによって変化させる必要がなく、また、変化しないからである。しかしながら、現実的には、容量素子には、様々なノイズが入ったり、容量素子と接続されているトランジスタのもれ電流が流れたりする。その結果、容量素子に蓄積される電荷量が、時間とともに変化してしまう場合がある。電荷量が変化すると、電流源回路から出力される電流が変化し、その結果、画素に入力される電流が変化してしまう。そうすると、画素の輝度も変化してしまう。そこで、容量素子に蓄積された電荷を変動させないようにするため、電流源回路の設定動作を、ある周期で定期的に行い、電荷をリフレッシュさせ、変化した電荷を再び
- 10 元に戻し、正しい量の電荷を保存しなおす必要が生じる。

- 仮に、容量素子に蓄積された電荷の変動量が大きい場合、電流源回路の設定動作を行って該電荷をリフレッシュさせ、変化した電荷を再び元に戻し、正しい量の電荷を保存しなおすようにすると、それに伴って電流源回路が出力する電流量の変動も大きくなる。そのため、1列目から順に設定動作を行うと、電流源回路が出力する電流量の変動が、目で確認できるほどの表示妨害が生ずる場合がある。つまり、1列目から順に生ずる画素の輝度の変化が目で確認できるほどの表示妨害が生ずる場合がある。この場合、1列目から順に設定動作を行うのではなく、ランダムに設定動作を行えば、電流源回路が出力する電流量の変動を目立たなくさせることができる。このように、複数の配線をランダムに選択することにより、様々な利点が生じる。
- 20 25

また図3(B)では、一列ずつ設定動作を行っているが、これに限定されない。

図44に示すように、同時に複数列で設定動作を行ってもよい。ここで、同時に複数列で設定動作を行うことを多相化するとよぶ。なお図44には、2個のリファレンス用定電流源109が配置されているが、この2個のリファレンス用定電流源に対しても別に配置したリファレンス用定電流源から設定動作を行ってもよい。

- 5 ここで、図3(B)に示した定電流回路414の詳しい構成を図45、図46に示す。図45は、電流源回路の部分に、図6(C)を適用した場合の回路を示す。図46は、電流源回路の部分に、図6(A)を適用した場合の回路を示す。

 なおビデオ信号は、電流源回路の指定だけでなく、本来の用途、つまり、画素の制御にも用いられるため、電流源回路420に直接入力されず、論理演算子を介して入力される。また論理演算子には、設定制御線からも信号が入力される。つまり、論理演算子では、ビデオ信号と設定制御線から入力された信号の合わせて2つの信号の論理演算を行って、出力端子から信号を出力する。そして、論理演算子から出力された信号により、電流源回路の設定動作が制御される。

- つまり、論理演算子は、ビデオ信号を画素の制御（画像の表示）と電流源回路の制御とを切り替える制御を行う。従って、論理演算子に限らず、画素の制御と電流源回路の制御を切り替えることができる回路であれば、どのような回路を用いてもよい。一例として、図45や図46に示すように、スイッチを設けて、該スイッチにより切り替えるようにしてもよい。

- これまでは、線順次駆動の場合について述べてきた。次いで、ここでは点順次駆動の場合について述べる。

 図47(A)において、ビデオ線から供給されるビデオ信号は、シフトレジスタ411から供給されるサンプリングパルスのタイミングに従ってサンプリングされる。また電流源回路420の設定動作は、ビデオ信号に従って行われる。このように、図47(A)の構成を有する場合には、点順次駆動を行う。

- 25 なお、サンプリングパルスが出力されて、ビデオ線からビデオ信号が供給されている間のみ、スイッチ101（信号電流制御スイッチ）がオン状態になり、且つサ

ンプリングパルスが出力されなくなり、ビデオ線からビデオ信号が供給されなくなると、スイッチ 1 0 1（信号電流制御スイッチ）がオフ状態になる場合には、正確に動作しない。なぜなら、画素では、電流を入力するためのスイッチはオン状態のままであるからである。この状態でスイッチ 1 0 1（信号電流制御スイッチ）をオフ状態にすると、画素に電流が入力されなくなるため、正確に信号を入力できなくなる。

そこで、ビデオ線から供給されたビデオ信号を保持し、スイッチ 1 0 1（信号電流制御スイッチ）の状態を維持できるようにするため、ラッチ回路 4 5 2 が配置されている。ラッチ回路 4 5 2 は、単なる容量素子とスイッチのみで構成されている。10 もよいし、SRAM 回路で構成されていてもよい。このように、サンプリングパルスが出力されて、ビデオ線からビデオ信号が 1 列ずつ順に供給されて、そのビデオ信号に基づき、スイッチ 1 0 1（信号電流制御スイッチ）がオン状態もしくはオフ状態になり、画素への電流の供給を制御することにより、点順次駆動を実現することができる。

15 なお、ラッチ回路 4 5 2 の出力（ビデオ信号）は画素の制御に用いられるが、電流源回路の設定動作のためにも用いられる。各々の利用を切り替えるため、ラッチ回路 4 5 2 の出力（ビデオ信号）は、電流源回路 4 2 0 に直接入力されず、論理演算子 2 6 2 を介して入力される。この論理演算子 2 6 2 により、ビデオ信号を画素の制御（画像の表示）のために用いる時と、電流源回路の制御のために用いる時と
20 を切り替えることが可能となる。

しかしながら、1 列目から最終列目まで順番に選択される場合、最初の方の列では、画素に信号を入力する期間が長い。一方、最後の方の列では、ビデオ信号を入力しても、すぐに、次の行の画素が選択されてしまう。その結果、画素に信号を入力する期間が短くなってしまう。そのような場合、図 4 7（B）に示すように、画
25 素部 4 0 2 に配置された走査線を中央で分断することにより、画素に信号を入力する期間を長くすることができる。その場合、画素部 4 0 2 の左側と右側に各 1 個の

走査線駆動回路を配置し、該走査線駆動回路を用いて画素を駆動する。このようにすると、同じ行に配置されている画素でも、右側の画素と左側の画素とでは、信号を入力する期間をずらすことができる。図47(C)には、1、2行目の右側と左側に配置された走査線駆動回路の出力波形と、シフトレジスタ411のスタートパルス(S-SP)を示す。このように動作させることにより、左側の画素でも、画素に信号を入力する期間を長くすることができ、点順次駆動がしやすくなる。

なお、線順次駆動か点順次駆動かなどに関係なく、電流源回路420の設定動作は、任意のタイミング、任意の列に配置された電流源回路に、任意の回数だけ行えばよい。但し、理想的には、電流源回路420に配置されたトランジスタのゲート・ソース間に接続された容量素子に所定の電荷が保持されている限りは、設定動作を行うときのみの1回だけ行えばよい。又は、容量素子に保持された所定の電荷が放電(変動)してしまった場合に行えばよい。また、電流源回路420の設定動作は、どれだけの期間をかけて、全列の電流源回路420の設定動作を行ってもよい。つまり、1フレーム期間内に、全列の電流源回路420の設定動作を行ってもよい。

あるいは、1フレーム期間内では、数列の電流源回路420にしか設定動作を行って、結果として、数フレーム期間以上かけて、全列の電流源回路420の設定動作を行ってもよい。

また各列に一つの電流源回路を配置する場合について上述したが、本発明はこれに限定されず、複数の電流源回路を配置してもよい。

一例として、図3(B)の電流源回路の部分に、図2を適用した場合について考える。その場合の定電流回路414の詳しい構成を図48に示す。ここで、図48は電流源回路の部分に、図6(A)を適用した場合の回路を示す。制御線を制御することにより、一方の電流源に対して設定動作を行い、同時に、もう一方の電流源が入力動作を行うことができる。

また、本発明の信号線駆動回路における電流源回路について、レイアウト図を図87に、対応した回路図を図88に示す。

なお本実施の形態は、実施の形態 1 ～ 3 と任意に組み合わせることが可能である。

(実施の形態 5)

本実施の形態では、図 15 (A) に示した信号線駆動回路 403 の詳細な構成とその動作について説明するが、本実施の形態では、3 ビットのデジタル階調表示を

5 行う場合に用いる信号線駆動回路 403 について説明する。

図 4 には、3 ビットのデジタル階調表示を行う場合における信号線駆動回路 403 の概略図を示す。信号線駆動回路 403 は、シフトレジスタ 411、第 1 のラッチ回路 412、第 2 のラッチ回路 413、定電流回路 414 を有する。

動作を簡単に説明すると、シフトレジスタ 411 は、フリップフロップ回路 (FF)
10 等を複数列用いて構成され、クロック信号 (S-CLK)、スタートパルス (S-SP)、クロック反転信号 (S-CLKb) が入力される。これらの信号のタイミングに従って、順次サンプリングパルスが出力される。

シフトレジスタ 411 より出力されたサンプリングパルスは、第 1 のラッチ回路 412 に入力される。第 1 のラッチ回路 412 には、3 ビットのデジタルビデオ信号 (Digital Data 1 ～ Digital Data 3) が入力されており、サンプリングパルスが
15 入力されるタイミングに従って、各列でビデオ信号を保持していく。

第 1 のラッチ回路 412 において、最終列までビデオ信号の保持が完了すると、水平帰線期間中に、第 2 のラッチ回路 413 にラッチパルスが入力され、第 1 のラッチ回路 412 に保持されていた 3 ビットのデジタルビデオ信号 (Digital Data 1
20 ～ Digital Data 3) は、一斉に第 2 のラッチ回路 413 に転送される。すると、第 2 のラッチ回路 413 に保持された 3 ビットのデジタルビデオ信号 (Digital Data 1 ～ Digital Data 3) は、1 行分が同時に定電流回路 414 へと入力される。

第 2 のラッチ回路 413 に保持された 3 ビットのデジタルビデオ信号 (Digital Data 1 ～ Digital Data 3) が定電流回路 414 に入力されている間、シフトレジスタ 411 においては再びサンプリングパルスが出力される。以後この動作を繰り返
25 し、1 フレーム分のビデオ信号の処理を行う。

定電流回路 4 1 4 は、デジタル信号をアナログ信号に変換する役割を持つ場合もある。そして定電流回路 4 1 4 には、電流源回路 4 2 0 が複数設けられる。図 5 には、 i 列目から $(i+2)$ 列目の 3 本の信号線にかかる信号線駆動回路の概略図を示す。

なお図 5 では、各ビットに対応したリファレンス用定電流源 1 0 9 が配置された
5 場合について示す。

各電流源回路 4 2 0 は、端子 a、端子 b 及び端子 c を有する。電流源回路 4 2 0 は、端子 a を介して入力される信号により制御される。また、端子 b を介して、電流線に接続されたリファレンス用定電流源 1 0 9 から電流が供給される。そして電流源回路 4 2 0 と信号線 S_n に接続された画素との間にはスイッチ（信号電流制御
10 スイッチ）1 1 1 ~ 1 1 3 が設けられ、前記スイッチ（信号電流制御スイッチ）1 1 1 ~ 1 1 3 は、1 ビット ~ 3 ビットのビデオ信号により制御される。そしてビデオ信号が明信号の場合、電流源回路から画素に電流が供給される。反対にビデオ信号が暗信号の場合、前記スイッチ（信号電流制御スイッチ）1 1 1 ~ 1 1 3 が制御されて、画素に電流は供給されない。つまり電流源回路 4 2 0 は、所定の電流を流
15 す能力を有し、該電流を画素に供給するか否かはスイッチ（信号電流制御スイッチ）1 1 1 ~ 1 1 3 により制御される。

なお図 5 において、電流線とリファレンス用定電流源は、各ビットに対応して配置されている。各ビットの電流源から供給される電流値の合計が、信号線に供給される。つまり、定電流源回路 4 1 4 は、デジタル・アナログ変換の機能も有する。

20 なお端子 a から入力される設定信号とは、第 2 のラッチ回路 4 1 3 から供給されるビデオ信号に相当する。但し、ビデオ信号は画素の制御にも用いられるため、電流源回路 4 2 0 に直接入力されず、論理演算子を介して入力される。つまり、端子 a から入力される設定信号とは、設定制御線に接続された論理演算子の出力端子から供給される信号に相当する。そして本発明では、設定制御線に接続された論理演
25 算子の出力端子から入力される信号に合わせて、電流源回路 4 2 0 の設定を行う。

前記論理演算子の 2 つの入力端子は、一方には第 2 のラッチ回路から供給される

信号（ビデオ信号に相当）、他方には設定制御線から信号が入力される。前記論理演算子では、入力された2つの信号の論理演算を行って、出力端子から信号を出力する。つまり電流源回路420では、設定制御線に接続された論理演算子の出力端子から供給される信号に合わせて、設定動作又は入力動作を行う。

- 5 本実施の形態では、3ビットのデジタル階調表示を行う場合例に挙げて説明する関係上、各列に3つの電流源回路420が設けられている。1本の信号線に接続された3つの電流源回路420から供給される信号電流を1:2:4として設定すると、 $2^3=8$ 段階で電流の大きさを制御出来る。

- 電流源回路420の構成は、図6、図7、図39、図40、図42などに示した
10 電流源回路420の構成を任意に用いることが出来る。電流源回路420には、1つの構成を採用するだけでなく、複数を採用してもよい。

- なお、図5に示した信号線駆動回路では、1ビット～3ビットのそれぞれに専用のリファレンス用定電流源109が配置されているが、本発明はこれに限定されない。図49に示すように、ビット数よりも少ない個数のリファレンス用定電流源1
15 09が配置されていてもよい。例えば、最上位ビット（ここでは3ビット）のリファレンス用定電流源109のみを配置して、1列に配置された複数の電流源回路から選択された1つの電流源回路を設定する。そして、設定動作が既に行われた電流源回路を用いて、他の電流源回路の動作を行うようにしてもよい。言い換えれば、設定動作が既に行われた電流源回路を用いて、設定情報を共有するようにしてもよ
20 い。

- 例えば3ビット用の電流源回路420のみに設定動作を行う。そして、既に設定動作が行われた電流源回路420を用いて、他の1ビット用と2ビット用の電流源回路420に、情報を共有させる。より具体的には、電流源回路420の中で、電流を供給するトランジスタ（図6（A）では、トランジスタ102が相当）のゲー
25 ト端子を接続し、ソース端子も接続する。その結果、情報を共有しているトランジスタ（電流を供給するトランジスタ）のゲート・ソース間電圧は、等しくなる。

なお、図 4 9 では、最下位ビット（ここでは 1 ビット）の電流源回路ではなく、最上位ビット（ここでは 3 ビット）の電流源回路に、設定動作を行っている。このように、値の大きなビットの電流源回路に対して設定動作を行うことにより、ビット間の電流源回路の特性ばらつきの影響を小さくすることができる。仮に、最下位

5 ビット（ここでは 1 ビット）の電流源回路に設定動作を行い、上位ビットの電流源回路に最下位ビットの電流源回路が行った設定動作の情報を共有した場合、各々の電流源回路の特性がばらつくと、上位ビットの電流値が正確な値にならなくなる。上位ビットの電流源回路は、出力する電流値が大きいため、少しでも特性がばらつくと、そのばらつきの影響が大きくなってしまい、出力する電流値も大きくばらついてしまうからである。反対に、最上位ビット（ここでは 3 ビット）の電流源回路に

10 設定動作を行い、下位ビットの電流源回路に情報を共有した場合、各々の電流源回路の特性がばらついても、出力する電流値が小さいため、ばらつきによる電流値の差が小さく、影響は小さくなる。

以下には、1 例として、図 4、図 5、図 4 9 に示した定電流回路 4 1 4 の詳しい

15 構成を図 2 3、図 2 4、図 5 0 に示す。図 2 3、図 2 4、図 5 0 の各列に設けられた電流源回路 4 2 0 において、信号線 S_i ($1 \leq i \leq n$) に所定の信号電流の出力をするか否かは、第 2 のラッチ回路 4 1 3 から入力されるデジタルビデオ信号が有する情報によって制御される。

なお図 6 (C) に示すようにカレントミラー回路を有する構成で電流源回路 4 2

20 0 を構成するときには、図 2 3、2 4 に示すように、各電流源回路 4 2 0 が有するトランジスタのゲート電極が共通に接続している構成にすることも出来る。

図 5 0 には、図 5 に図示した信号線駆動回路に、図 6 (A) の電流源回路を配置した場合の回路図を示す。図 5 0 では、設定動作時には、トランジスタ A~C はオフにして動作させる。これは電流のもれを防ぐためである。或いは、トランジスタ

25 A~C と直列にスイッチを配置し、設定動作時にはオフにするようにしてもよい。

また図 2 3、2 4 には、ビット数よりも少ない個数のリファレンス用定電流源 1

09を配置した場合を示す。図23には、図49に図示した信号線駆動回路に、図6(C)の電流源回路を配置した場合の回路図を示す。図24には、図49に図示した信号線駆動回路に、図6(A)の電流源回路を配置した場合の回路図を示す。

図23において、各列に設けられた電流源回路420は、信号線 S_i ($1 \leq i \leq n$)へ所定の信号電流 I_{data} を出力するか否かを第2のラッチ回路413から入力される3ビットのデジタルビデオ信号(Digital Data1~Digital Data3)が有するHigh又はLowの情報によって制御される。

電流源回路420は、トランジスタ180~トランジスタ188及び容量素子189を有する。本実施の形態では、トランジスタ180~トランジスタ188は全てnチャネル型とする。

トランジスタ180のゲート電極には、第2のラッチ回路413から1ビットのデジタルビデオ信号が入力される。またトランジスタ180のソース領域とドレイン領域は、一方はソース信号線(S_i)に接続され、他方はトランジスタ183のソース領域とドレイン領域の一方に接続されている。

トランジスタ181のゲート電極には、第2のラッチ回路413から2ビットのデジタルビデオ信号が入力される。またトランジスタ181のソース領域とドレイン領域は、一方はソース信号線(S_i)に接続され、他方はトランジスタ184のソース領域とドレイン領域の一方に接続されている。

トランジスタ182のゲート電極には、第2のラッチ回路413から3ビットのデジタルビデオ信号が入力される。またトランジスタ182のソース領域とドレイン領域は、一方はソース信号線(S_i)に接続され、他方はトランジスタ185のソース領域とドレイン領域の一方に接続されている。

トランジスタ183~トランジスタ185のソース領域とドレイン領域は、一方は V_{ss} に接続され、他方はトランジスタ180~トランジスタ182のソース領域とドレイン領域の一方に接続されている。トランジスタ186のソース領域とドレイン領域は、一方は V_{ss} に接続され、他方はトランジスタ188のソース領域とド

レイン領域の一方に接続されている。

トランジスタ 187 とトランジスタ 188 のゲート電極には、AND 193 の出力端子から信号が入力される。AND 193 の入力端子の一方には制御線に接続され、他方は第 2 のラッチ回路 413 に接続される。なお図 23 では、AND 193 の入力
5 端子の一方は制御線に接続され、他方は 1 ビット用 (1st Bit) のラッチ回路に接続されている。しかし本発明はこれに限定されず、AND 193 の入力端子の一方は 1 ビット用 (1st Bit) のラッチ回路、2 ビット用のラッチ回路 (2nd Bit)、及び 3 ビット用のラッチ回路 (3rd Bit) のいずれか一つに接続されていればよい。

トランジスタ 187 のソース領域とドレイン領域は、一方はトランジスタ 186
10 のソース領域とドレイン領域の一方に接続され、他方は容量素子 189 の一方の電極に接続されている。トランジスタ 188 のソース領域とドレイン領域は、一方は電流線 190 に接続され、他方はトランジスタ 186 のソース領域とドレイン領域の一方に接続されている。

容量素子 189 の一方の電極は、トランジスタ 183 ~ トランジスタ 186 のゲ
15 ート電極に接続され、他方の電極は V_{SS} に接続されている。容量素子 189 は、トランジスタ 183 ~ トランジスタ 186 のゲート・ソース間電圧を保持する役目を担う。

そして電流源回路 420 では、トランジスタ 187 及びトランジスタ 188 がオンになると電流線 190 に接続されたリファレンス用定電流源 (図示せず) から、
20 電流が容量素子 189 に流れていく。このときトランジスタ 180 ~ トランジスタ 182 はオフである。

そして徐々に容量素子 189 に電荷が蓄積され、両電極間に電位差が生じ始める。そして両電極間の電位差が V_{th} になると、トランジスタ 183 ~ トランジスタ 186 はオンになる。

25 容量素子 189 において、その両電極の電位差、つまりトランジスタ 183 ~ トランジスタ 186 のゲート・ソース間電圧が所望の電圧になるまで電荷の蓄積が続

けられる。言い換えると、トランジスタ183～トランジスタ186が信号電流を流すことが出来るだけの電圧になるまで、電荷の蓄積が続けられる。

そして電荷の蓄積が終了すると、トランジスタ183～トランジスタ186は完全にオンになる。

- 5 そして電流源回路420において、3ビットのデジタルビデオ信号により、トランジスタ180～トランジスタ182の導通又は非導通が選択される。例えば、トランジスタ180～トランジスタ182が全て導通状態になったときは、信号線(Si)に供給される電流は、トランジスタ183のドレイン電流と、トランジスタ184のドレイン電流と、トランジスタ185のドレイン電流の総和となる。また、トランジスタ180のみが導通状態になったときは、トランジスタ183のドレイン電流のみが信号線(Si)に供給される。

このように、トランジスタ183～185のゲート端子を接続することにより、設定動作による情報を共有させることができる。

- 15 なお、ここでは、同じ列に配置されたトランジスタ内で、設定動作による情報を共有しているが、これに限定されない。例えば、別の列のトランジスタとも、設定動作による情報を共有させてもよい。つまり、トランジスタのゲート端子を、別の列のトランジスタとも接続させてもよい。これにより、設定すべき電流源回路の数を減らすことができる。そのため、設定動作をするのに必要な時間を短縮することができる。また、回路数を減らすことができるので、レイアウト面積を小さくする
- 20 ことができる。

- また図24において、電流源回路の設定動作時には、トランジスタ182はオフにして動作させる。これは電流のもれを防ぐためである。また、図24の構成において、トランジスタ182と直列にスイッチ203を配置した場合の電流源回路の回路図を図51に示す。図51においては、スイッチ203を設定動作時にはオフにし、それ以外の時にはオンにする。
- 25

このとき図23、図24、図51では、トランジスタ183のドレイン電流と、

トランジスタ 184 のドレイン電流と、トランジスタ 185 のドレイン電流を 1 : 2 : 4 として設定すると、 $2^3 = 8$ 段階で電流の大きさを制御出来る。そのため、トランジスタ 183 ~ 185 の W (チャネル幅) / L (チャネル長) 値を、1 : 2 : 4 として設計すると、それぞれのオン電流が 1 : 2 : 4 となる。

- 5 なお、上述したように、ビデオ信号は画素の制御と電流源回路の制御の 2 つの用途に用いられるため、電流源回路 420 に直接入力されず、論理演算子を介して入力される。図 23 において、前記論理演算子とは AND 193 に相当する。

- AND 193 の入力端子の一方には設定制御線、他方は第 2 のラッチ回路 413 に接続される。なお図 23 では、AND 193 の入力端子の一方は設定制御線、他方は
- 10 1 ビット用のラッチ回路に接続されている。しかし本発明はこれに限定されず、AND 193 の入力端子の一方は 1 ビット用 ~ 3 ビット用のラッチ回路のいずれか一つに接続されていけばよい。

- また図 24 には、図 23 とは異なる回路構成の電流源回路 420 を示す。図 24 に示す電流源回路 420 では、トランジスタ 186 ~ トランジスタ 188 の代わり
- 15 にスイッチ 191、スイッチ 192 が配置された構成になっている。

- そしてスイッチ 191、スイッチ 192 には AND 193 の出力端子から信号が入力される。AND 193 の入力端子の一方には制御線に接続され、他方は第 2 のラッチ回路 413 に接続される。なお図 23 では、AND 193 の入力端子の一方は制御線に接続され、他方はインバータ 194 を介して 3 ビット用 (3rd Bit) のラッチ
- 20 回路に接続されている。しかし本発明はこれに限定されず、AND 193 の入力端子の一方は 1 ビット用 (1st Bit) のラッチ回路、2 ビット用のラッチ回路 (2nd Bit)、及び 3 ビット用のラッチ回路 (3rd Bit) のいずれか一つに接続されていけばよい。

- なお図 24 ではスイッチ 191 の一方の端子はトランジスタ 185 のドレイン領域に接続されているが、本発明はこれに限定されず、スイッチ 191 の一方の端子はトランジスタ 183 ~ トランジスタ 185 のいずれか一つのドレイン領域に
- 25 接続させればよい。但しこの場合には図 24 に示すように、スイッチ 191 の一方

の端子が接続されているトランジスタ 185 を制御するビデオ信号を保持するラッチ回路（図 24 では 3 ビット用のラッチ回路（3rd Bit））に AND 193 の入力端子に接続するときには、インバータ 194 を介してラッチ回路に接続させる必要が生ずる。

5 そして図 24 に示す電流源回路 420 では、スイッチ 191 及びスイッチ 192 がオンになると、電流線 190 に接続されたリファレンス用定電流源（図示せず）から、電流がトランジスタ 185 を介して容量素子 189 に流れていく点以外は、図 23 に示す電流源回路 420 の動作と同じあるので、本実施の形態では説明は省略する。

10 なお本実施の形態では、図 23、24 に示す電流源回路 420 が有するトランジスタは全て n チャネル型としたが、本発明はこれに限定されない。p チャネル型のトランジスタを用いることもできる。p チャネル型のトランジスタを用いた場合における電流源回路 420 の動作は、電流の流れる方向が変わる点と、容量素子が V_{ss} ではなく V_{dd} に接続される点以外は上述した動作に準ずるので、説明は省略する。

15 る。

また、p チャネル型のトランジスタを用いる場合、 V_{SS} と V_{dd} を入れ替えない場合、つまり電流の流れる方向が変わらない場合は、図 6 と図 7 の対比を用いれば、容易に適用できる。

なお本実施の形態では、3 ビットのデジタル階調表示を行う場合における信号線
20 駆動回路の構成とその動作について説明した。しかし本発明は 3 ビットに限らず、本実施の形態を参考にして任意のビット数に対応した信号線駆動回路を設計し、任意のビット数の表示を行うことが出来る。また本実施の形態は、実施の形態 1～4 と任意に組み合わせることが可能である。

また任意のビット数の表示を行う際、本形態を参考にして、多相化を図ることや
25 点順次駆動を行うことは容易に実現することが出来る。

また図 5 では、1 本の信号線につき各ビットの電流源回路を一つずつ配置したが、

図2に示すように、1本の信号線につき複数の電流源回路を配置してもよい。このときの図を図52に示す。同様に、図49に示す構成では各ビットの定電流源109を1つずつ配置したが、図53に示すように複数ビットで定電流源109を共有してもよい。

5 (実施の形態6)

本発明においては図1、2に示す端子aから入力される設定信号とは、設定制御線(図示せず)に接続された論理演算子の出力端子から入力される信号を示すことは上述した。なお図2においては、制御線が示してあるが、設定制御線とは異なる配線である。設定信号には該設定制御線に接続された論理演算子の出力端子から入力される信号を用いる。

そして前記論理演算子の2つの入力端子には、一方には第2のラッチ回路413から出力される信号(ビデオ信号に相当)が入力され、他方には設定制御線から信号が入力される。前記論理演算子では、入力された2つの信号の論理演算を行って、出力端子から信号を出力する。そして電流源回路では、前記論理演算子の出力端子から入力される信号によって、設定動作又は入力動作を行う。

そして本実施の形態では、電流源回路が設定動作を行うタイミングについて図25～図31を用いて説明する。

本実施の形態では、図25(B)に示すように1フレーム期間を分割しない駆動方式(フルフレーム方式と表記)と、図26(A)に示すように1フレーム期間を複数のサブフレームに分割する駆動方式(サブフレーム方式と表記)に大別して説明する。

そして以下には、まずフルフレーム方式について図25を用いて説明し、次いでサブフレーム方式について説明する。

通常、液晶表示装置や発光装置等の表示装置においては、フレーム周波数は60[Hz]程度である。つまり図25(A)に示すように、1秒間に60回程度の画面の描画が行われる。これにより、人間の眼にフリッカ(画面のちらつき)を感じさせ

ないようにすることが出来る。このとき、画面の描画を1回行う期間を1フレーム期間と呼ぶ。

フルフレーム方式の場合、図25(B)のように、1フレーム期間において走査線
5 が1行目から最終行目まで選択した後に、 T_c で示す期間を設ける。なお走査線
が1行目から最終行目まで選択される期間とは、画素に信号が入力される期間に相当する。そして、図25(C)～図25(E)には、期間 T_c でのビデオ信号の波形を示す。前記ビデオ信号の波形は、フレームごとに異なる。一例として3つのフレームにおけるビデオ信号の波形を示す。そして設定期間 T_c の長さは特に限定されないが、1ゲート選択期間(1水平走査期間)と同じ長さに設定することが好ましい。
10

図25(C)には、一例として1フレーム目の期間 T_{c1} におけるビデオ信号の波形を示す。このとき、第2のラッチ回路413から*i*列目に設けられた電流源回路への出力がHighとなるように、ビデオ信号の波形を制御する。図25(D)には、2フレーム目の期間 T_{c2} におけるビデオ信号の波形を示す。このとき、第2
15 のラッチ回路413から*j*列目に設けられた電流源回路への出力がHighとなるように、ビデオ信号の波形を制御する。図25(E)には、3フレーム目の期間 T_{c3} におけるビデオ信号の波形を示す。このとき、第2のラッチ回路413から*k*列目に設けられた電流源回路への出力がHighとなるように、ビデオ信号の波形を制御する。

20 なお設定期間 T_c とは、信号線駆動回路が有する複数の電流源回路のうち、設定動作を行う電流源回路を指定する期間に相当する。つまり設定期間 T_c では、設定動作を行う電流源回路の列のビデオ信号がHighとなるように、ビデオ信号の波形が制御される。そして図25(C)～(E)に示すように、フレーム期間毎に、設定期間 T_c において設定動作を行う電流源を指定する。

25 なお1フレーム期間には、設定期間 T_c を1つ設けるだけではなく、複数設けてもよい。また、設定期間 T_c はフレーム期間とフレーム期間の境目に設けなくても

よく、1フレーム期間のどこに設けてもよい。また図25(C)～図25(E)では、1列目から最終列目のうち、いずれか1列のビデオ信号の波形をHighにするように制御せずに、1列目から最終列目の内、複数列における電流源回路のビデオ信号の波形をHighとなるように制御してもよい。

- 5 そして、信号線駆動回路の電流源回路の設定動作と入力動作とを同時にできる場合は、設定期間 T_c において、設定動作を行う電流源回路を指定し、それ以外の期間において、設定動作を行う。そして同時に、入力動作も行う。

- 一方、電流源回路の設定動作と入力動作とを同時にできない場合は、設定期間 T_c において、設定動作を行う電流源回路を指定し、かつ、設定期間 T_c において、
- 10 設定動作も行う。従って、この場合は、設定期間 T_c は、電流源回路の設定動作が十分行えるだけの期間である必要がある。ただし、1フレーム期間の中で、すべての電流源回路の設定動作を行う必要はなく、数フレーム期間を用いて、すべての電流源回路の設定動作を行えばよい。

- なお、電流源回路の設定動作と入力動作とを同時にできる場合にも、設定期間 T_c において、設定動作を行う電流源回路を指定し、かつ、設定期間 T_c において、
- 15 設定動作を行うようにしてもよい。

- 次いでサブフレーム方式について図26を用いて説明する。サブフレーム方式では、図26(A)に示すように1フレーム期間を長さの異なる複数のサブフレーム期間に分割する。このときの分割数は、階調ビット数に等しい場合が多い。図26
- 20 では、一例として3つのサブフレーム期間 $SF1 \sim SF3$ に分割した場合を示す。

各サブフレーム期間は、アドレス期間 (T_a) と、サステイン期間 (T_s) とを有する。アドレス期間は画素に信号を書き込む期間であり、各サブフレーム期間における長さは等しい。サステイン期間 (T_s) は、アドレス期間 (T_a) において書き込まれた信号に基づいて発光素子が発光を行う期間である。

- 25 サブフレーム方式において、期間 T_c を設けるとときには、図26(B)に示すように、あるサブフレーム期間 SF におけるアドレス期間 T_a が終了した後に1回だ

け配置してもよいし、図 2 6 (C) に示すように、1 フレーム期間中に複数回配置してもよい。勿論全てのサブフレーム期間におけるアドレス期間が終了した後に、期間 T_c を配置してもよいし、アドレス期間中に配置してもよいし、又は任意のフレーム期間毎に、期間 T_c を設けるようにしてもよい。

- 5 サブフレーム方式において、期間 T_c を設けるときには、図 2 6 (B) に示すようにあるサブフレーム期間のアドレス期間が終了した後に 1 回だけ配置してもよいし、図 2 6 (C) に示すように 1 フレーム期間中に複数回配置してもよい。勿論全てのサブフレーム期間のアドレス期間が終了した後に、期間 T_c を配置してもよいし、アドレス期間中に配置してもよい。また、任意のフレーム期間毎に、期間 T_c を設けるようにしてもよい。
- 10 c を設けるようにしてもよい。

- なお図 1、2 において、端子 a から入力される設定信号とは、設定制御線に接続された論理演算子の出力端子から入力される信号を示すことは上述した。そして前記論理演算子の 2 つの入力端子には、一方には第 2 のラッチ回路から出力される信号（ビデオ信号に相当）が入力され、他方には設定制御線から信号が入力されることとは上述した。そこで、図 1、2 には設定制御線は図示していないが、設定信号を出力する論理演算子の入力端子が接続している設定制御線から出力される信号の波形を図 2 6 (B)、(C) に示す。
- 15 とは上述した。そこで、図 1、2 には設定制御線は図示していないが、設定信号を

- 図 2 6 (B) (C) には、設定制御線の波形を示す。図 2 6 (B) (C) に示す設定制御線の波形では、設定期間 T_c が終了してから次のアドレス期間が開始するまでの期間（設定期間 T_b と表記）において High になるように設定している。図 2 6 (B) では設定期間 T_c が終了してからアドレス期間 T_{a2} が開始するまでの期間（設定期間 T_{b1} ）において設定制御線の波形が High になるように設定し、図 2 6 (C) では設定期間 T_c が終了してからアドレス期間 T_{a1} が開始するまでの期間（設定期間 T_{b1} ）と、期間 T_c が終了してからアドレス期間 T_{a2} が開始するまでの期間（設定期間 T_{b2} ）において設定制御線の波形が High となるように設定する。
- 20 での期間（設定期間 T_b と表記）において High になるように設定している。図 2
- 6 (B) では設定期間 T_c が終了してからアドレス期間 T_{a2} が開始するまでの期
- 間（設定期間 T_{b1} ）において設定制御線の波形が High になるように設定し、図
- 2 6 (C) では設定期間 T_c が終了してからアドレス期間 T_{a1} が開始するまでの
- 期間（設定期間 T_{b1} ）と、期間 T_c が終了してからアドレス期間 T_{a2} が開始す
- 25 るまでの期間（設定期間 T_{b2} ）において設定制御線の波形が High となるように
- 設定する。

このようにすると、設定期間 T_b1 や設定期間 T_b2 において、電流源回路が入力動作（画素への電流の出力）を行っていない場合、信号線駆動回路に配置された電流源回路に設定動作を行うことができる。仮に、入力動作を行う期間が出現した場合、一時的に設定制御線を Low にし、その間だけ設定動作を行わないようにして

5 もよい。ただし、信号線駆動回路に配置された電流源回路の設定動作と入力動作とを同時に行うことができる場合、電流源回路が入力動作（画素への電流の出力）を行っていても、電流源回路に設定動作を行うことができる。

なお上述したように、設定期間 T_c においては、信号線駆動回路が有する電流源回路のうち、設定動作を行う電流源回路が指定される。仮に、 i 列目に設けられた

10 電流源回路 420 が指定されたとすると、期間 T_c が終了してから次のアドレス期間が開始されるまでの期間（ T_b ）における設定制御線の波形を High とすることによって、設定動作を行うことが出来る。

続いて、上記とは異なり、電流源回路 420 に加えて記憶回路 451 を有する構成の信号線駆動回路における電流源回路の設定動作のタイミングについて、図 27

15 ～31 を用いて説明する。

図 27 には、各列に 1 つの電流源回路 420 を配置する場合を示す。また図 28 には、各列に 2 つの電流源回路 420 を配置する場合を示す。図 27 に示す構成では、設定動作と入力動作を同時に行う期間がある場合、設定動作と入力動作を同時に行うことが出来る電流源回路 420 を用いることが必要となる。一方、図 28 に

20 示す構成では、各列に 2 つの電流源回路 420 が配置され、一方は設定動作、他方は入力動作を行うことが出来る。そのため、図 28 に用いる電流源回路 420 の構成は特に限定されない。なお図 27、28 に示す記憶回路 451 には、データを保持する手段を有する回路であれば公知のものを用いることが出来る。

そして図 27、28 において記憶制御線の信号の波形について図 29 を示して説明する。まずフルフレーム方式の記憶制御線の信号の波形について図 29 (A) を

25 用いて説明し、次いでサブフレーム方式の記憶制御線の信号の波形について図 29

(B)、(C) を用いて説明する。

フルフレーム方式及びサブフレーム方式の両方式は、図 29 (A) ~ (C) に示すように、記憶制御線の波形を設定期間 T_c において High となるように設定している。このようにすると、電流源回路 420 では、設定期間 T_c が終了してから、

5 次の設定期間 T_c が開始されるまでの期間に設定動作を行うことが出来る。

なお、記憶制御線の波形が High になると、スイッチ 450 がオンになり、記憶回路 451 にデータ (ビデオ信号) が入力される。そして、記憶制御線の波形が Low となると、スイッチ 450 がオフになり、記憶回路 451 にデータ (ビデオ信号) が保持され続ける。

10 したがって、電流源回路が設定動作を行っている間に、ビデオ信号が変化することがあっても、記憶回路 451 により、指定した電流源回路が記憶されているため、該ビデオ信号の変化の影響を受けない。なおビデオ信号が変化する期間としては、アドレス期間などが相当する。また、信号線駆動回路の電流源回路の設定動作と入力動作とを同時に行うことができる場合は、電流源回路が入力動作 (画素への電流

15 の出力) を行っている間、電流源回路に設定動作を行うことができる。電流源回路が入力動作 (画素への電流の出力) を行う期間としては、アドレス期間などがその一例に相当する。

なお 1 フレーム期間には、設定期間 T_c を 1 つ設けるだけでなく、複数設けてもよい。また、設定期間 T_c は、1 フレーム期間のどこに設けてもよい。また、1

20 列目から最終列目のうち、いずれか 1 列のビデオ信号の波形を High にするように制御せずに、1 列目から最終列目の内、複数列における電流源回路のビデオ信号の波形を High となるように制御してもよい。

続いて、上記とは異なる例として、各列に 1 つの電流源回路 420 を配置する場合について図 30 を用いて説明する。図 30 に示す構成では、各列に 1 つの電流源

25 回路が配置される。この電流源回路は、設定動作と入力動作を同時に行うことが出来ない場合がある。そのため、設定動作は入力動作を行っていない期間に行い、入

力動作は設定動作を行っていない期間に行う必要がある場合がある。

図 3 0 に示す構成では、論理演算子 4 5 2 を配置し、記憶回路 4 5 1 の出力は論理演算子 4 5 2 (図 3 0 では AND) の一方の入力端子に入力され、他方の入力端子には第 2 記憶制御線から出力される信号が入力される。前記論理演算子の出力端子から出力される信号は、電流源回路 4 2 0 に対する設定信号に相当する。

なお、図 3 0 においても、図 4 5 や図 4 6 のように、論理演算子の部分をスイッチで置き換えてもよい。

このように論理演算子 4 5 2 を配置することにより、記憶回路 4 5 1 が有するデータに関わらず、電流源回路 4 2 0 の端子 a に入力される信号は、第 2 記憶制御線により制御される。従って、電流源回路 4 2 0 では、設定動作又は入力動作が行われるように設定される。

そして、第 1 記憶制御線の信号の波形と、第 2 記憶制御線の信号の波形とを図 3 1 (A) ~ 図 3 1 (C) に示す。まずフルフレーム方式における第 1 及び第 2 記憶制御線の波形について図 3 1 (A) を用いて説明し、次いでサブフレーム方式における第 1 及び第 2 記憶制御線の波形について図 3 1 (B) (C) を用いて説明する。フルフレーム方式及びサブフレーム方式の両方式では、図 3 1 (A) ~ (C) に示すように、第 1 記憶制御線の波形は、設定期間 T_c において High となるように設定される。また第 2 記憶制御線の波形は、アドレス期間において Low となるように設定される。

アドレス期間とは、電流源回路 4 2 0 が画素に所定の電流を供給する期間に相当する場合が多いため、第 2 記憶制御線の波形は、アドレス期間において Low となるように設定される。そうすると、電流源回路 4 2 0 では、設定動作又は入力動作が行われるように設定される。

つまり、第 2 記憶制御線を制御することによって、信号線駆動回路に配置された電流源回路の設定動作を停止することができる。信号線駆動回路の電流源回路の設定動作を停止する必要があるのは、電流源回路の設定動作と入力動作とを同時に行

うことができない場合において、電流源回路の入力動作を行わなければならない場合である。アドレス期間において、電流源回路の入力動作（画素への電流の出力）を行う場合が多く、そのときには、図 3 1（B）、図 3 1（C）のように、アドレス期間中に第 2 記憶制御線の波形を Low にしておくといよい。仮に、アドレス期間以外
5 外の期間に、電流源回路の入力動作（画素への電流の出力）を行う場合には、その期間においては、第 2 記憶制御線の波形を Low にしておけばよい。

また本実施の形態は、実施の形態 1～実施の形態 5 を任意に組み合わせることが可能である。

（実施の形態 7）

- 10 電流源回路に電流を供給するリファレンス用定電流源 1 0 9 は、基板上に信号線駆動回路と一体形成してもよいし、IC 等を用いて基板の外部に配置してもよい。基板上に一体形成する場合には、図 6～図 8、図 3 9、図 4 0、図 4 2 などに示した電流源回路のいずれを用いて形成してもよい。或いは、単に 1 個のトランジスタを配置して、ゲートに加える電圧に応じて、電流値を制御するようにしてもよい。
- 15 本実施の形態では、リファレンス用定電流源 1 0 9 の構成とその動作について説明する。

図 3 2 には、一例として、最も簡単な場合、つまり、ゲートに電圧を加える方式について示す。ここでは、3 本の電流線が必要な場合を示す。仮に、1 本の電流線だけでよい場合は、単純に、トランジスタ 1 8 4 0、1 8 5 0 と対応する電流線と
20 を図 3 2 に示す構成から削除すればよい。図 3 2 では、端子 f を介して、外部から、トランジスタ 1 8 3 0、1 8 4 0、1 8 5 0 に印加するゲート電圧を調節することにより、電流の大きさを制御している。なお、このとき、トランジスタ 1 8 3 0、1 8 4 0、1 8 5 0 の W/L 値を 1：2：4 として設計すると、それぞれのオン電流は 1：2：4 となる。

- 25 次に図 3 3（A）において、端子 f から電流を供給する場合について述べる。図 3 2 のように、ゲートに電圧を加えて調整する場合には、温度特性などにより、そ

のトランジスタの電流値が変動してしまうことがある。しかしながら、図 3 3 (A) のように電流で入力すると、その影響を抑制することができる。

なお、図 3 2、図 3 3 (A) に示す構成の場合、電流線に電流を流している間は、端子 f から電圧や電流を入力し続ける必要がある。しかし、電流線に電流を流す必要が無い場合は、端子 f から電圧や電流を入力している必要はない。

また図 3 3 (B) に示すように、図 3 3 (A) の構成にスイッチ 1 8 7 0、1 8 8 0 と容量素子 1 8 9 0 を追加してもよい。そうすると、電流線に電流を供給しているときでも、リファレンス用 IC からの供給（端子 f から入力する電流や電圧の供給）を停止することが可能となり、消費電力が小さくなる。

10 また図 3 2、図 3 3 に示した構成では、リファレンス用の電流源回路に配置された他の電流源用トランジスタと情報を共有していた。つまり、トランジスタ 1 8 3 0、1 8 4 0、1 8 5 0 のゲート端子は、互いに接続されていた。

そこで、図 3 4 には、各々の電流源回路に設定動作を行う場合について示す。図 3 4 では、端子 f から電流を入力し、端子 e でタイミングを制御する。なお電流源回路には、図 6、図 7、図 3 9、図 4 0、図 4 2 などに示す構成を適用することができる。

15 なお図 3 4 に示した回路は、図 6 (A) の回路を適用した例である。よって、設定動作と入力動作とを同時に行えない。したがって、この回路の場合、リファレンス用の電流源回路に対する設定動作は、電流線に電流を流す必要がないタイミングで行う必要がある。

図 3 5 には、多相化させた場合についての例を示す。つまり、図 4 4 に示した構成を適用したリファレンス用電流源 1 0 9 に相当する。多相化の場合、図 3 2、図 3 3、図 3 4 の回路を適用してもよい。しかしながら、電流線に供給される電流値は同じなので、図 3 5 のように、1 つの電流を用いて、各々の電流源回路に対して
25 設定動作を行えば、外部から入力する電流数が削減することができる。

なお本実施の形態は、実施の形態 1 ～実施の形態 6 と任意に組み合わせることが

可能である。

(実施の形態 8)

本発明の実施の形態について、図 5 4 を用いて説明する。図 5 4 (A) において、画素部の上方に信号線駆動回路、下方に定電流回路を配置し、前記信号線駆動回路

5 に電流源 A、定電流回路に電流源 B を配置する。電流源 A、B から供給される電流を I_A 、 I_B とし、画素に供給される信号電流を I_{data} とすると、 $I_A = I_B + I_{data}$ が成立する。そして、画素に信号電流を書き込む際には、電流源 A、B の両者から電流を供給するように設定する。このとき、 I_A 、 I_B を大きくすると、画素に対する信号電流の書き込み速度を早くすることができる。

10 このとき、電流源 A を用いて、電流源 B の設定動作を行う。画素には、電流源 A からの電流から電流源 B の電流を差し引いた電流が流れる。したがって、電流源 A を用いて、電流源 B の設定動作を行うことにより、さまざまなノイズなどの影響をより小さくできる。

図 5 4 (B) において、リファレンス用定電流源（以下定電流源と表記）C、E
15 は、画素部の上方と下方に配置される。そして、電流源 C、E を用いて、信号線駆動回路、定電流回路に配置された電流源回路の設定動作を行う。電流源 D は、電流源 C、E を設定する電流源に相当し、外部からリファレンス用電流が供給される。

なお、図 5 4 (B) において、下方に配置してある定電流回路を信号線駆動回路としてもよい。それにより、上方と下方の両方に信号線駆動回路が配置できる。そして、各々、画面（画素部全体）の上下半分ずつの制御を担当する。このようにすることで、同時に 2 行分の画素を制御できる。そのため、信号線駆動回路の電流源、画素、画素の電流源などへの設定動作（信号入力動作）のための時間を長くとることが可能となる。そのため、より正確に設定できるようになる。

本実施の形態は、実施の形態 1 ～ 7 と任意に組み合わせることが可能である。

25 (実施の形態 9)

これまでの実施の形態では、主に、信号電流制御スイッチが存在する場合につい

て述べてきた。本実施の形態では、信号電流制御スイッチが無い場合、つまり、信号線とは異なる別の配線に、ビデオ信号には比例しない電流（一定の電流）を供給する場合について述べる。この場合にはスイッチ 101（信号電流制御スイッチ）を配置する必要はない。

- 5 なお、信号電流制御スイッチが存在しない場合、信号電流制御スイッチが無いことを除けば、信号電流制御スイッチが存在する場合と同様である。よって、簡単に説明し、同様な部分については、省略する。

- 信号電流制御スイッチを配置する場合と対比させると、図 1 については図 36、図 2 については図 37 に示す。図 3（B）については、図 55（A）に示す。これ
10 までの実施の形態では、ビデオ信号により信号電流制御スイッチを制御して、電流を信号線に出力していた。本実施の形態では、電流は画素用電流線に出力される。信号線にはビデオ信号が出力される。

- この場合の画素構成について、概略図を図 55（B）に示す。次に、画素の動作方法について簡単に述べる。まず、スイッチング用トランジスタがオンの時、信号
15 線を通して、ビデオ信号が画素に入力され、容量素子に保存される。そして、ビデオ信号の値により、駆動用トランジスタがオン又はオフする。一方、電流源回路は、一定の電流を流す能力を有している。よって、駆動用トランジスタがオンの場合は、発光素子に一定の電流がながれて、発光する。駆動用トランジスタがオフの場合は、発光素子に電流が流れず、発光しない。このようにして、画像を表示する。ただし、
20 この場合、発光と非発光の 2 つの状態しか表現できない。よって、時間階調法や面積階調法などを用いて、多階調化をはかっている。

- なお、電流源回路の部分は、図 6、図 7、図 39、図 40、図 42 などの回路を適用する。そして、電流源回路が一定の電流を流せるようにするためには、設定動作を行えばよい。画素の電流源回路に設定動作を行う場合は、画素用電流線を通して電流を入力して、実行する。画素の電流源回路に対する設定動作は、任意の時に、
25 任意のタイミングで、任意の回数だけ行えばよい。画素の電流源回路に対する設定

動作は、画像を表示するための動作とは、全く無関係に実行することができる。なお好ましくは、電流源回路の中にある容量素子に保存されている電荷が漏れてきたときに、設定動作を行えばよい。

次に、図 5 5 (A) に示した定電流回路 4 1 4 の詳しい構成を図 5 6、図 5 7 に示す。ここで、図 5 6 は、電流源回路の部分に、図 6 (A) を適用した場合の回路を示す。図 5 7 は、電流源回路の部分に、図 6 (E) を適用した場合の回路を示す。

また、図 5 5 (A) の電流源回路の部分に、図 3 7 を適用した場合について考える。その場合の定電流回路 4 1 4 の詳しい構成を図 5 8 に示す。ここで、図 5 8 には、電流源回路の部分に、図 6 (A) を適用した場合の回路を示す。制御線を制御することにより、一方の電流源に対して設定動作を行い、同時に、もう一方の電流源が入力動作を行うことができる。

また、電流源回路 4 2 0 に加えて記憶回路 4 5 1 を有する構成について、信号電流制御スイッチを配置する場合と、配置しない場合とを対比させると、図 2 7 については図 5 9、図 2 8 については図 6 0、図 3 0 については図 6 1 に示す。

15 なお、信号電流制御スイッチが存在しない場合、信号電流制御スイッチが無いことを除けば、信号電流制御スイッチが存在する場合と同様である。よって、詳しい説明は省略する。

本実施の形態は、実施の形態 1 ~ 8 と任意に組み合わせることが可能である。

(実施の形態 1 0)

20 本実施の形態では、記憶回路 4 5 1 が配置されている場合の信号線駆動回路 4 0 3 の詳細な構成について説明する。

まず、信号電流制御スイッチが存在する場合、つまり、信号線にビデオ信号に比例した電流を供給する場合について述べる。

図 2 7 に示した構成のより詳しい構成を図 6 2、図 6 3 に示す。図 6 2 に示した回路は、図 6 (E) の回路を適用した例である。図 6 3 に示した回路は、図 6 (A) の回路を適用した例である。

図 6 2 では、電流源回路の設定動作を行っている間に、入力動作（画素への電流の出力）を同時に行うことができる。したがって、入力動作を行うアドレス期間において、設定動作を行うことができる。なお、指定した設定動作を行う電流源回路の情報は、記憶回路 4 5 1 に保存されているため、ビデオ信号の変化の影響はうけない。

続いて、図 2 8 の詳しい構成を、図 6 4 に示す。図 6 4 に示した回路は、図 6 (A) の回路を適用した例である。

図 6 4 では、制御線を介して供給される信号により、電流源回路の動作を切り替えることができる。そのため、設定動作と入力動作（画素への電流の出力）を同時に行うことができる。したがって、入力動作を行うアドレス期間において、入力動作を行っていない方の電流源回路に設定動作を行うことができる。そして、指定された設定動作を行う電流源回路の情報は、記憶回路 4 5 1 に保存されているため、ビデオ信号の変化の影響はうけない。

続いて、図 3 0 の詳しい構成を、図 6 5 に示す。図 6 5 に示した回路は、図 6 (A) の回路を適用した例である。図 6 5 では、論理演算子 4 5 2 から供給される信号により、電流源回路の設定動作と入力動作（画素への電流の出力）とを、自由に切り替えることができる。

次に、3 ビットのデジタル階調表示を行う場合について説明する。

図 2 7 に示した構成のより詳しい構成を図 6 6 に示す。図 6 6 に示した回路は、図 6 (C) の回路を適用した例である。図 6 6 では、電流源回路の設定動作を行っている間でも、同時に入力動作（画素への電流の出力）を行うことができる。したがって、入力動作を行うことになるアドレス期間において、設定動作を行うことができる。そして、指定された設定動作を行う電流源回路の情報は、記憶回路 4 5 1 に保存されているため、ビデオ信号の変化の影響はうけない。

図 2 8 に示した構成のより詳しい構成を図 6 7 に示す。図 6 7 に示した回路は、図 6 (A) の回路を適用した例である。図 6 7 では、電流源回路の設定動作を行っ

ている間でも、制御線を介して供給される信号により、電流源回路の動作を切り替えることができる。そのため、設定動作と入力動作（画素への電流の出力）を同時に行うことができる。したがって、入力動作を行うことになるアドレス期間において、入力動作を行っていない方の電流源回路に設定動作を行うことができる。そして、設定動作を行う電流源回路の指定は、記憶回路 4 5 1 に保存されているため、ビデオ信号の変化の影響はうけない。

なお、図 6 7 では、リファレンス用定電流源の個数が表示ビット数よりも少ない場合について示している。つまり、トランジスタのゲートを接続し、その設定した情報を共有した場合について示している。なお、表示ビット数と同じ個数だけリファレンス電流源を配置し、各ビットの電流源回路ごとに設定動作を行うようにしてもよい。

図 3 0 の構成のより詳しい構成を図 6 8 に示す。図 6 8 に示した回路は、図 6 (A) の回路を適用した例である。図 6 8 では、論理演算子 4 5 2 から供給される信号により、電流源回路の設定動作と入力動作（画素への電流の出力）を、自由に切り替えることができる。なお、図 6 8 では、リファレンス用定電流源の個数が表示ビット数と等しい場合について示している。つまり、各ビットの電流源回路ごとに設定動作を行っている。なお、リファレンス用定電流源の個数を表示ビット数よりも少なくし、既に設定された電流源回路の情報を共有してもよい。すなわち、互いに情報を共有する電流源回路に配置されたトランジスタのゲートを接続してもよい。

ここまでは、信号電流制御スイッチが配置されている場合について述べてきた。次に、信号電流制御スイッチが無い場合、つまり、信号線とは異なる別の配線に、ビデオ信号には比例しない電流（一定の電流）を供給する場合について述べる。この場合にはスイッチ 1 0 1（信号電流制御スイッチ）は配置しない。

図 5 9 の構成のより詳しい構成を図 6 9、図 7 0 に示す。図 6 9 に示した回路は、図 6 (E) の回路を適用した例である。図 7 0 に示した回路は、図 6 (A) の回路

を適用した例である。

図 6 9 の構成では、電流源回路の設定動作を行っている間でも、同時に入力動作（画素への電流の出力）を行うことができる。したがって、入力動作を行うことになる期間、すなわち、画素に配置された電流源回路の設定動作中であっても、信号
5 線駆動回路に配置された電流源回路では設定動作を行うことができる。そして、指定された設定動作を行う電流源回路の情報は、記憶回路 4 5 1 に保存されているため、ビデオ信号の変化の影響はうけない。

この構成の場合、画素にビデオ信号を入力しているアドレス期間と、信号線駆動回路の電流源回路が入力動作（画素への電流の出力）を行っている期間とは、同一
10 ではない。したがって、ビデオ信号が変化している期間であっても、信号線駆動回路の電流源回路の設定動作を行うことが可能となるため、記憶回路 4 5 1 を設けることは、非常に有効である。

図 6 0 の構成のより詳しい構成を図 7 1 に示す。図 7 1 に示した回路は、図 6 (A) の回路を適用した例である。

図 7 1 では、電流源回路の設定動作を行っている間でも、制御線から供給される信号により、電流源回路の動作を切り替えることができる。そのため、設定動作と入力動作（画素への電流の出力）を同時に行うことができる。したがって、入力動作を行うアドレス期間において、入力動作を行っていない方の電流源回路は設定動作を行うことができる。そして、設定動作を行う電流源回路の指定は、記憶回路 4
20 5 1 に保存されているため、ビデオ信号の変化の影響はうけない。

図 6 1 の構成のより詳しい構成を図 7 2 に示す。図 7 2 に示した回路は、図 6 (A) の回路を適用した例である。

図 7 2 では、論理演算子 4 5 2 により、電流源回路の設定動作と入力動作（画素への電流の出力）を、自由に切り替えることができる。なお、信号電流制御スイッチが配置されていない場合、つまり、信号線とは異なる別の配線に、ビデオ信号には比例しない電流（一定の電流）を供給する場合には、画素にビデオ信号を入力し
25

ているアドレス期間と、信号線駆動回路の電流源回路が入力動作（画素への電流の出力）を行っている期間とは、同一ではない。したがって、ビデオ信号が変化している期間であっても、信号線駆動回路の電流源回路の設定動作を行えるため、記憶回路 451 を設けることは、非常に有効である。

- 5 なお電流源回路には、図 6、図 7、図 39、図 40、図 42 などに示す構成を適用することができる。

本実施の形態は、実施の形態 1～9 と任意に組み合わせることが可能である。

〈実施例 1〉

- 本実施例では、時間階調方式について図 14 を用いて詳しく説明する。通常、液
10 晶表示装置や発光装置等の表示装置においては、フレーム周波数は 60 Hz 程度である。つまり図 14 (A) に示すように、1 秒間に 60 回程度の画面の描画が行われる。これにより、人間の眼にフリッカ（画面のちらつき）を感じさせないようにすることが出来る。このとき、画面の描画を 1 回行う期間を 1 フレーム期間と呼ぶ。

- 本実施例では一例として、特許文献 1 の公報にて公開されている時間階調方式を
15 説明する。時間階調方式では、1 フレーム期間を複数のサブフレーム期間に分割する。このときの分割数は、階調ビット数に等しい場合が多い。そしてここでは簡単のため、分割数が階調ビット数に等しい場合を示す。つまり本実施例では 3 ビット階調であるので、3 つのサブフレーム期間 SF1～SF3 に分割している例を示す（図 14 (B)）。

- 20 各サブフレーム期間は、アドレス（書き込み）期間 T_a と、サステイン（発光）期間 T_s を有する。アドレス期間とは、画素にビデオ信号を書き込む期間であり、各サブフレーム期間での長さは等しい。サステイン期間とは、アドレス期間において画素に書き込まれたビデオ信号に基づいて発光素子が発光又は非発光する期間である。このとき、サステイン期間 $T_{s1} \sim T_{s3}$ は、その長さの比を $T_{s1} : T_{s2} : T_{s3} = 4 : 2 : 1$ とする。つまり、 n ビット階調を表現する際、 n 個のサス
25 테인期間の長さの比は、 $2^{(n-1)} : 2^{(n-2)} : \dots : 2^1 : 2^0$ とする。そして、どの

サステイン期間で発光素子が発光又は非発光するかにより、1フレーム期間における各画素が発光する期間の長さが決定し、これによって階調表現を行う。

次いで、時間階調方式を適用した画素における具体的な動作について説明するが、本実施例では図16(B)に示す画素を参照して説明する。図16(B)に示す画
5 素は、電流入力方式が適用される。

まずアドレス期間 T_a においては、以下の動作を行う。第1の走査線602および第2の走査線603が選択されて、TF T 606、607がオンする。このとき、信号線601を流れる電流を信号電流 I_{data} となる。そして容量素子610には所定の電荷が蓄積されると、第1の走査線602および第2の走査線603の選択が
10 終了して、TF T 606、607がオフする。

次いでサステイン期間 T_s においては、以下の動作を行う。第3の走査線604が選択されて、TF T 609がオンする。容量素子610には先ほど書き込んだ所定の電荷が保持されているため、TF T 608はオンしており、電流線605から信号電流 I_{data} に等しい電流が流れる。これにより発光素子611が発光する。

15 以上の動作を各サブフレーム期間で行うことにより、1フレーム期間を構成する。この方法によると、表示階調数を増やしたい場合は、サブフレーム期間の分割数を増やせば良い。また、サブフレーム期間の順序は、図14(B)、(C)に示すように、必ずしも上位ビットから下位ビットといった順序である必要はなく、1フレーム期間中、ランダムに並んでいても良い。さらに各フレーム期間内で、その順序が変化
20 しても良い。

また、 m 行目の走査線のサブフレーム期間 SF_2 を図14(D)に図示する。図14(D)に図示するように、画素ではアドレス期間 T_{a2} が終了したら、直ちにサステイン期間 T_{s2} が開始されている。

次に、信号線駆動回路の電流源回路に関連した部分のタイミングチャートについて述べる。特に、電流源回路の設定動作に関連した部分のタイミングチャートにつ
25 いて述べる。

基本的には、次のようなタイミングになる。まず、アドレス期間が終了し、その後、サステイン期間であって、いずれの走査線も選択されていない期間 T_c において、どの電流源回路に対して設定動作を行うかを選択する。そして、信号線駆動回路の電流源回路の設定動作を開始し、次のアドレス期間が開始する直前で、該設定動作を終了する。この間に、再び期間 T_c を設け、どの電流源回路に対して設定動作を行うかを選択し、選択した該電流源回路に対して設定動作を行えばよい。すなわち、アドレス期間とアドレス期間の間において、設定動作を行えばよい。

ただし、上記の期間において、設定動作ができない場合がある。それは、その期間において、信号線駆動回路の電流源回路が入力動作（画素への電流の出力）を行っており、かつ、信号線駆動回路の電流源回路が設定動作と入力動作とを同時に行うことができない場合である。アドレス期間とアドレス期間の間に、信号線駆動回路の電流源回路が入力動作（画素への電流の出力）を行うのは、図 5 5（B）の構成の画素を有している場合に相当することが多い。

また、アドレス期間において、信号線駆動回路の電流源回路の設定動作ができる場合がある。それは、図 2 7、図 2 8、図 3 0 などのように、記憶回路 4 5 1 を有する場合である。この場合、たとえば、アドレス期間においても、信号線駆動回路の電流源回路は設定動作と入力動作とを同時に行うことができる。また、アドレス期間において、信号線駆動回路の電流源回路が入力動作を行っていない場合、どのような構成の電流源回路を用いていても、信号線駆動回路の電流源回路は設定動作を行うことができる。

なぜなら、記憶回路 4 5 1 によって、どの電流源回路に対して設定動作を行うかが記憶されているため、アドレス期間においてビデオ信号の変化の影響を受けないからである。そして、信号線駆動回路の電流源回路の設定動作と入力動作とを同時に行うことができる場合は、アドレス期間においても、信号線駆動回路の電流源回路は設定動作と入力動作を同時に行うことができる。また信号線駆動回路の電流源回路の設定動作と入力動作とを同時に行うことができなくても、アドレス期間にお

いて、信号線駆動回路の電流源回路が入力動作（画素への電流の出力）を行っていない場合には、信号線駆動回路の電流源回路の設定動作を行うことができる。

なお、本発明では、電流源回路の設定動作を1列ずつ順に行ってもよいし、ランダムに行ってもよい。また、設定動作を行う期間が、1フレーム内で、点在する場合
5 合には、その期間を有効に利用して設定動作を行うことができる。また、すべての電流源回路の設定動作を1フレーム期間内でやるのではなく、数フレーム期間以上かけて実行してもよい。このようにすることにより、電流源回路の設定動作に時間をかけて正確に行うことが出来る。

本実施例は、実施の形態1～10と任意に組み合わせることが可能である。

10 〈実施例2〉

本実施例では、画素部に設けられる画素の回路の構成例について図13、図73を用いて説明する。

なお本発明には、電流を入力する部分を含むような構成を有する画素であれば、どのような構成の画素にも適用できる。

15 図13（A）の画素は、信号線1101、第1及び第2の走査線1102、1103、電流線（電源線）1104、スイッチング用TFT1105、保持用TFT1106、駆動用TFT1107、変換駆動用TFT1108、容量素子1109、発光素子1110とを有する。信号線1101は電流源回路1111に接続されている。

20 なお、電流源回路1111が、信号線駆動回路403に配置されている電流源回路420に相当する。

図13（A）の画素は、スイッチング用TFT1105のゲート電極は、第1の走査線1102に接続され、第1の電極は信号線1101に接続され、第2の電極は駆動用TFT1107の第1の電極と、変換駆動用TFT1108の第1の電極
25 とに接続されている。保持用TFT1106のゲート電極は、第2の走査線1103に接続され、第1の電極は信号線1102に接続され、第2の電極は駆動用TFT

T 1 1 0 7 のゲート電極と、変換駆動用 T F T 1 1 0 8 のゲート電極とに接続されている。駆動用 T F T 1 1 0 7 の第 2 の電極は、電流線（電源線） 1 1 0 4 に接続され、変換駆動用 T F T 1 1 0 8 の第 2 の電極は、発光素子 1 1 1 0 の一方の電極に接続されている。容量素子 1 1 0 9 は、変換駆動用 T F T 1 1 0 8 のゲート電極
5 と第 2 の電極との間に接続され、変換駆動用 T F T 1 1 0 8 のゲート・ソース間電圧を保持する。電流線（電源線） 1 1 0 4 および発光素子 1 1 1 0 の他方の電極には、それぞれ所定の電位が入力され、互いに電位差を有する。

なお、図 1 3 （A）の画素は、図 4 0 （B）の回路を画素に適用した場合に相当する。ただし、電流の流れる向きが異なるため、トランジスタの極性は、反対になっている。図 1 3 （A）の駆動用 T F T 1 1 0 7 が図 4 0 （B）の T F T 1 2 6 に
10 相当し、図 1 3 （A）の変換駆動用 T F T 1 1 0 8 が図 4 0 （B）の T F T 1 2 2 に相当し、図 1 3 （A）の保持用 T F T 1 1 0 6 が図 4 0 （B）の T F T 1 2 4 に相当する。

図 1 3 （B）の画素は、信号線 1 1 5 1、第 1 及び第 2 の走査線 1 1 4 2、1 1
15 4 3、電流線（電源線） 1 1 4 4、スイッチング用 T F T 1 1 4 5、保持用 T F T 1 1 4 6、変換駆動用 T F T 1 1 4 7、駆動用 T F T 1 1 4 8、容量素子 1 1 4 9、発光素子 1 1 4 0 とを有する。信号線 1 1 5 1 は電流源回路 1 1 4 1 に接続されている。

なお、電流源回路 1 1 4 1 が、信号線駆動回路 4 0 3 に配置されている電流源回路 4 2 0 に相当する。
20

図 1 3 （B）の画素は、スイッチング用 T F T 1 1 4 5 のゲート電極は、第 1 の走査線 1 1 4 2 に接続され、第 1 の電極は信号線 1 1 5 1 に接続され、第 2 の電極は駆動用 T F T 1 1 4 8 の第 1 の電極と、変換駆動用 T F T 1 1 4 8 の第 1 の電極とに接続されている。保持用 T F T 1 1 4 6 のゲート電極は、第 2 の走査線 1 1 4
25 3 に接続され、第 1 の電極は駆動用 T F T 1 1 4 8 の第 1 の電極に接続され、第 2 の電極は駆動用 T F T 1 1 4 8 のゲート電極と、変換駆動用 T F T 1 1 4 7 のゲート電極とに接続されている。

ト電極とに接続されている。変換駆動用TFT1147の第2の電極は、電流線（電源線）1144に接続され、変換駆動用TFT1147の第2の電極は、発光素子1140の一方の電極に接続されている。容量素子1149は、変換駆動用TFT1147のゲート電極と第2の電極との間に接続され、変換駆動用TFT1147のゲート・ソース間電圧を保持する。電流線（電源線）1144および発光素子1140の他方の電極には、それぞれ所定の電位が入力され、互いに電位差を有する。

なお、図13（B）の画素は、図6（B）の回路を画素に適用した場合に相当する。ただし、電流の流れる向きが異なるため、トランジスタの極性は、反対になっている。図13（B）の変換駆動用TFT1147が図6（B）のTFT122に相当し、図13（B）の駆動用TFT1148が図6（B）のTFT126に相当し、図13（B）の保持用TFT1146が図6（B）のTFT124に相当する。

図13（C）の画素は、信号線1121、第1の走査線1122、第2の走査線1123、第3の走査線1135、電流線（電源線）1124、スイッチング用TFT1125、画素用電流線1138、消去用TFT1126、駆動用TFT1127、容量素子1128、電流源TFT1129、ミラーTFT1130、容量素子1131、電流入力TFT1132、保持TFT1133、発光素子1136とを有する。画素用電流線1138は、電流源回路1137に接続される。

図13（C）の画素は、スイッチング用TFT1125のゲート電極は、第1の走査線1122に接続され、スイッチング用TFT1125の第1の電極は信号線1121に接続され、スイッチング用TFT1125の第2の電極は駆動用TFT1127のゲート電極と、消去用TFT1126の第1の電極とに接続されている。消去用TFT1126のゲート電極は、第2の走査線1123に接続され、消去用TFT1126の第2の電極は電流線（電源線）1124に接続されている。駆動用TFT1127の第1の電極は発光素子1136の一方の電極に接続され、駆動用TFT1127の第2の電極は電流源TFT1129の第1の電極に接続されている。電流源TFT1129の第2の電極は電流線1124に接続されている。

容量素子 1 1 3 1 の一方の電極は、電流源 T F T 1 1 2 9 のゲート電極及びミラー T F T 1 1 3 0 のゲート電極に接続され、他方の電極は電流線（電源線） 1 1 2 4 に接続されている。ミラー T F T 1 1 3 0 の第 1 の電極は電流線 1 1 2 4 に接続され、ミラー T F T 1 1 3 0 の第 2 の電極は、電流入力 T F T 1 1 3 2 の第 1 の電極
5 に接続されている。電流入力 T F T 1 1 3 2 の第 2 の電極は電流線（電源線） 1 1 2 4 に接続され、電流入力 T F T 1 1 3 2 のゲート電極は第 3 の走査線 1 1 3 5 に接続されている。電流保持 T F T 1 1 3 3 のゲート電極は第 3 の走査線 1 1 3 5 に接続され、電流保持 T F T 1 1 3 3 の第 1 の電極は画素用電流線 1 1 3 8 に接続され、電流保持 T F T 1 1 3 3 の第 2 の電極は電流源 T F T 1 1 2 9 のゲート電極及
10 びミラー T F T 1 1 3 0 のゲート電極に接続されている。電流線（電源線） 1 1 2 4 および発光素子 1 1 3 6 の他方の電極には、それぞれ所定の電位が入力され、互いに電位差を有する。

ここで、電流源回路 1 1 3 7 が、信号線駆動回路 4 0 3 に配置されている電流源回路 4 2 0 に相当する。

15 なお、図 1 3 （C）の画素は、図 5 5 （B）の画素に、図 6 （E）の回路を画素に適用した場合に相当する。ただし、電流の流れる向きが異なるため、トランジスタの極性は、反対になっている。なお、図 1 3 （C）の画素には、消去用 T F T 1 1 2 6 が追加されている。消去用 T F T 1 1 2 6 を配置することにより、点灯期間の長さを自由に制御できるようになる。

20 スイッチング用 T F T 1 1 2 5 は画素に対するビデオ信号の供給を制御する役割を担う。消去用 T F T 1 1 2 6 は容量素子 1 1 3 1 に保持された電荷を放電する役割を担う。駆動用 T F T 1 1 2 7 は、容量素子 1 1 3 1 に保持された電荷に応じて、導通又は非導通が制御される。電流源 T F T 1 1 2 9 とミラー T F T 1 1 3 0 はカレントミラー回路を形成する。電流線 1 1 2 4 及び発光素子 1 1 3 6 の他方の
25 電極には、それぞれ所定の電位が入力され、互いに電位差を有する。

つまり、スイッチング用 T F T 1 1 2 5 がオンになると、信号線 1 1 2 1 を通つ

て、ビデオ信号が画素に入力され、容量素子1128に保存される。そして、ビデオ信号の値により、駆動用TFT1127がオン又はオフする。よって、駆動用TFT1127がオンの場合は、発光素子に一定の電流がながれて、発光する。駆動用TFT1127がオフの場合は、発光素子に電流が流れず、発光しない。このようにして、画像を表示している。一方、電流源TFT1129、ミラーTFT1130、容量素子1131、電流入力TFT1132、保持TFT1133などが、電流源回路を構成している。電流源回路は、一定の電流が流す能力を有している。この電流源回路には、画素用電流線1138を通して電流が入力され、設定動作が行われる。そのため、電流源回路を構成するトランジスタの特性がばらついても、電流源回路から発光素子の方に流れる電流の大きさは、ばらつかなくなる。画素の電流源回路に対する設定動作は、スイッチング用TFT1125や駆動用TFT1127の動作とは、無関係に行うことができる。

図73(A)の画素は、図55(B)の画素に、図6(A)の回路を画素に適用した場合に相当する。ただし、電流の流れる向きが異なるため、トランジスタの極性は、反対になっている。

図73(A)の画素は、電流源TFT1129、容量素子1131、保持TFT1133、画素用電流線1138(Ci)などを有している。画素用電流線1138(Ci)は、電流源回路1137に接続されている。なお、電流源回路1137が、信号線駆動回路403に配置されている電流源回路420に相当する。

図73(B)の画素は、図55(B)の画素に、図7(A)の回路を画素に適用した場合に相当する。ただし、電流の流れる向きが異なるため、トランジスタの極性は、反対になっている。

図73(B)の画素は、電流源TFT1129、容量素子1131、保持TFT1133、画素用電流線1138(Ci)などを有している。画素用電流線1138(Ci)は、電流源回路1137に接続されている。なお、電流源回路1137が、信号線駆動回路403に配置されている電流源回路420に相当する。

図 7 3 (A) の画素と図 7 3 (B) の画素とでは、電流源 T F T 1 1 2 9 の極性が異なる。そして、極性が異なることにより、容量素子 1 1 3 1、保持 T F T 1 1 3 3 の接続が異なる。

このように、さまざまな構成の画素が存在する。ところで、これまでに述べた画
5 素は、大きく二つのタイプに分類できる。1つ目のタイプが、信号線にビデオ信号に
応じた電流を入力するタイプである。これは、図 1 3 (A)、図 1 3 (B) など
がそれに相当する。その場合、信号線駆動回路は、図 1 や図 2 のように、信号電流
制御スイッチを有している。もう 1 つのタイプが、信号線にビデオ信号を入力し、
画素用電流線に、ビデオ信号とは無関係な一定の電流を入力するタイプ、つまり、
10 図 5 5 (B) のような画素の場合である。これは、図 1 3 (C)、図 7 3 (A)、図
7 3 (B) などが相当する。この場合、信号線駆動回路は、図 3 6 や図 3 7 のよう
に、信号電流制御スイッチを有していない。

そこで、各々の画素のタイプに応じたタイミングチャートについて述べる。まず、
デジタル階調と時間階調を組み合わせた場合について述べる。ただし、これは、画
15 素のタイプや信号線駆動回路の構成によって、変わってくる。そこで、各々の構成
ごとにおけるタイミングチャートについて述べる。

まず、画素のタイプが、信号線にビデオ信号に応じた電流を入力するタイプの場
合について述べる。画素は、図 1 3 (A) もしくは図 1 3 (B) の構成であるとする。
信号線駆動回路は、図 3 (A) や図 3 (B) の構成であるとする。このときの
20 タイミングチャートを図 7 4 に示す。

4 ビットの階調を表現することとし、簡単のため、サブフレーム数を 4 つにした
とする。まず、最初のサブフレーム期間 S F 1 が始まる。1 行づつ走査線 (図 1 3
(A) での第 1 の走査線 1 1 0 2 や図 1 3 (B) での第 1 の走査線 1 1 3 2) を選
択し、信号線 (図 1 3 (A) での 1 1 0 1 や図 1 3 (B) での 1 1 3 1) から電流
25 を入力していく。この電流は、ビデオ信号に応じた値になっている。そして、点灯
期間 T s 1 が終了すると、次のサブフレーム期間 S F 2 が開始して、サブフレーム

- 期間 S F 1 と同様に走査させる。その後、その次のサブフレーム期間 S F 3 が始まり、同様に走査させていく。ただし、点灯期間 T_{s3} の長さが、アドレス期間 T_{a3} の長さよりも短いため、強制的に、発光しないようにしていく。つまり、入力したビデオ信号を消去していく。あるいは、発光素子に電流が流れないようにする。
- 5 ビデオ信号を消去するためには、第 2 の走査線（図 13（A）での第 2 の走査線 1103 や図 13（B）での第 2 の走査線 1133）を 1 行ずつ選択していく。そうすると、ビデオ信号が消去され、非発光状態にすることができる。その後、次のサブフレーム S F 4 が始まる。ここでも、サブフレーム S F 3 と同様に走査させ、同様に非発光状態にしていく。
- 10 以上が、画像表示動作、つまり、画素の動作に関するタイミングチャートである。次に、信号線駆動回路に配置された電流源回路の設定動作のタイミングについて述べる。この場合、設定期間 T_c において、複数の電流源回路のうち、どの電流源回路に対して設定動作を行うのかをビデオ信号により指定している。そのため、ビデオ信号が変化する期間、すなわち、アドレス期間においては、設定動作を行うこと
- 15 ができない。なぜなら、アドレス期間に設定動作を行おうとしても、ビデオ信号が変化しており、その変化の仕方は画像によって異なるからである。
- つまり、信号線駆動回路の電流源回路の入力動作は、各サブフレーム期間におけるアドレス期間（ T_{a1} 、 T_{a2} など）の間に行われる。したがって、信号線駆動回路の電流源回路の設定動作は、アドレス期間以外の時に行えばよい。よって、図 7 4
- 20 に示すように、アドレス期間以外のときに配置された設定動作期間 $T_{b1} \sim T_{b4}$ において、信号線駆動回路に配置された電流源回路の設定動作を行えばよい。なお、アドレス期間 T_{a1} とアドレス期間 T_{a2} の間の期間で設定動作を行ってもよいし、アドレス期間 T_{a2} とアドレス期間 T_{a3} の間の期間で設定動作を行ってもよいし、両方の期間を利用して設定動作を行ってもよい。また、アドレス期間 T_{a1} とアドレ
- 25 ス期間 T_{a2} の間の期間において、設定動作期間 T_b が複数配置されているが、設定動作期間 T_b を 1 つだけ配置してもよい。同様に、アドレス期間 T_{a2} とアドレ

ス期間 T_{a3} の間の期間において、設定動作期間 T_b を 1 つだけでなく複数配置してもよい。

次に、画素は図 13 (A) もしくは図 13 (B) の構成であり、信号線駆動回路は図 27、図 28 のように記憶回路 451 を有する構成であるとする。画像表示動作、つまり、画素の動作に関するタイミングチャートは上記と同様であるので、省略する。図 75 には、信号線駆動回路に配置された電流源回路の設定動作のタイミングについて示す。この場合、ビデオ信号が変化しているときでも、設定動作を行う列の電流源回路の情報は、記憶回路 451 に保存されている。従って、電流源回路が設定動作と入力動作を同時にできる場合は、アドレス期間においても設定動作を行うことができる。そこで、設定動作期間 T_{b5} 、 T_{b7} 、 T_{b8} 、 T_{b1} などの前に、設定期間 T_c を設ける。そして、前記設定期間 T_c において、どの電流源回路に対して設定動作を行うかを選択し、その後、設定動作期間が開始される。これにより、信号線駆動回路の電流源回路が設定動作と入力動作（画素への電流の出力）とを同時に出来る場合には、アドレス期間においても、設定動作期間 T_{b5} を設けることができる。

このように、図 74、75 のタイミングチャートでは、設定動作期間を多数設けることが出来るため、信号線駆動回路に配置されたすべての電流源回路が設定動作を行う期間を短くすることが出来る。あるいは、電流源回路に対して設定動作を行う期間を長くすることが出来る。したがって、設定動作をより正確に行うことが出来る。

つぎに、画素のタイプが、信号線にビデオ信号を入力し、画素用電流線にビデオ信号とは無関係な一定の電流を入力するタイプの場合について述べる。信号線駆動回路は、図 55 (A) の構成であるとする。画素は、図 13 (C)、図 55 (B)、図 73 (A)、図 73 (B) などの構成であるとする。ただし、上記画素の場合、画素に配置された電流源回路に対しても、設定動作を行う必要がある。そのため、画素の電流源回路が、設定動作と入力動作とを同時にできるかどうかによって、その

動作が異なってくる。そこで、まず画素の電流源回路の設定動作と入力動作とを同時にできる場合、つまり、画素が図13 (C) のときのタイミングチャートを図76に示す。

まず、画像表示動作、つまり、画素のスイッチング用トランジスタと駆動用トランジスタなどに関する動作について述べる。ただし、上記の場合とほとんど同様のため、簡単に述べる。まず、最初のサブフレーム期間SF1が始まる。1行ずつ走査線(図13 (C) での第1の走査線1122)を選択し、信号線(図13 (C) での1121)からビデオ信号を入力していく。このビデオ信号は、通常、電圧であるが、電流でもかまわない。そして、点灯期間 T_{s1} が終了すると、次のサブフレーム期間SF2が始まり、サブフレーム期間SF1と同様に走査させる。その後、その次のサブフレーム期間SF3が始まり、同様に走査させていく。ただし、点灯期間の長さ T_{s3} が、アドレス期間 T_{a3} の長さよりも短いため、強制的に、発光しないようにしていく。つまり、入力したビデオ信号を消去していく。あるいは、発光素子に電流が流れないようにする。入力したビデオ信号を消去するためには、第2の走査線(図13 (C) での第2の走査線1123)を1行ずつ選択していく。そうすると、ビデオ信号が消去され、駆動用TFT1127がオフ状態になり、非発光状態にすることができる。その後、次のサブフレーム期間SF4が始まる。ここでも、サブフレーム期間SF3と同様に走査させ、同様に非発光状態にしていく。

次に、画素の電流源回路に対する設定動作に関して述べる。図13 (C) の場合、画素の電流源回路の設定動作と入力動作とは、同時に行うことができる。したがって、画素の電流源回路の設定動作は、任意のタイミングで行うことができる。

また、設定期間 T_c においては、どの電流源回路に対して設定動作を行うのかをビデオ信号により指定している。そのため、ビデオ信号が変化している期間、すなわち、アドレス期間においては、設定動作を行うことは出来ない。なぜなら、アドレス期間において設定動作を行おうとしても、ビデオ信号が変化しており、その変化の仕方は画像によって異なるからである。よって、信号線駆動回路の電流源回路

- の設定動作が、入力動作（画素への電流の出力）と同時に出来ない場合、図 7 6 に示すように、アドレス期間とアドレス期間の間で、かつ、画素の電流源への設定動作（信号線駆動回路の電流源回路の入力動作）を行っていない期間に、信号線駆動回路の電流源回路の設定動作を行えばよい。また、信号線駆動回路の電流源回路の
- 5 設定動作が、入力動作（画素への電流の出力）と同時に出来る場合は、図 7 7 に示すように、アドレス期間とアドレス期間の間に、信号線駆動回路の電流源回路の設定動作を行えばよい。なお、図 7 6、7 7 のタイミングチャートにおいて、アドレス期間 T a 1 とアドレス T a 2 の間の期間において、設定動作期間 T b が複数配置されているが、1 つだけ配置してもよい。
- 10 次に、画素は図 1 3 (C) の構成で、信号線駆動回路は図 5 9、図 6 0 のように、記憶回路 4 5 1 を有する構成であるとする。画像表示動作、つまり、画素の動作に関するタイミングチャートは上記と同様であるので、説明は省略する。そして以下には、信号線駆動回路に配置された電流源回路の設定動作のタイミングについて、図 7 8、図 7 9 に示す。この場合、記憶回路 4 5 1 に設定動作を行う電流源回路の
- 15 情報が保存されているため、ビデオ信号が変化しているときでも電流源回路の設定動作を行うことができる。そこで、本構成では、設定動作期間 T b 1、T b 5 などの前に、設定期間 T c を設ける。そして、設定期間 T c において、どの電流源回路に対して設定動作を行うのかを選択し、その後、設定動作期間を開始する。これにより、アドレス期間中にも、設定動作期間 T b 5 などを設けることが出来る。
- 20 そして、電流源回路が設定動作と入力動作とを同時にできない場合、図 7 8 のように、画素の電流源に設定動作を行っている間は、信号線駆動回路に配置された電流源回路の設定動作を行うことはできない。なおこのとき、画素の電流源に設定動作を行う前に設定期間 T c を設け、該設定期間 T c において記憶回路 4 5 1 のデータを変更し、どの電流源回路も設定動作を行わないようにする必要がある。従って、
- 25 例えば図 7 8 に示すように、設定動作期間 T b 5 の後に、設定期間 T c を設ける必要がある。一方、電流源回路の設定動作と入力動作を同時に行うことができる場合

は、図 7 9 のように、画素の電流源に設定動作を行っている間も、信号線駆動回路の電流源回路に設定動作を行うことができる。図 7 9 に示すタイミングチャートの場合には、設定動作期間を多数配置することが出来る。そのため、信号線駆動回路が有する全ての電流源回路が設定動作を行う期間を短くすることが出来る。或いは、

5 各々の電流源回路が設定動作を行う期間を長くとることが出来る。従って、設定動作をより正確に行うことが出来る。

次に、画素は図 1 3 (C) の構成であり、信号線駆動回路は図 6 1 の構成のように記憶回路 4 5 1 を有する構成であるとする。画像表示動作、つまり、画素の動作に関するタイミングチャートは上記と同様であるので、ここでは省略する。そして、

10 信号線駆動回路に配置された電流源回路の設定動作のタイミングについて、図 8 0 に示す。この場合、ビデオ信号が変化しているときでも、記憶回路 4 5 1 には所定の情報が保存されているので、電流源回路の設定動作を行うことができる。従って、アドレス期間中にも設定動作を行うことができる。また、論理演算子 4 5 2 により、設定動作を任意の期間で停止させたりすることができる。そのため、画素に配置さ

15 れた電流源回路の設定動作を行う前に、設定期間 T_c を設ける必要がない。アドレス期間においても、第 2 記憶制御線を制御することにより、設定動作を終了させることが出来る。本構成では、画素の電流源回路の設定動作を行う期間の長さと、信号線駆動回路の電流源回路の設定動作を行う期間の長さを自由に調節することが出来る。

20 次に、画素のタイプが、信号線にビデオ信号を入力し、画素用電流線に、ビデオ信号とは無関係な一定の電流を入力する構成であり、且つ、画素の電流源回路の設定動作と入力動作とを同時にできない場合、つまり、画素が図 7 3 (A)、図 7 3 (B) の構成であるときのタイミングチャートを図 8 1 に示す。まず、画像表示動作、つまり、画素のスイッチング用トランジスタと駆動用トランジスタなどに関する動作は、上記の図 7 6 の場合とほぼ同様のため、簡単に述べる。まず、最初のサブフレーム期間 $S F 1$ が始まる。1 行づつ走査線 (図 7 3 (A)、図 7 3 (B) で

25

の第1の走査線1122)を選択し、信号線(図73(A)、図73(B)での1121)からビデオ信号を入力していく。このビデオ信号は、通常、電圧であるが、電流でもかまわない。そして、点灯期間Ts1が終了すると、次のサブフレーム期間SF2が始まり、サブフレーム期間SF1と同様に走査させる。その後、その次
5 のサブフレーム期間SF3が始まり、同様に走査させていく。ただし、点灯期間Ts3の長さが、アドレス期間の長さTa3よりも短いため、強制的に、発光しないようにしていく。つまり、入力したビデオ信号を消去していく。あるいは、発光素子に電流が流れないようにする。発光素子に電流が流れないようにするためには、第2の走査線(図13(C)での第2の走査線1123)を1行ずつ非選択状態にし
10 ていく。そうすると、消去用TF T1127がオフ状態になり、電流の流れる経路が遮断され、非発光状態にすることができる。その後、次のサブフレーム期間SF4が開始する。ここでも、サブフレーム期間SF3と同様に走査させ、同様に発光素子を非発光状態にしていく。

次に、画素の電流源回路に対する設定動作に関して述べる。画素が図73(A)、
15 図73(B)の構成の場合、画素に配置された電流源回路の設定動作と入力動作は、同時に行うことができない。従って、画素に配置された電流源回路の設定動作は、画素の電流源回路が入力動作を行っていないとき、つまり、発光素子に電流が流れていないときに行えばよい。また信号線駆動回路に配置された電流源回路の設定動作は、画素の電流源回路の設定動作を行っている期間以外のときであり、かつ、ア
20 ドレス期間とアドレス期間の間に行えばよい。

以上のことから、画素の電流源回路に対する設定動作は、非点灯期間(Td3、Td4)に行い、信号線駆動回路の電流源回路の設定動作は、アドレス期間とアドレス期間の間に行えばよい。そこで、図81には、サブフレーム期間SF3とサブフレーム期間SF4の非点灯期間(Td3、Td4)に画素に配置された電流源回路に対する設定動作を行った場合であり、また、アドレス期間Ta1とアドレス期間Ta
25 2の間、アドレス期間Ta2とアドレス期間Ta3の間の期間において、信号線駆動

回路の電流源回路の設定動作を行った場合のタイミングチャートを示す。

なお、画素に配置された電流源回路に対する設定動作を行う期間が、非点灯期間だけではその時間が短く、該設定動作を正確に行うことが困難な場合がある。そのようなときは、図 8 2 や図 8 3 のように、各アドレス期間の前に、強制的に非点灯

5 期間を設けて、該非点灯期間で画素の電流源回路に対する設定動作を行ってもよい。

なお、図 8 2 は、信号線駆動回路の電流源回路に対する設定動作と入力動作とを同時に行うことができない場合について示す。一方、図 8 3 は、信号線駆動回路の電流源回路に対する設定動作と入力動作とを同時に行うことができる場合について示す。

10 次に、画素は図 7 3 (A)、図 7 3 (B) の構成であり、信号線駆動回路は、図 5 9、図 6 0 のように、記憶回路 4 5 1 を有する構成である場合について説明する。画像表示動作、つまり、画素の動作に関するタイミングチャートは上記と同様であるので、説明は省略する。そして、信号線駆動回路に配置された電流源回路の設定動作のタイミングについて、図 8 4、図 8 5 に示す。この場合、ビデオ信号が変化
15 しているときでも、記憶回路 4 5 1 には所定の情報が保存されているので、電流源回路は設定動作を行うことができる。そこで、設定動作期間 T_{b4} などの前に、設定期間 T_c を設ける。そして前記設定期間 T_c において、設定動作を行う電流源回路が選択され、その後、設定動作期間が開始される。このようにすると、例えば図 8 3 に示すように、アドレス期間中においても、設定動作期間 T_{b4} を設けること
20 ができる。

そして、電流源回路の設定動作と入力動作とを同時にできない場合には、図 8 4 のように、画素の電流源に設定動作を行っている間は、信号線駆動回路に配置された電流源回路は設定動作を行うことはできない。このとき、画素に配置された電流源に設定動作を行う前に、設定期間 T_c を設けて、該設定期間 T_c において記憶回
25 路 4 5 1 のデータを変更し、どの電流源回路も設定動作を行わないようにしておく必要がある。よって、図 8 4 に示すように、一例として、設定動作期間 T_{b5} の後

に、設定期間 T_c を設ける必要がある。一方、電流源回路の設定動作と入力動作を同時に行うことが可能な場合は、図 8 5 のように、画素の電流源への設定動作を行っている間にも、信号線駆動回路の電流源回路の設定動作を行うことができる。

このように、図 8 4、8 5 の構成では、1 フレーム期間に設定動作期間を多数配置することが出来るため、信号線駆動回路が有する全ての電流源回路が設定動作を終了するまでの期間を短くすることができる。あるいは、電流源回路が設定動作を行う期間を長くすることが出来る。したがって、設定動作をより正確に行うことが出来る。

次に、画素は図 7 3 (A)、図 7 3 (B) の構成であり、信号線駆動回路は、図 6 1 のように、記憶回路 4 5 1 を有する構成である場合について説明する。画像表示動作、つまり、画素の動作に関するタイミングチャートは上記と同様であるので、省略する。そして、信号線駆動回路に配置された電流源回路の設定動作のタイミングチャートを図 8 6 に示す。この場合、ビデオ信号が変化しているときでも、記憶回路 4 5 1 に所定の情報が保存されているので、電流源回路の設定動作を行うことができる。従って、信号線駆動回路に配置された電流源回路は、アドレス期間においても、設定動作を行うことができる。また、論理演算子 4 5 2 を制御することで、設定動作を任意の期間で停止させたりすることができる。そのため、画素の電流源回路の設定動作を行う前には、設定期間 T_c を設ける必要がない。アドレス期間の途中であっても、第 2 記憶制御線を制御することにより、設定動作を終了させることが出来る。したがって、画素の電流源回路の設定動作を行う期間の長さと、信号線駆動回路の電流源回路の設定動作を行う期間の長さを、自由に調節することが出来る。

これまでは、デジタル階調と時間階調を組み合わせた場合における、タイミングチャートに関して述べてきた。つぎに、アナログ階調の場合のタイミングチャートについて述べる。

まず、画素は、図 1 3 (A) もしくは図 1 3 (B) であるとする。信号線駆動回

路は、図5もしくは図49や図50の構成であるとする。このときのタイミングチャートを図9に示す。1行ずつ走査線（図13（A）での第1の走査線1102や図13（B）での第1の走査線1132）を選択し、信号線（図13（A）での1101や図13（B）での1131）から電流を入力していく。この電流は、ビデオ信号に応じた値になっている。このように、1行ずつ選択し、信号線から電流を入力していく動作を、1フレーム期間かけて行う。

以上が、画像表示動作、つまり、画素の動作に関するタイミングチャートである。次に、信号線駆動回路に配置された電流源回路の設定動作のタイミングについて述べる。信号線駆動回路に配置された電流源回路の入力動作は、通常は、1フレーム期間期間かけて行われる。従って、従来のままでは、信号線駆動回路に配置された電流源回路の設定動作を行うことができない。そこで、図9に示すように、各水平走査期間の最初に設定期間 T_c 及び設定動作期間 T_b を設ける。そして、設定期間 T_c において、どの電流源回路に設定動作を行うのかを選択し、その後設定動作期間 T_b において設定動作を行うようにする。なお、その期間は、帰線期間と一致させてもよい。そして、その後、信号線駆動回路の電流源回路の入力動作を行う。

次に、画素は図13（A）もしくは図13（B）の構成であり、信号線駆動回路は図10に示すように、記憶回路451を有する構成である。そして、信号線駆動回路に配置された電流源回路において、設定動作と入力動作を同時に行うことが可能な場合、図11に示すように、設定期間 T_b を長くとることができる。なお、信号線駆動回路の電流源回路の設定動作を行う場合には、電流が漏れたり、別の電流が入ってきたりすることが無い状態で行う必要がある。よって、図24におけるトランジスタ182、図50におけるトランジスタA、B、Cなどは、信号線駆動回路の電流源回路の設定動作を行う前には、オフ状態にしておく必要がある。ただし、図51のように、トランジスタ193が配置されていて、電流が漏れたり、別の電流が入ってきたりすることが無い構成の場合には、そのような電流を考慮する必要はない。

本実施例は、実施の形態 1～10、実施例 1 と任意に組み合わせることが可能である。

〈実施例 3〉

本実施例では、カラー表示を行う場合の工夫について述べる。

- 5 発光素子が有機 EL 素子である場合、発光素子に同じ大きさの電流を流しても、色によって、その輝度が異なる場合がある。また、発光素子が経時的な要因などにより劣化した場合、その劣化の度合いは、色によって異なる。そのため、発光素子を用いた発光装置において、カラー表示を行う際には、そのホワイトバランスを調節するためにさまざまな工夫が必要である。
- 10 最も単純な手法は、画素に入力する電流の大きさを色によって変えることである。そのためには、リファレンス用定電流源の電流の大きさを色によって変えればよい。
- その他の手法としては、画素、信号線駆動回路、リファレンス用定電流源などにおいて、図 6 (C)～図 6 (E) のような回路を用いることである。そして、図 6 (C)～図 6 (E) のような回路において、カレントミラー回路を構成する 2 つの
- 15 トランジスタの W/L の比率を色によって変える。これにより、画素に入力する電流の大きさが色によって変えることができる。

さらに他の手法としては、点灯期間の長さを色によって変えることである。これは、時間階調方式を用いている場合、また用いていない場合のどちらの場合にも適用できる。本手法により、各画素の輝度を調節することができる。

- 20 以上のような手法を用いることにより、あるいは、組み合わせて用いることにより、ホワイトバランスを容易に調節することができる。

本実施例は、実施の形態 1～10、実施例 1、2 と任意に組み合わせることが可能である。

〈実施例 4〉

- 25 本実施例では、本発明の発光装置（半導体装置）の外観について、図 12 を用いて説明する。図 12 は、トランジスタが形成された素子基板をシーリング材によっ

て封止することによって形成された発光装置の上面図であり、図12(B)は、図12(A)のA-A'における断面図、図12(C)は図12(A)のB-B'における断面図である。

基板4001上に設けられた画素部4002と、ソース信号線駆動回路4003
5 と、ゲート信号線駆動回路4004a、bとを囲むようにして、シール材4009
が設けられている。また画素部4002と、ソース信号線駆動回路4003と、ゲ
ート信号線駆動回路4004a、bとの上にシーリング材4008が設けられてい
る。よって画素部4002と、ソース信号線駆動回路4003と、ゲート信号線駆
動回路4004a、bとは、基板4001とシール材4009とシーリング材40
10 08とによって、充填材4210で密封されている。

また基板4001上に設けられた画素部4002と、ソース信号線駆動回路40
03と、ゲート信号線駆動回路4004a、bとは、複数のTF Tを有している。
図12(B)では代表的に、下地膜4010上に形成された、ソース信号線駆動回
路4003に含まれる駆動TF T(但し、ここではnチャネル型TF Tとpチャネ
15 ル型TF Tを図示)4201及び画素部4002に含まれる消去用TF T4202
を図示した。

本実施例では、駆動TF T4201には公知の方法で作製されたpチャネル型TF Tまたはnチャネル型TF Tが用いられ、消去用TF T4202には公知の方法で作製されたnチャネル型TF Tが用いられる。

20 駆動TF T4201及び消去用TF T4202上には層間絶縁膜(平坦化膜)4
301が形成され、その上に消去用TF T4202のドレインと電氣的に接続する
画素電極(陽極)4203が形成される。画素電極4203としては仕事関数の大
きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズと
の化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化
25 インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したもの
を用いても良い。

そして、画素電極 4 2 0 3 の上には絶縁膜 4 3 0 2 が形成され、絶縁膜 4 3 0 2 は画素電極 4 2 0 3 の上に開口部が形成されている。この開口部において、画素電極 4 2 0 3 の上には発光層 4 2 0 4 が形成される。発光層 4 2 0 4 は公知の発光材料または無機発光材料を用いることができる。また、発光材料には低分子系（モノマー系）材料と高分子系（ポリマー系）材料があるがどちらを用いても良い。

発光層 4 2 0 4 の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、発光層 4 2 0 4 の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を任意に組み合わせて積層構造または単層構造とすれば良い。

発光層 4 2 0 4 の上には遮光性を有する導電膜（代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜）からなる陰極 4 2 0 5 が形成される。また、陰極 4 2 0 5 と発光層 4 2 0 4 の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、発光層 4 2 0 4 を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極 4 2 0 5 を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。そして陰極 4 2 0 5 は所定の電圧が与えられている。

以上のようにして、画素電極（陽極） 4 2 0 3、発光層 4 2 0 4 及び陰極 4 2 0 5 からなる発光素子 4 3 0 3 が形成される。そして発光素子 4 3 0 3 を覆うように、絶縁膜上に保護膜が形成されている。保護膜は、発光素子 4 3 0 3 に酸素や水分等が入り込むのを防ぐのに効果的である。

4 0 0 5 a は電源線に接続された引き回し配線であり、消去用 TFT 4 2 0 2 のソース領域に電氣的に接続されている。引き回し配線 4 0 0 5 a はシール材 4 0 0 9 と基板 4 0 0 1 との間を通り、異方導電性フィルム 4 3 0 0 を介して FPC 4 0 0 6 が有する FPC 用配線 4 3 0 1 に電氣的に接続される。

シーリング材 4 0 0 8 としては、ガラス材、金属材（代表的にはステンレス材）、セラミックス材、プラスチック材（プラスチックフィルムも含む）を用いることが

できる。プラスチック材としては、FRP (Fiberglass-Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

但し、発光層からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

また、充填材 4210 としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC (ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB (ポリビニルブチラル) またはEVA (エチレンビニルアセテート) を用いることができる。本実施例では充填材として窒素を用いた。

また充填材 4210 を吸湿性物質 (好ましくは酸化バリウム) もしくは酸素を吸着しうる物質にさらしておくために、シーリング材 4008 の基板 4001 側の面に凹部 4007 を設けて吸湿性物質または酸素を吸着しうる物質 4207 を配置する。そして、吸湿性物質または酸素を吸着しうる物質 4207 が飛び散らないように、凹部カバー材 4208 によって吸湿性物質または酸素を吸着しうる物質 4207 は凹部 4007 に保持されている。なお凹部カバー材 4208 は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質 4207 は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質 4207 を設けることで、発光素子 4303 の劣化を抑制できる。

図 12 (C) に示すように、画素電極 4203 が形成されると同時に、引き回し配線 4005a 上に接するように導電性膜 4203a が形成される。

また、異方導電性フィルム 4300 は導電性フィラー 4300a を有している。基板 4001 とFPC 4006 とを熱圧着することで、基板 4001 上の導電性膜

4 2 0 3 a と F P C 4 0 0 6 上の F P C 用配線 4 3 0 1 とが、導電性フィラー 4 3 0 0 a によって電氣的に接続される。

本実施例は、実施の形態 1 ～ 1 0、実施例 1 ～ 3 と任意に組み合わせることが可能である。

5 〈実施例 5〉

発光素子を用いた発光装置は自発光型であるため、液晶ディスプレイに比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴー
10 グル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、
音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコン
ピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型
ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的には Digital
Versatile Disc（D V D）等の記録媒体を再生し、その画像を表示しうるディスプレ
15 イを備えた装置）などが挙げられる。特に、斜め方向から画面を見る機会が多い携
帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望まし
い。それら電子機器の具体例を図 2 2 に示す。

図 2 2 （A）は発光装置であり、筐体 2 0 0 1、支持台 2 0 0 2、表示部 2 0 0
3、スピーカー部 2 0 0 4、ビデオ入力端子 2 0 0 5 等を含む。本発明の発光装置
20 は表示部 2 0 0 3 に用いることができる。また本発明により、図 2 2 （A）に示す
発光装置が完成される。発光装置は自発光型であるためバックライトが必要なく、
液晶ディスプレイよりも薄い表示部とすることができる。なお、発光装置は、パソ
コン用、T V 放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

図 2 2 （B）はデジタルスチルカメラであり、本体 2 1 0 1、表示部 2 1 0 2、
25 受像部 2 1 0 3、操作キー 2 1 0 4、外部接続ポート 2 1 0 5、シャッター 2 1 0
6 等を含む。本発明の発光装置は表示部 2 1 0 2 に用いることができる。また本発

明により、図 2 2 (B) に示すデジタルスチルカメラが完成される。

図 2 2 (C) はノート型パーソナルコンピュータであり、本体 2 2 0 1、筐体 2 2 0 2、表示部 2 2 0 3、キーボード 2 2 0 4、外部接続ポート 2 2 0 5、ポインティングマウス 2 2 0 6 等を含む。本発明の発光装置は表示部 2 2 0 3 に用いるこ
5 とができる。また本発明により、図 2 2 (C) に示す発光装置が完成される。

図 2 2 (D) はモバイルコンピュータであり、本体 2 3 0 1、表示部 2 3 0 2、スイッチ 2 3 0 3、操作キー 2 3 0 4、赤外線ポート 2 3 0 5 等を含む。本発明の発光装置は表示部 2 3 0 2 に用いることができる。また本発明により、図 2 2 (D) に示すモバイルコンピュータが完成される。

10 図 2 2 (E) は記録媒体を備えた携帯型の画像再生装置（具体的にはDVD再生装置）であり、本体 2 4 0 1、筐体 2 4 0 2、表示部A 2 4 0 3、表示部B 2 4 0 4、記録媒体（DVD等）読み込み部 2 4 0 5、操作キー 2 4 0 6、スピーカ一部 2 4 0 7 等を含む。表示部A 2 4 0 3 は主として画像情報を表示し、表示部B 2 4 0 4 は主として文字情報を表示するが、本発明の発光装置はこれら表示部A、B 2 4 0
15 3、2 4 0 4 に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。また本発明により、図 2 2 (E) に示すDVD再生装置が完成される。

図 2 2 (F) はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体 2 5 0 1、表示部 2 5 0 2、アーム部 2 5 0 3 を含む。本発明の発光装置は表
20 示部 2 5 0 2 に用いることができる。また本発明により、図 2 2 (F) に示すゴーグル型ディスプレイが完成される。

図 2 2 (G) はビデオカメラであり、本体 2 6 0 1、表示部 2 6 0 2、筐体 2 6 0 3、外部接続ポート 2 6 0 4、リモコン受信部 2 6 0 5、受像部 2 6 0 6、バッテリー 2 6 0 7、音声入力部 2 6 0 8、操作キー 2 6 0 9、接眼部 2 6 1 0 等を含
25 む。本発明の発光装置は表示部 2 6 0 2 に用いることができる。また本発明により、図 2 2 (G) に示すビデオカメラが完成される。

ここで図 2 2 (H) は携帯電話であり、本体 2 7 0 1、筐体 2 7 0 2、表示部 2 7 0 3、音声入力部 2 7 0 4、音声出力部 2 7 0 5、操作キー 2 7 0 6、外部接続ポート 2 7 0 7、アンテナ 2 7 0 8 等を含む。本発明の発光装置は表示部 2 7 0 3 に用いることができる。なお、表示部 2 7 0 3 は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。また本発明により、図 2 2 (H) に示す携帯電話が完成される。

なお、将来的に発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

10 また、上記電子機器はインターネットやCATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また本実施例の電子機器は、実施の形態 1 ～ 1 0、実施例 1 ～ 4 に示したいずれの構成の発光装置を用いても良い。

上記構成を有する本発明は、作製工程や使用する基板の相違によって生じる TFT の特性バラツキの影響を抑制して、所望の信号電流を外部に供給することができる。

また本発明は、設定動作を行う際、ビデオ信号を用いて、1 列目から最終列目のうち、任意の列に配置された電流源回路を指定する。また、任意の期間だけ、電流源回路を指定する。そうすると、複数列に配置された電流源回路のうち、設定動作

が必要な電流源回路を指定することが可能となり、また指定された電流源回路では設定動作に時間をかけて行うことが可能となるため、正確に設定動作を行うことができる。なお複数列に配置された電流源回路のうち、1列目から最終列目まで順に電流源回路の設定動作を行ってもよい。しかし、1列目から順に電流源回路の設定動作を行うのではなく、電流源回路の設定動作をランダムに行うことができると、様々な利点が生じる。例えば、電流源回路の設定動作を行う時間の長さが自由に長くとれるようになる。また、設定動作を行うことができる期間が、1フレーム中に点在している場合は、任意の列をランダムに選択できると、自由度が上がり、設定動作の期間を長くとることができるようになる。そのほかの利点としては、電流源回路内に配置された容量素子における電荷の漏れの影響を目立たなくさせることができるようになる。このように、設定動作に伴う不具合があった場合、その不具合を目立たなくさせることができるようになる。

さらに本発明は、ビデオ信号を電流源回路の設定動作のために利用することにより、電流源回路の設定動作の制御や電流源回路を指定するための専用の回路が不要になる。その結果、配置する回路数が減少するため、製造時における不良発生率を抑えることができるようになる。また、レイアウト面積も小さくできる。そのため、額縁面積を小さくでき、装置を小型化できる。

請 求 の 範 囲

1. 複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路であつて、
- 5 前記複数の電流源回路の各々は、容量手段及び供給手段を有し、
前記複数の電流源回路の各々は、ビデオ信号に従って、供給された電流を電圧に変換し、前記変換された電圧に応じた電流を供給することを特徴とする信号線駆動回路。
2. 複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路であつて、
- 10 1本の配線につき、各々が容量手段及び供給手段を有する2個の電流源回路が配置され、
前記2個の電流源回路のうち、ビデオ信号に従って、一方の電流源回路は供給された電流を電圧に変換し、他方の電流源回路は前記変換された電圧に応じた電流を
- 15 供給することを特徴とする信号線駆動回路。
3. 複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路であつて、
1本の配線につき、各々が容量手段及び供給手段を有するn個の電流源回路（nは2以上の自然数）が配置され、
- 20 前記n個の電流源回路の各々は、ビデオ信号に従って、供給された電流を電圧に変換し、前記変換された電圧に応じた電流を供給することを特徴とする信号線駆動回路。
4. 請求項3において、
前記n個の電流源回路は、互いに異なるビットに対応したn個のリファレンス用
- 25 定電流源に接続され、
前記n個のリファレンス用定電流源から供給される電流値は、 $2^0 : 2^1 : \dots :$

2ⁿに設定されることを特徴とする信号線駆動回路。

5. 請求項3において、

前記n個の電流源回路は、最上位ビットに対応した1個のリファレンス用定電流源に接続されることを特徴とする信号線駆動回路。

5 6. 請求項1乃至請求項3のいずれか一項において、

前記複数の配線は、複数の信号線又は複数の電流線であることを特徴とする信号線駆動回路。

7. 請求項1乃至請求項3のいずれか一項において、

10 前記容量手段は、前記供給手段が有するトランジスタのドレインとゲートが短絡された状態にあるとき、供給された電流により、そのゲート・ソース間に発生する電圧を保持することを特徴とする信号線駆動回路。

8. 請求項1乃至請求項3のいずれか一項において、

15 前記供給手段は、トランジスタと、前記トランジスタのゲートとドレインの導通を制御する第1スイッチと、リファレンス用定電流源と前記トランジスタのゲートの導通を制御する第2スイッチと、前記トランジスタのドレインと画素の導通を制御する第3スイッチとを有することを特徴とする信号線駆動回路。

9. 請求項1乃至請求項3のいずれか一項において、

20 前記容量手段は、前記供給手段が有する第1及び第2トランジスタの両方のドレインとゲートが短絡された状態にあるとき、供給された電流により、前記第1又は前記第2トランジスタのゲート・ソース間に発生する電圧を保持することを特徴とする信号線駆動回路。

10. 請求項1乃至請求項3のいずれか一項において、

25 前記供給手段は、第1及び第2トランジスタで構成されるカレントミラー回路と、前記第1及び前記第2トランジスタのゲートとソースの導通を制御する第1スイッチと、リファレンス用定電流源と前記第1及び前記第2トランジスタのゲートの導通を制御する第2スイッチを有することを特徴とする信号線駆動回路。

1 1. 請求項 1 乃至請求項 3 のいずれか一項において、

前記容量手段は、前記供給手段が有する第 1 及び第 2 トランジスタの一方のドレインとゲートが短絡された状態にあるとき、供給された電流により、そのゲート・ソース間に発生する電圧を保持することを特徴とする信号線駆動回路。

5 1 2. 請求項 1 乃至請求項 3 のいずれか一項において、

前記供給手段は、第 1 及び第 2 のトランジスタを含むカレントミラー回路と、

リファレンス用定電流源と前記第 1 トランジスタのドレインとの導通を制御する第 1 スイッチと、

10 前記第 1 トランジスタのドレインとゲート、前記第 1 トランジスタのゲートと前記第 2 トランジスタのゲート、前記第 1 及び前記第 2 トランジスタのゲートと前記リファレンス用定電流源から選択されたいずれか 1 つの導通を制御する第 2 スイッチとを有することを特徴とする信号線駆動回路。

1 3. 請求項 1 0 乃至請求項 1 2 のいずれか一項において、

15 前記第 1 及び前記第 2 トランジスタのゲート幅/ゲート長は同じ値に設定されることを特徴とする信号線駆動回路。

1 4. 請求項 1 0 乃至請求項 1 2 のいずれか一項において、

前記第 1 トランジスタのゲート幅/ゲート長は、前記第 2 トランジスタのゲート幅/ゲート長よりも大きい値に設定されることを特徴とする信号線駆動回路。

1 5. 請求項 1 乃至請求項 3 のいずれか一項において、

20 前記供給手段は、トランジスタと、前記容量手段に対する電流の供給を制御する第 1 及び第 2 スイッチと、前記トランジスタのゲートとドレインの導通を制御する第 3 スイッチを有し、

25 前記トランジスタのゲートは前記第 1 スイッチに接続され、前記トランジスタのソースは前記第 2 スイッチに接続され、前記トランジスタのドレインは前記第 3 スイッチに接続されることを特徴とする信号線駆動回路。

1 6. 請求項 1 乃至請求項 3 のいずれか一項において、

前記供給手段は、 m 個のトランジスタを含むカレントミラー回路を有し、

前記 m 個のトランジスタのゲート幅/ゲート長は $2^0 : 2^1 : \dots : 2^m$ に設定され、

前記 m 個のトランジスタのドレイン電流は $2^0 : 2^1 : \dots : 2^m$ に設定される

5 ことを特徴とする信号線駆動回路。

17. 請求項1乃至請求項3のいずれか一項において、

前記供給手段を構成するトランジスタは飽和領域で動作することを特徴とする信号線駆動回路。

18. 請求項1乃至請求項3のいずれか一項において、

10 前記電流源回路を構成するトランジスタの能動層はポリシリコンで形成されることを特徴とする信号線駆動回路。

19. 請求項1乃至請求項18のいずれか一項に記載の前記信号線駆動回路と、各々に発光素子を含む複数の画素がマトリクス状に配置された画素部を有し、

前記発光素子には、前記信号線駆動回路から電流が供給されることを特徴とする

15 発光装置。

20. 複数の走査線及び複数の配線並びに複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路が設けられ、

20 前記複数の画素の各々は、発光素子及び駆動用トランジスタ並びに前記駆動用トランジスタのゲート・ソース間電圧を保持する容量素子を有する発光装置の駆動方法であって、

1フレーム期間は複数のサブフレーム期間を有し、

前記複数のサブフレーム期間の各々はアドレス期間と点灯期間を有し、

25 前記点灯期間のうち、前記複数の走査線のいずれも選択されていない期間に設定期間と設定動作期間が設けられ、

前記設定期間において、前記複数の電流源回路のうち、 m 個の電流源回路（ m は1以上の自然数）をビデオ信号により指定し、

- 前記設定動作期間において、指定された前記 m 個の電流源回路の各々では、ビデオ信号に従って、供給された電流を電圧に変換し、前記変換された電圧に応じた電流を供給することを特徴とする信号線駆動回路。

2 1. 複数の走査線及び複数の配線並びに複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路が設けられ、

- 10 前記複数の画素の各々は、発光素子及び駆動用トランジスタ並びに前記駆動用トランジスタのゲート・ソース間電圧を保持する容量素子を有する発光装置の駆動方法であって、

1 フレーム期間は複数のサブフレーム期間を有し、

前記複数のサブフレーム期間の各々はアドレス期間と点灯期間を有し、

- 15 前記点灯期間のうち、前記複数の走査線のいずれも選択されていない期間に設定期間と設定動作期間が設けられ、

前記設定期間において、前記複数の電流源回路のうち、 m 個の電流源回路（ m は1以上の自然数）をビデオ信号により指定し、

- 前記アドレス期間及び前記設定動作期間において、指定された前記 m 個の電流源回路は、ビデオ信号に従って、供給された電流を電圧に変換し、前記変換された電圧に応じた電流を供給することを特徴とする信号線駆動回路。

2 2. 複数の走査線及び複数の配線並びに複数の画素がマトリクス状に配置された画素部と、

- 前記複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路が設けられ、

前記複数の画素の各々は、発光素子及び電流源回路並びに前記発光素子と前記電

流源回路の導通を制御するスイッチを有する発光装置の駆動方法であって、

1 フレーム期間は複数のサブフレーム期間を有し、

前記複数のサブフレーム期間の各々はアドレス期間と点灯期間を有し、

前記点灯期間のうち、前記複数の走査線のいずれも選択されていない期間に設定

5 期間並びに第 1 及び第 2 設定動作期間が設けられ、

前記設定期間において、前記複数の電流源回路のうち、 m 個の電流源回路 (m は 1 以上の自然数) をビデオ信号により指定し、

前記第 1 設定動作期間において、指定された前記 m 個の電流源回路の各々は、ビデオ信号に従って、供給された電流を電圧に変換し、前記変換された電圧に応じた

10 電流を供給し、

前記第 2 設定動作期間において、前記画素に配置された前記電流源回路では、供給された電流を電圧に変換し、前記変換された電圧に応じた電流を供給することを特徴とする発光装置の駆動方法。

2 3. 複数の走査線及び複数の配線並びに複数の画素がマトリクス状に配置された

15 画素部と、

前記複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路が設けられ、

前記複数の画素の各々は、発光素子及び電流源回路並びに前記発光素子と前記電流源回路の導通を制御するスイッチを有する発光装置の駆動方法であって、

20 1 フレーム期間は設定期間と第 1 設定動作期間を有し、

前記設定期間において、前記複数の電流源回路のうち、 m 個の電流源回路 (m は 1 以上の自然数) をビデオ信号により指定し、

前記第 1 設定動作期間において、指定された前記 m 個の電流源回路の各々は、ビデオ信号に従って、供給された電流を電圧に変換し、前記変換された電圧に応じた

25 電流を供給し、

前記設定期間と前記第 1 設定動作期間を足した期間は、第 2 設定期間と同じであ

り、

前記第2設定動作期間において、前記画素に配置された前記電流源回路では、供給された電流を電圧に変換し、前記変換された電圧に応じた電流を供給することを特徴とする発光装置の駆動方法。

5 24. 請求項23において、

前記第1及び前記第2設定動作期間は、一部重なることを特徴とする発光装置の駆動方法。

25. 複数の走査線及び複数の配線並びに複数の画素がマトリクス状に配置された画素部と、

10 前記複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路が設けられ、

前記複数の画素の各々は発光素子を有する発光装置の駆動方法であって、

1 フレーム期間は複数の水平走査期間を有し、

前記複数の水平走査期間の各々は、設定期間及び設定動作期間を有し、

15 前記設定期間において、前記複数の電流源回路のうち、 m 個の電流源回路をビデオ信号により指定し、

前記設定動作期間において、指定された前記 m 個の電流源回路の各々は、ビデオ信号に従って、供給された電流を電圧に変換し、前記変換された電圧に応じた電流を供給することを特徴とする信号線駆動回路。

20 26. 複数の走査線及び複数の配線並びに複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路が設けられ、

前記複数の画素の各々は発光素子を有する発光装置の駆動方法であって、

25 1 フレーム期間は複数の水平走査期間を有し、

前記複数の水平走査期間から選択された x 個の水平走査期間（ x は1以上の自然

数)は設定期間及び設定動作期間を有し、

前記設定期間において、前記複数の電流源回路のうち、 m 個の電流源回路をビデオ信号により指定し、

- 前記設定動作期間において、指定された前記 m 個の電流源回路の各々は、ビデオ信号に従って、供給された電流を電圧に変換し、前記変換された電圧に応じた電流を供給することを特徴とする信号線駆動回路。
- 5

27. 請求項20乃至請求項26のいずれか一項において、

前記画素部は線順次駆動又は点順次駆動を行うことを特徴とする発光装置の駆動方法。

- 10 28. 請求項20乃至請求項26のいずれか一項において、

前記複数の配線は複数の信号線又は複数の電流線であることを特徴とする発光装置の駆動方法。

補正書の請求の範囲

補正書の請求の範囲〔2003年3月31日(31.03.03)国際事務局受理：出願当初の請求の範囲1-4、16及び20-26は補正された；新たな請求の範囲29-32が追加された；他の請求の範囲は変更なし。(8頁)〕

1. (補正後) 複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路であって、

5 前記複数の電流源回路の各々は、容量手段及び供給手段を有し、

前記複数の電流源回路の各々は、設定信号に従って、供給された電流を電圧に変換し、前記変換された電圧に応じた電流を供給することを特徴とする信号線駆動回路。

2. (補正後) 複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路であって、

10

1本の配線につき、各々が容量手段及び供給手段を有する2個の電流源回路が配置され、

前記2個の電流源回路のうち、設定信号に従って、一方の電流源回路は供給された電流を電圧に変換し、他方の電流源回路は前記変換された電圧に応じた電流を供給することを特徴とする信号線駆動回路。

15

3. (補正後) 複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路であって、

1本の配線につき、各々が容量手段及び供給手段を有するn個の電流源回路(nは2以上の自然数)が配置され、

20 前記n個の電流源回路の各々は、設定信号に従って、供給された電流を電圧に変換し、前記変換された電圧に応じた電流を供給することを特徴とする信号線駆動回路。

4. (補正後) 請求項3において、

前記n個の電流源回路は、互いに異なるビットに対応したn個のリファレンス用定電流源に接続され、

25

前記n個のリファレンス用定電流源から供給される電流値は、 $2^0 : 2^1 : \dots :$

補正された用紙(条約第19条)

2^{n-1} に設定されることを特徴とする信号線駆動回路。

5. 請求項3において、

前記n個の電流源回路は、最上位ビットに対応した1個のリファレンス用定電流源に接続されることを特徴とする信号線駆動回路。

5 6. 請求項1乃至請求項3のいずれか一項において、

前記複数の配線は、複数の信号線又は複数の電流線であることを特徴とする信号線駆動回路。

7. 請求項1乃至請求項3のいずれか一項において、

10 前記容量手段は、前記供給手段が有するトランジスタのドレインとゲートが短絡された状態にあるとき、供給された電流により、そのゲート・ソース間に発生する電圧を保持することを特徴とする信号線駆動回路。

8. 請求項1乃至請求項3のいずれか一項において、

15 前記供給手段は、トランジスタと、前記トランジスタのゲートとドレインの導通を制御する第1スイッチと、リファレンス用定電流源と前記トランジスタのゲートの導通を制御する第2スイッチと、前記トランジスタのドレインと画素の導通を制御する第3スイッチとを有することを特徴とする信号線駆動回路。

9. 請求項1乃至請求項3のいずれか一項において、

20 前記容量手段は、前記供給手段が有する第1及び第2トランジスタの両方のドレインとゲートが短絡された状態にあるとき、供給された電流により、前記第1又は前記第2トランジスタのゲート・ソース間に発生する電圧を保持することを特徴とする信号線駆動回路。

10. 請求項1乃至請求項3のいずれか一項において、

25 前記供給手段は、第1及び第2トランジスタで構成されるカレントミラー回路と、前記第1及び前記第2トランジスタのゲートとソースの導通を制御する第1スイッチと、リファレンス用定電流源と前記第1及び前記第2トランジスタのゲートの導通を制御する第2スイッチを有することを特徴とする信号線駆動回路。

- 1 1. 請求項 1 乃至請求項 3 のいずれか一項において、
前記容量手段は、前記供給手段が有する第 1 及び第 2 トランジスタの一方のドレインとゲートが短絡された状態にあるとき、供給された電流により、そのゲート・ソース間に発生する電圧を保持することを特徴とする信号線駆動回路。
- 5 1 2. 請求項 1 乃至請求項 3 のいずれか一項において、
前記供給手段は、第 1 及び第 2 のトランジスタを含むカレントミラー回路と、
リファレンス用定電流源と前記第 1 トランジスタのドレインとの導通を制御する第 1 スイッチと、
前記第 1 トランジスタのドレインとゲート、前記第 1 トランジスタのゲートと前記第 2 トランジスタのゲート、前記第 1 及び前記第 2 トランジスタのゲートと前記リファレンス用定電流源から選択されたいずれか 1 つの導通を制御する第 2 スイッチとを有することを特徴とする信号線駆動回路。
- 10 1 3. 請求項 1 0 乃至請求項 1 2 のいずれか一項において、
前記第 1 及び前記第 2 トランジスタのゲート幅/ゲート長は同じ値に設定されることを特徴とする信号線駆動回路。
- 15 1 4. 請求項 1 0 乃至請求項 1 2 のいずれか一項において、
前記第 1 トランジスタのゲート幅/ゲート長は、前記第 2 トランジスタのゲート幅/ゲート長よりも大きい値に設定されることを特徴とする信号線駆動回路。
- 1 5. 請求項 1 乃至請求項 3 のいずれか一項において、
前記供給手段は、トランジスタと、前記容量手段に対する電流の供給を制御する第 1 及び第 2 スイッチと、前記トランジスタのゲートとドレインの導通を制御する第 3 スイッチを有し、
前記トランジスタのゲートは前記第 1 スイッチに接続され、前記トランジスタのソースは前記第 2 スイッチに接続され、前記トランジスタのドレインは前記第 3 スイッチに接続されることを特徴とする信号線駆動回路。
- 20 1 6. (補正後) 請求項 1 乃至請求項 3 のいずれか一項において、
- 25

前記供給手段は、 m 個のトランジスタを含むカレントミラー回路を有し、

前記 m 個のトランジスタのゲート幅/ゲート長は $2^0 : 2^1 : \dots : 2^{m-1}$ に設定され、

前記 m 個のトランジスタのドレイン電流は $2^0 : 2^1 : \dots : 2^{m-1}$ に設定され

5 ることを特徴とする信号線駆動回路。

17. 請求項1乃至請求項3のいずれか一項において、

前記供給手段を構成するトランジスタは飽和領域で動作することを特徴とする信号線駆動回路。

18. 請求項1乃至請求項3のいずれか一項において、

10 前記電流源回路を構成するトランジスタの能動層はポリシリコンで形成されることを特徴とする信号線駆動回路。

19. 請求項1乃至請求項18のいずれか一項に記載の前記信号線駆動回路と、各々に発光素子を含む複数の画素がマトリクス状に配置された画素部を有し、

前記発光素子には、前記信号線駆動回路から電流が供給されることを特徴とする

15 発光装置。

20. (補正後) 複数の走査線及び複数の配線並びに複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路が設けられ、

20 前記複数の画素の各々は、発光素子及び駆動用トランジスタ並びに前記駆動用トランジスタのゲート・ソース間電圧を保持する容量素子を有する発光装置の駆動方法であって、

1 フレーム期間は複数のサブフレーム期間を有し、

前記複数のサブフレーム期間の各々はアドレス期間と点灯期間を有し、

25 前記点灯期間のうち、前記複数の走査線のいずれも選択されていない期間に設定期間と設定動作期間が設けられ、

前記設定期間において、前記複数の電流源回路のうち、 m 個の電流源回路（ m は1以上の自然数）を設定信号により指定し、

前記設定動作期間において、指定された前記 m 個の電流源回路の各々では、設定信号に従って、供給された電流を電圧に変換し、前記変換された電圧に応じた電流

5 を供給することを特徴とする信号線駆動回路。

2 1.（補正後）複数の走査線及び複数の配線並びに複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路が設けられ、

10 前記複数の画素の各々は、発光素子及び駆動用トランジスタ並びに前記駆動用トランジスタのゲート・ソース間電圧を保持する容量素子を有する発光装置の駆動方法であって、

1 フレーム期間は複数のサブフレーム期間を有し、

前記複数のサブフレーム期間の各々はアドレス期間と点灯期間を有し、

15 前記点灯期間のうち、前記複数の走査線のいずれも選択されていない期間に設定期間と設定動作期間が設けられ、

前記設定期間において、前記複数の電流源回路のうち、 m 個の電流源回路（ m は1以上の自然数）を設定信号により指定し、

20 前記アドレス期間及び前記設定動作期間において、指定された前記 m 個の電流源回路は、設定信号に従って、供給された電流を電圧に変換し、前記変換された電圧に応じた電流を供給することを特徴とする信号線駆動回路。

2 2.（補正後）複数の走査線及び複数の配線並びに複数の画素がマトリクス状に配置された画素部と、

25 前記複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路が設けられ、

前記複数の画素の各々は、発光素子及び電流源回路並びに前記発光素子と前記電

流源回路の導通を制御するスイッチを有する発光装置の駆動方法であって、

1 フレーム期間は、設定期間並びに第 1 及び第 2 設定動作期間を有し、

前記設定期間及び前記第 1 設定動作期間は、前記複数の走査線のいずれも選択されていない期間に設けられ、

- 5 前記設定期間において、前記複数の電流源回路のうち、 m 個の電流源回路 (m は 1 以上の自然数) を設定信号により指定し、

前記第 1 設定動作期間において、指定された前記 m 個の電流源回路の各々は、設定信号に従って、供給された電流を電圧に変換し、前記変換された電圧に応じた電流を供給し、

- 10 前記第 2 設定動作期間において、前記画素に配置された前記電流源回路では、供給された電流を電圧に変換し、前記変換された電圧に応じた電流を供給することを特徴とする発光装置の駆動方法。

2 3. (補正後) 複数の走査線及び複数の配線並びに複数の画素がマトリクス状に配置された画素部と、

- 15 前記複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路が設けられ、

前記複数の画素の各々は、発光素子及び電流源回路並びに前記発光素子と前記電流源回路の導通を制御するスイッチを有する発光装置の駆動方法であって、

1 フレーム期間は、設定期間並びに第 1 及び第 2 設定動作期間を有し、

- 20 前記設定期間において、前記複数の電流源回路のうち、 m 個の電流源回路 (m は 1 以上の自然数) を設定信号により指定し、

前記第 1 設定動作期間において、指定された前記 m 個の電流源回路の各々は、設定信号に従って、供給された電流を電圧に変換し、前記変換された電圧に応じた電流を供給し、

- 25 前記第 2 設定動作期間において、前記画素に配置された前記電流源回路では、供給された電流を電圧に変換し、前記変換された電圧に応じた電流を供給することを

特徴とする発光装置の駆動方法。

24. (補正後) 請求項23において、

前記設定期間及び前記第1設定動作期間と、前記第2設定動作期間は、一部重なることを特徴とする発光装置の駆動方法。

5 25. (補正後) 複数の走査線及び複数の配線並びに複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路が設けられ、

前記複数の画素の各々は発光素子を有する発光装置の駆動方法であって、

10 1 フレーム期間は複数の水平走査期間を有し、

前記複数の水平走査期間の各々は、設定期間及び設定動作期間を有し、

前記設定期間において、前記複数の電流源回路のうち、 m 個の電流源回路を設定信号により指定し、

15 前記設定動作期間において、指定された前記 m 個の電流源回路の各々は、設定信号に従って、供給された電流を電圧に変換し、前記変換された電圧に応じた電流を供給することを特徴とする信号線駆動回路。

26. (補正後) 複数の走査線及び複数の配線並びに複数の画素がマトリクス状に配置された画素部と、

20 前記複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路が設けられ、

前記複数の画素の各々は発光素子を有する発光装置の駆動方法であって、

1 フレーム期間は複数の水平走査期間を有し、

前記複数の水平走査期間から選択された x 個の水平走査期間 (x は1以上の自然数) は設定期間及び設定動作期間を有し、

25 前記設定期間において、前記複数の電流源回路のうち、 m 個の電流源回路を設定信号により指定し、

前記設定動作期間において、指定された前記 m 個の電流源回路の各々は、設定信号に従って、供給された電流を電圧に変換し、前記変換された電圧に応じた電流を供給することを特徴とする信号線駆動回路。

27. 請求項20乃至請求項26のいずれか一項において、

- 5 前記画素部は線順次駆動又は点順次駆動を行うことを特徴とする発光装置の駆動方法。

28. 請求項20乃至請求項26のいずれか一項において、

前記複数の配線は複数の信号線又は複数の電流線であることを特徴とする発光装置の駆動方法。

- 10 29. (追加) 請求項1乃至請求項19のいずれか一項において、前記複数の配線の各々にはスイッチが設けられており、前記スイッチは前記変換された電圧に応じた電流のオンまたはオフを行うことを特徴とする信号線駆動回路。

30. (追加) 請求項29において、前記変換された電圧に応じた電流のオンまたはオフは、ビデオ信号に従って行うことを特徴とする信号線駆動回路。

- 15 31. (追加) 請求項20乃至請求項26のいずれか一項において、前記複数の配線の各々にはスイッチが設けられており、前記スイッチは前記変換された電圧に応じた電流のオンまたはオフを行うことを特徴とする発光装置の駆動方法。

32. (追加) 請求項31において、前記変換された電圧に応じた電流のオンまたはオフは、ビデオ信号に従って行うことを特徴とする発光装置の駆動方法。

FIG. 1

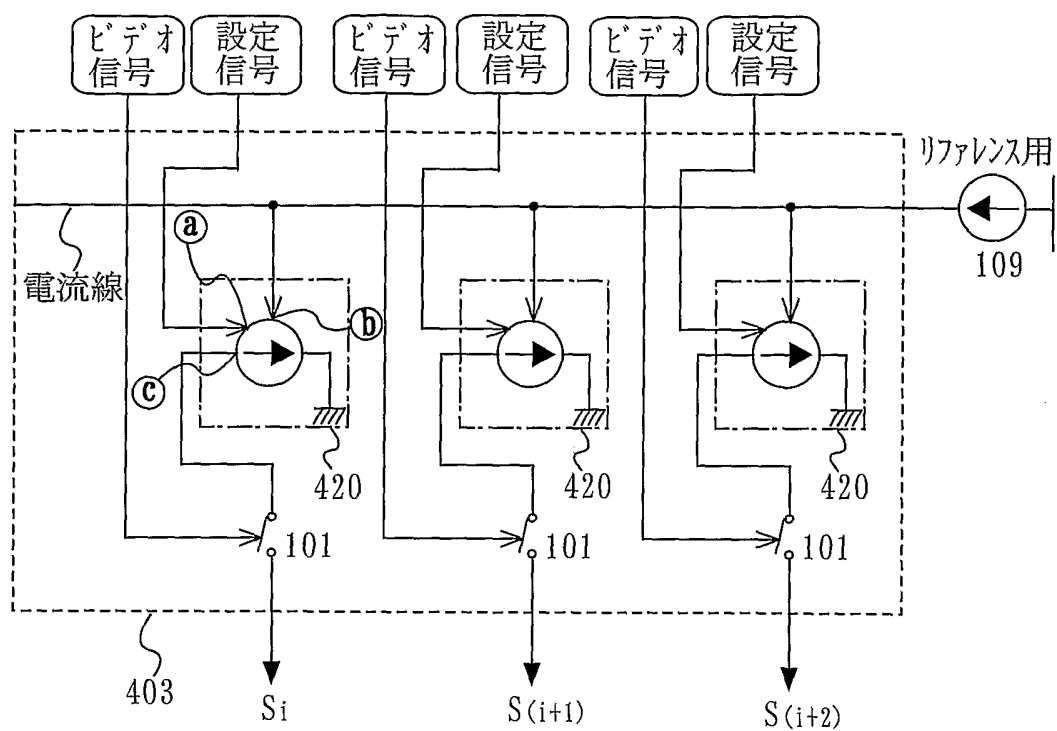


FIG. 2

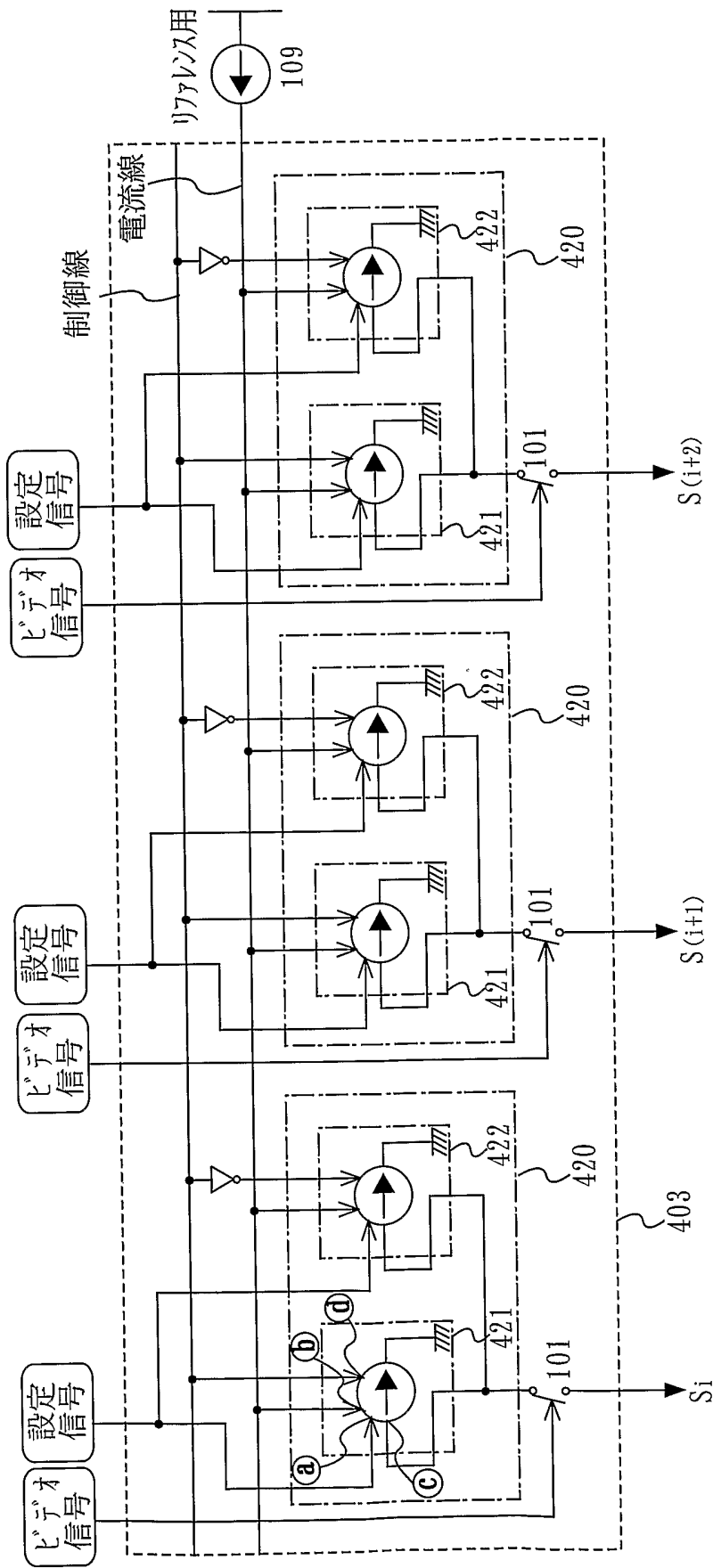


FIG. 3A

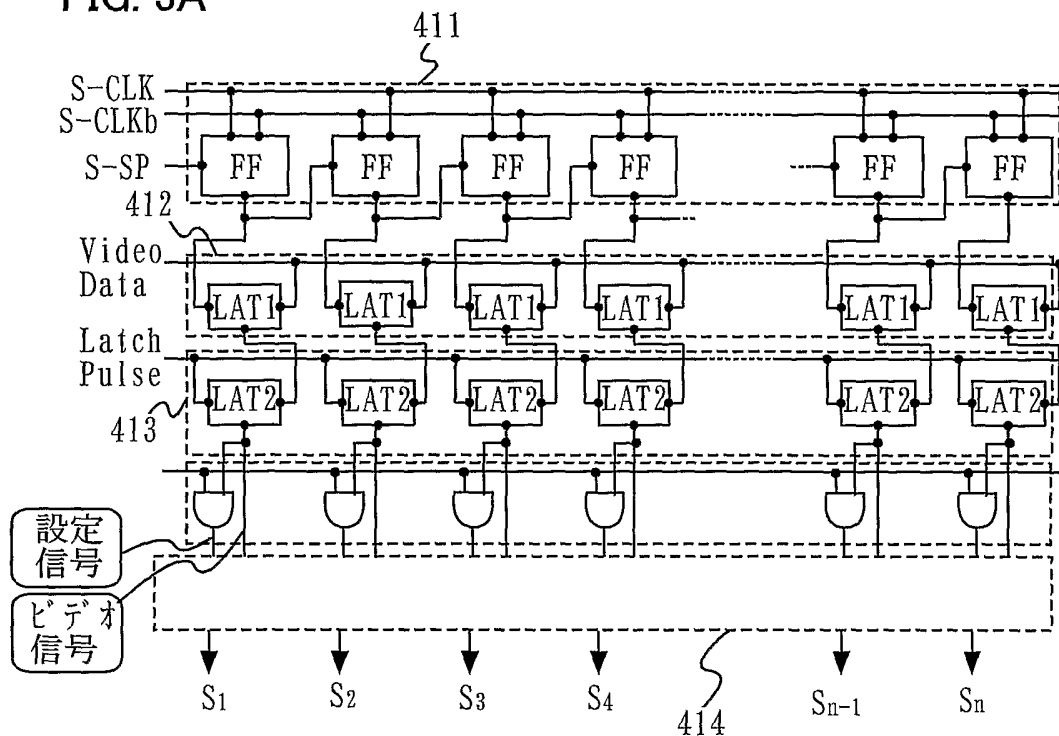


FIG. 3B

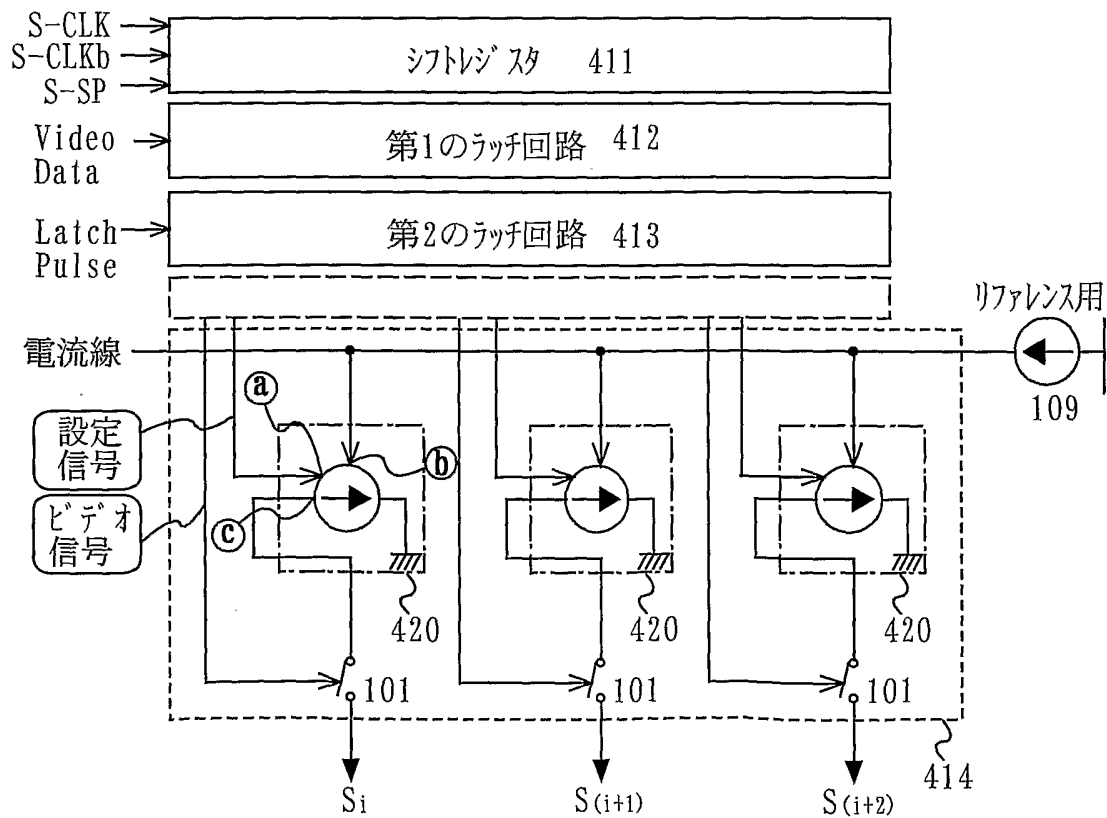


FIG. 4

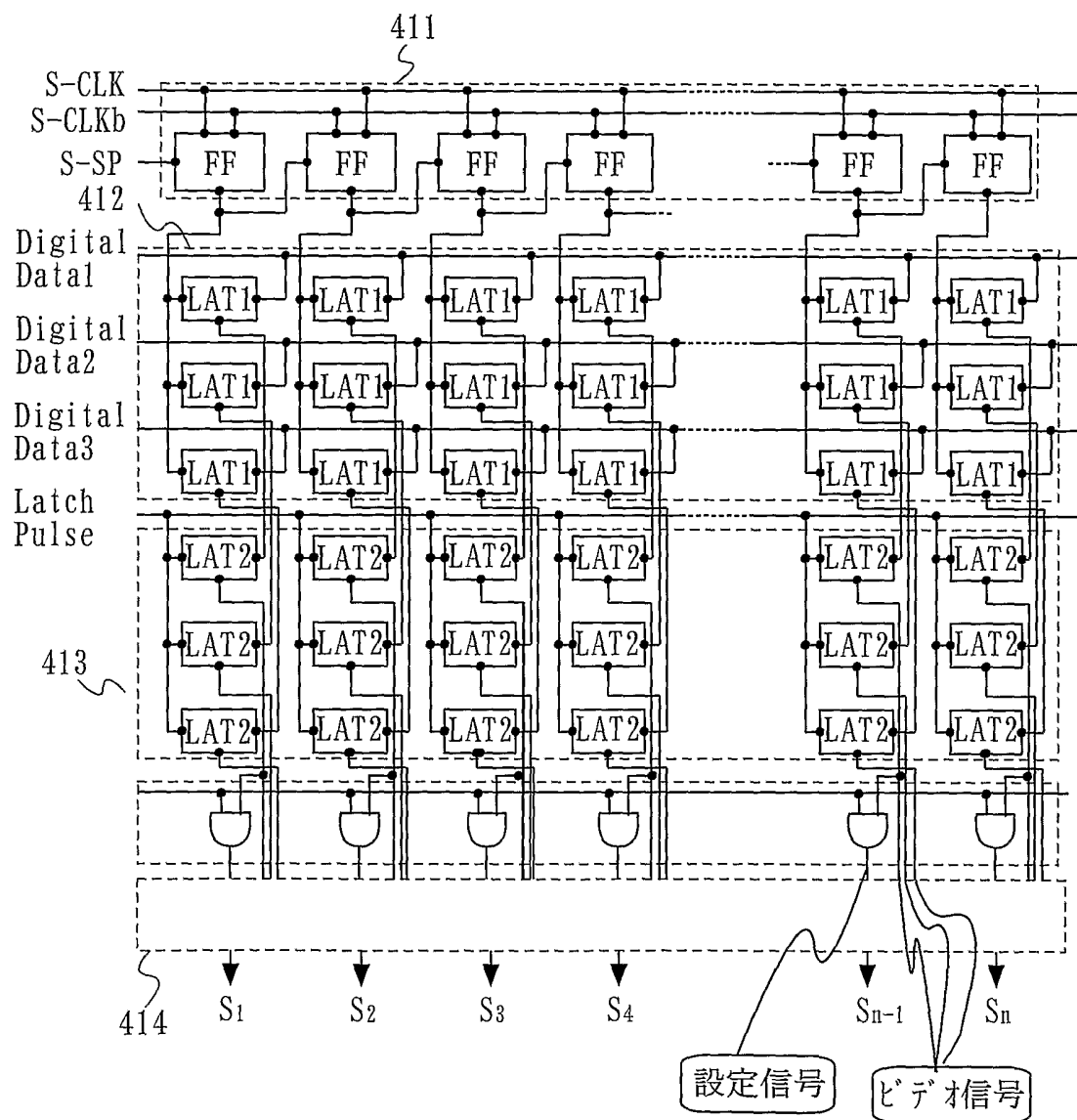


FIG. 6A

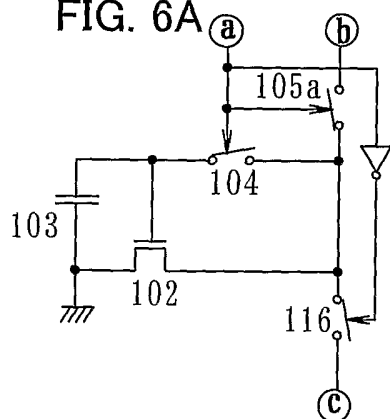


FIG. 6B

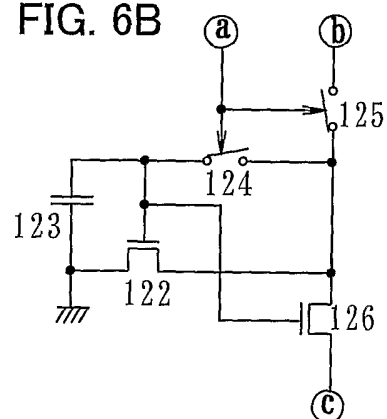


FIG. 6C

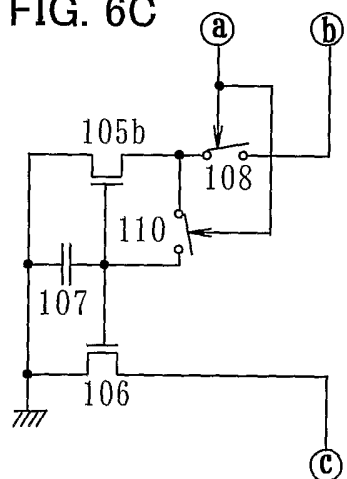


FIG. 6D

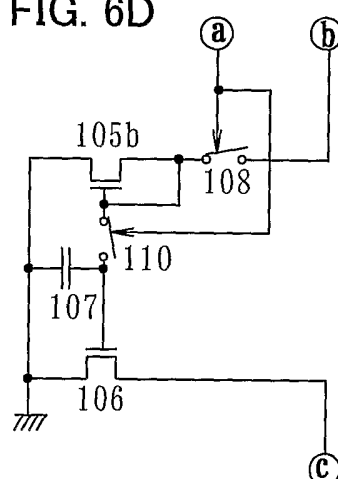


FIG. 6E

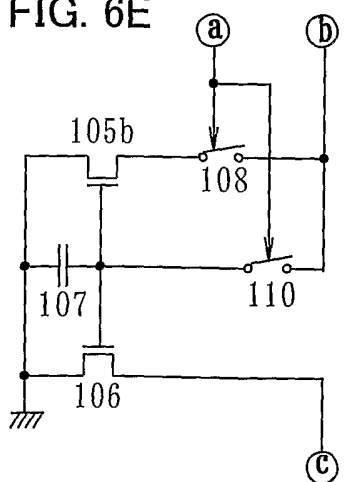


FIG. 7A

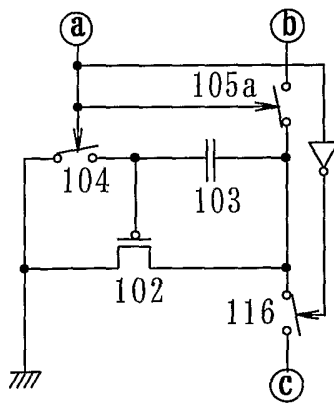


FIG. 7B

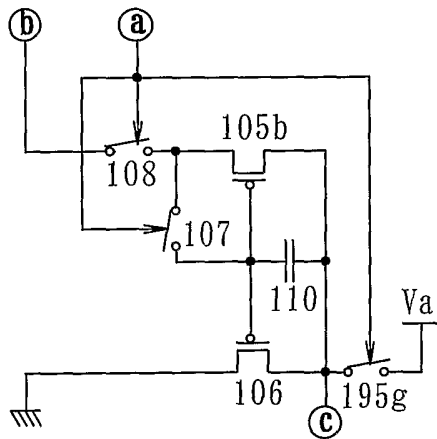


FIG. 7C

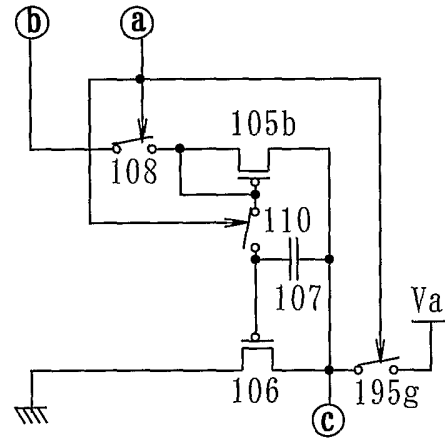


FIG. 7D

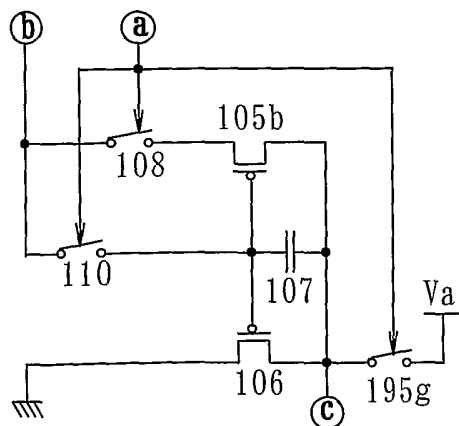


FIG. 8A

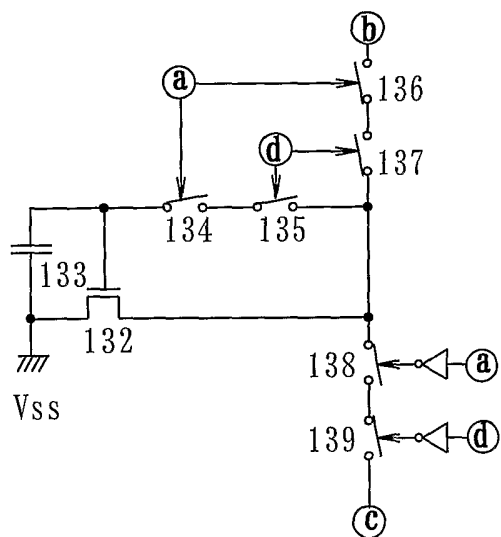


FIG. 8B

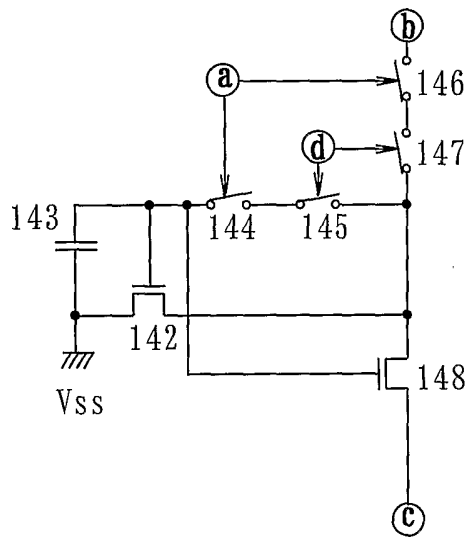
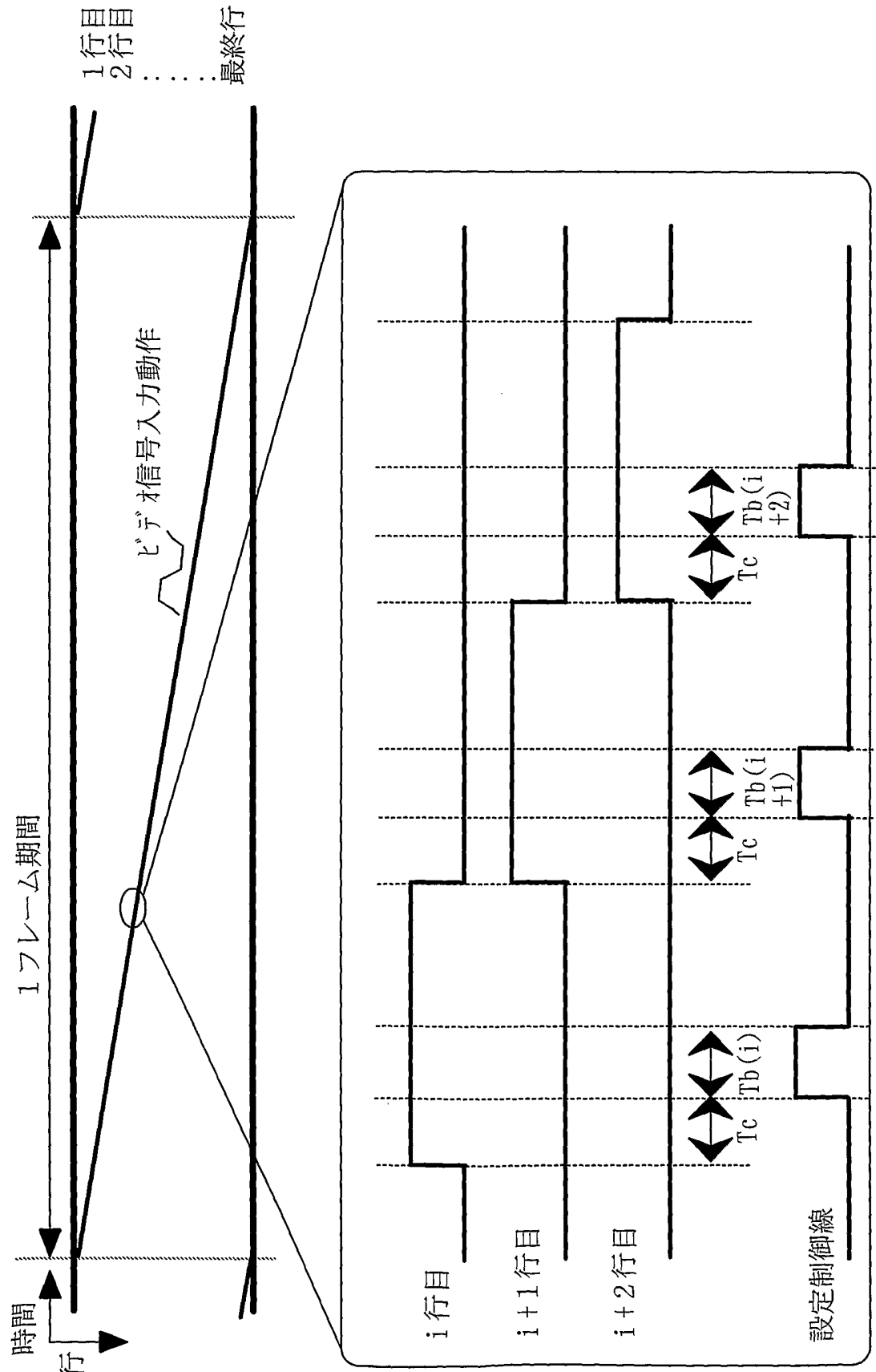


FIG. 9



10/84

FIG. 10

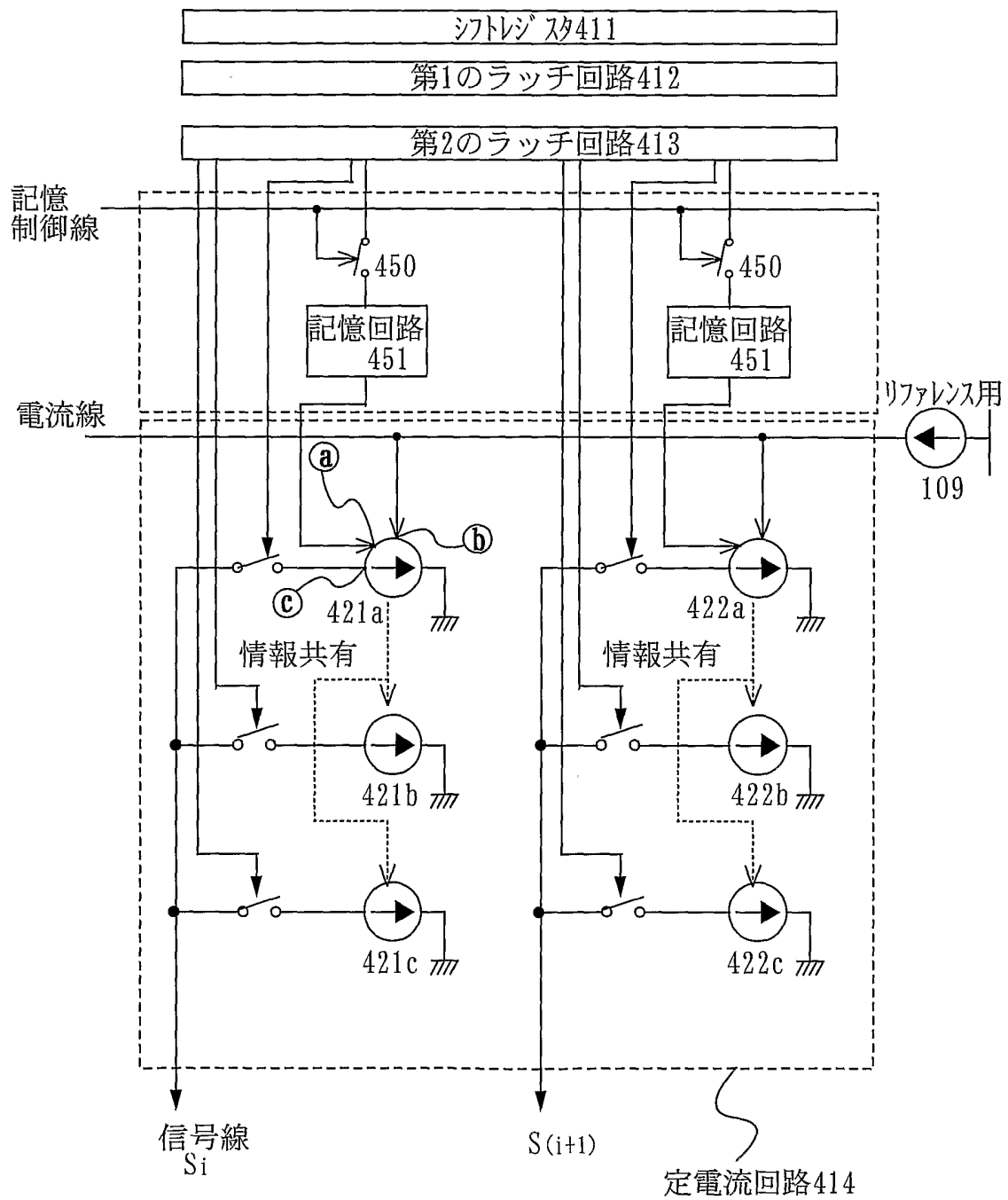
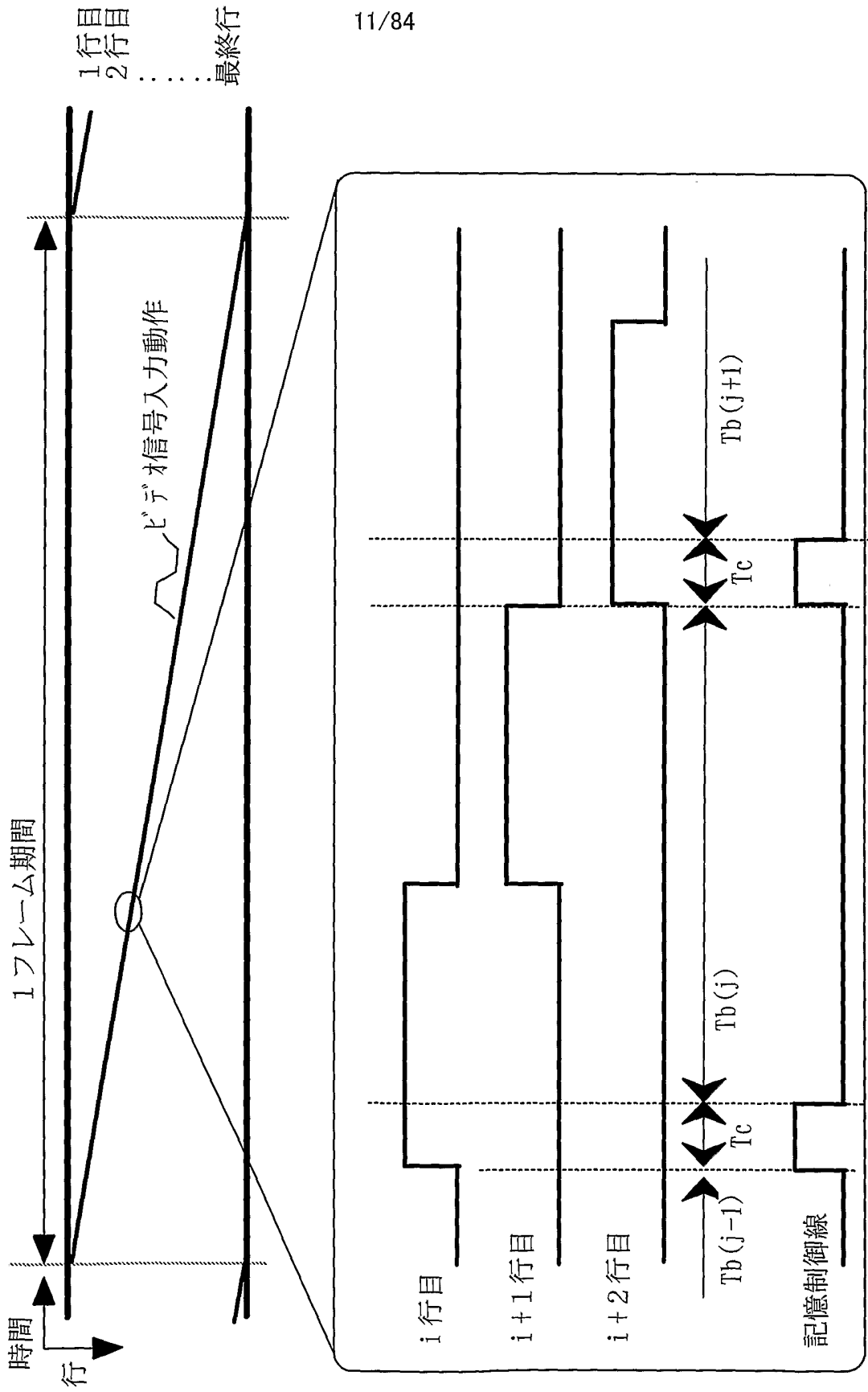


FIG. 11



12/84

FIG. 12A

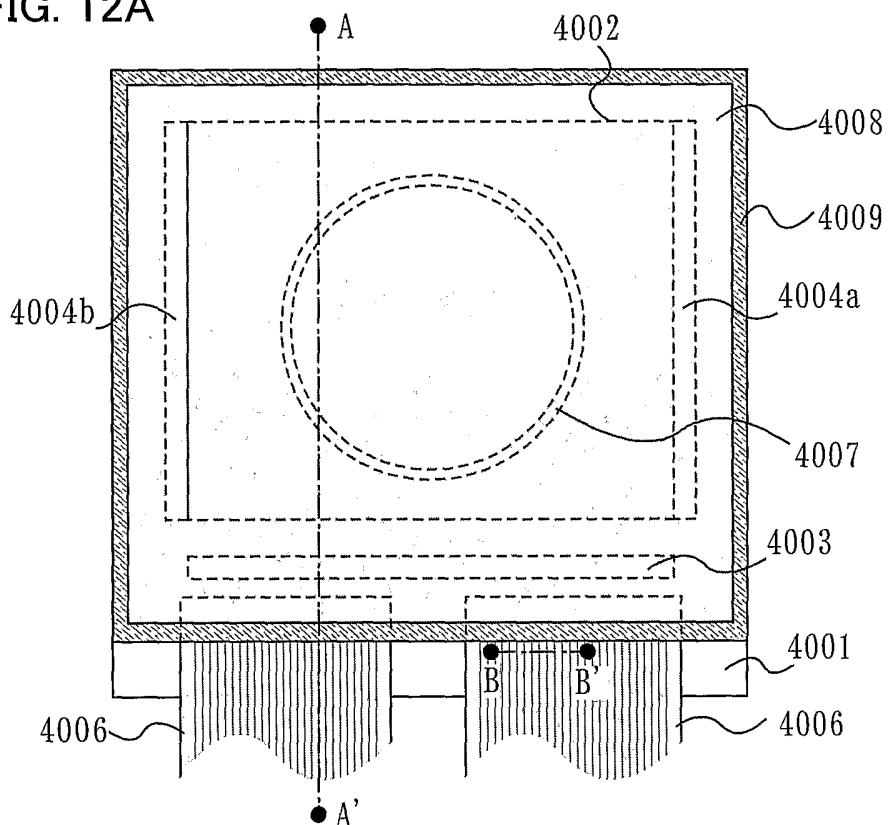


FIG. 12B

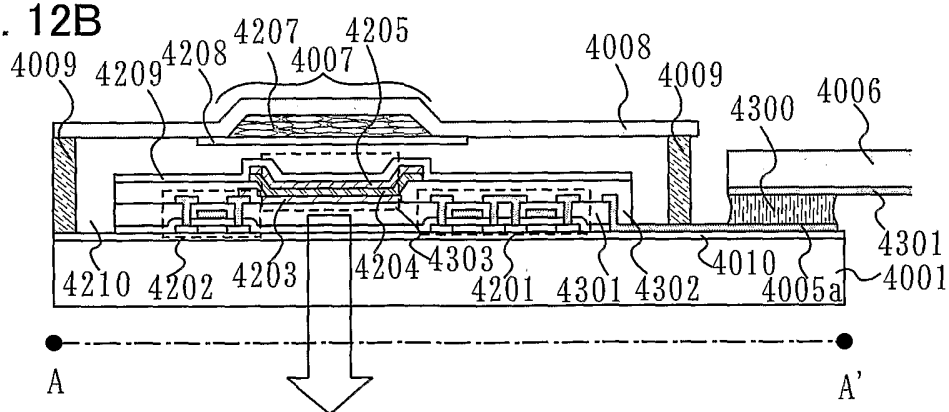
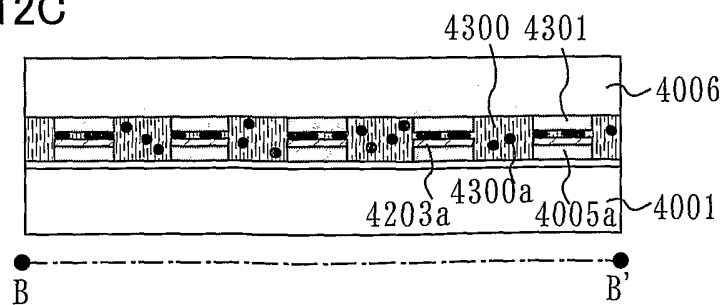


FIG. 12C



差替え用紙 (規則26)

FIG. 13A

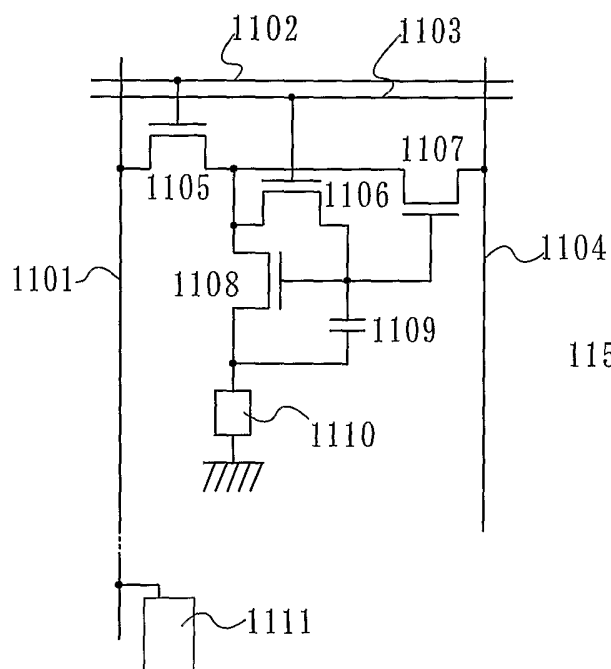


FIG. 13B

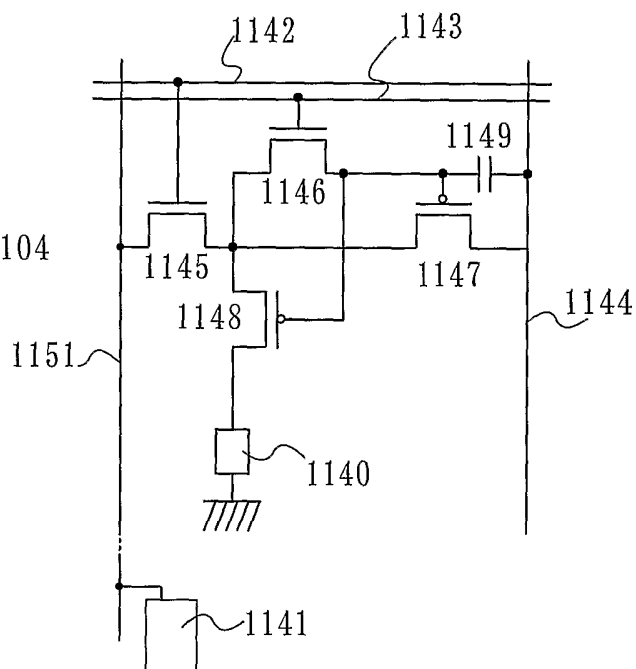
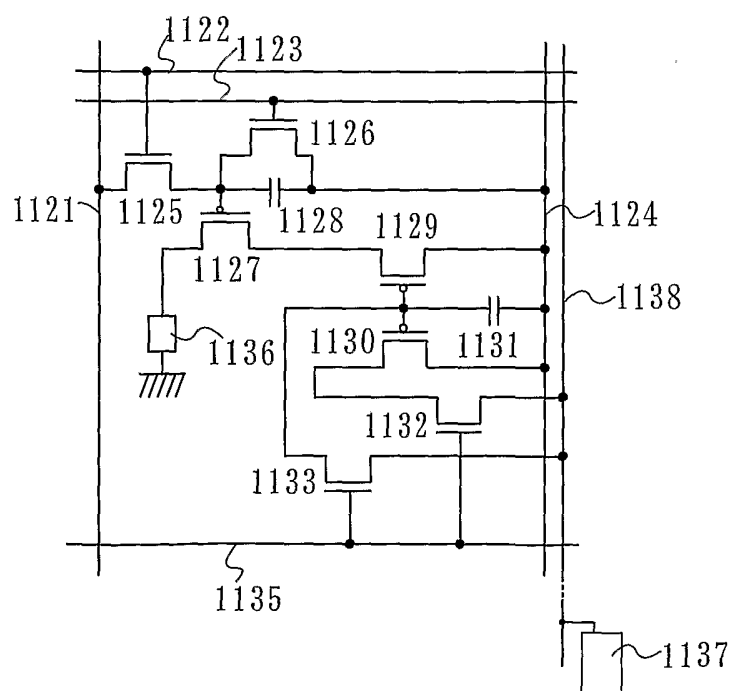


FIG. 13C



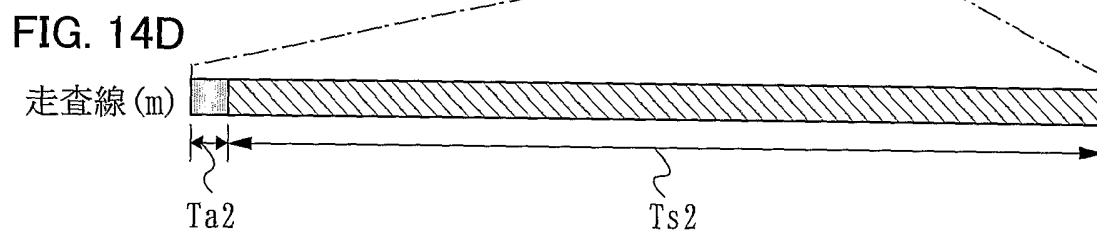
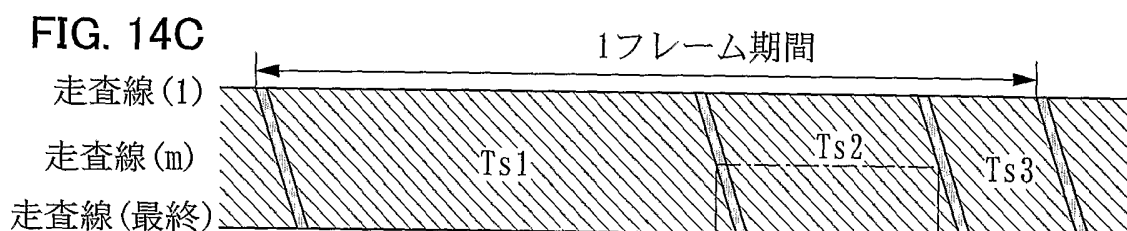
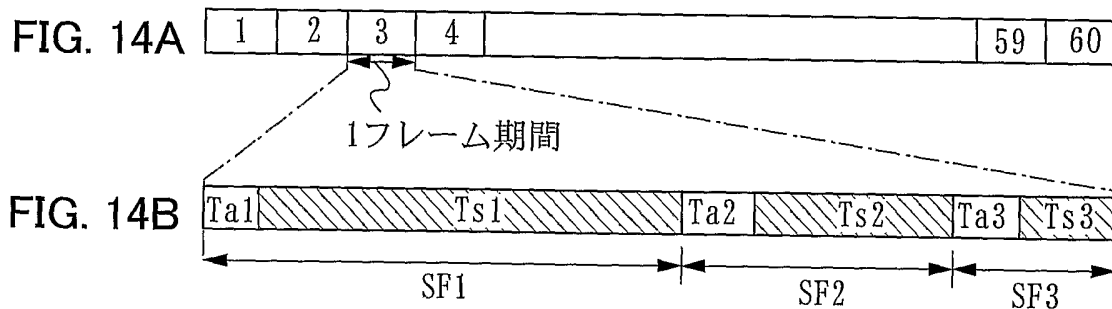


FIG. 15A

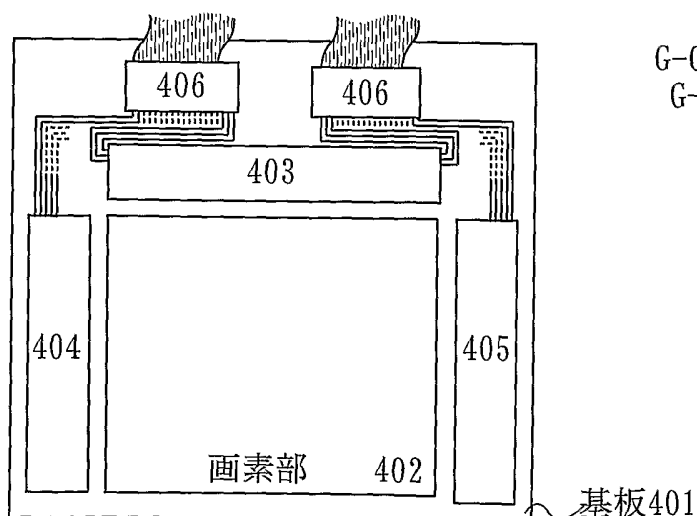
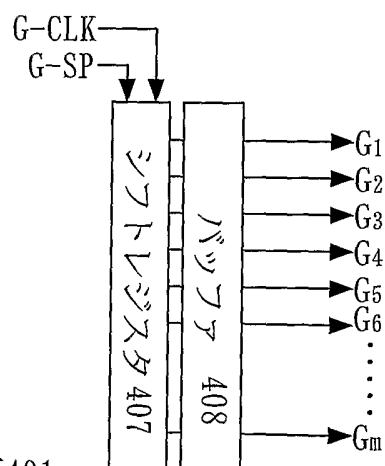


FIG. 15B



15/84

FIG. 16A

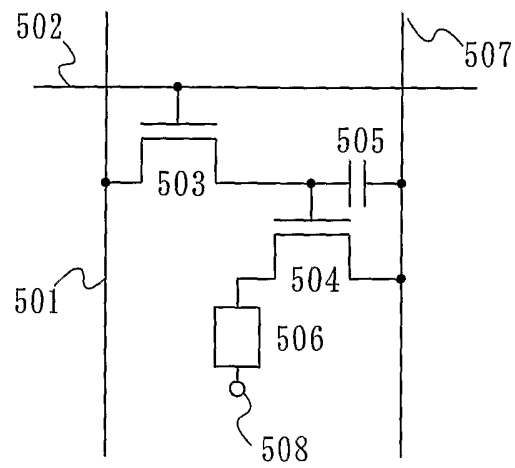
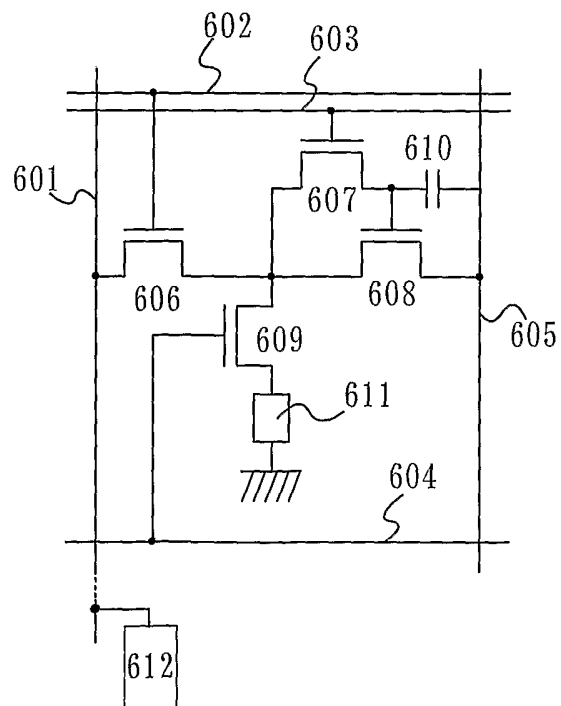


FIG. 16B



16/84

FIG. 17A

信号入力時

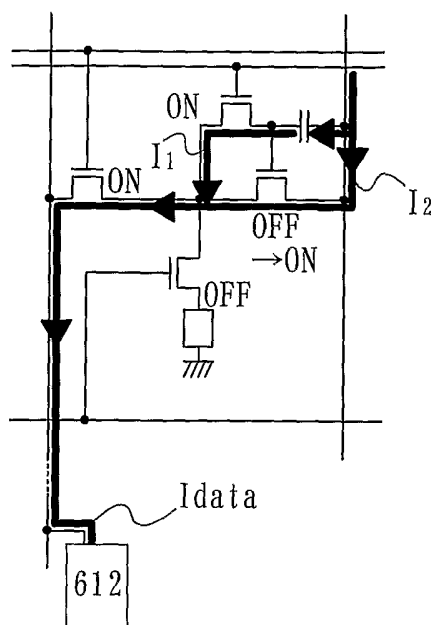


FIG. 17B

信号入力完了時

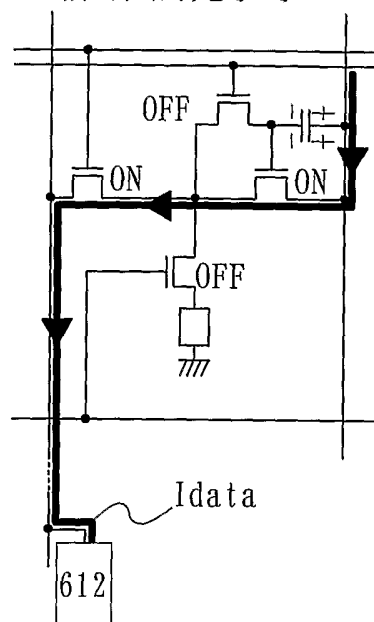


FIG. 17C

発光時

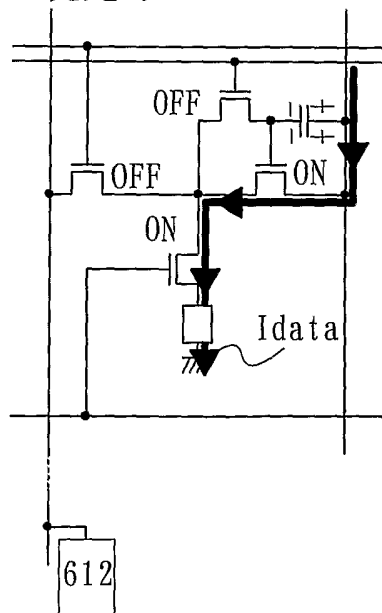


FIG. 17D

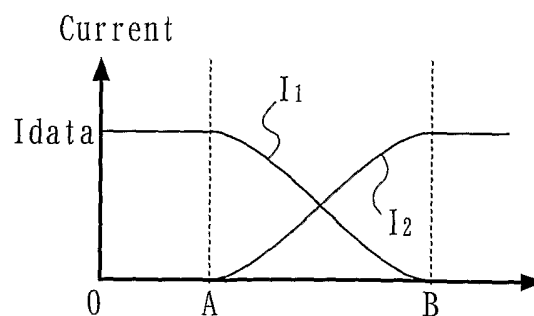


FIG. 17E

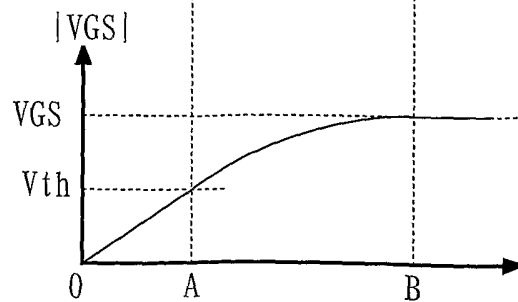


FIG. 18A

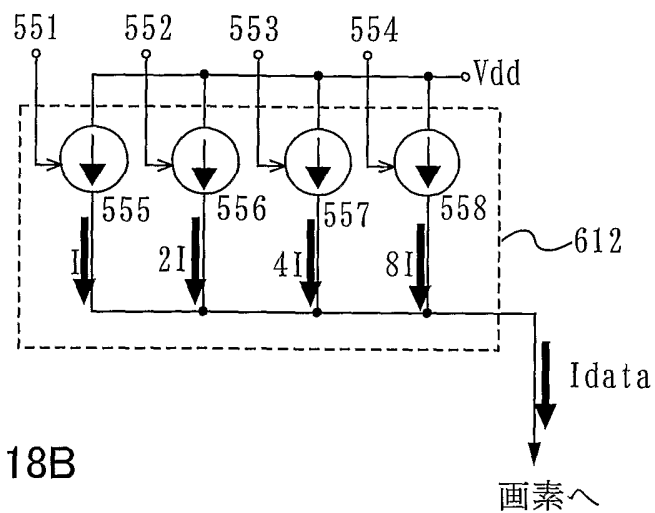


FIG. 18B

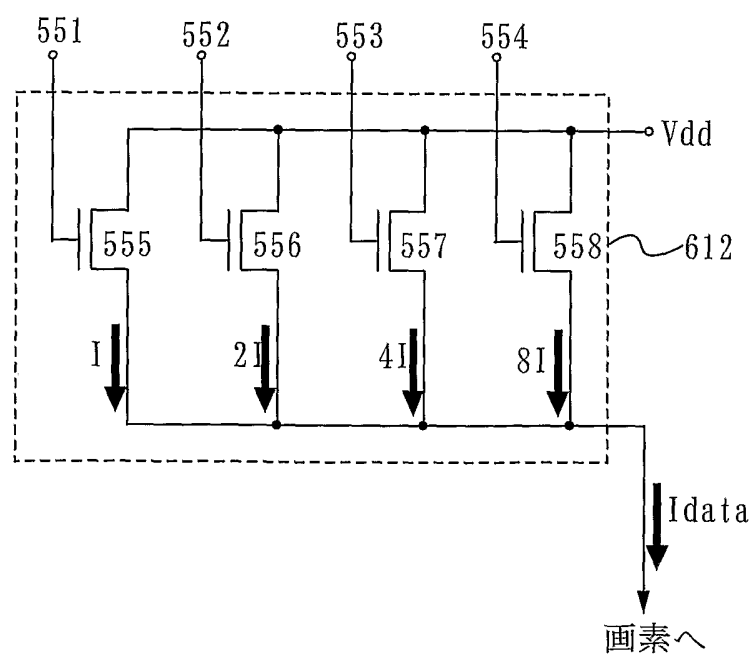


FIG. 19A

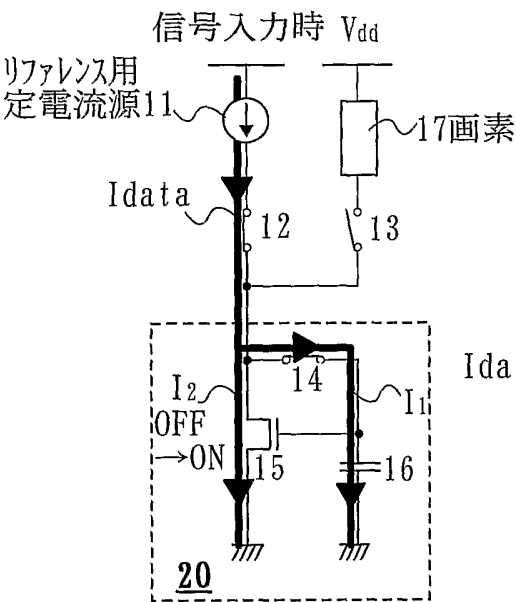


FIG. 19B

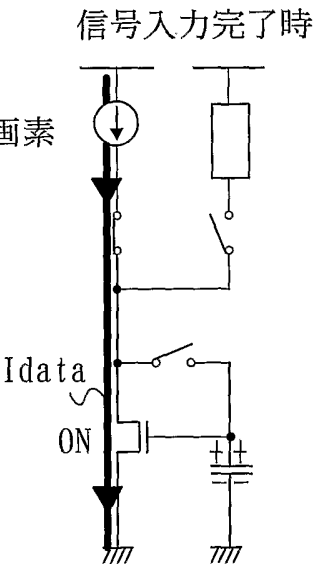


FIG. 19C

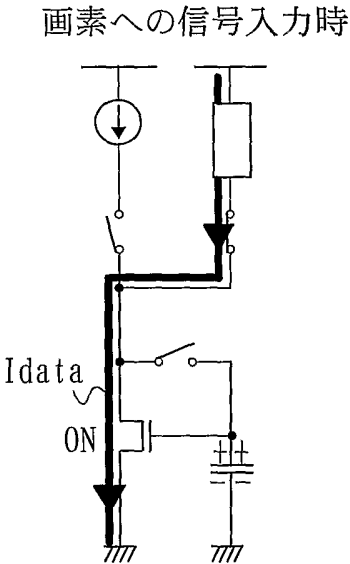


FIG. 19D

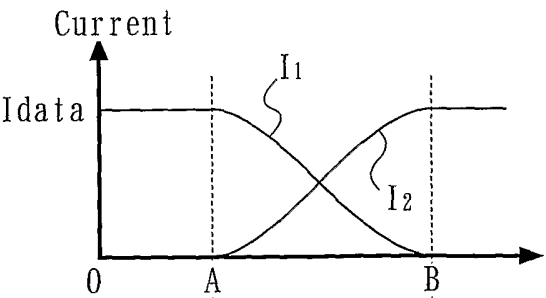


FIG. 19E

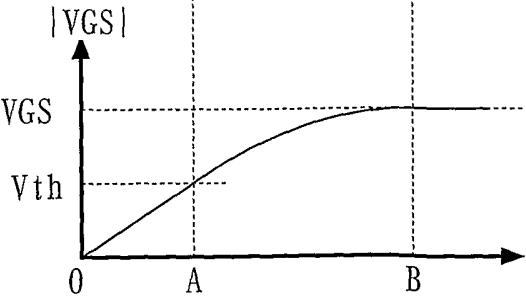


FIG. 19F

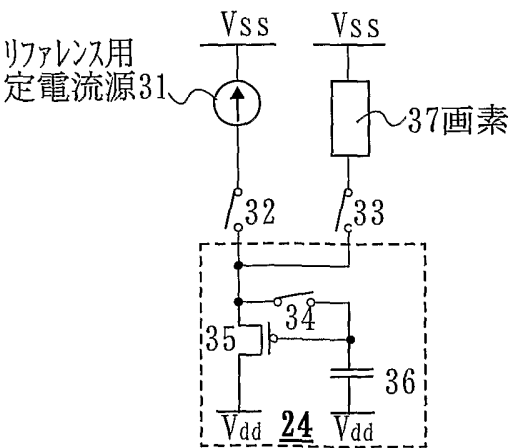


FIG. 20A

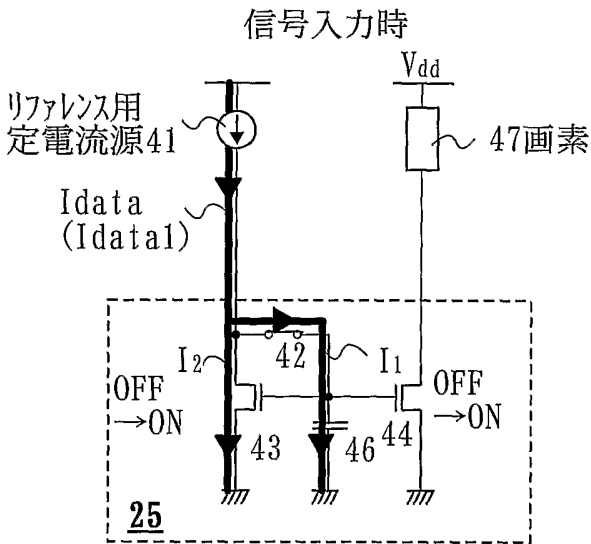


FIG. 20B

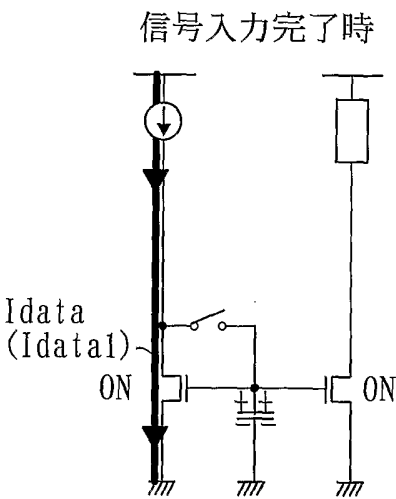


FIG. 20C

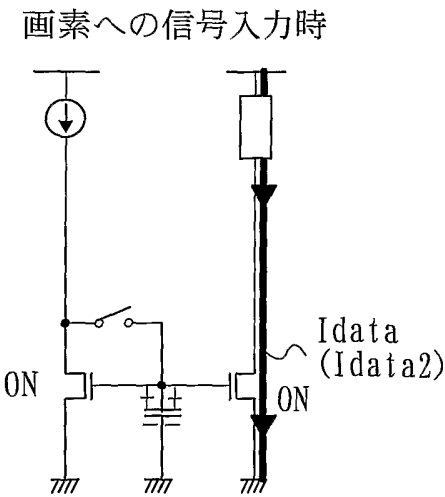


FIG. 20D

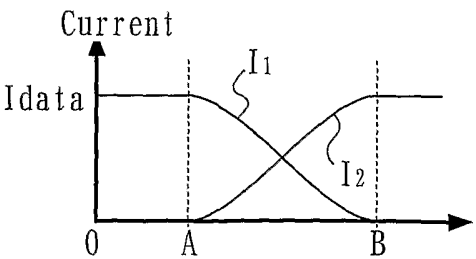


FIG. 20E

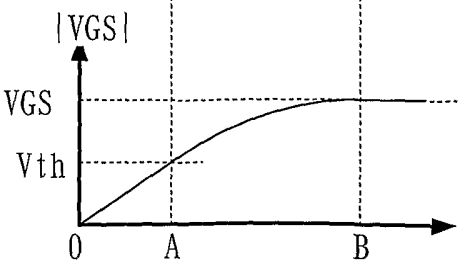
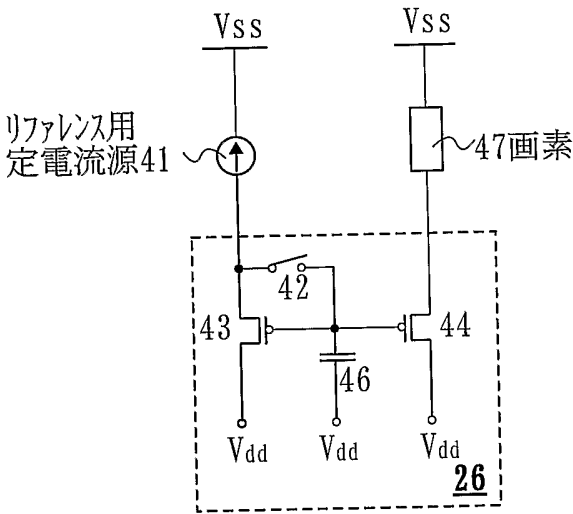


FIG. 21



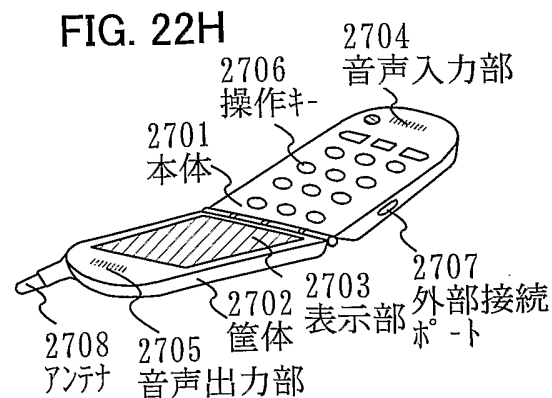
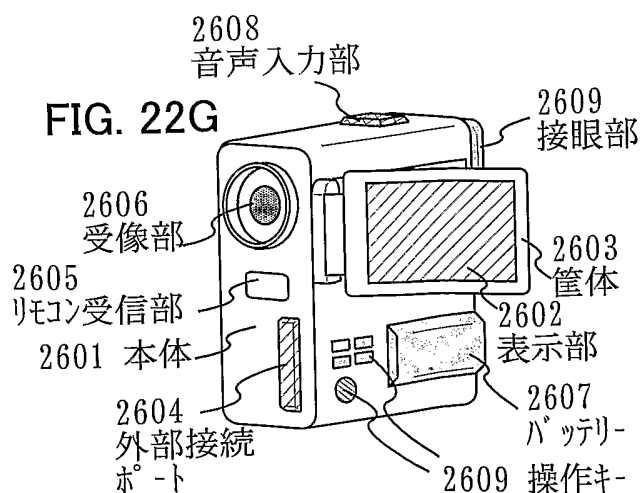
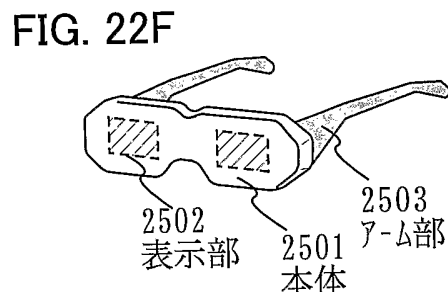
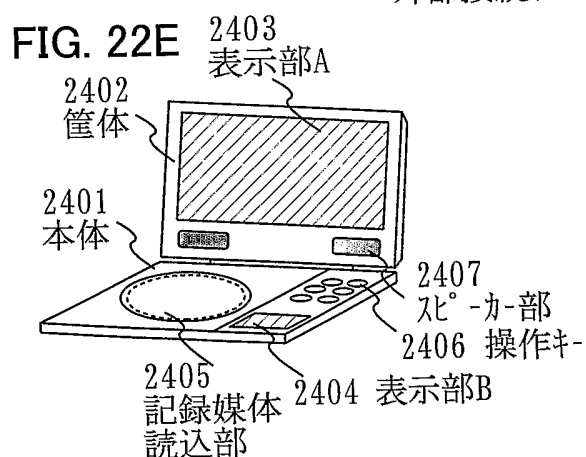
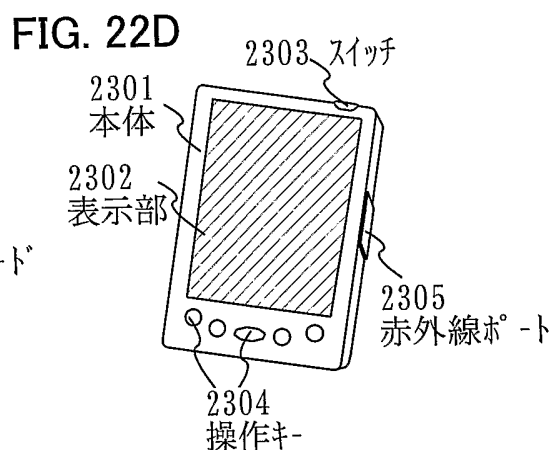
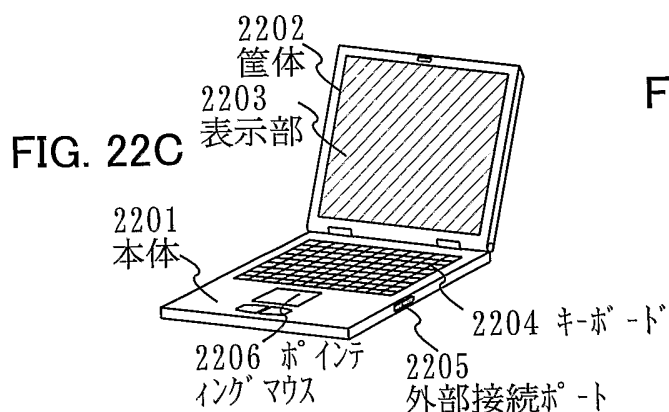
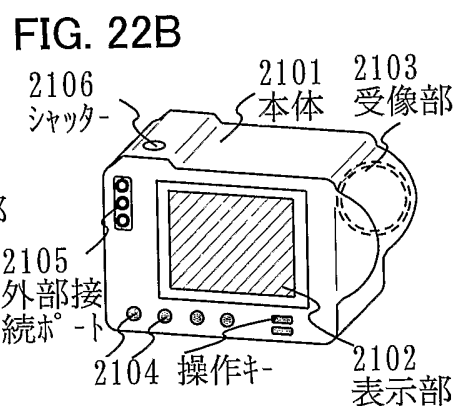
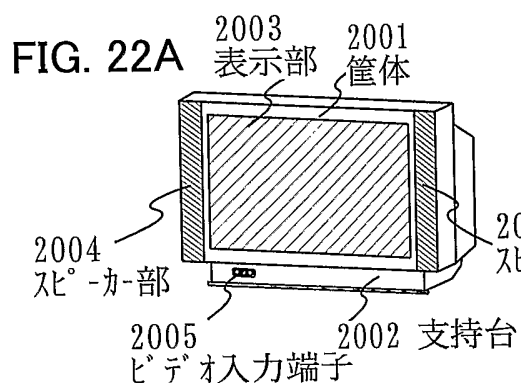


FIG. 23

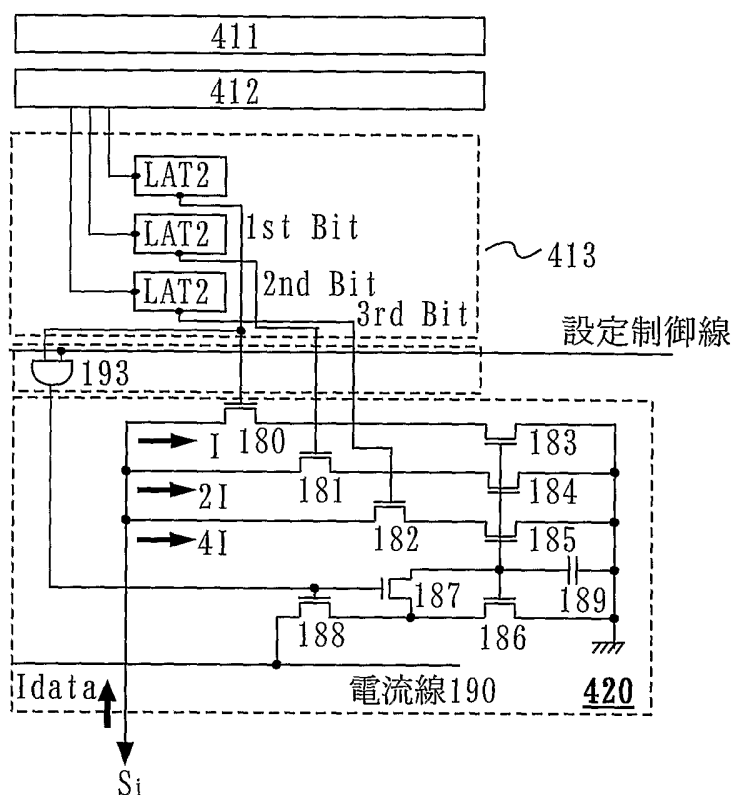


FIG. 24

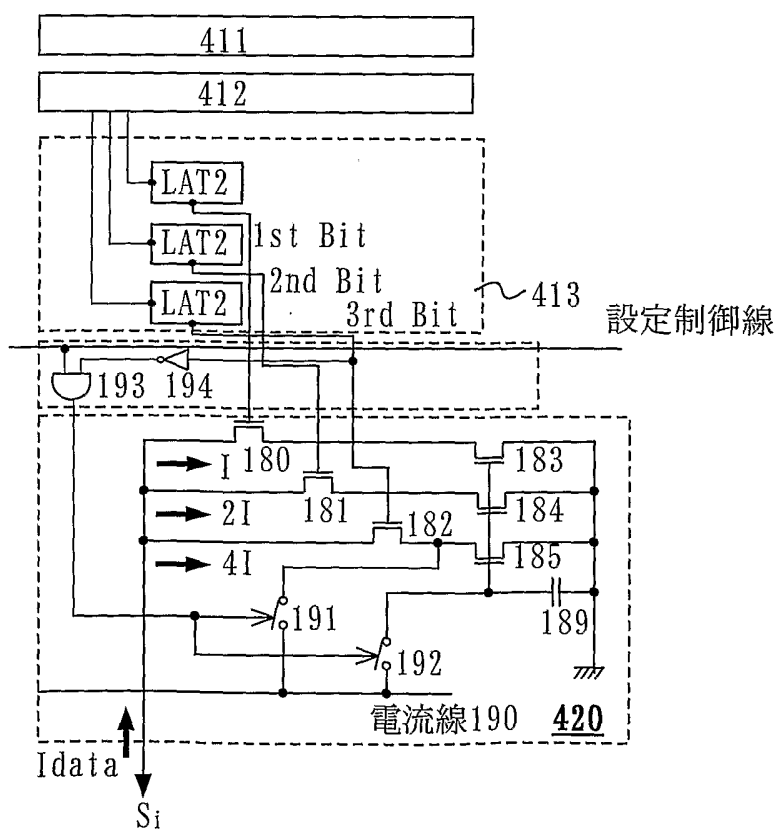


FIG. 25A

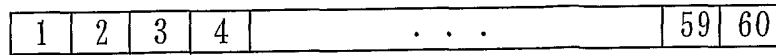


FIG. 25B

走査線 (1)
走査線 (m)
走査線 (最終)

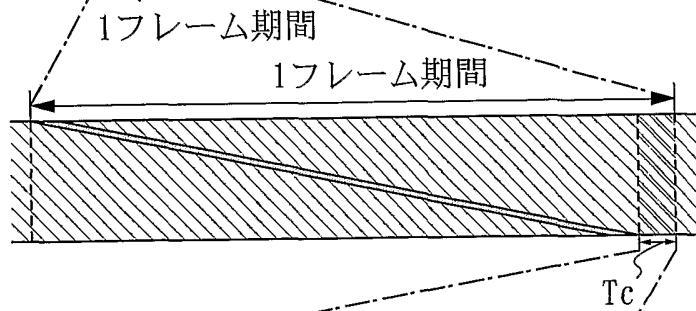


FIG. 25C

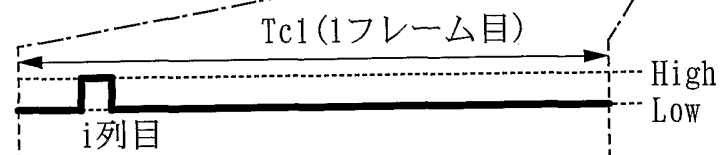


FIG. 25D

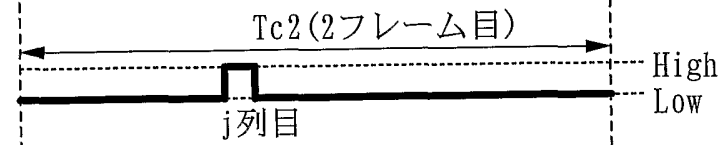


FIG. 25E

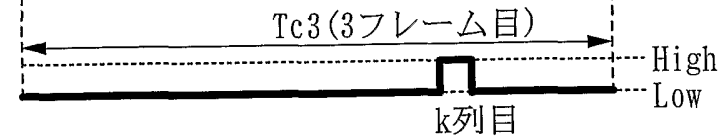


FIG. 26A

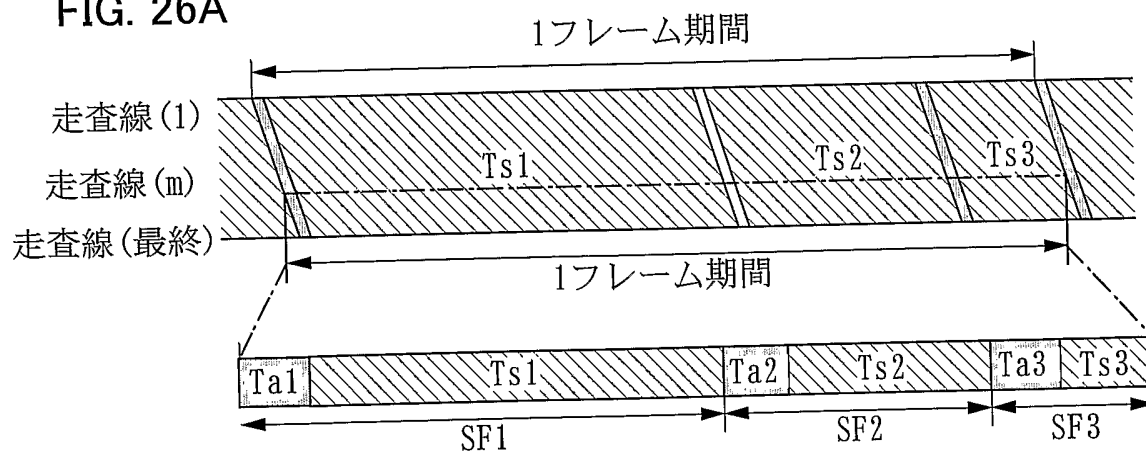


FIG. 26B

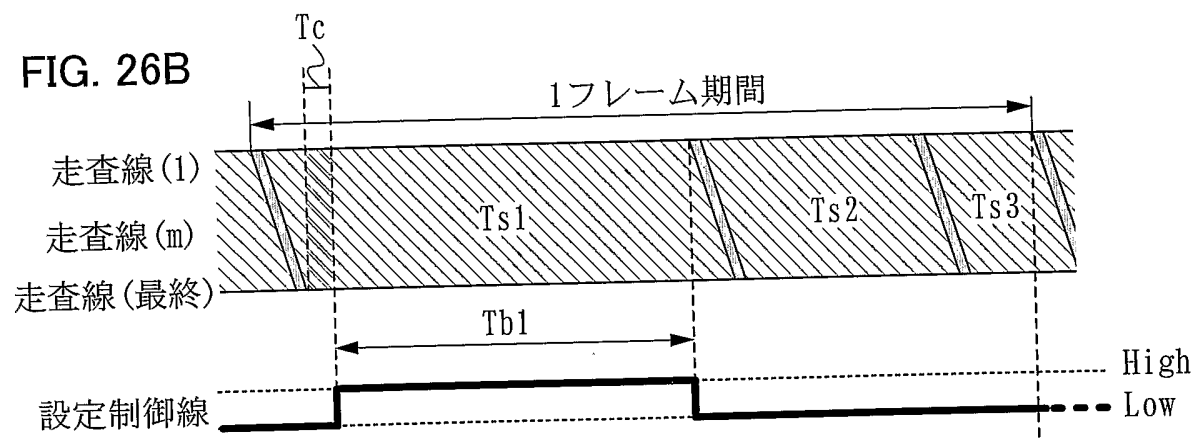


FIG. 26C

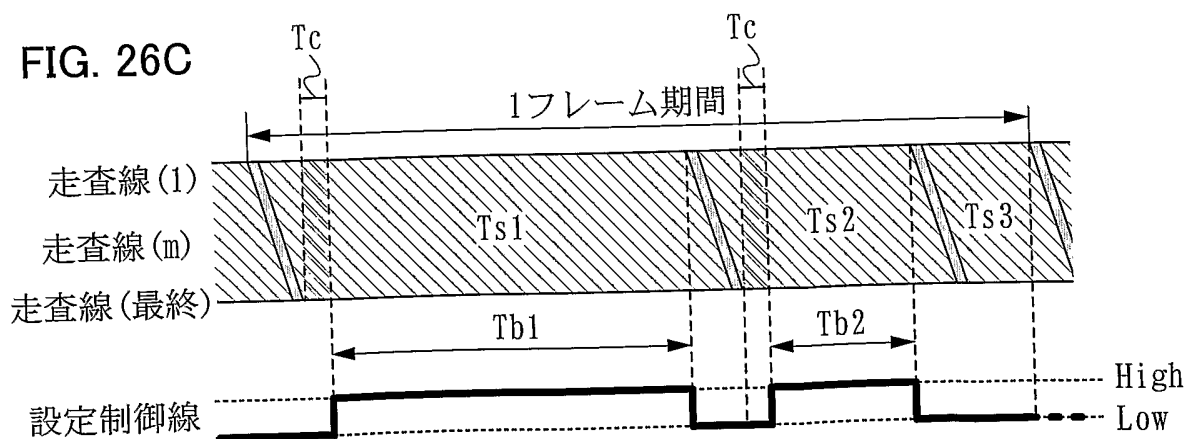
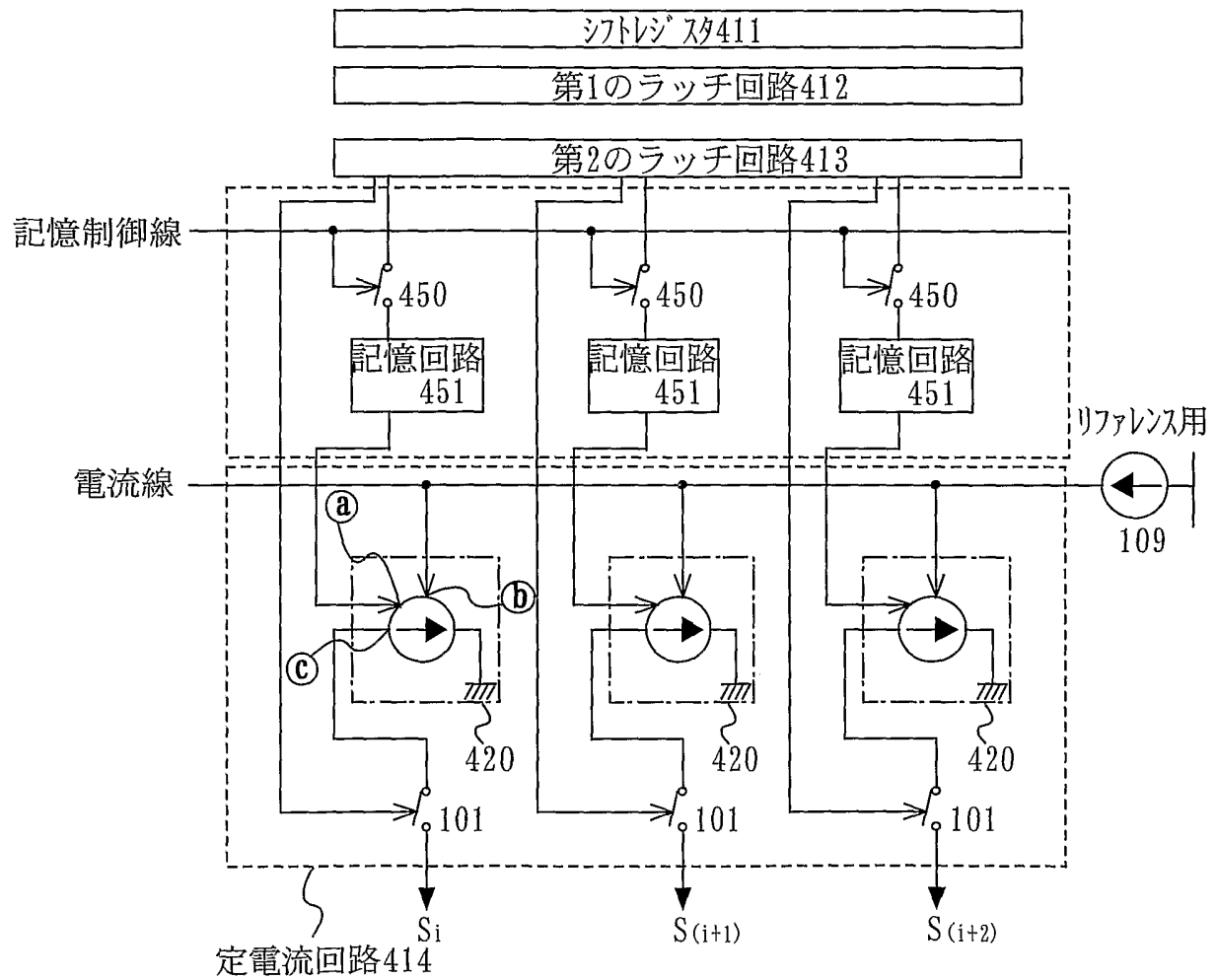


FIG. 27



27/84

FIG. 29A

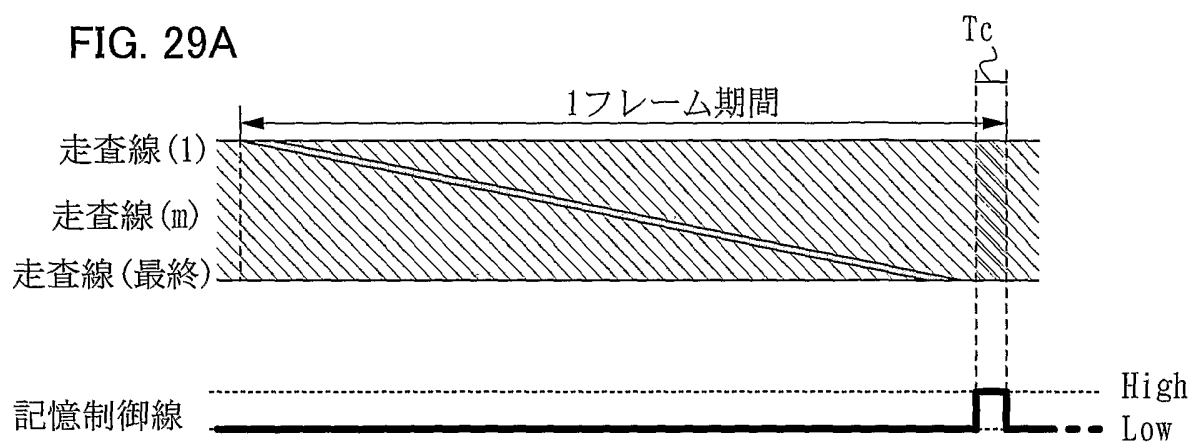


FIG. 29B

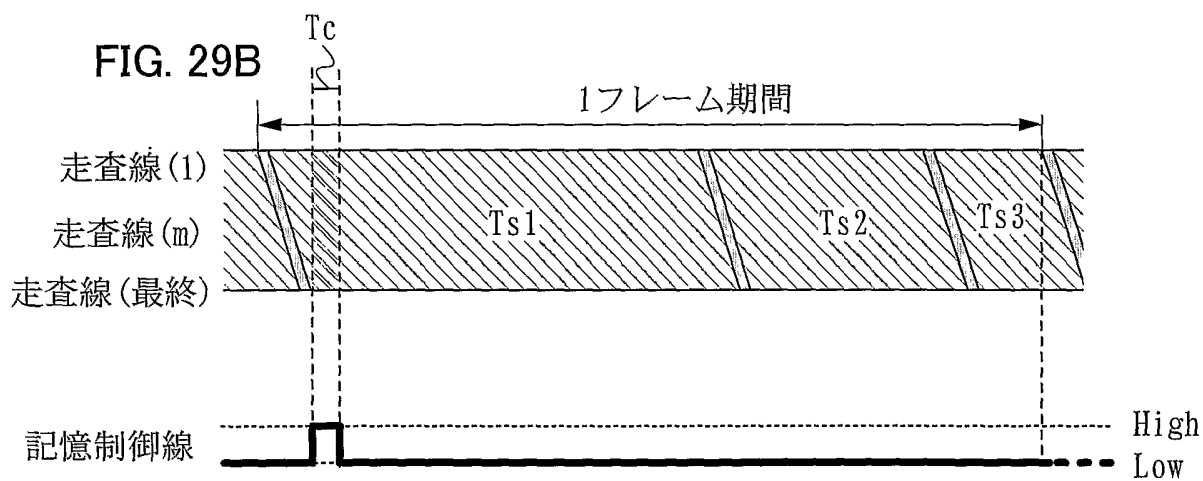


FIG. 29C

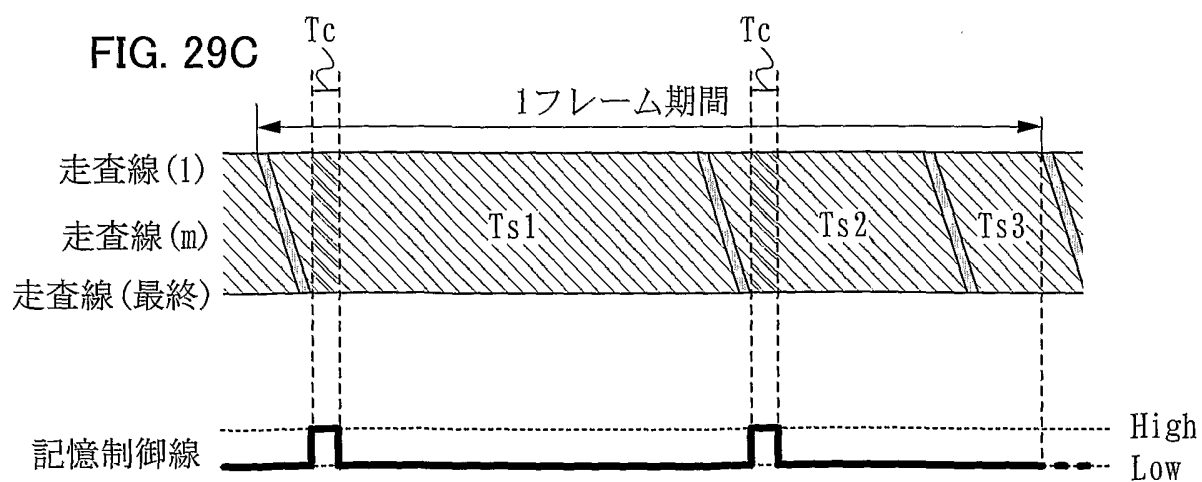


FIG. 30

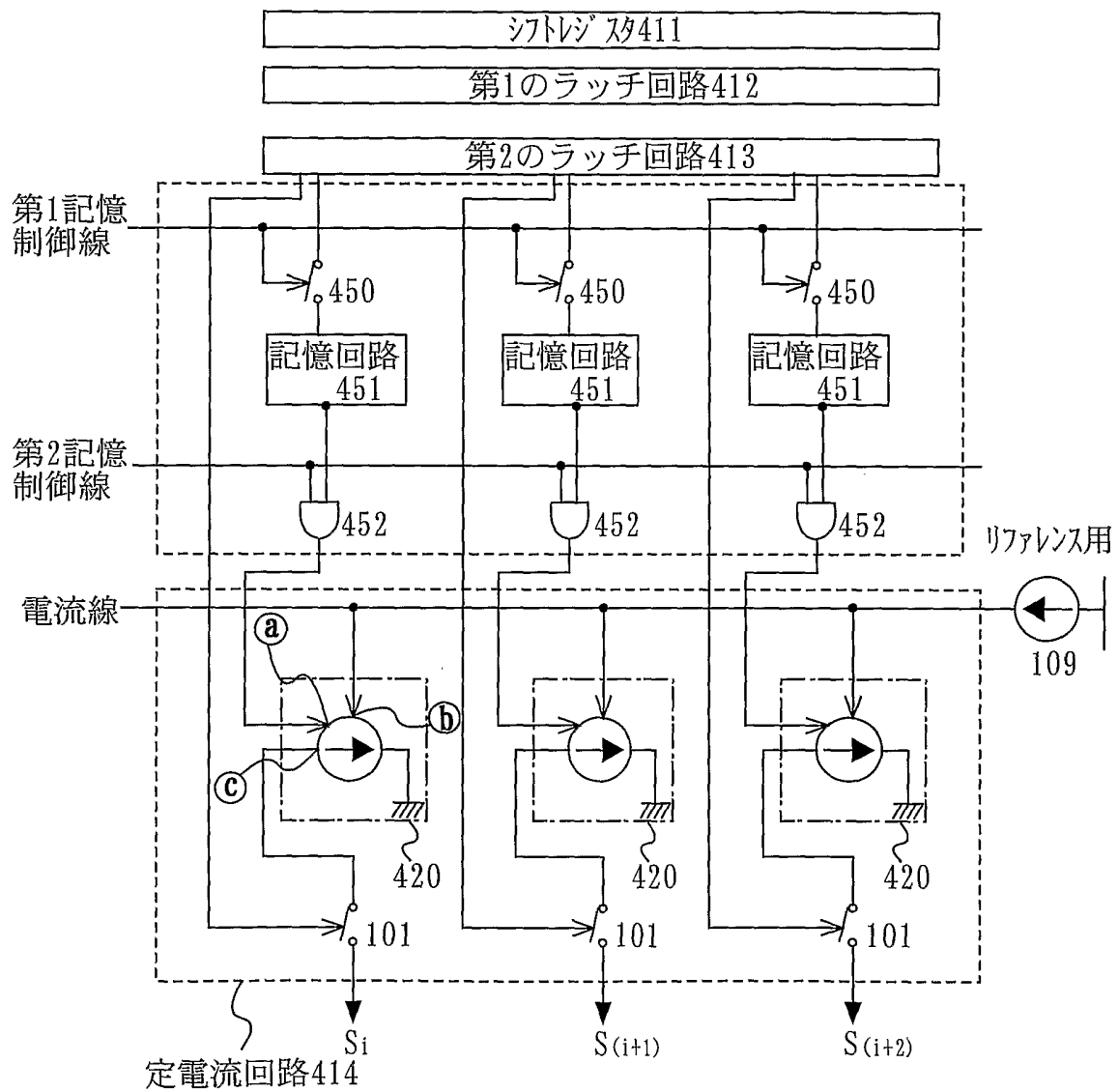


FIG. 31A

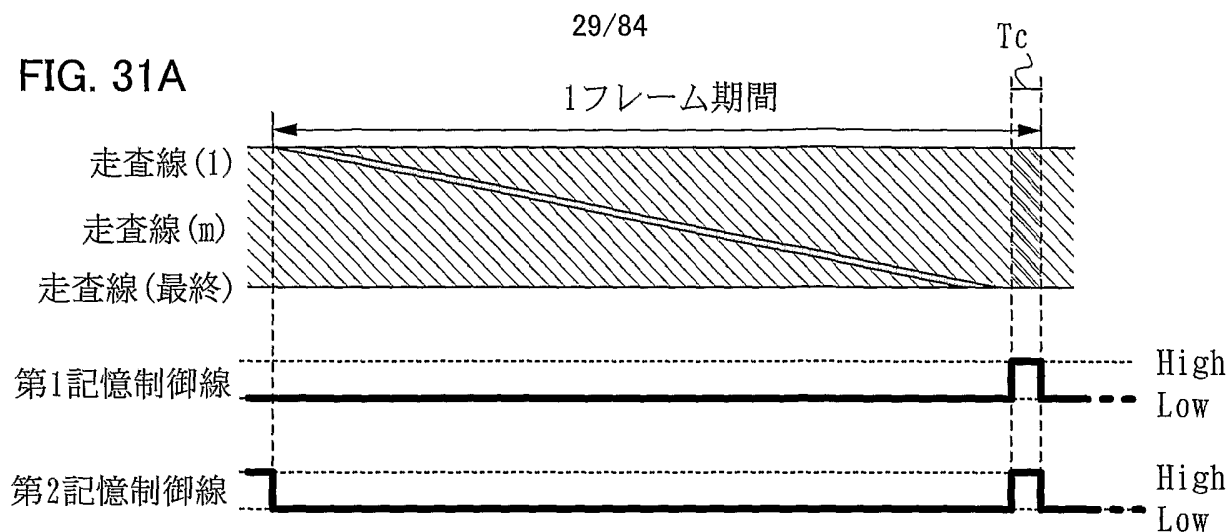


FIG. 31B

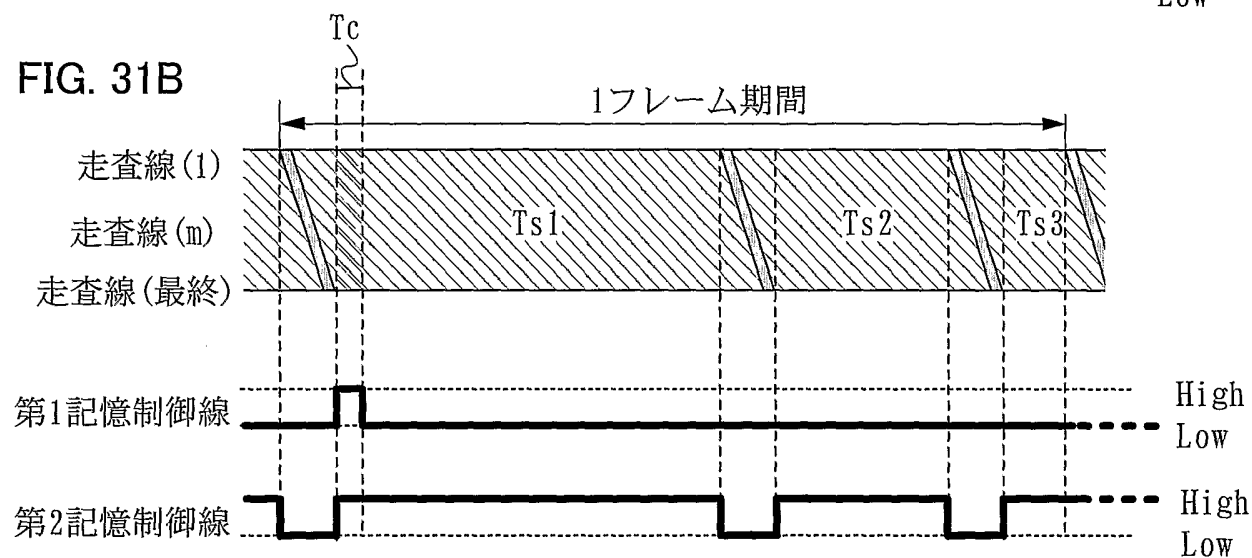
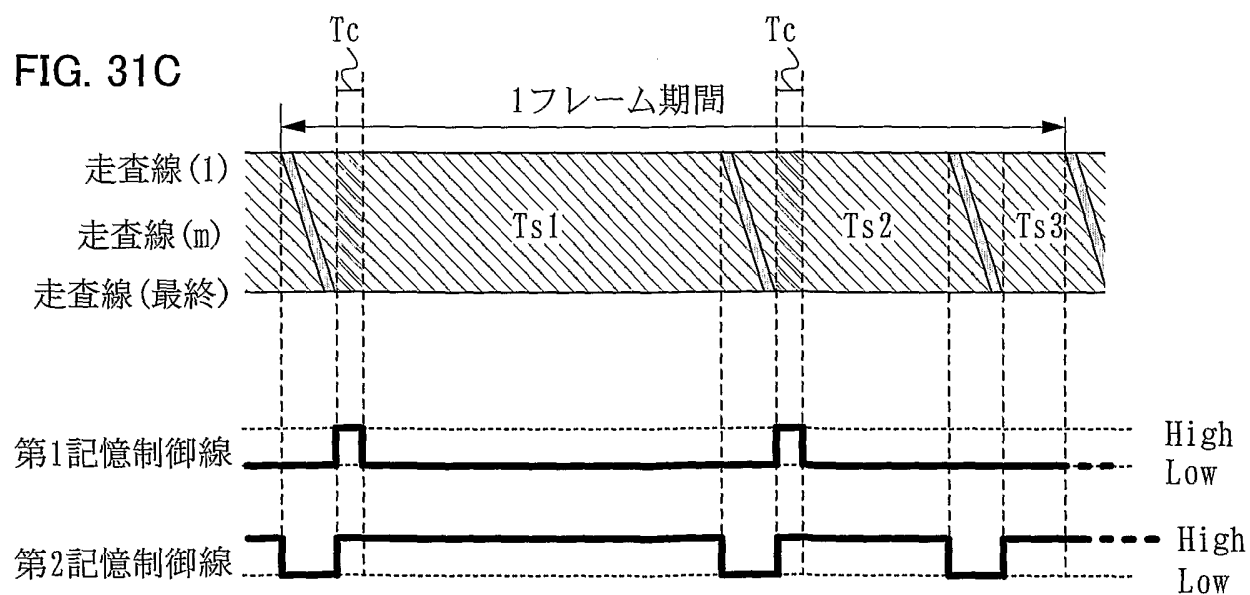


FIG. 31C



30/84

FIG. 32

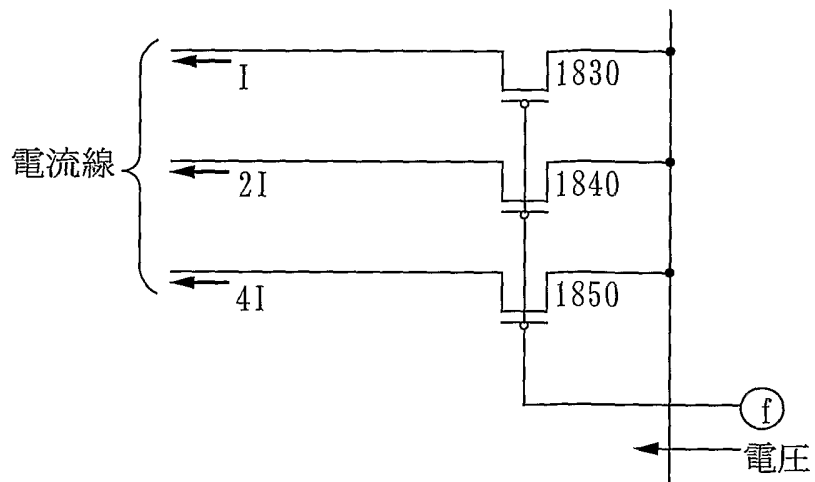


FIG. 33A

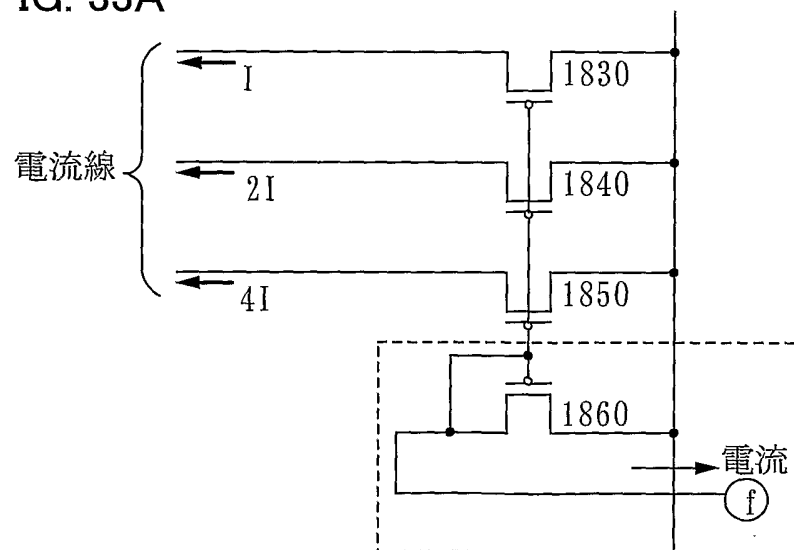


FIG. 33B

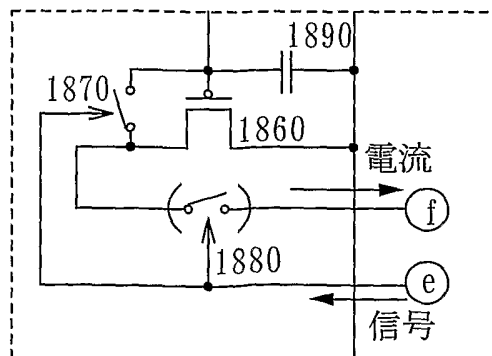


FIG. 34

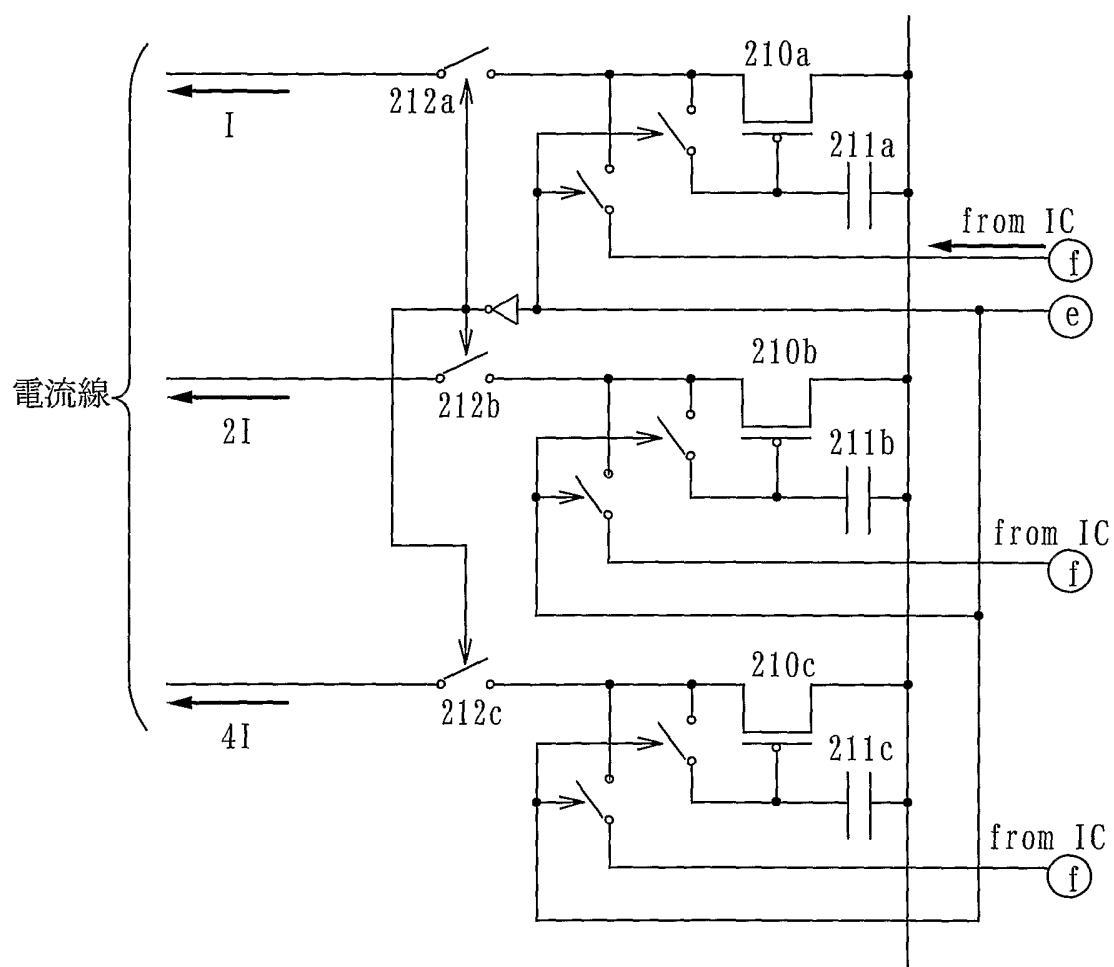


FIG. 35

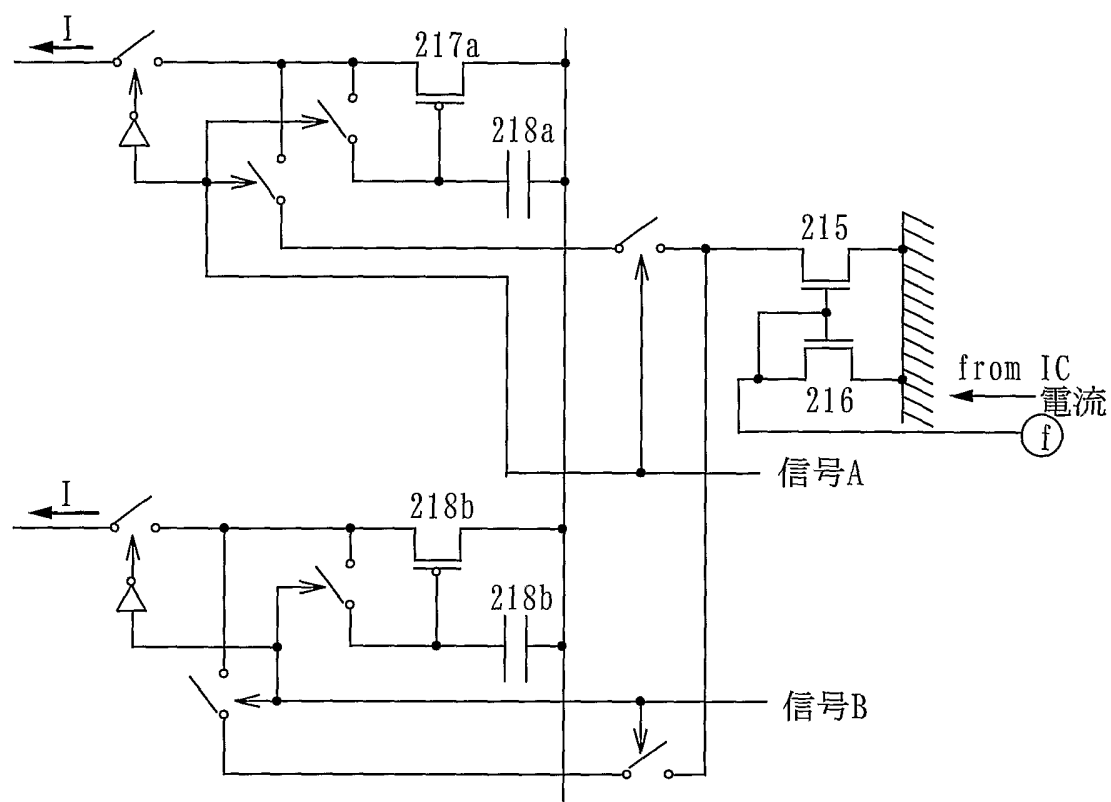


FIG. 36

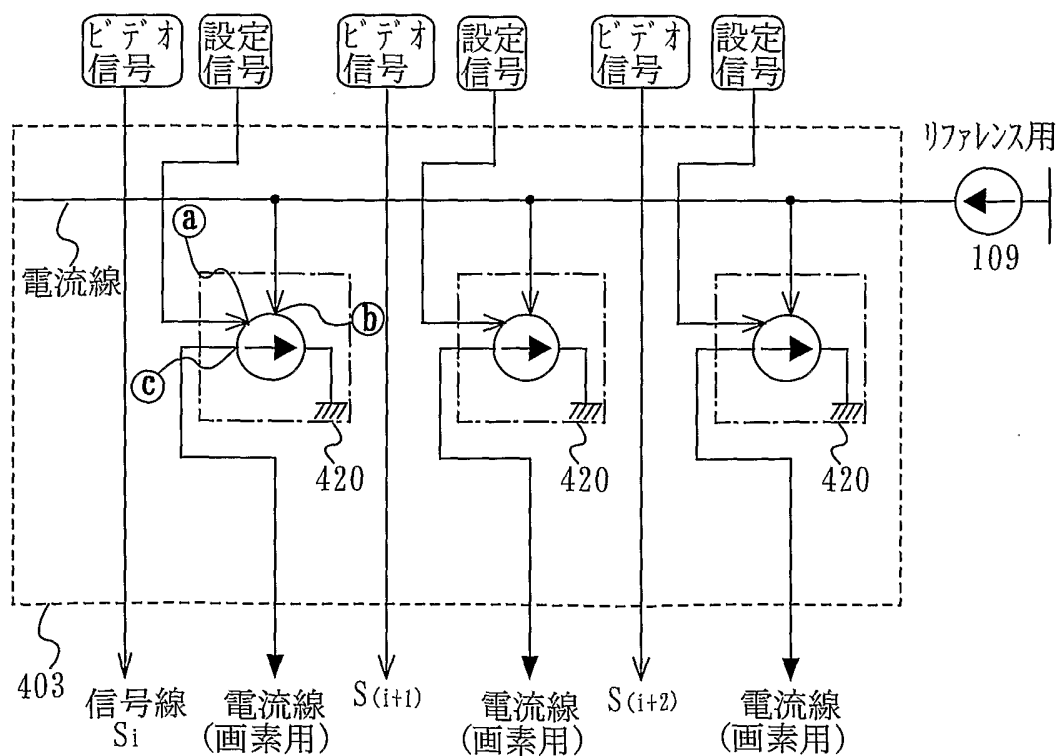
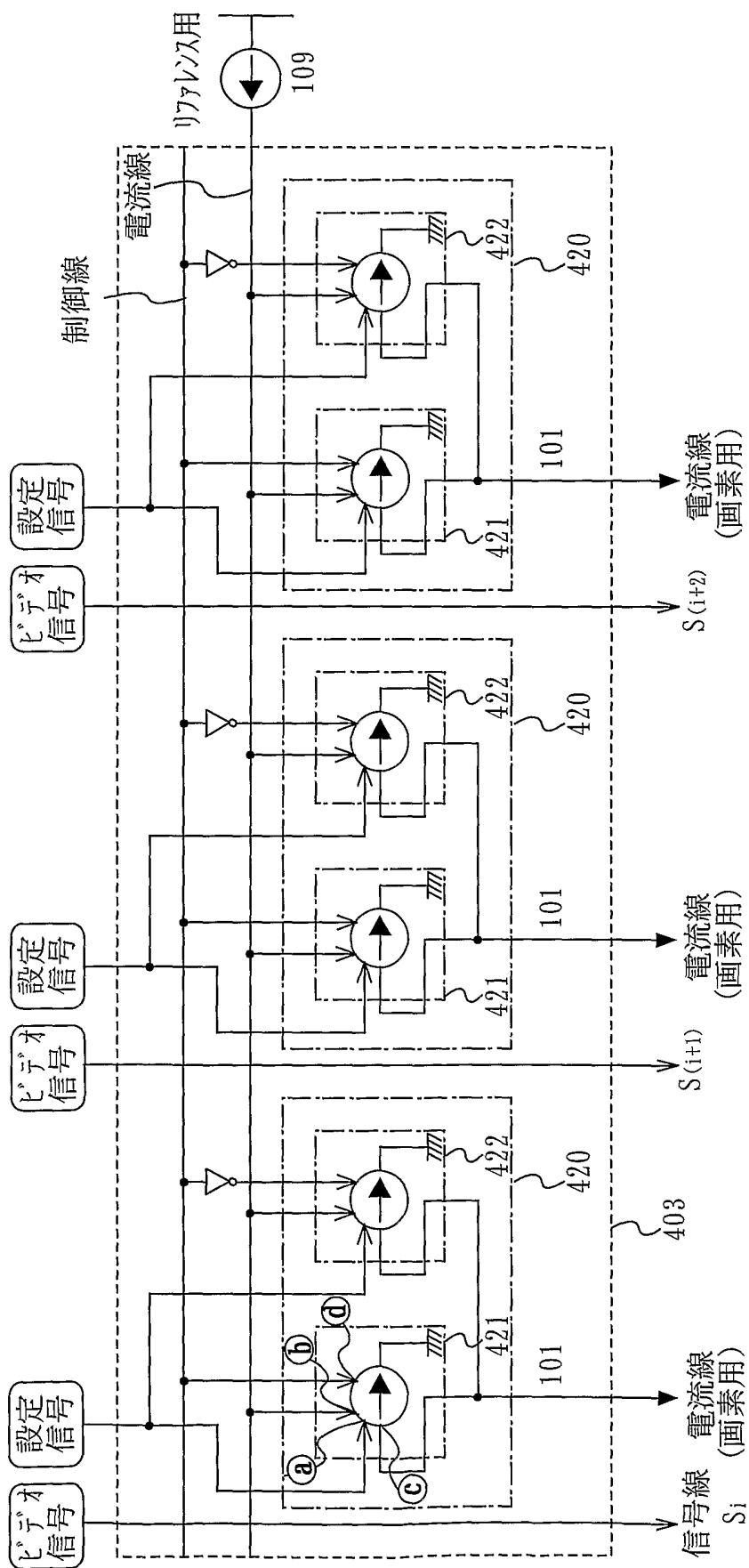


FIG. 37



34/84

FIG. 38A

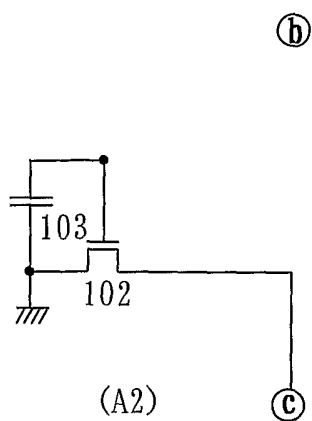
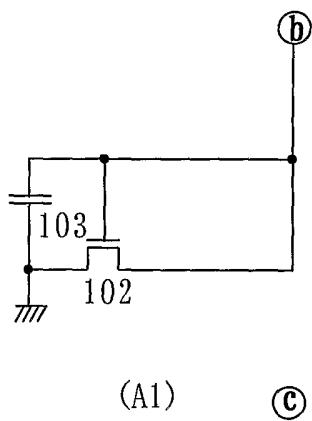


FIG. 38B

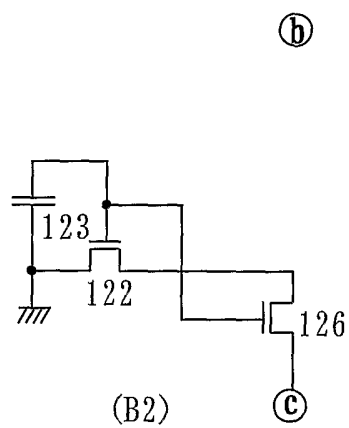
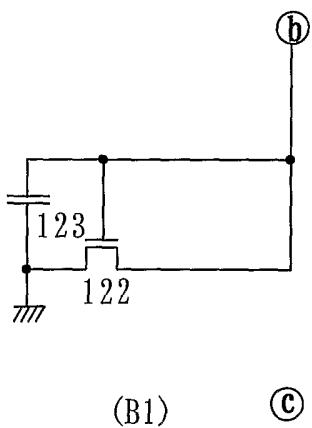


FIG. 38C

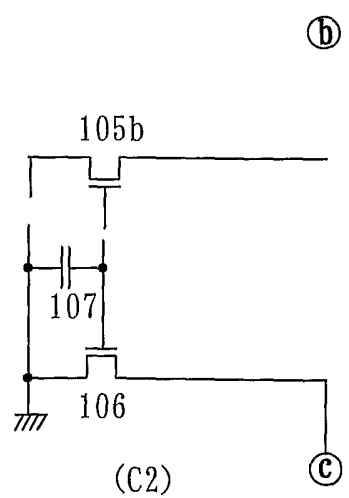
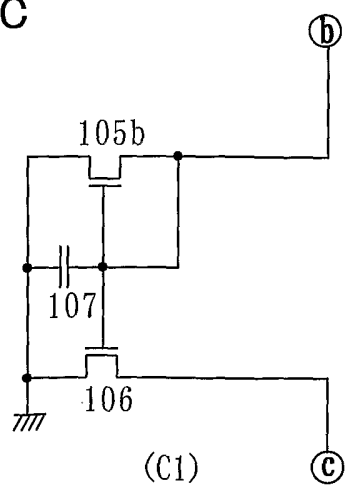


FIG. 39A

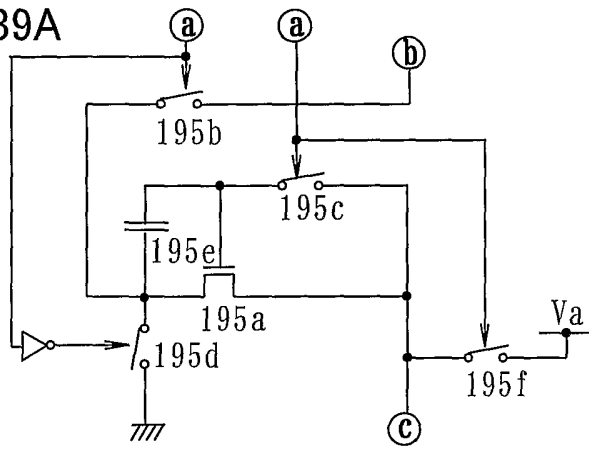


FIG. 39B

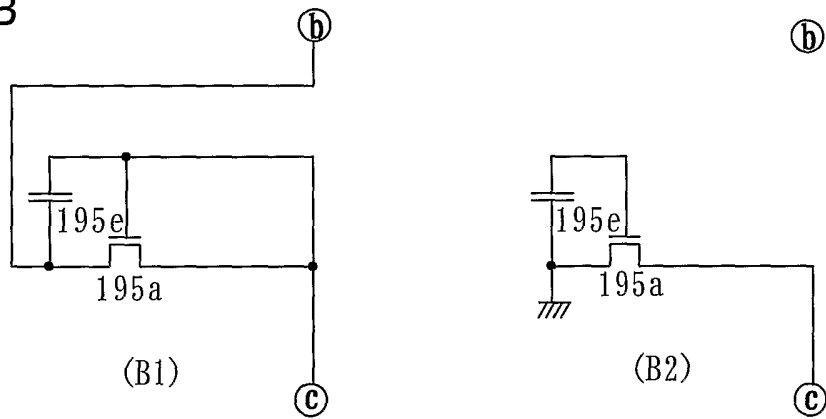
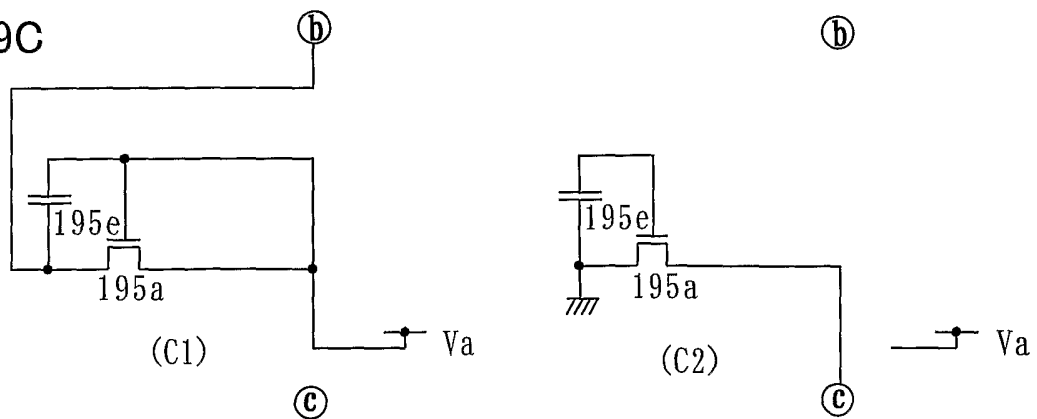


FIG. 39C



36/84

FIG. 40A

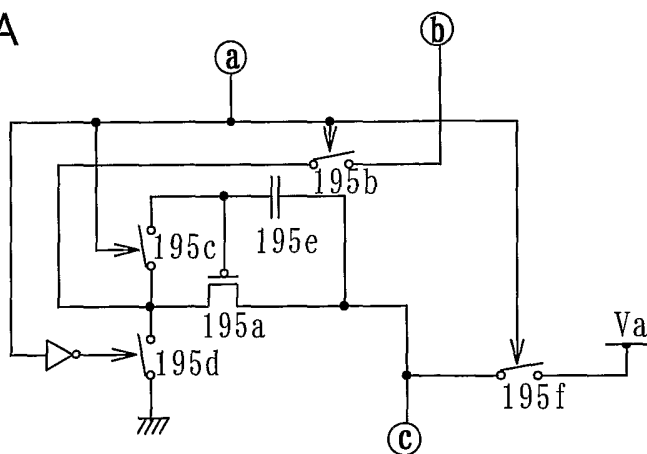
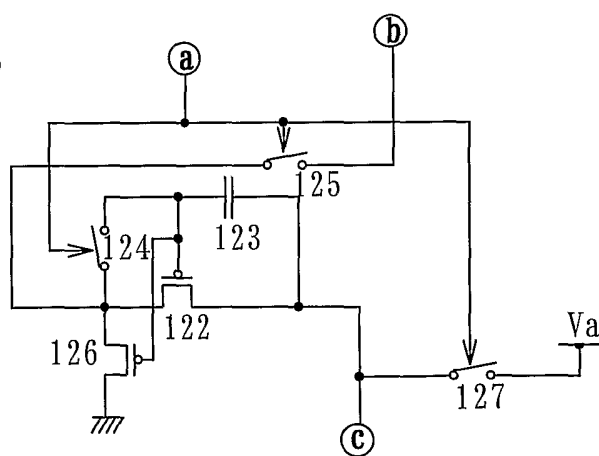


FIG. 40B



37/84

FIG. 41A

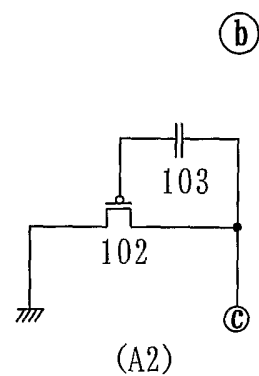
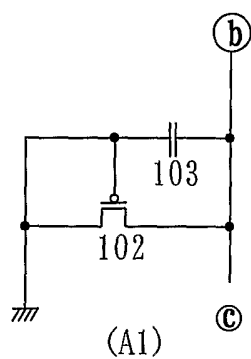


FIG. 41B

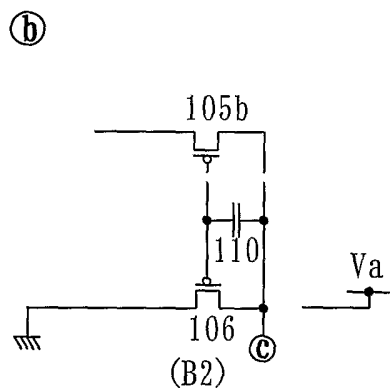
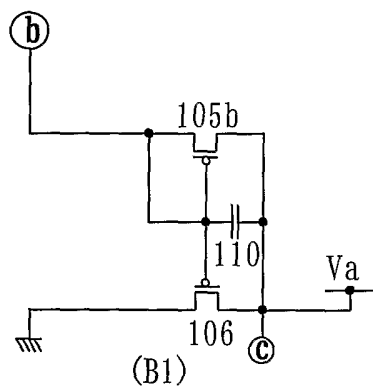


FIG. 41C

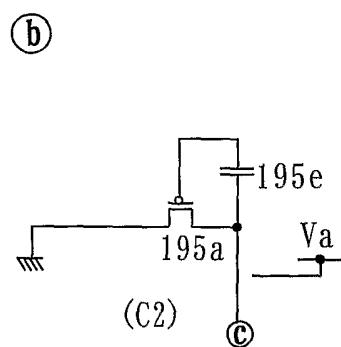
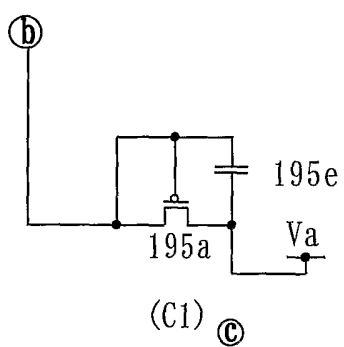
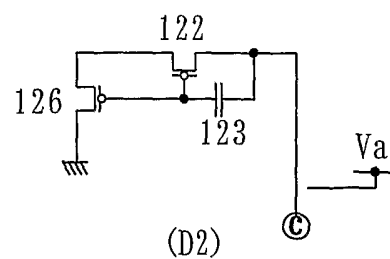
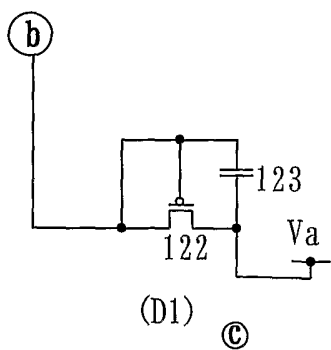


FIG. 41D



38/84

FIG. 42A

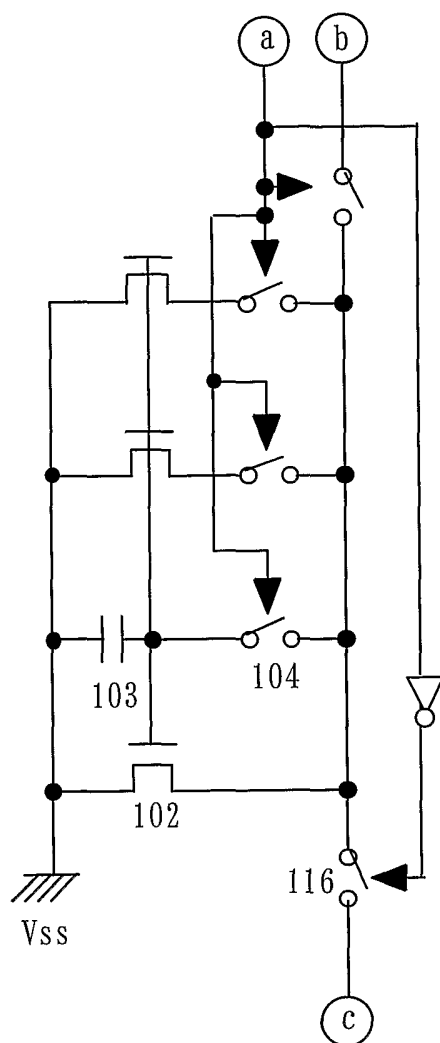


FIG. 42B

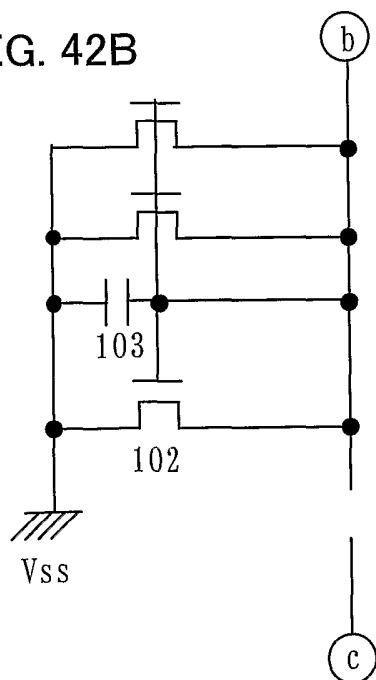
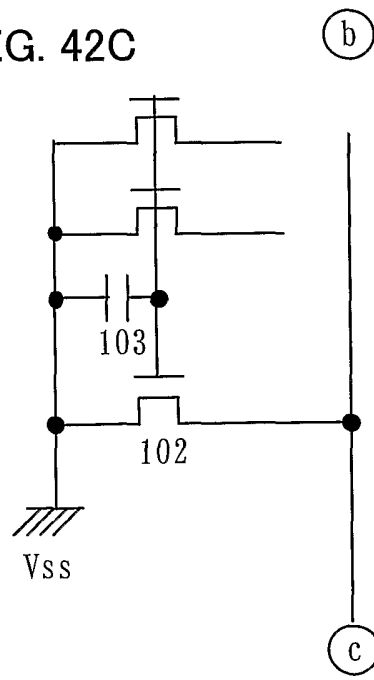


FIG. 42C



39/84

FIG. 43

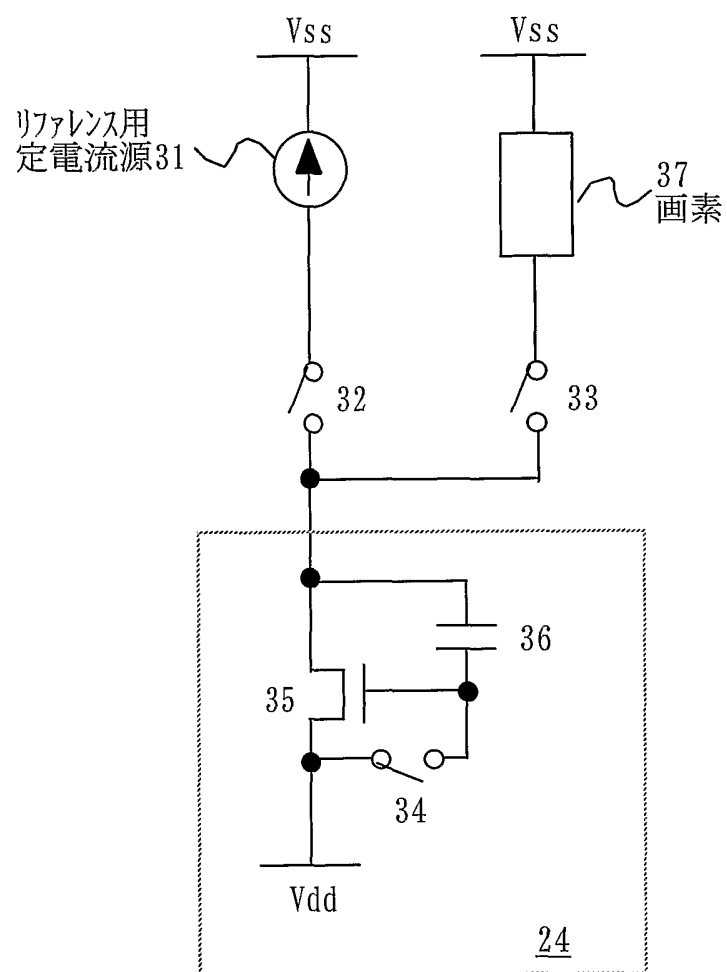
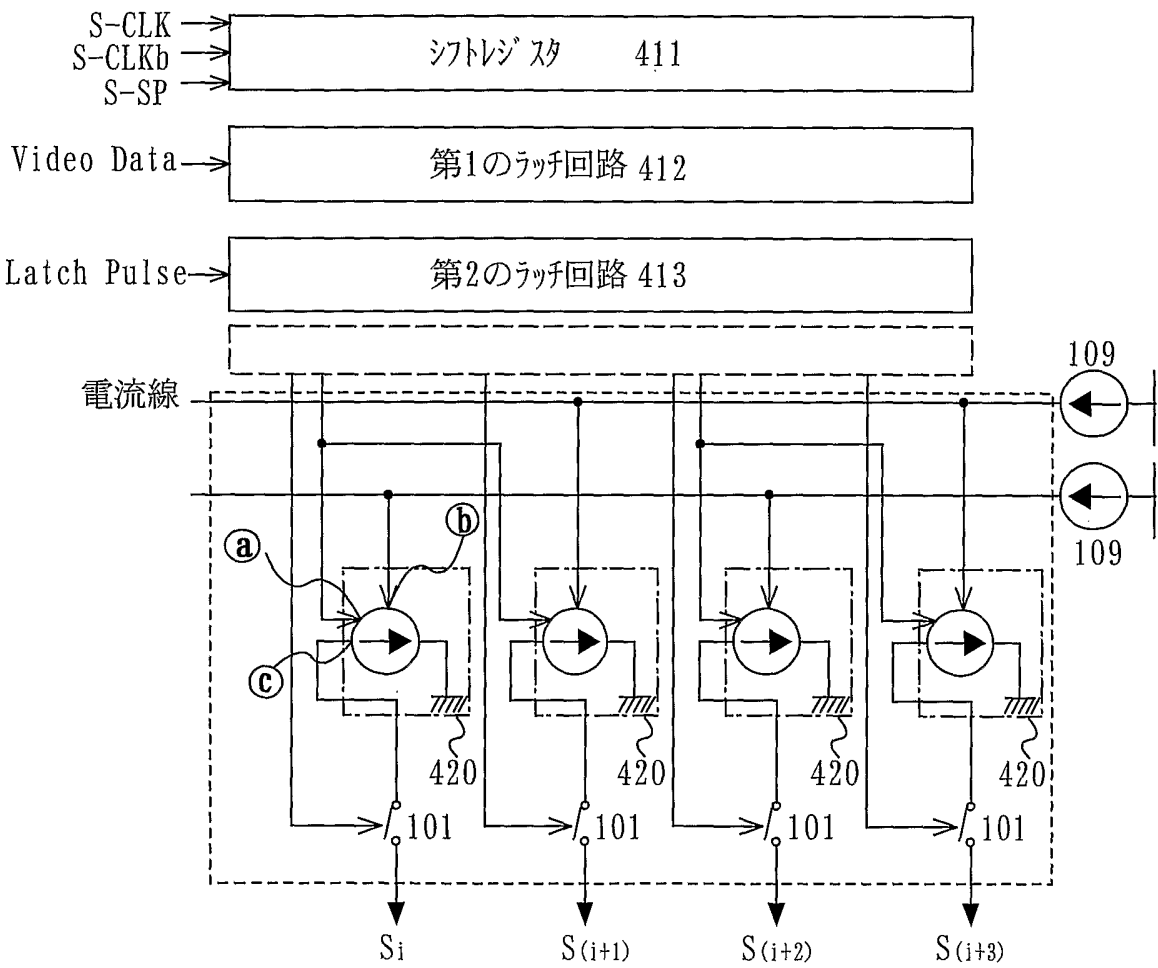
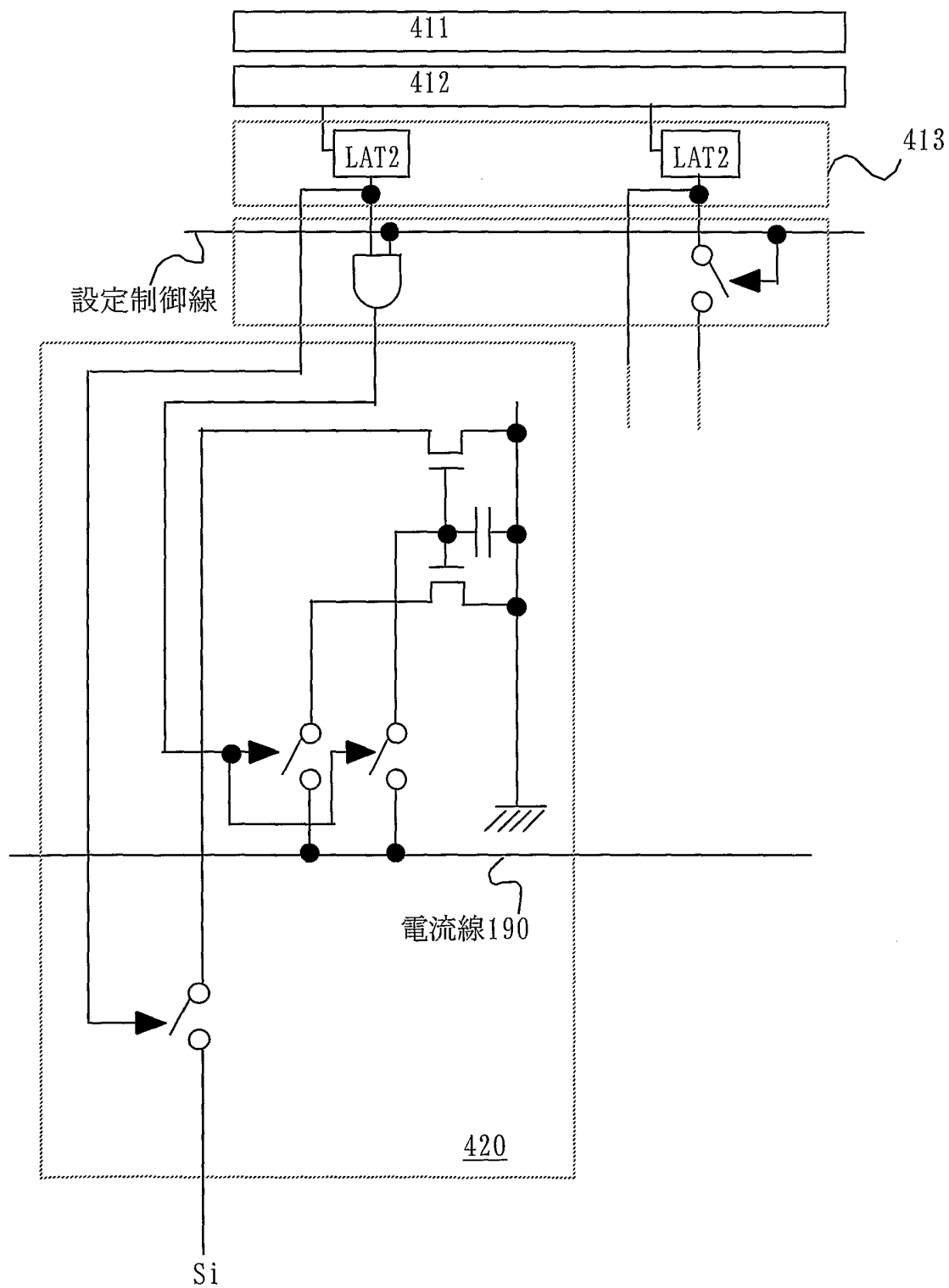


FIG. 44



41/84

FIG. 45



42/84

FIG. 46

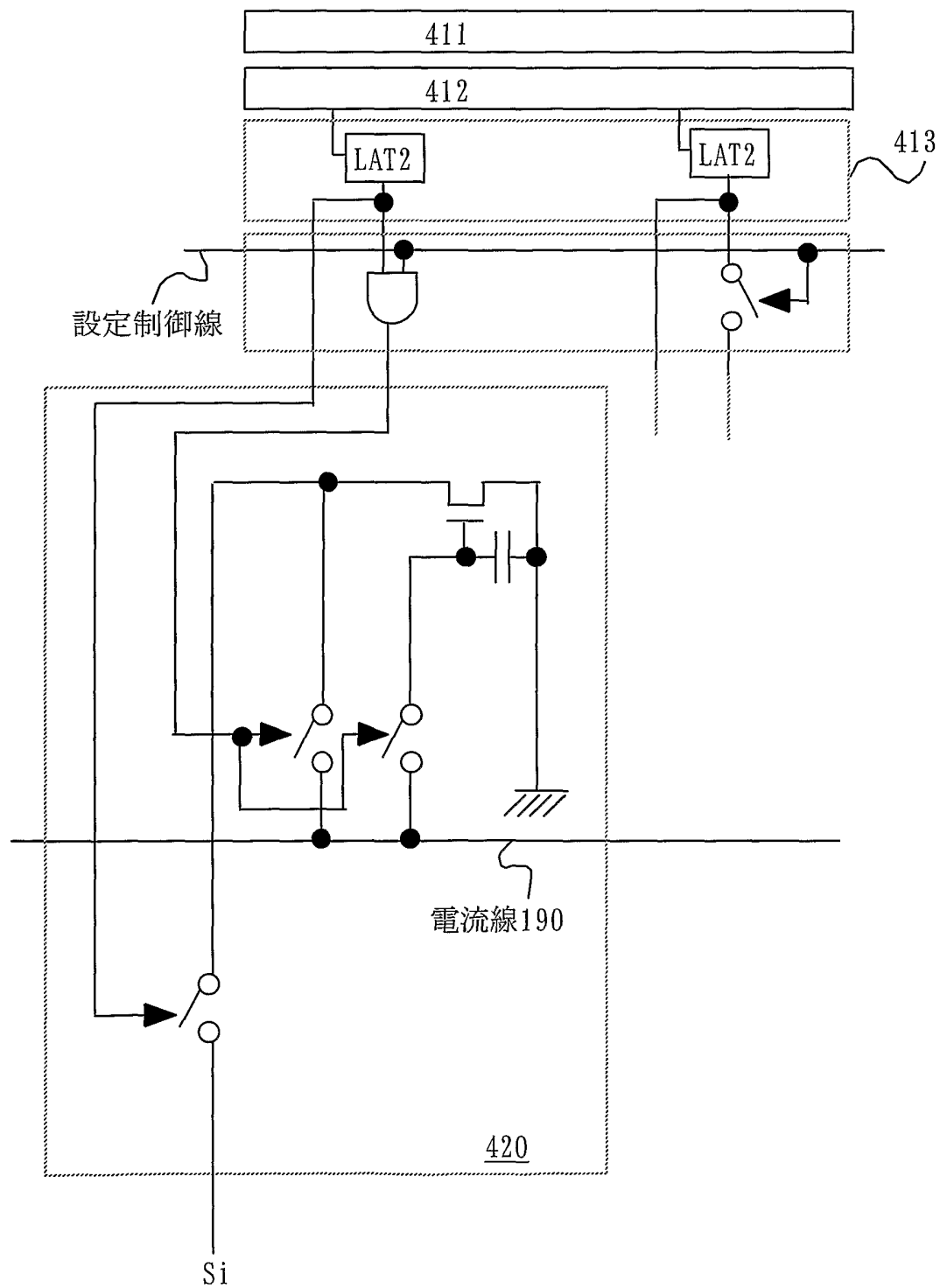


FIG. 47A

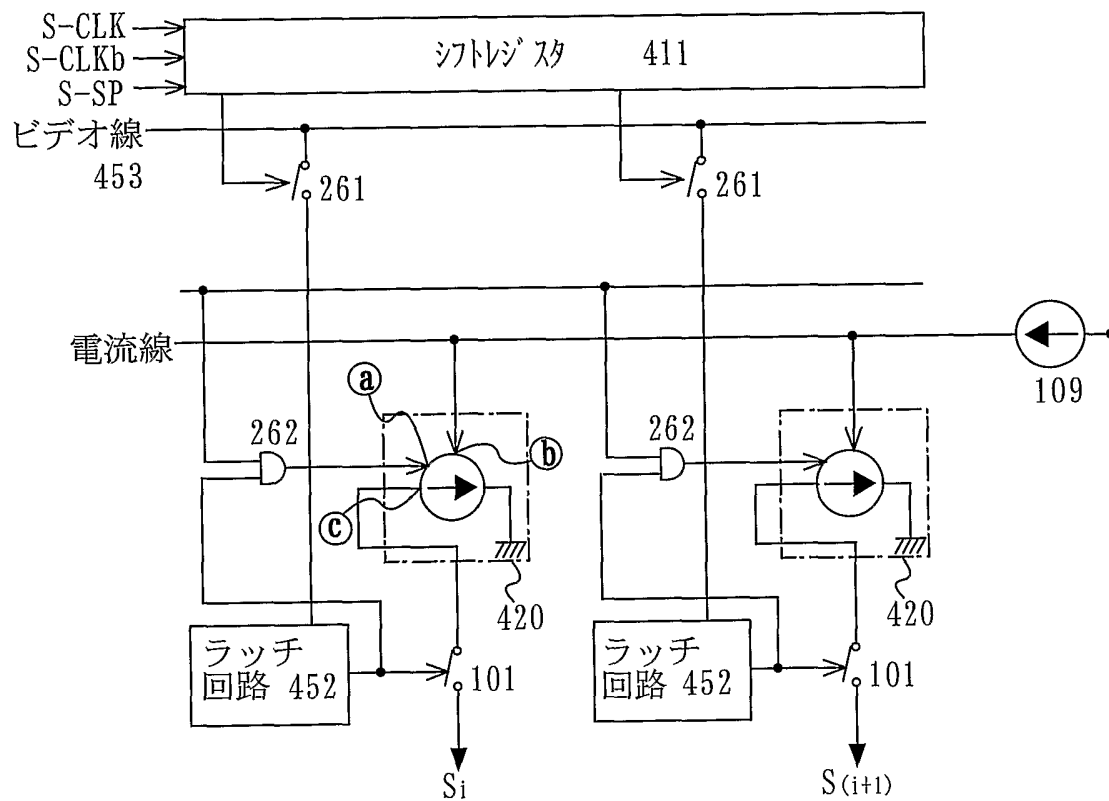


FIG. 47B

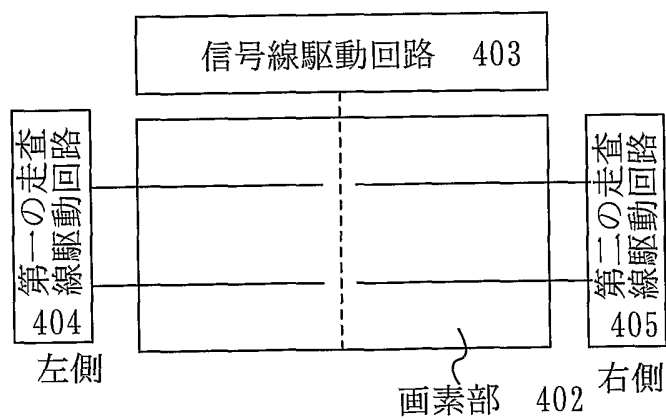
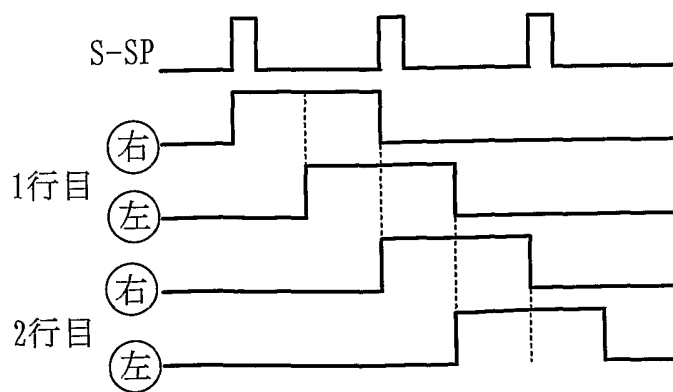


FIG. 47C



差替え用紙 (規則26)

FIG. 48

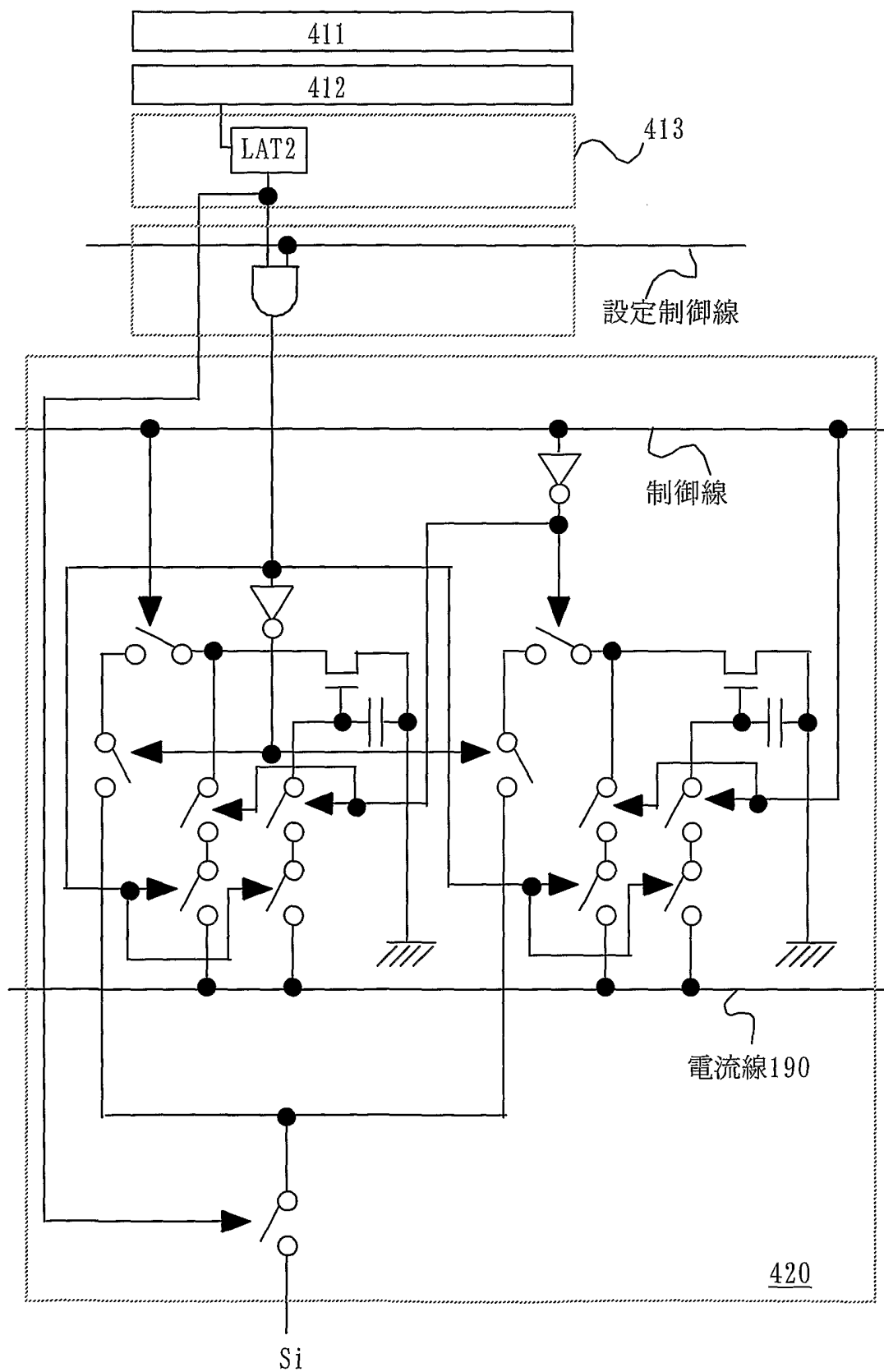


FIG. 49

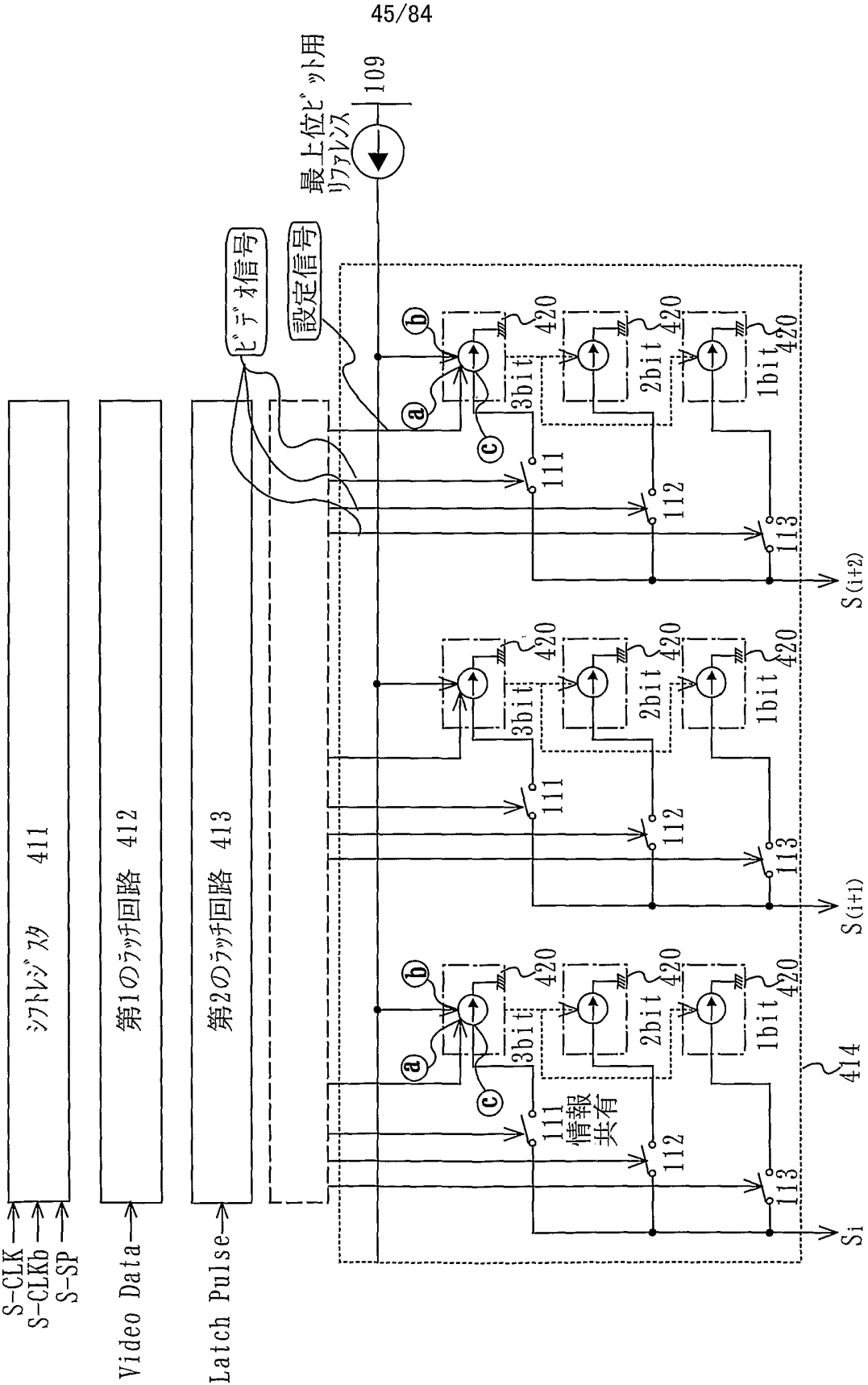


FIG. 50

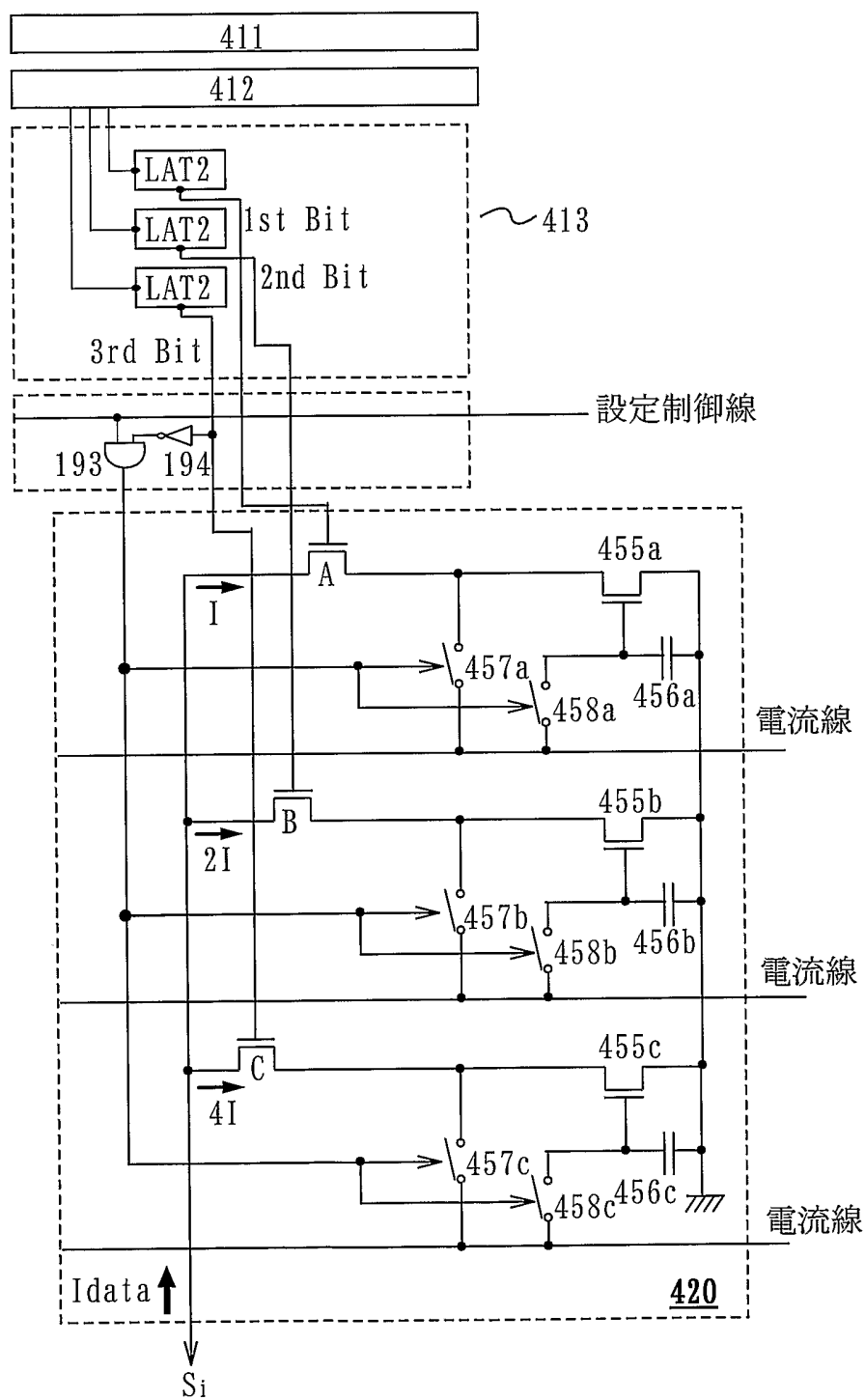


FIG. 51

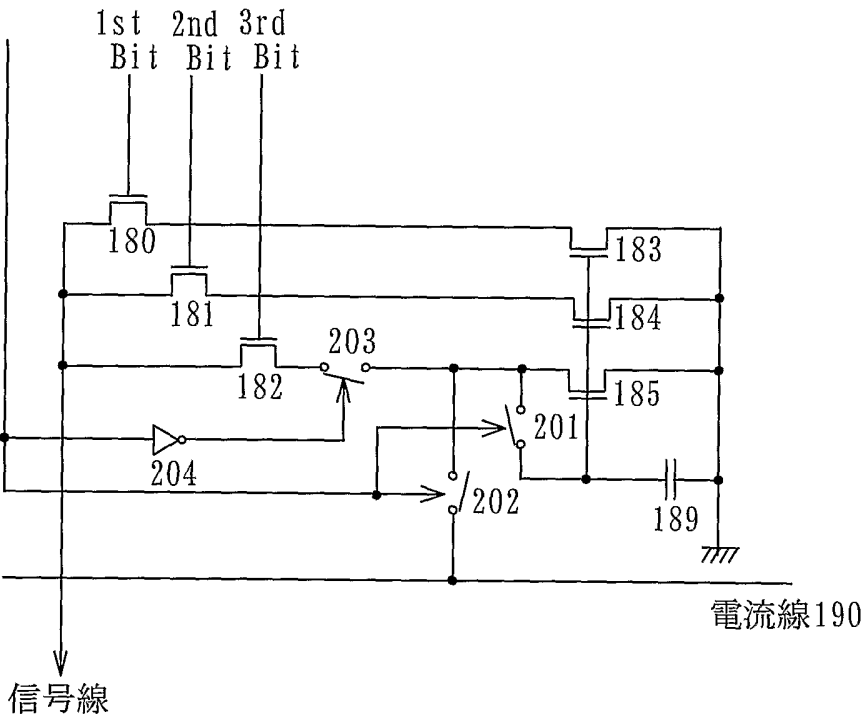


FIG. 52

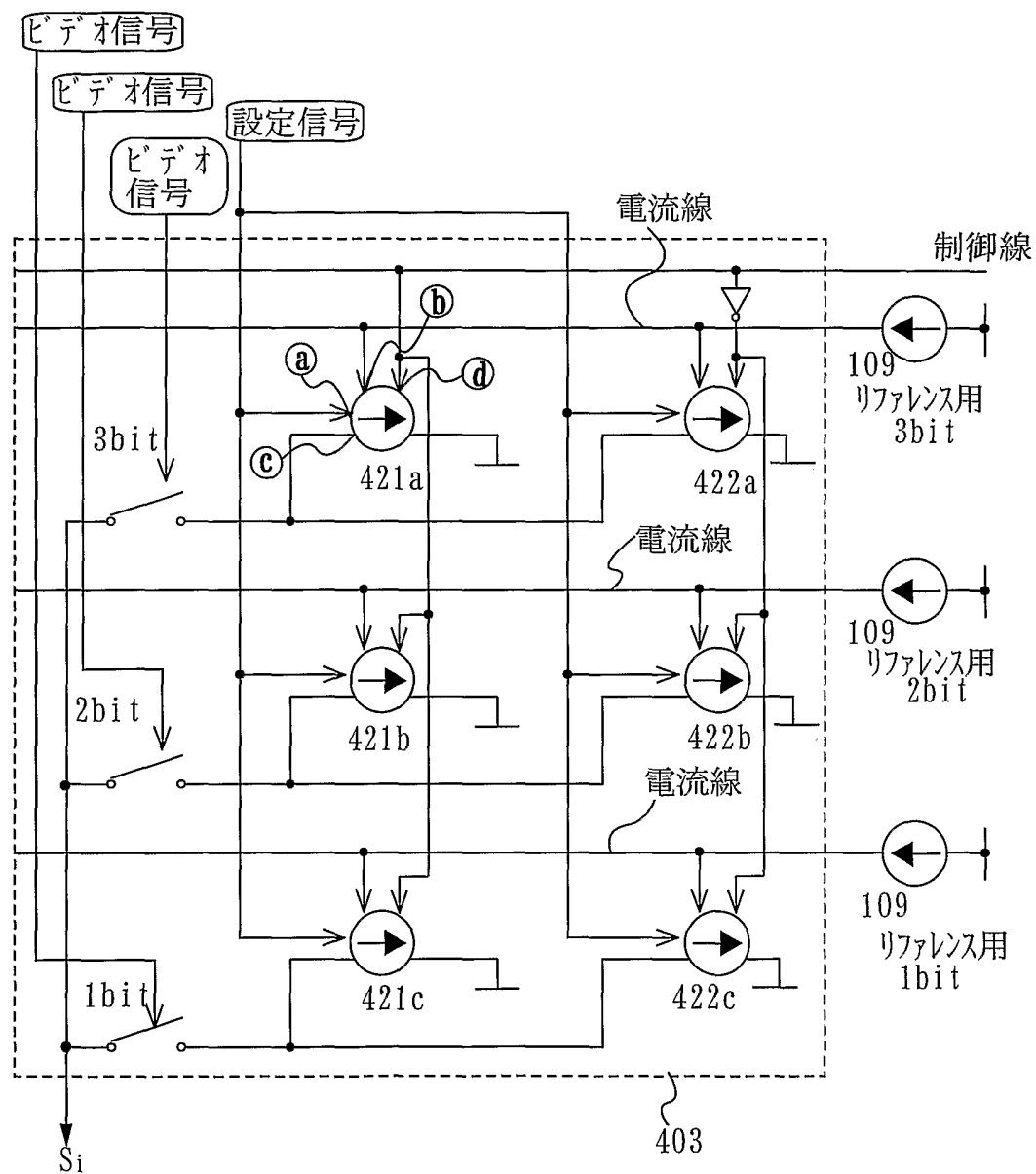
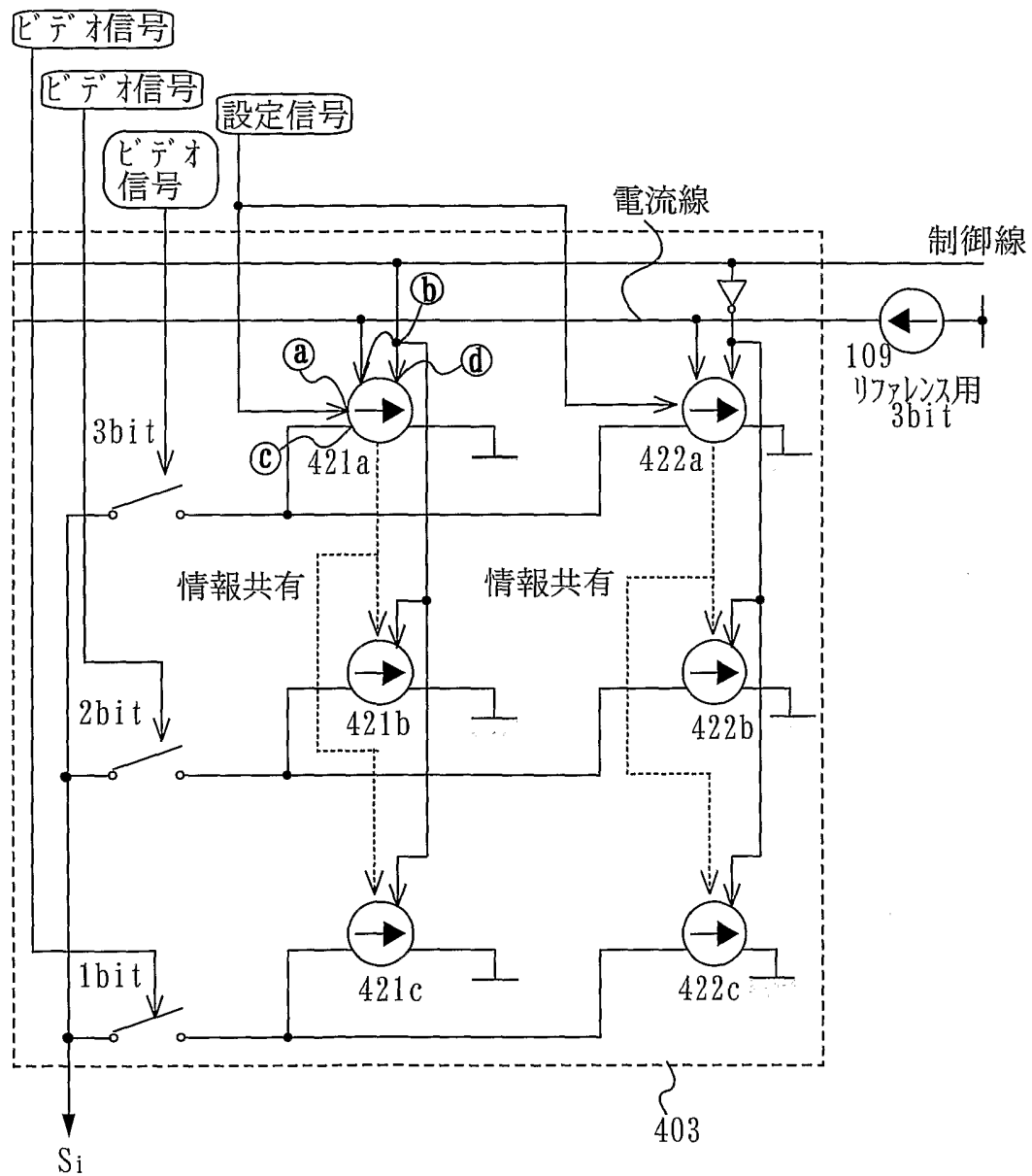


FIG. 53



50/84

FIG. 54A

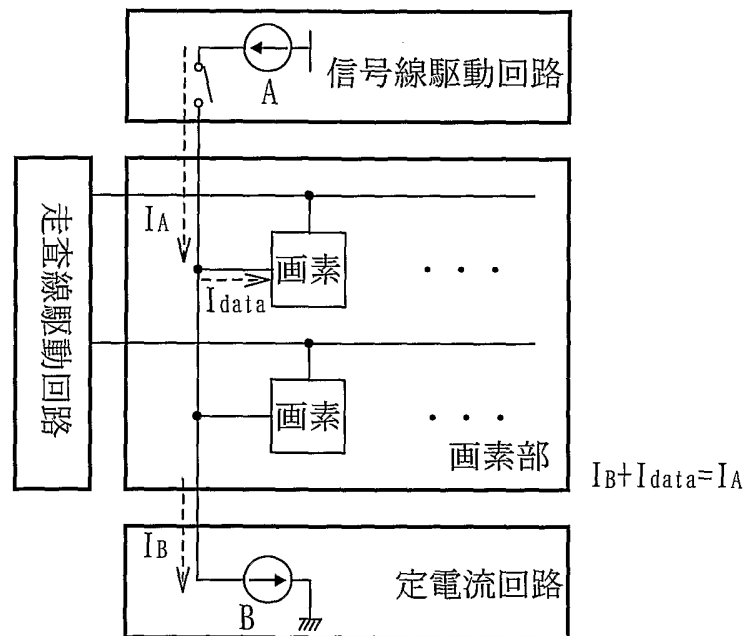


FIG. 54B

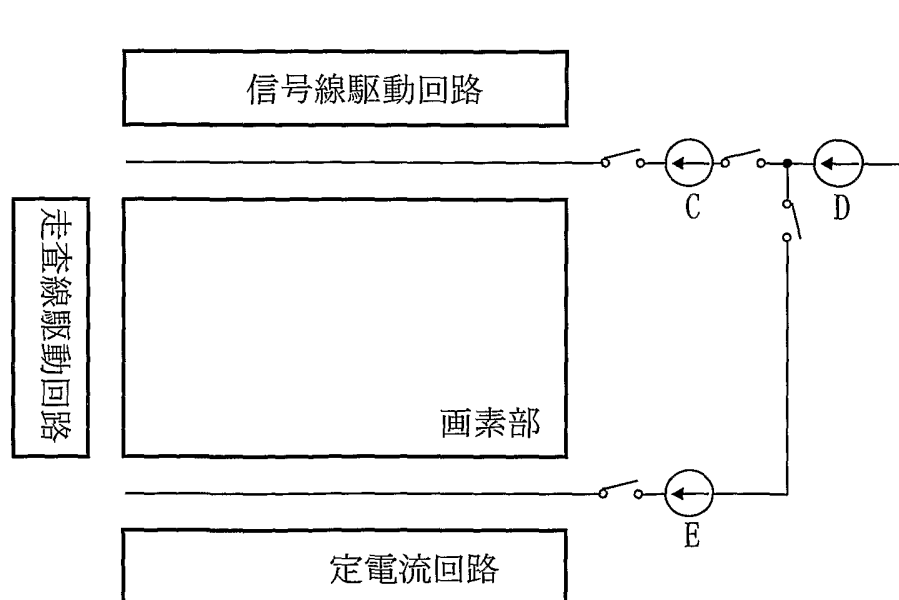


FIG. 55A

51/84

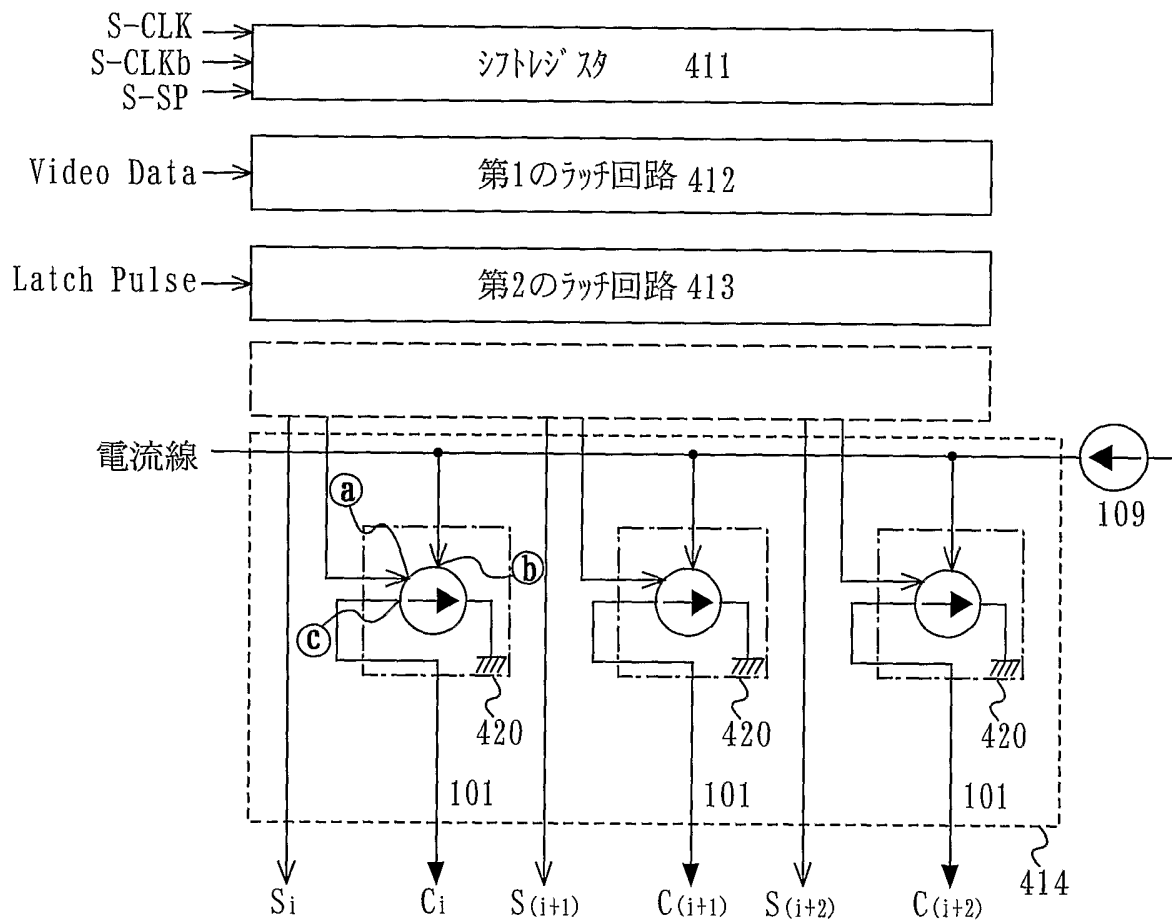


FIG. 55B

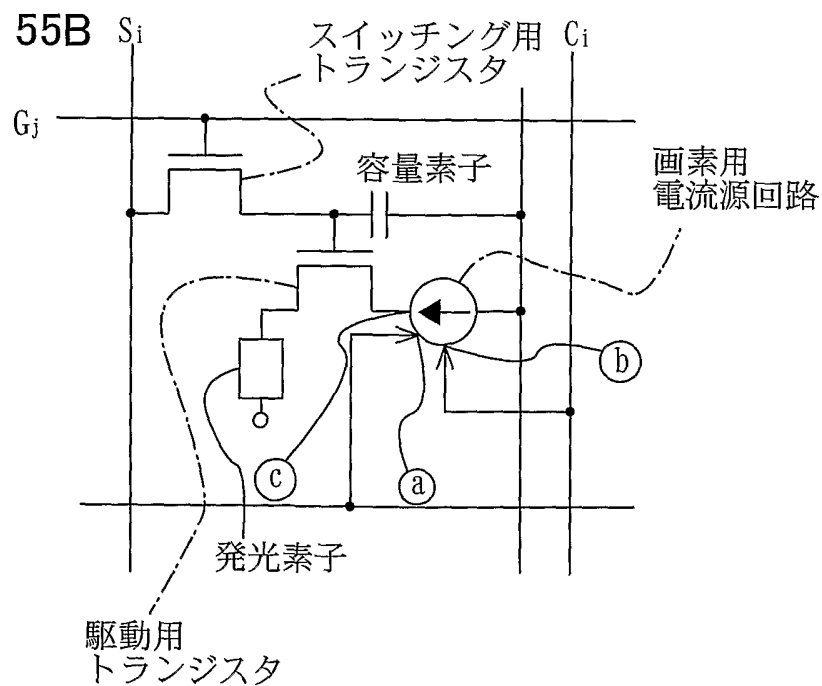


FIG. 56

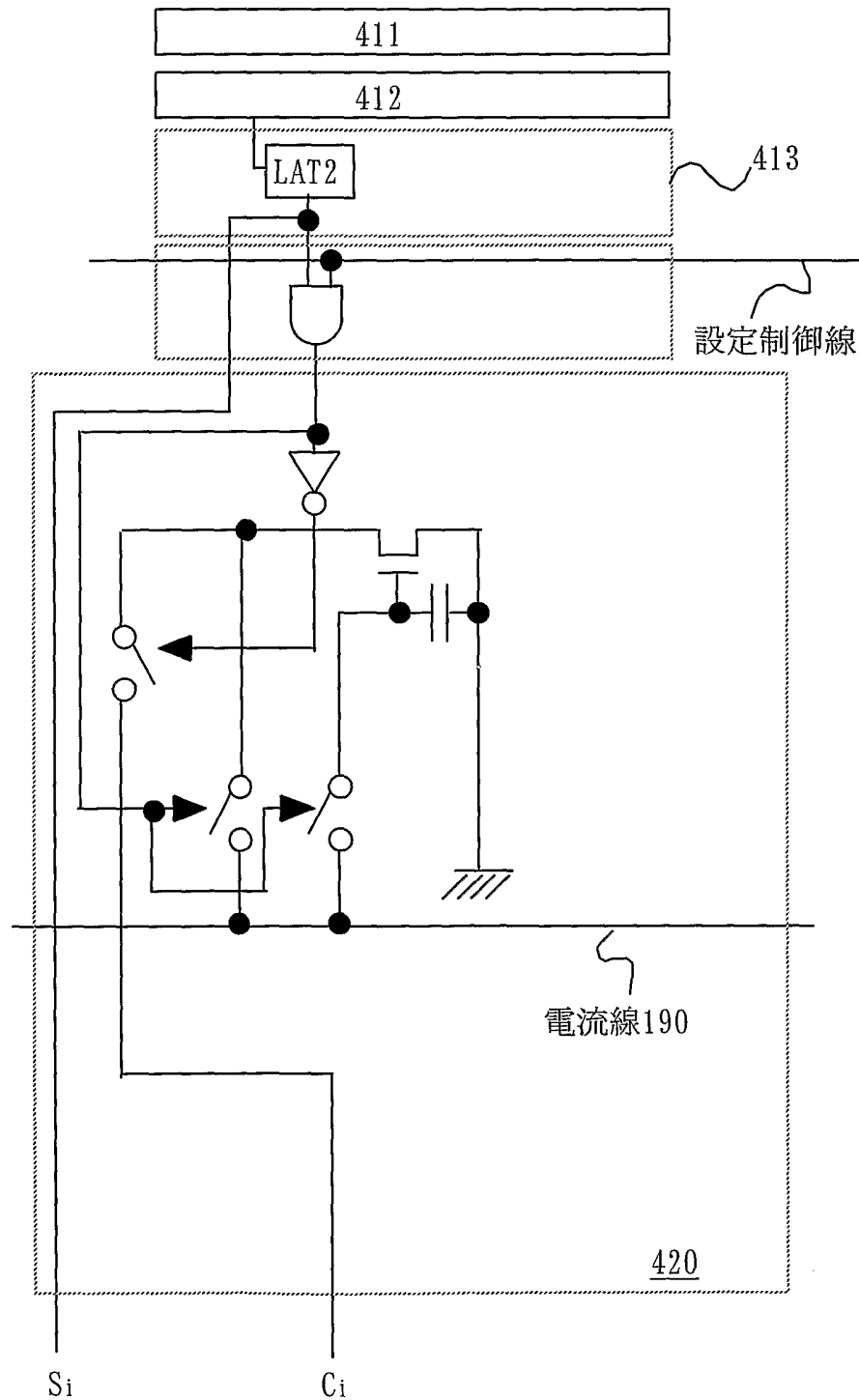
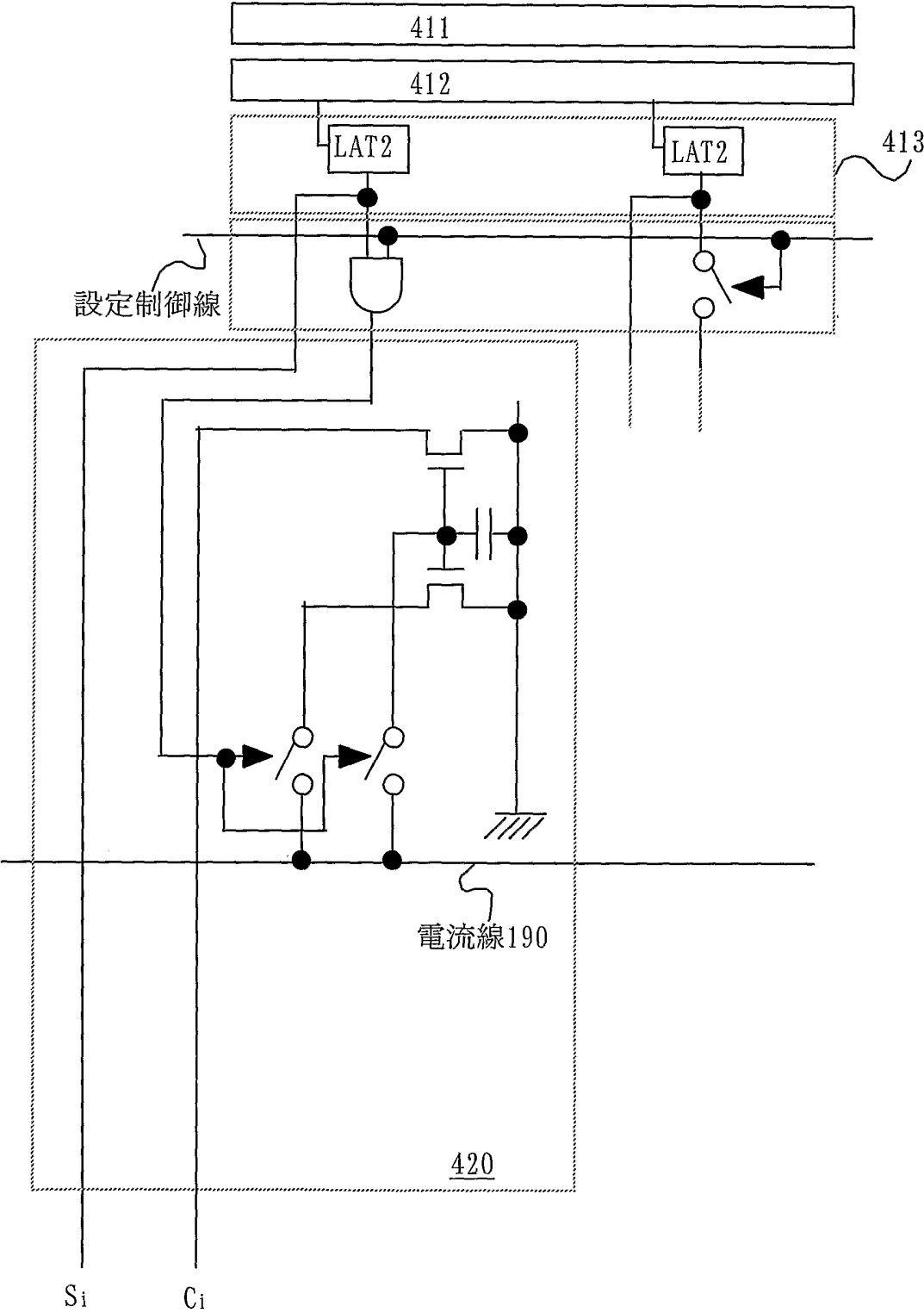
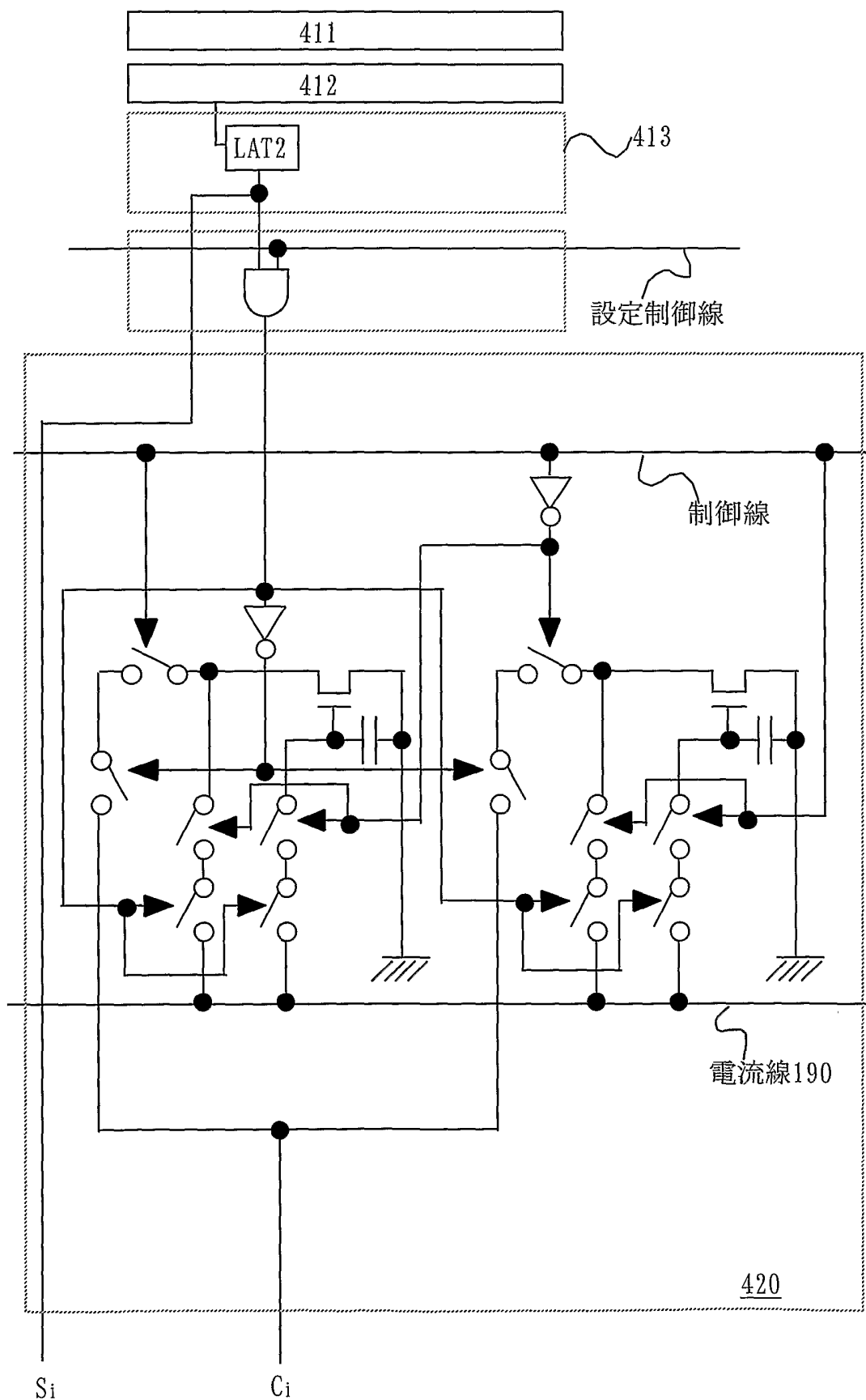


FIG. 57



54/84

FIG. 58



55/84

FIG. 59

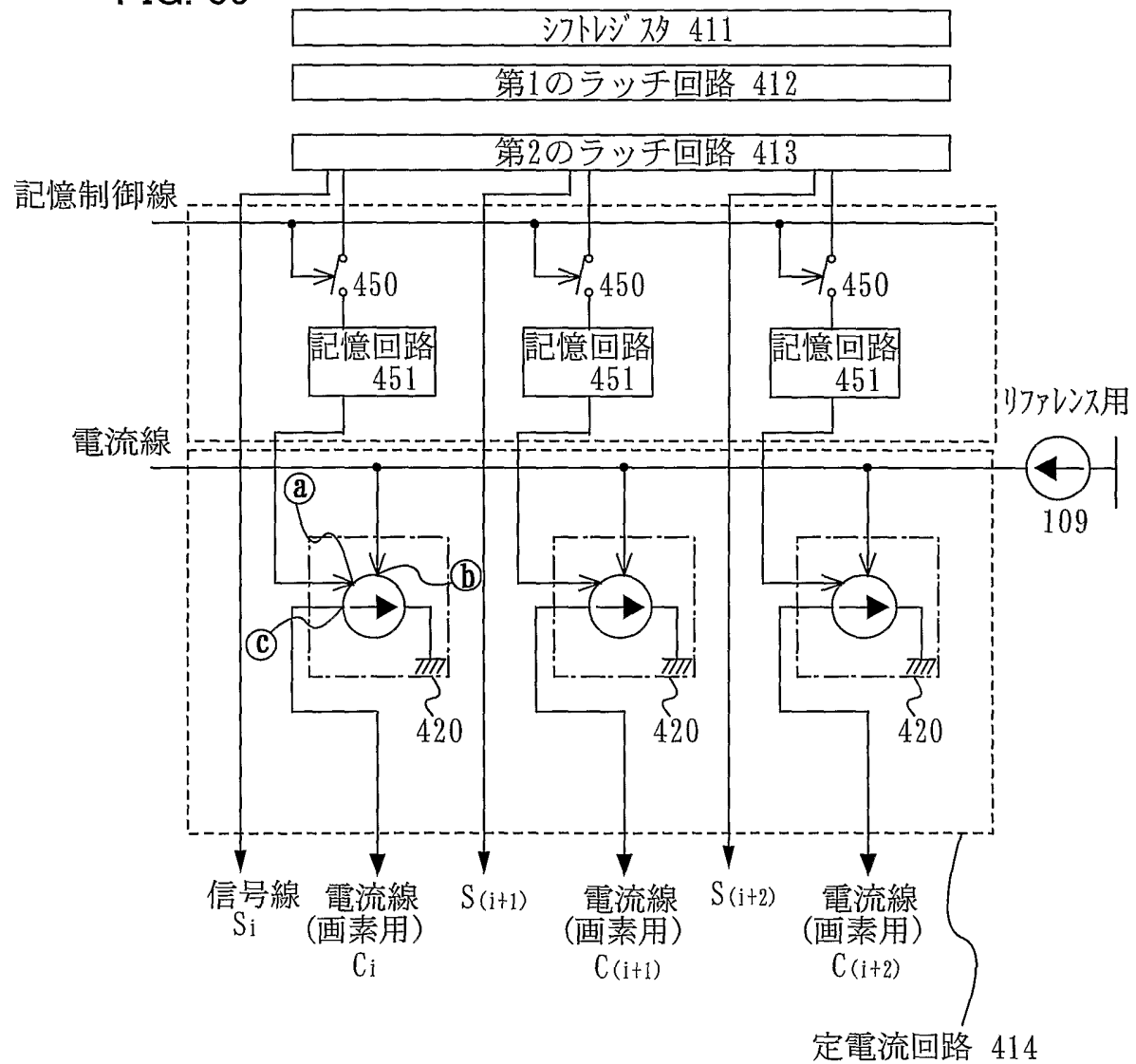


FIG. 60

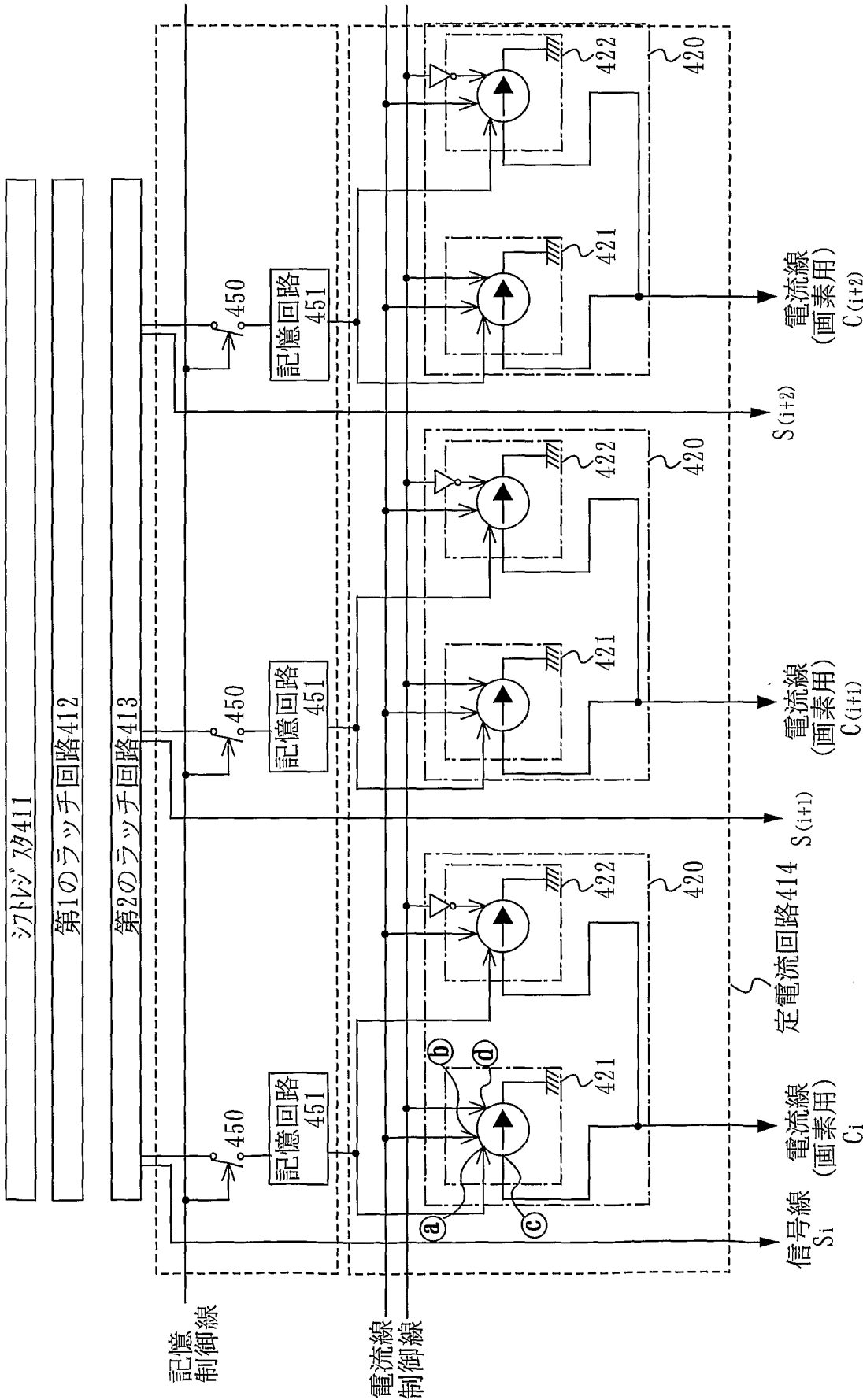


FIG. 61

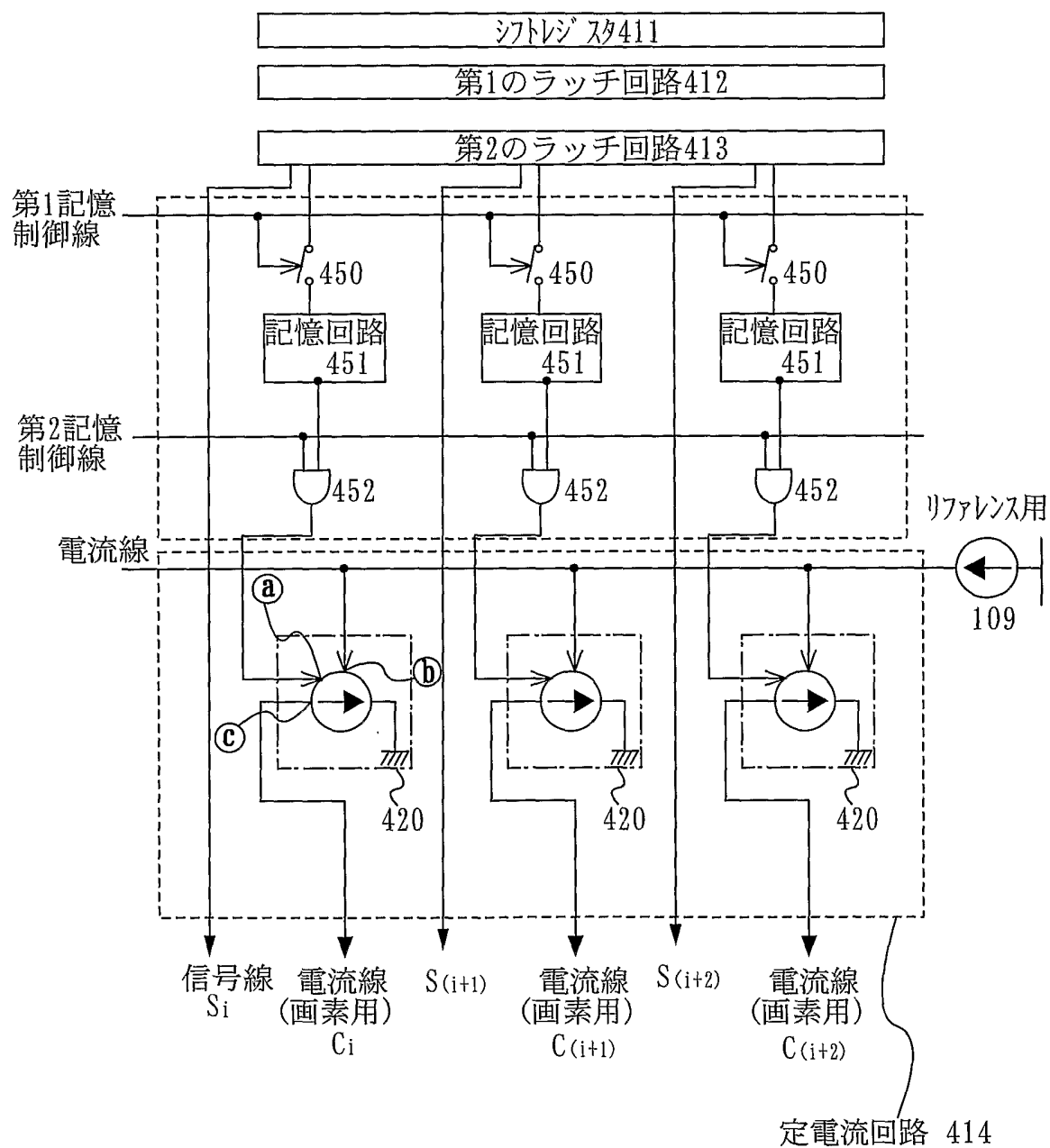


FIG. 62

58/84

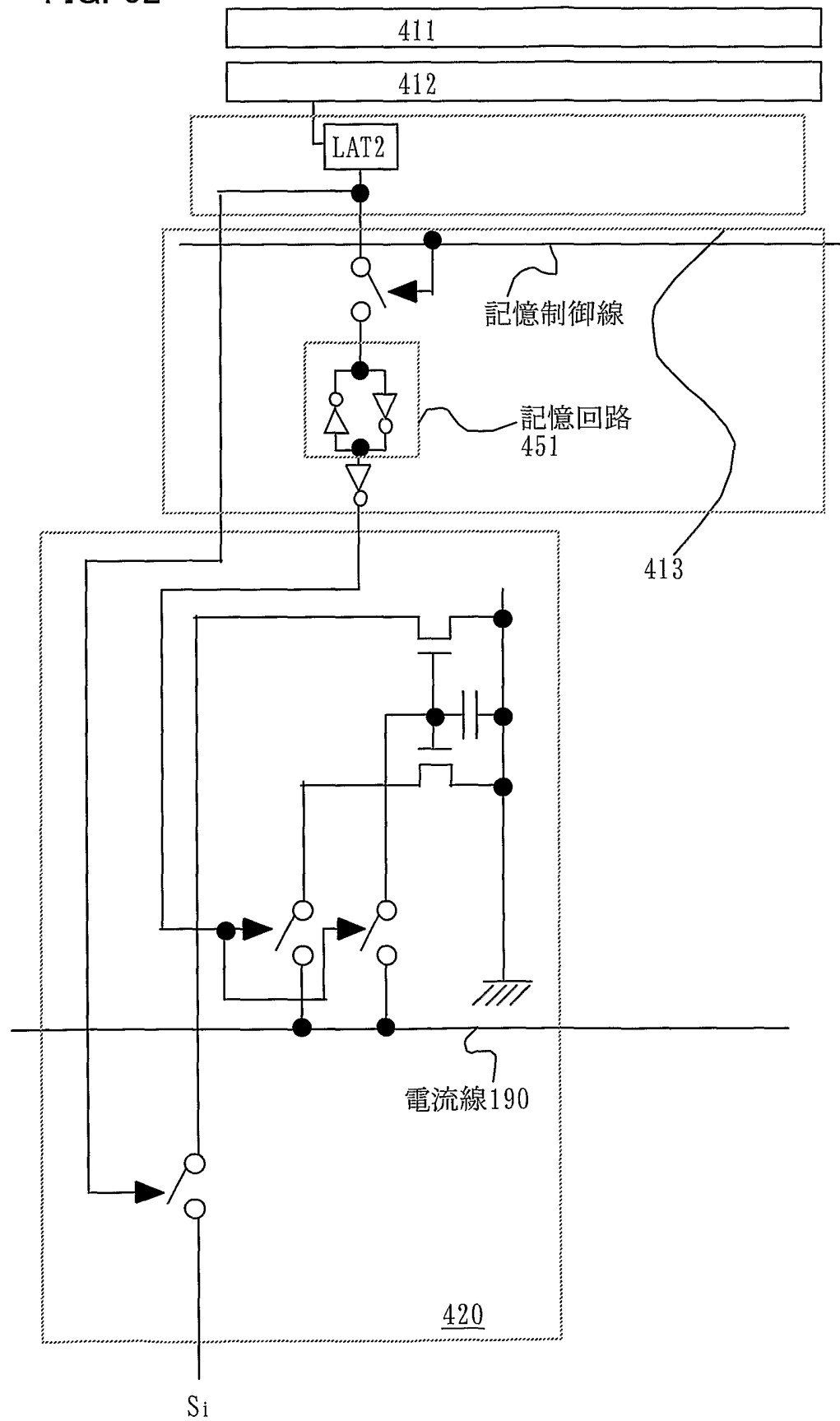
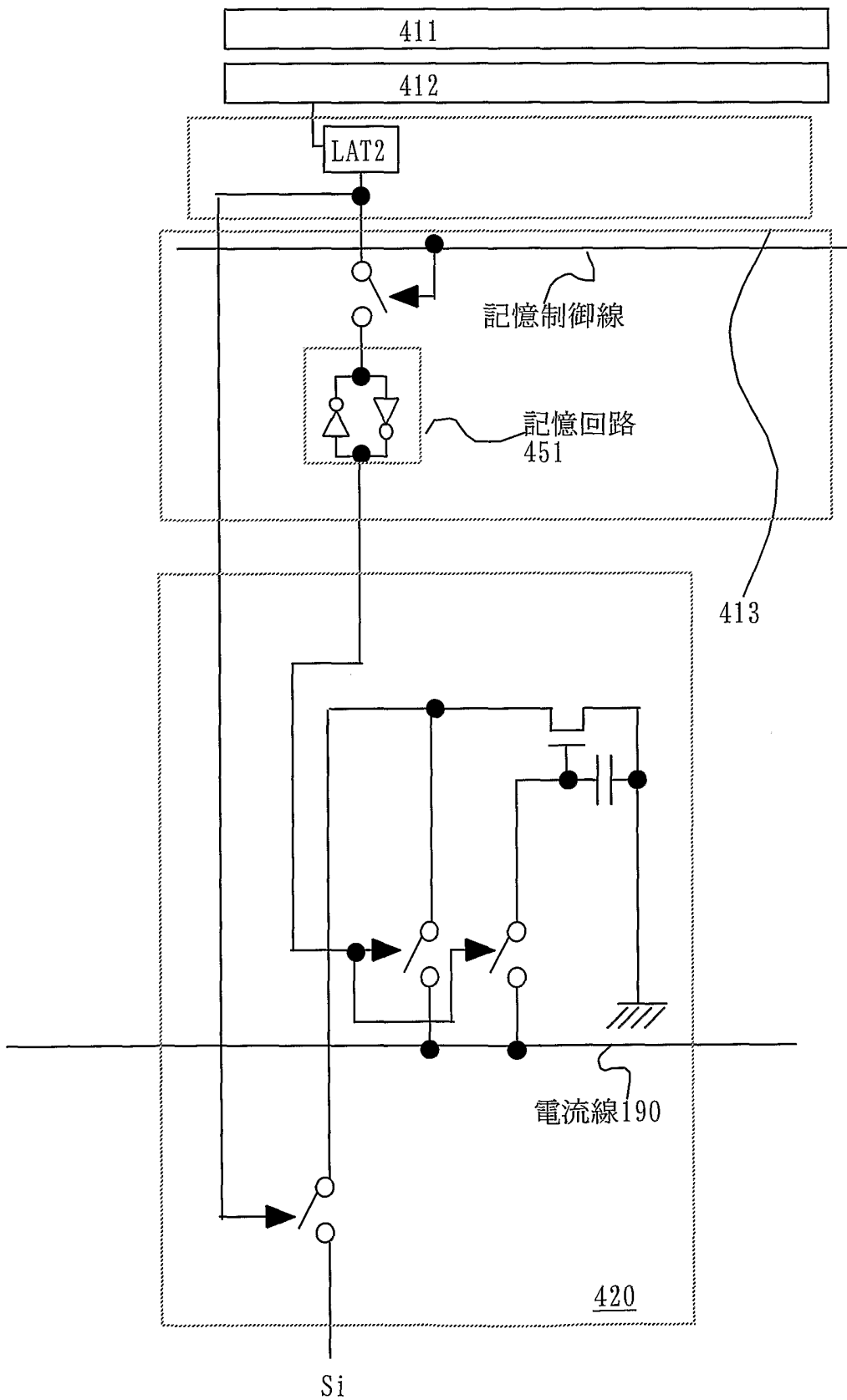


FIG. 63

59/84



60/84

FIG. 64

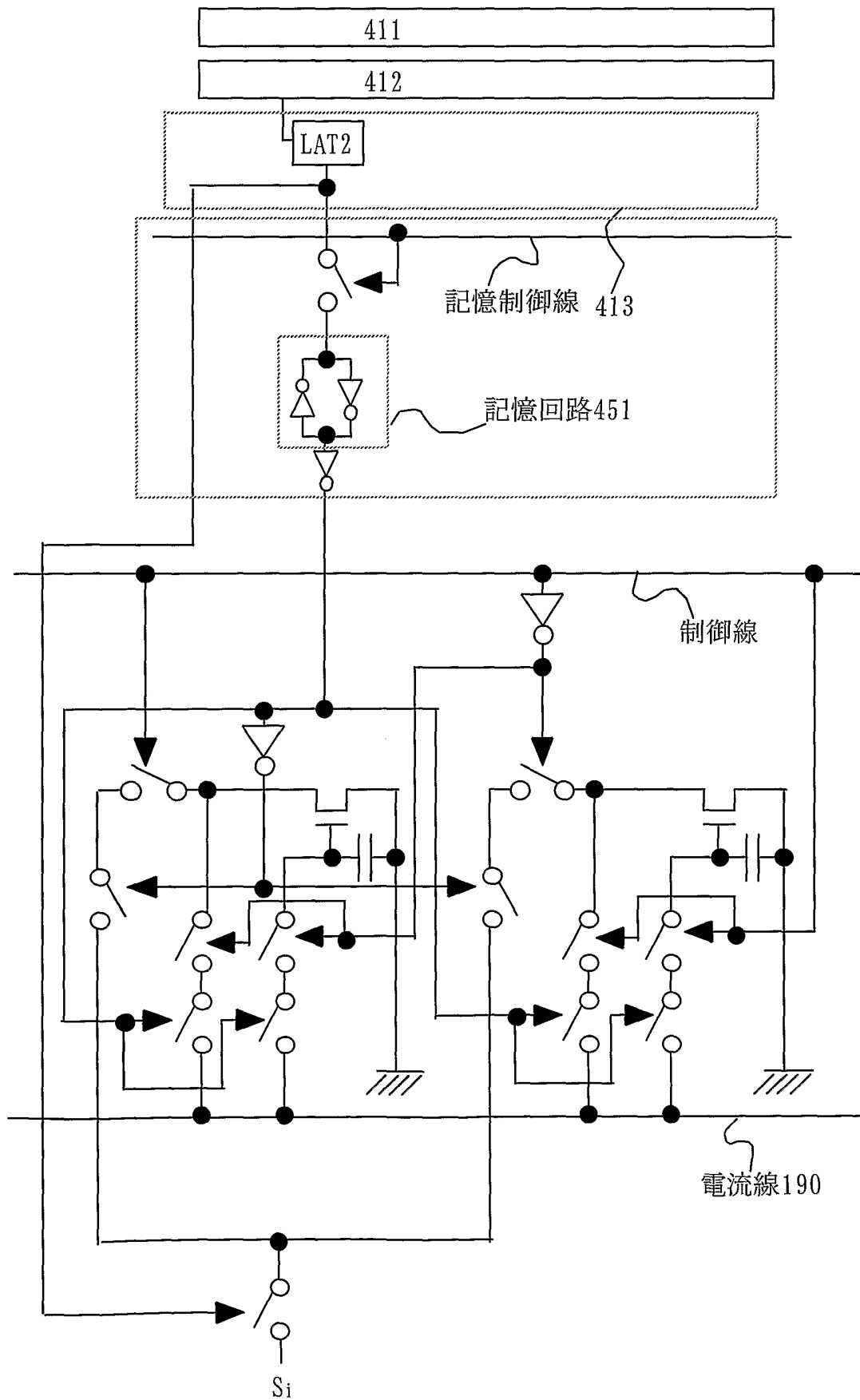


FIG. 65

61/84

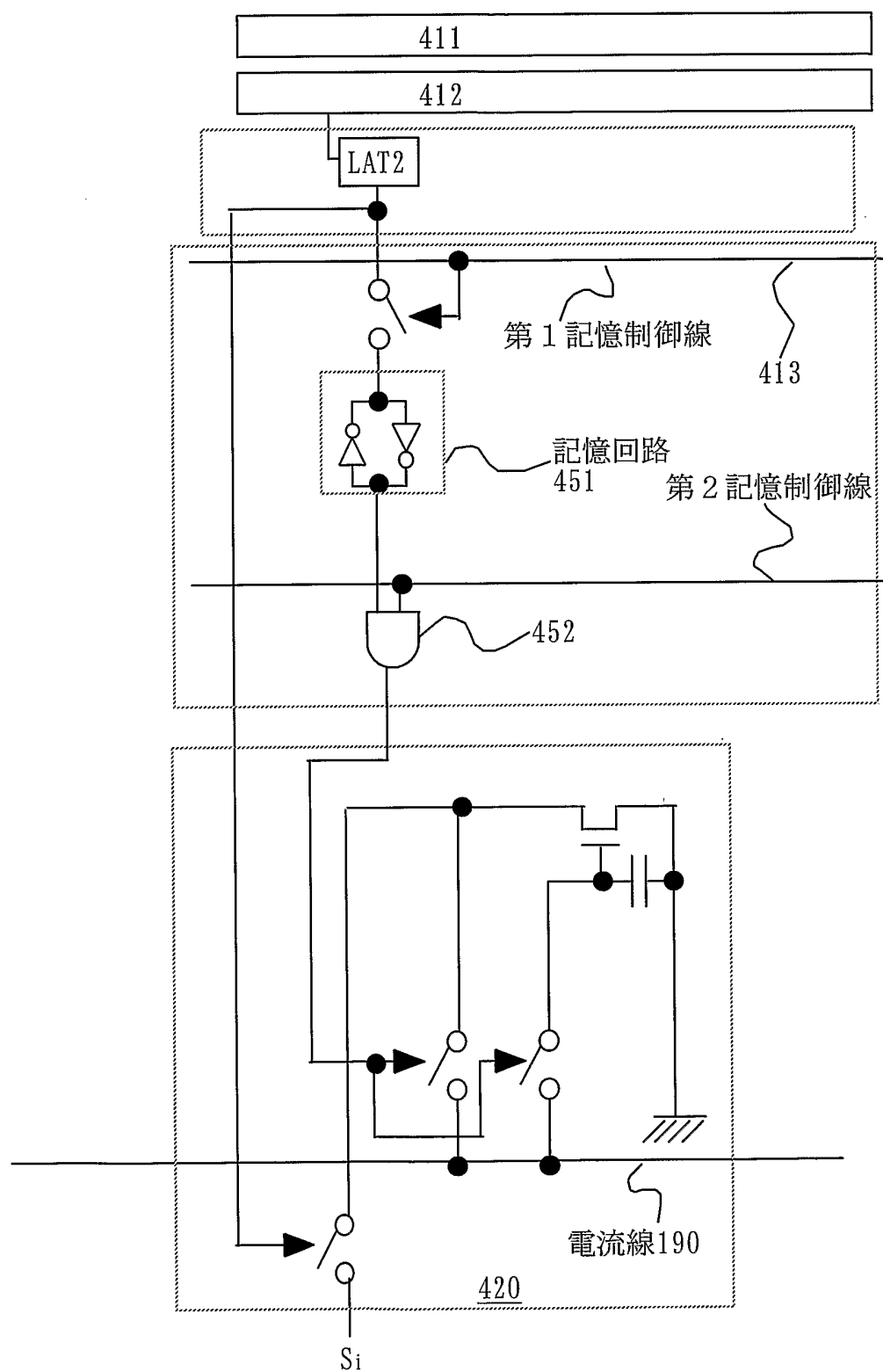


FIG. 66

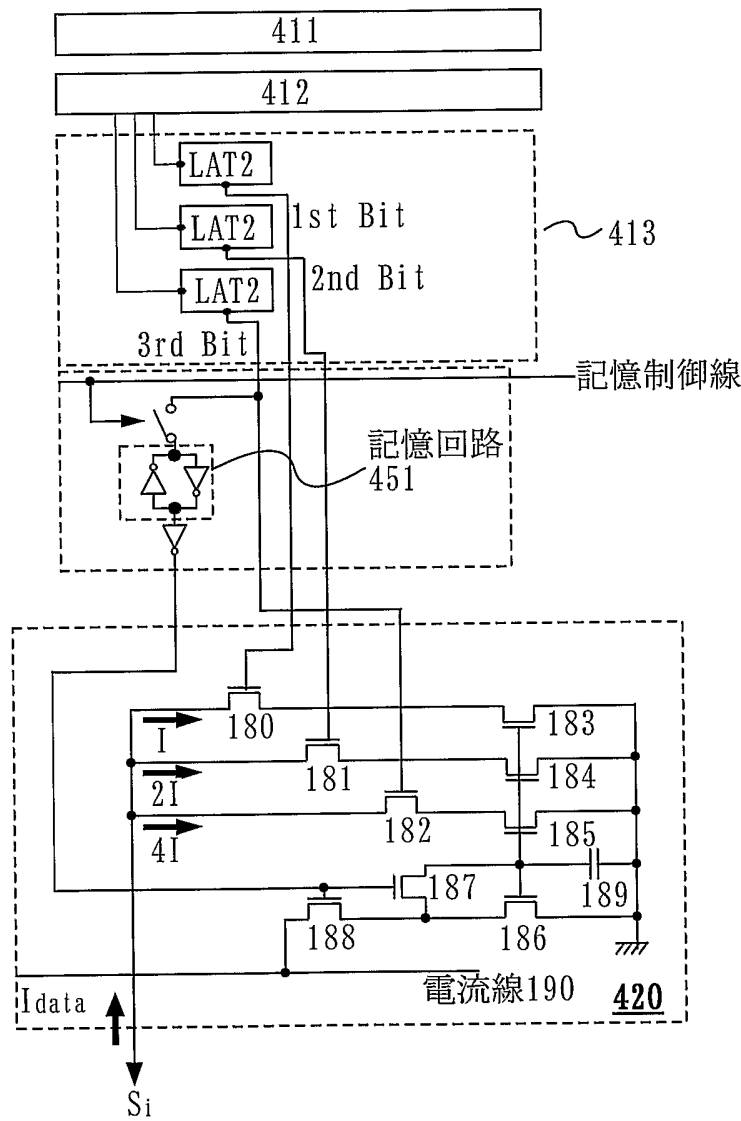
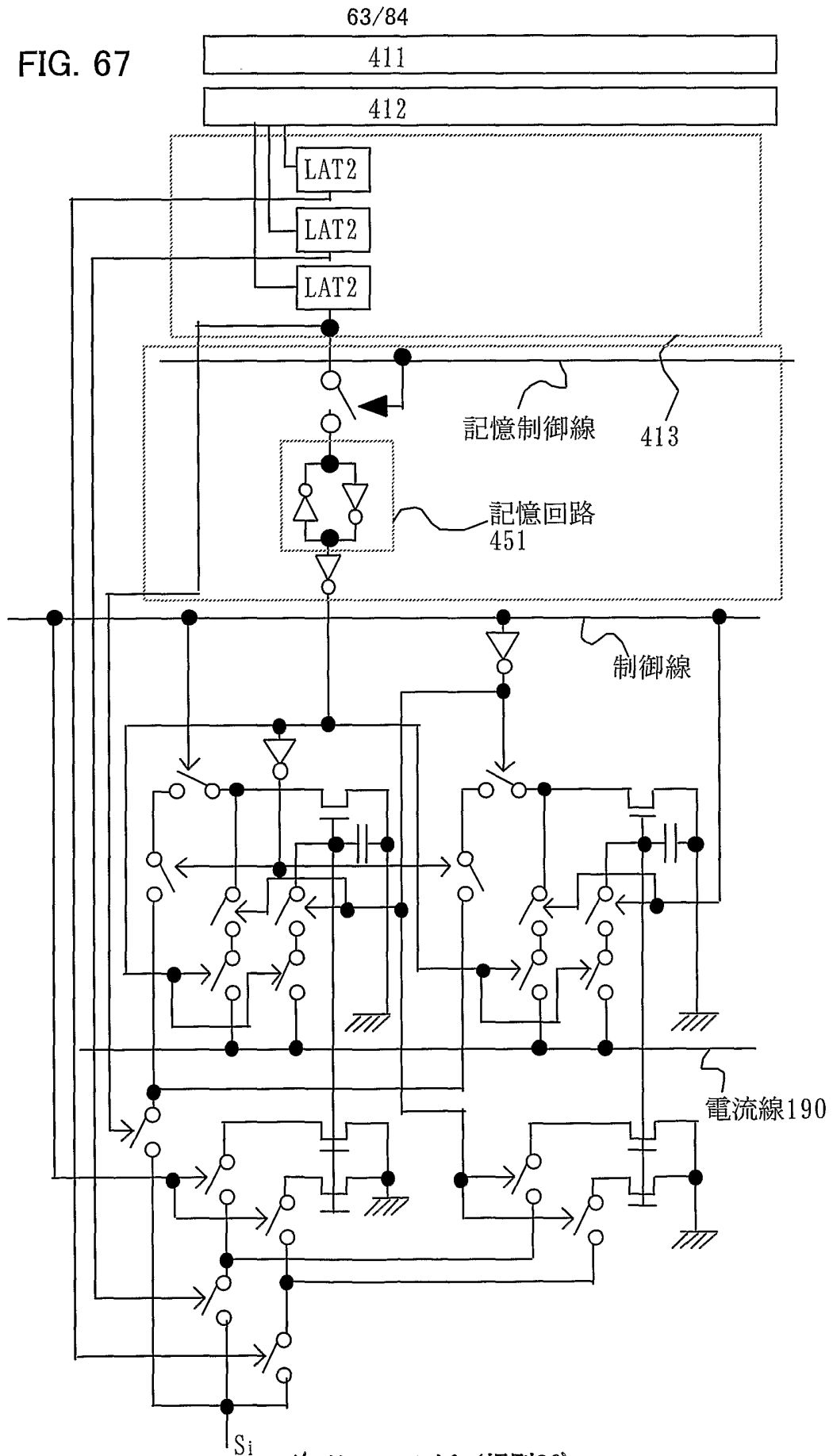


FIG. 67



64/84

FIG. 68

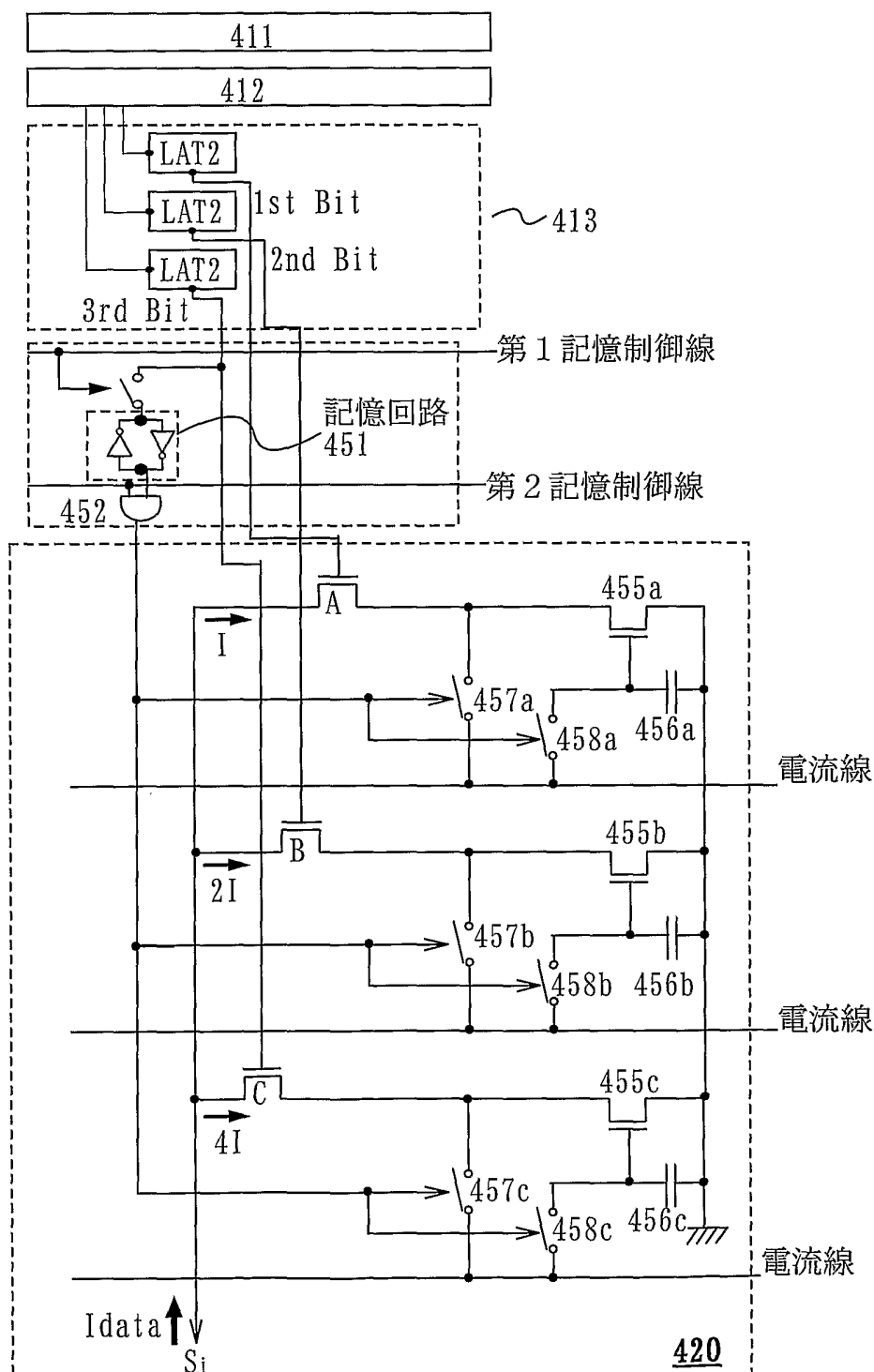
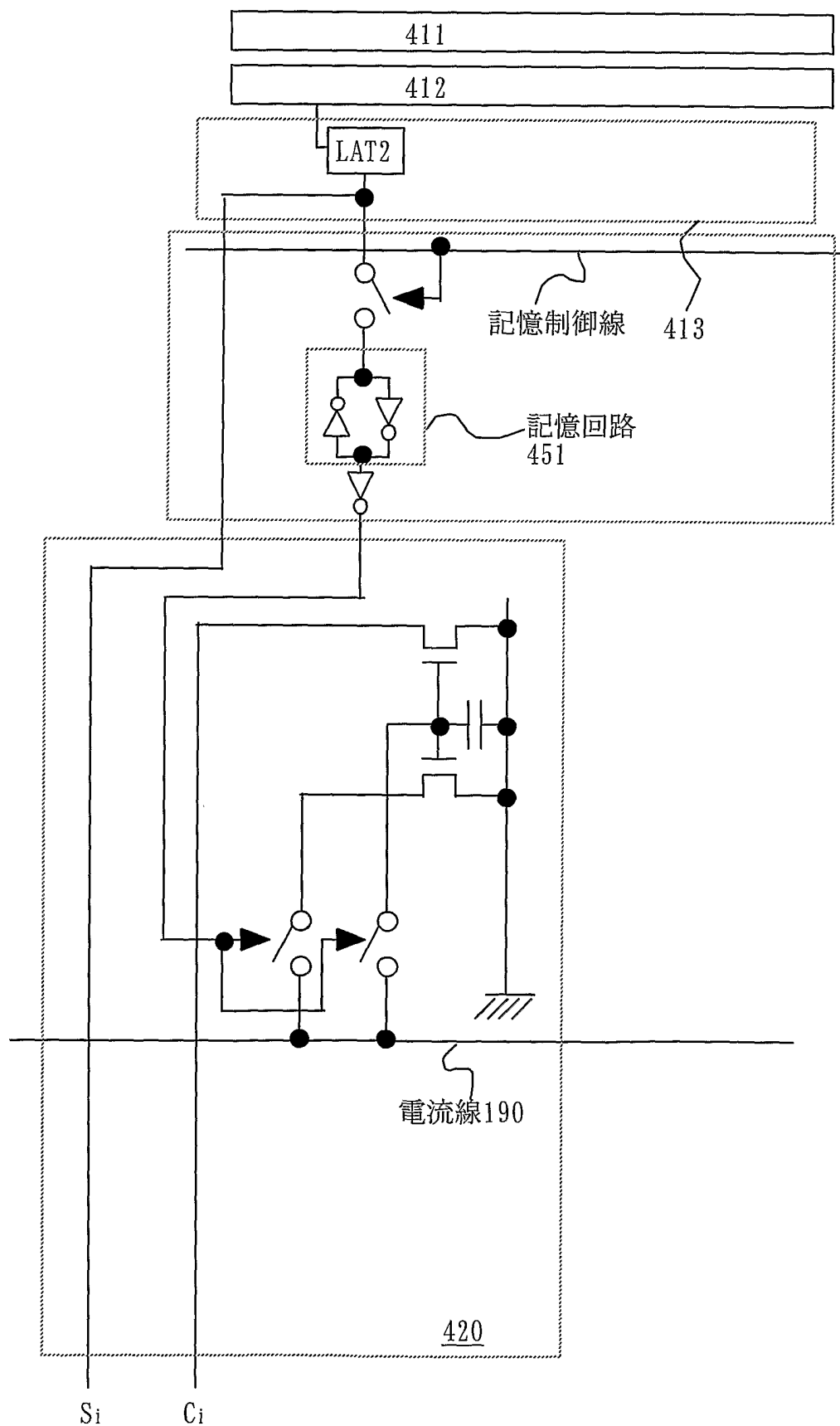


FIG. 69

65/84



66/84

FIG. 70

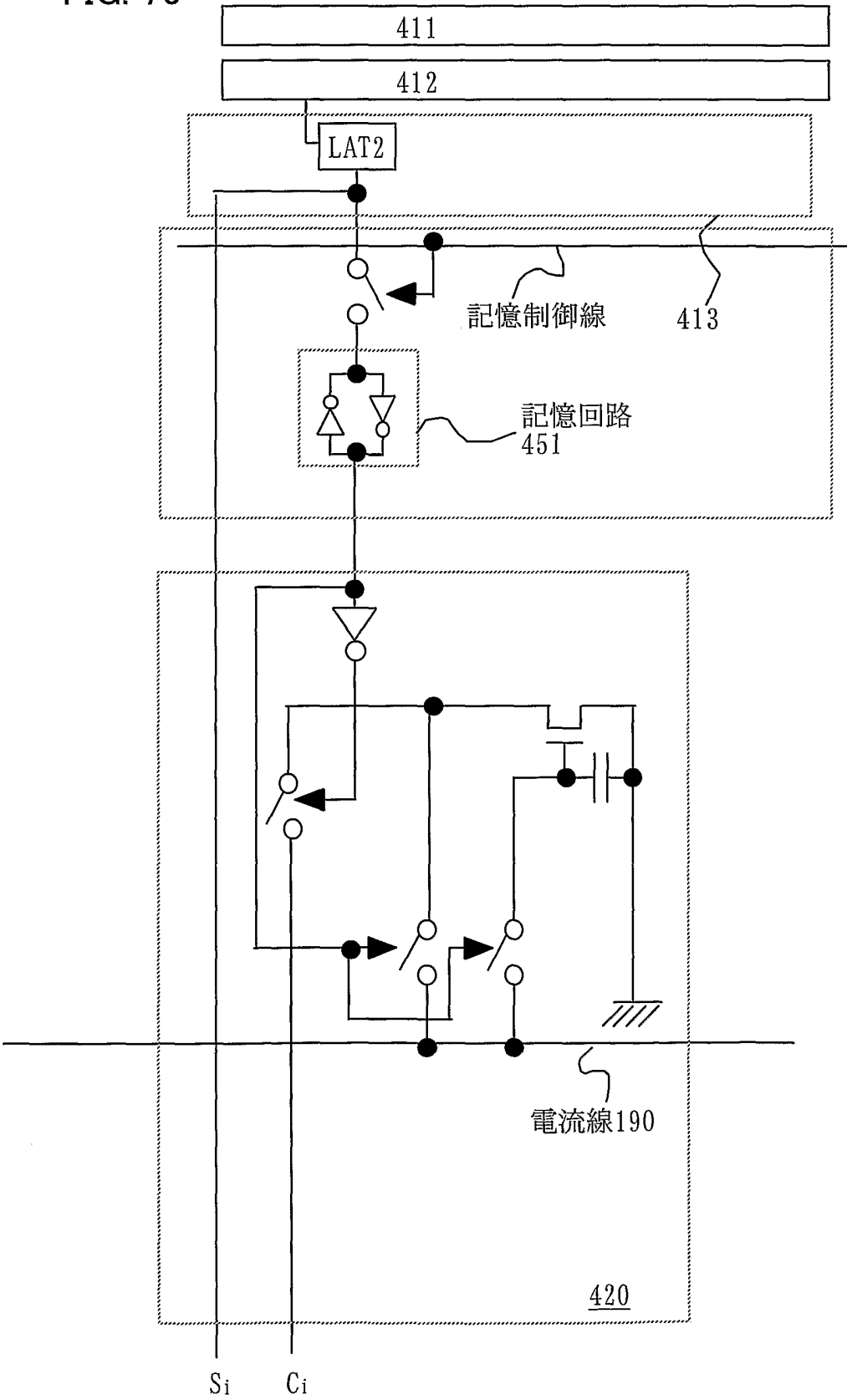
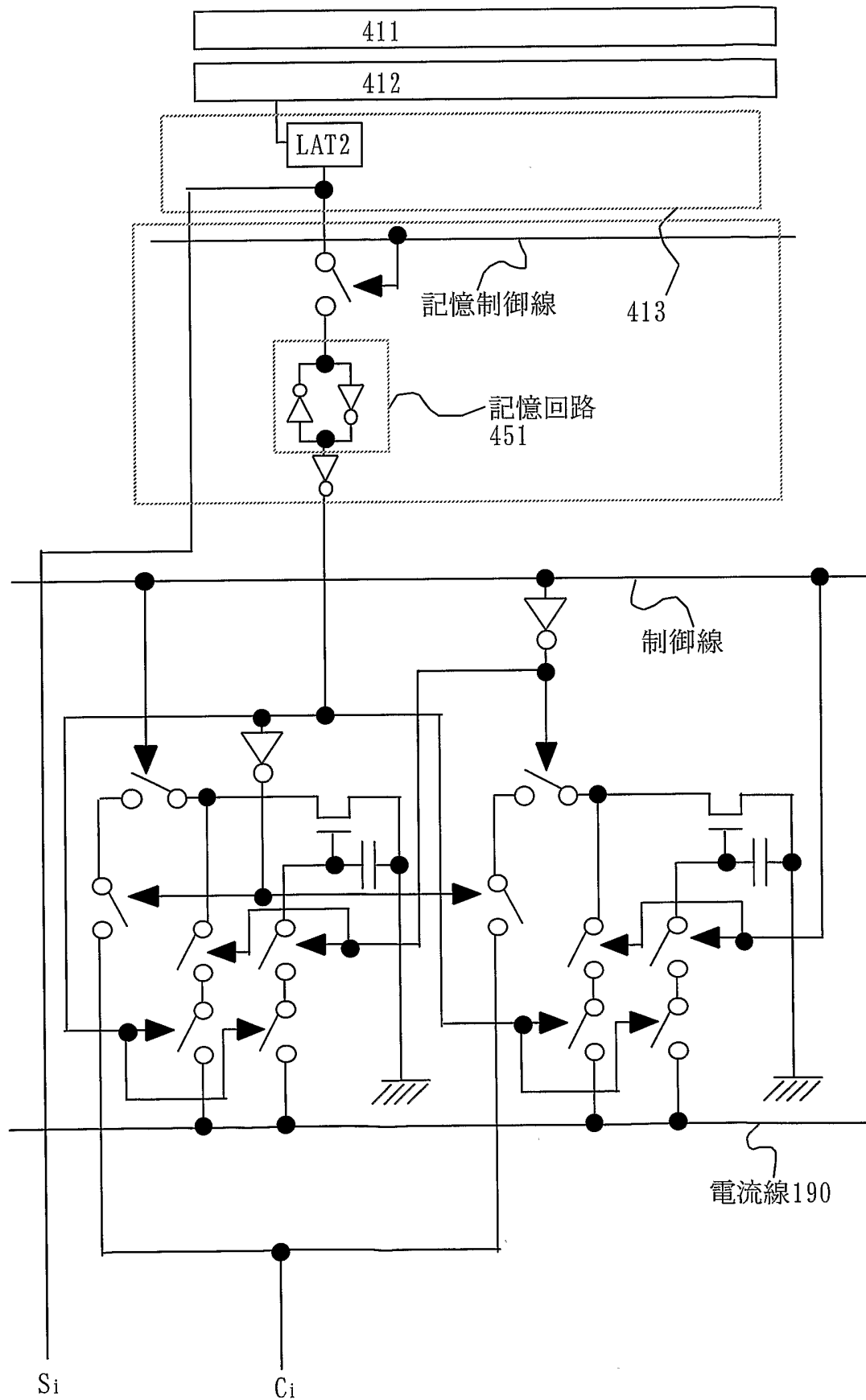


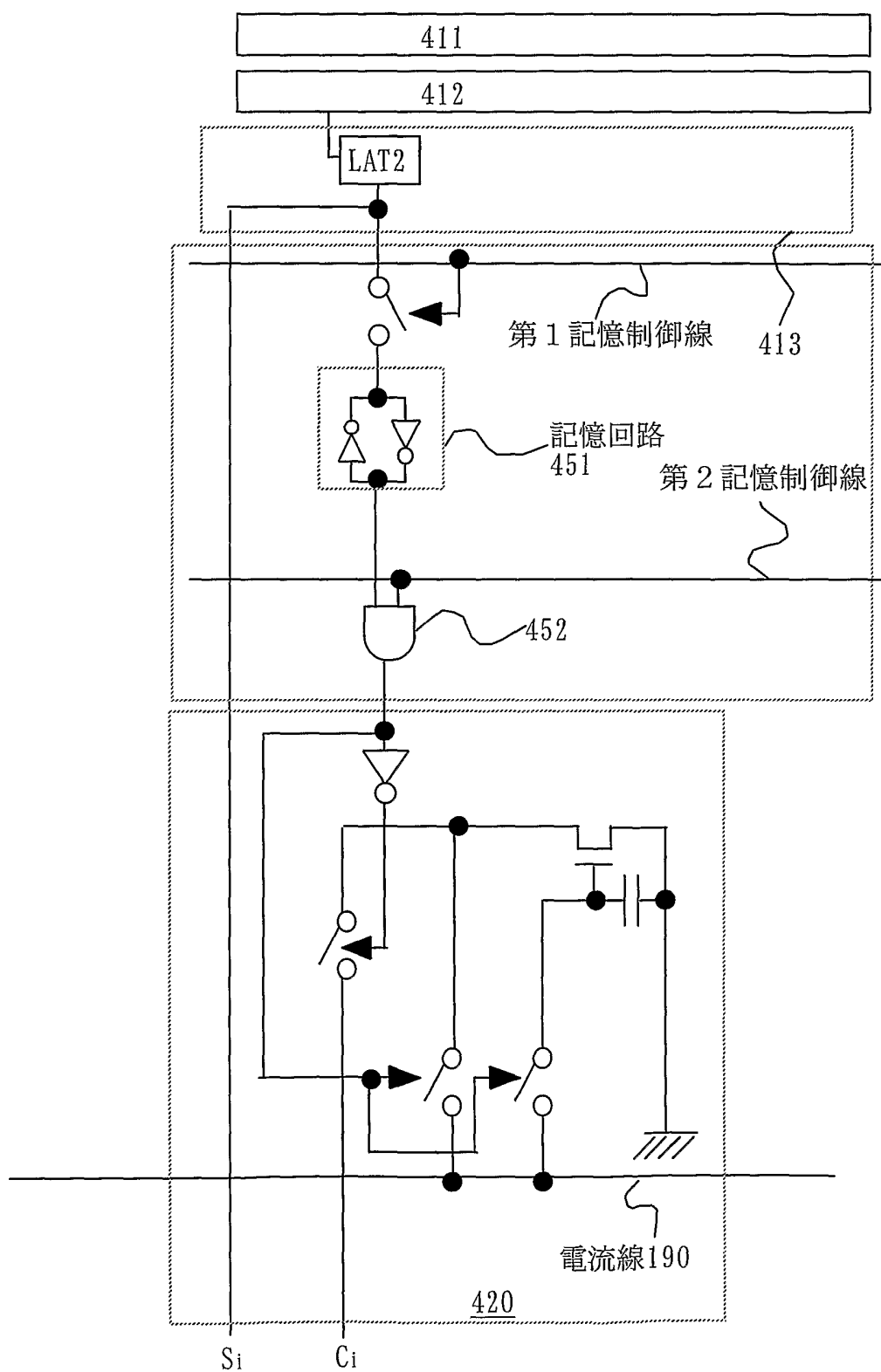
FIG. 71

67/84



68/84

FIG. 72



69/84

FIG. 73A

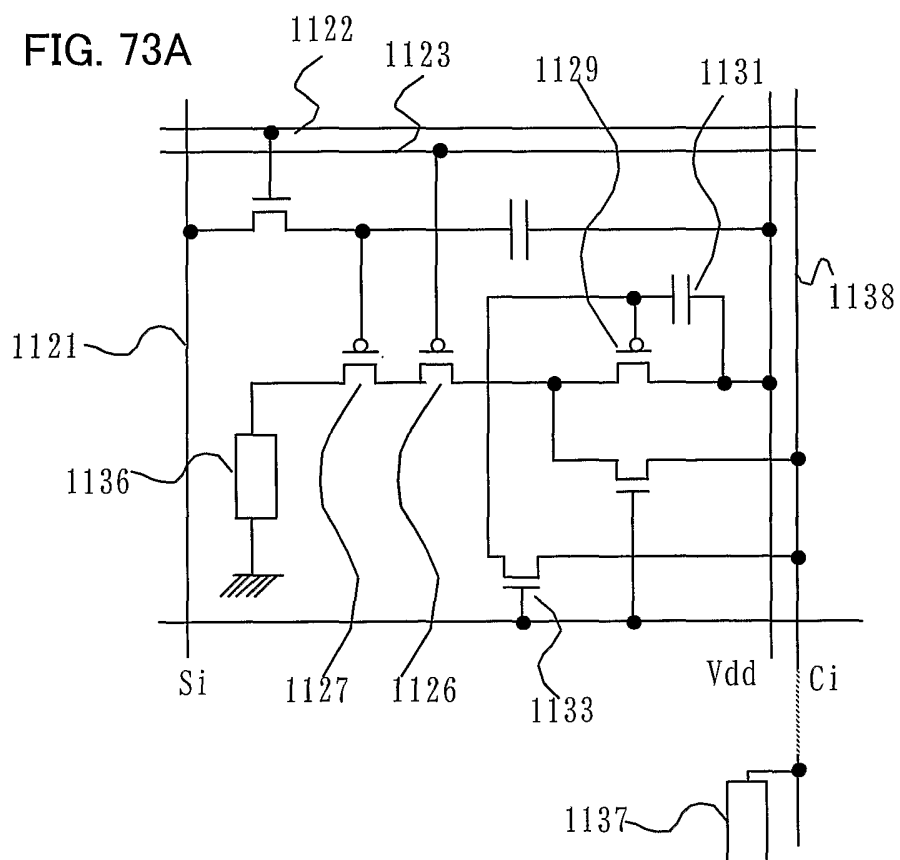


FIG. 73B

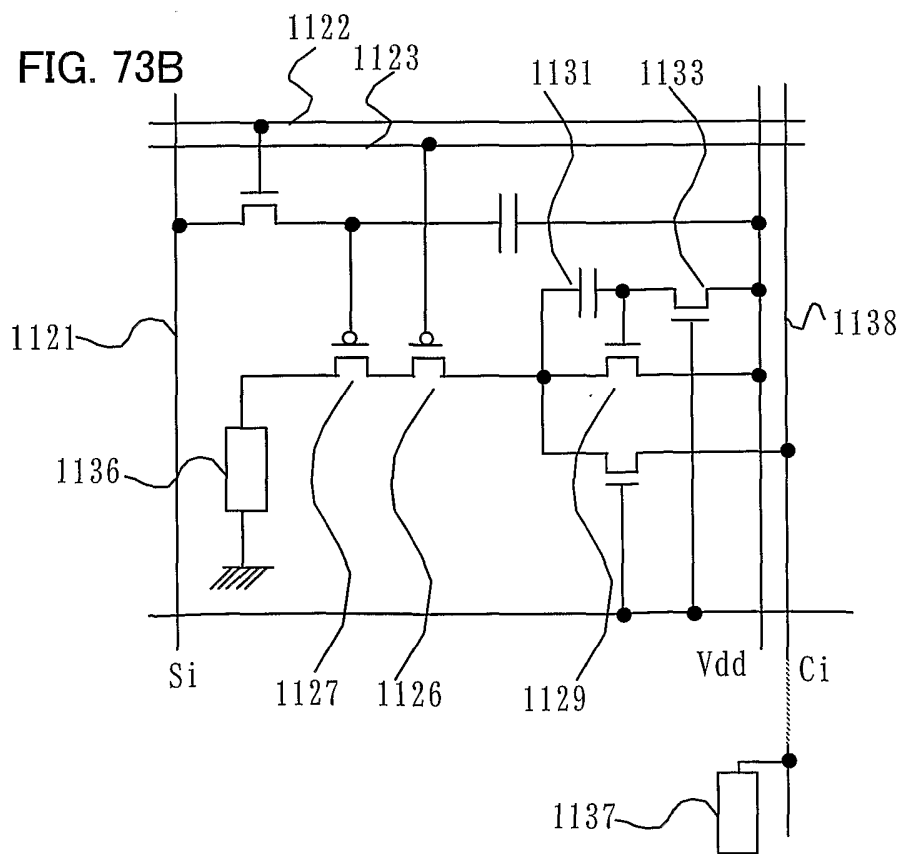
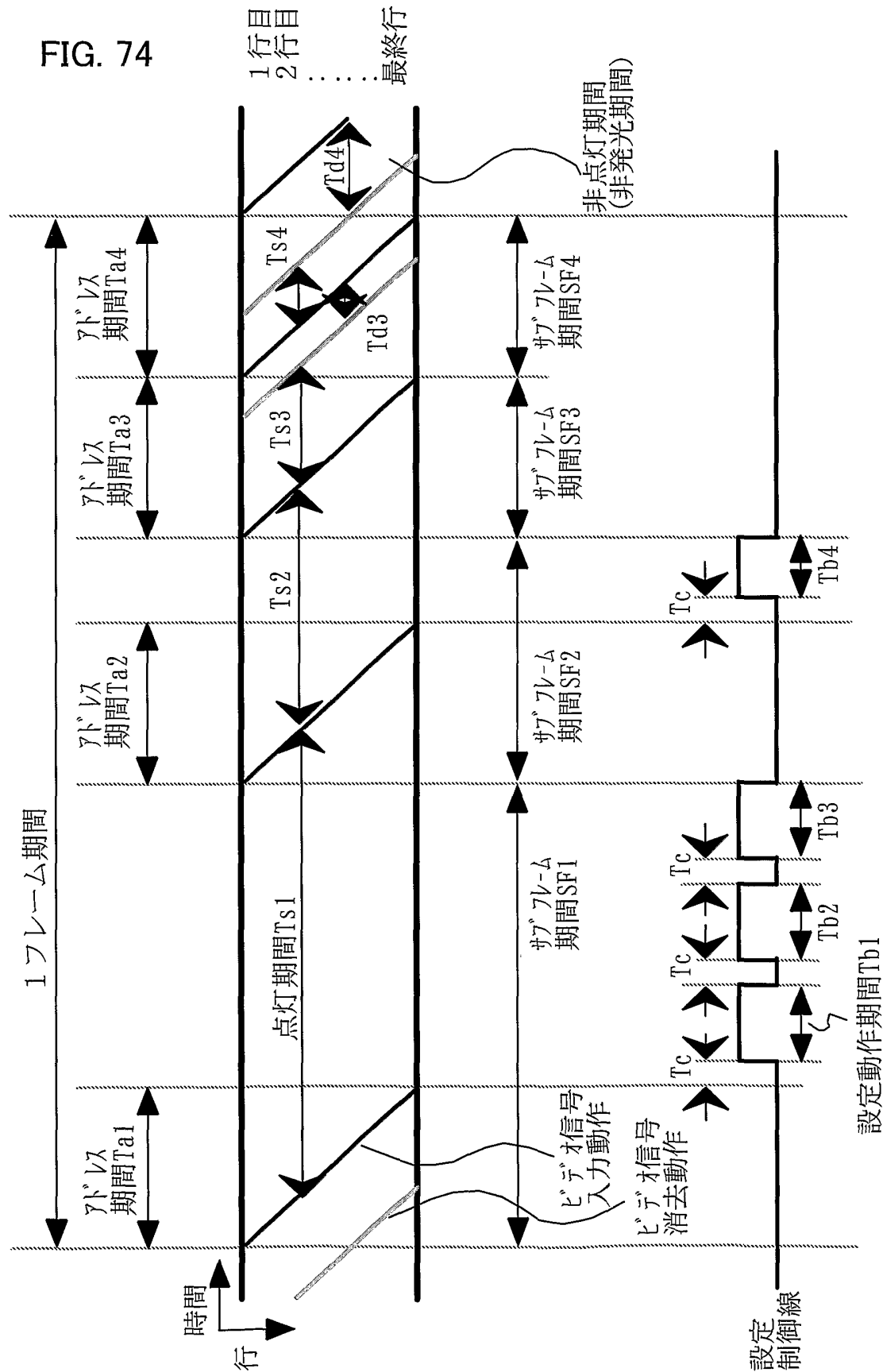
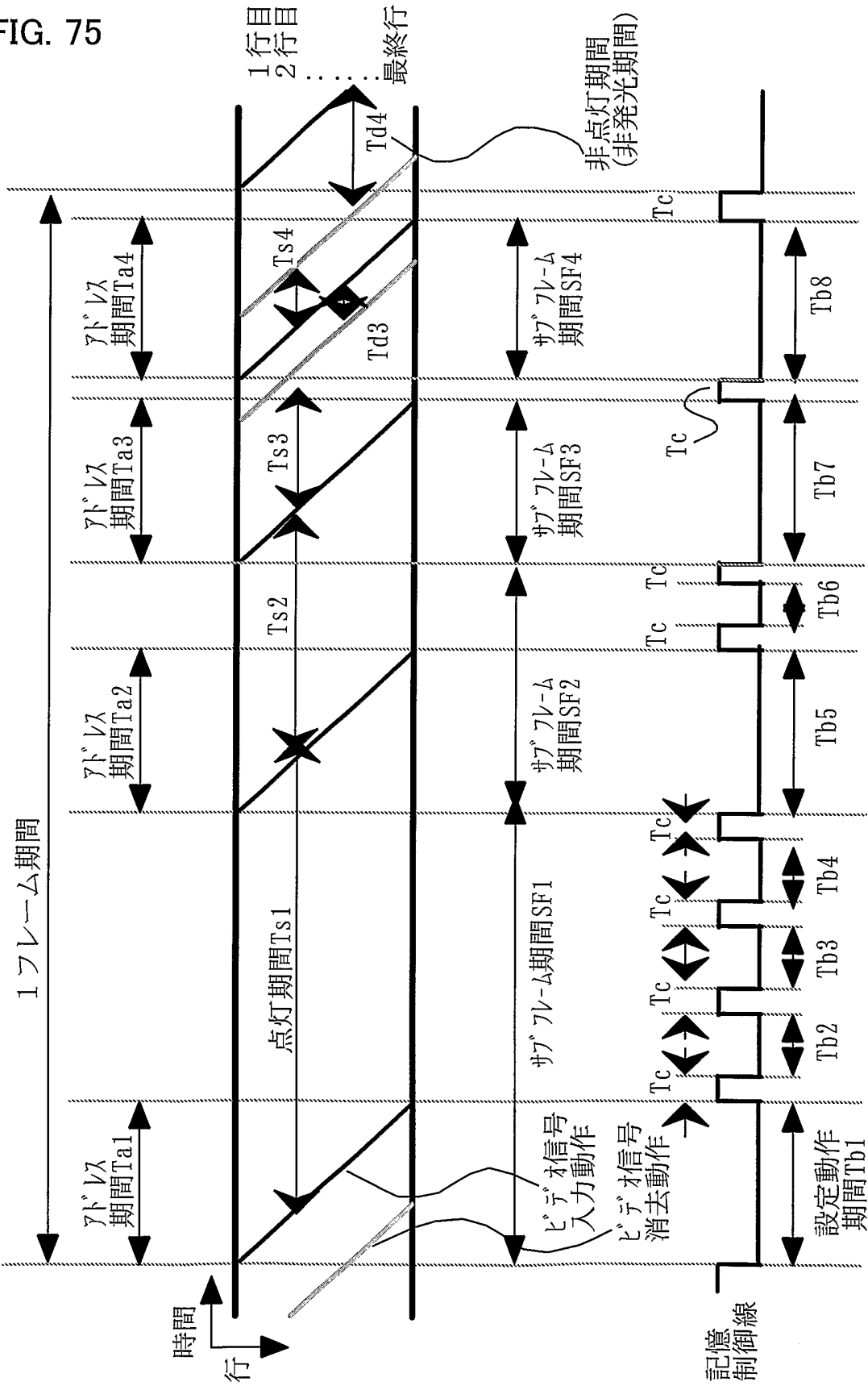


FIG. 74



71/84

FIG. 75



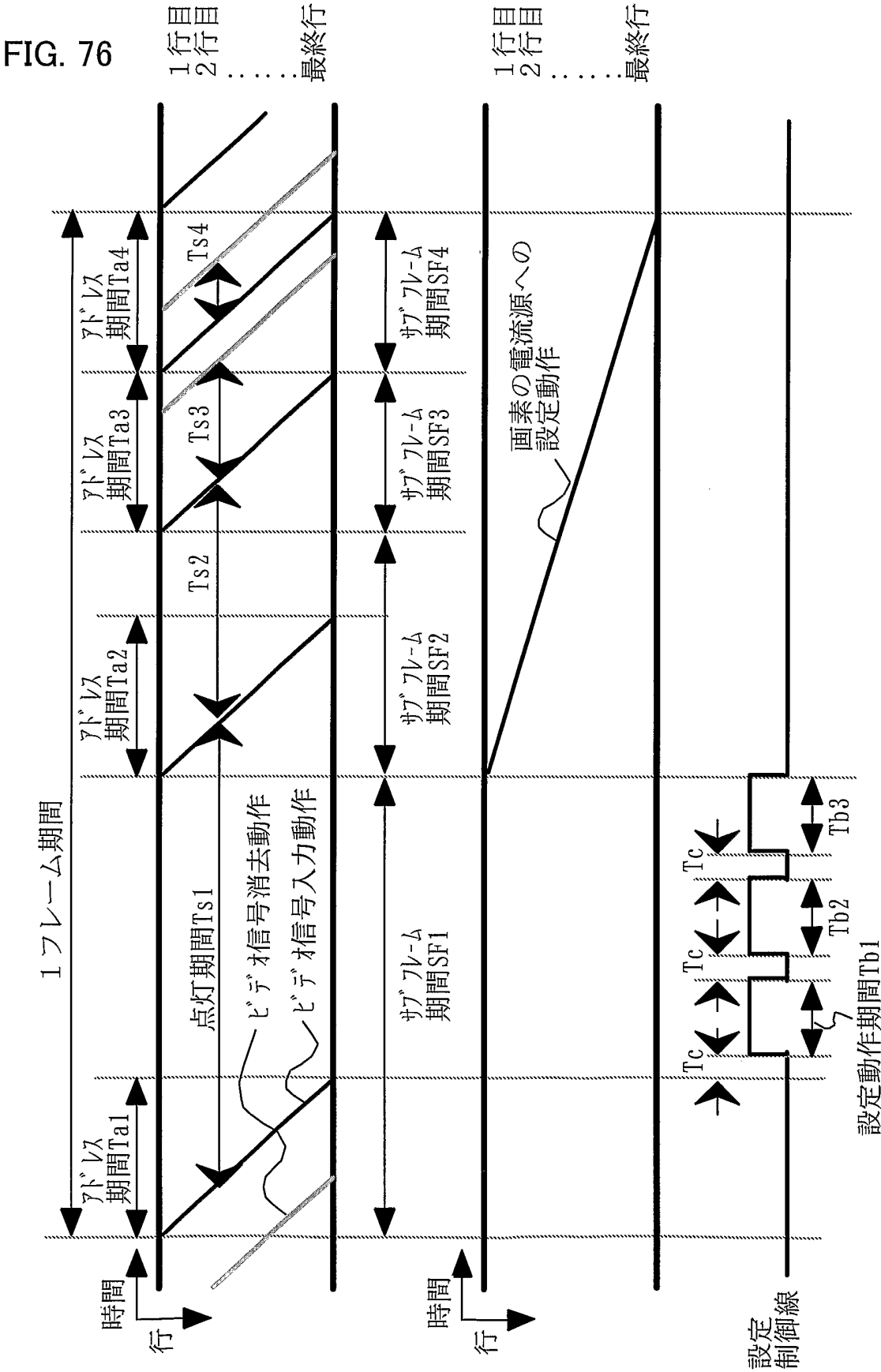


FIG. 77

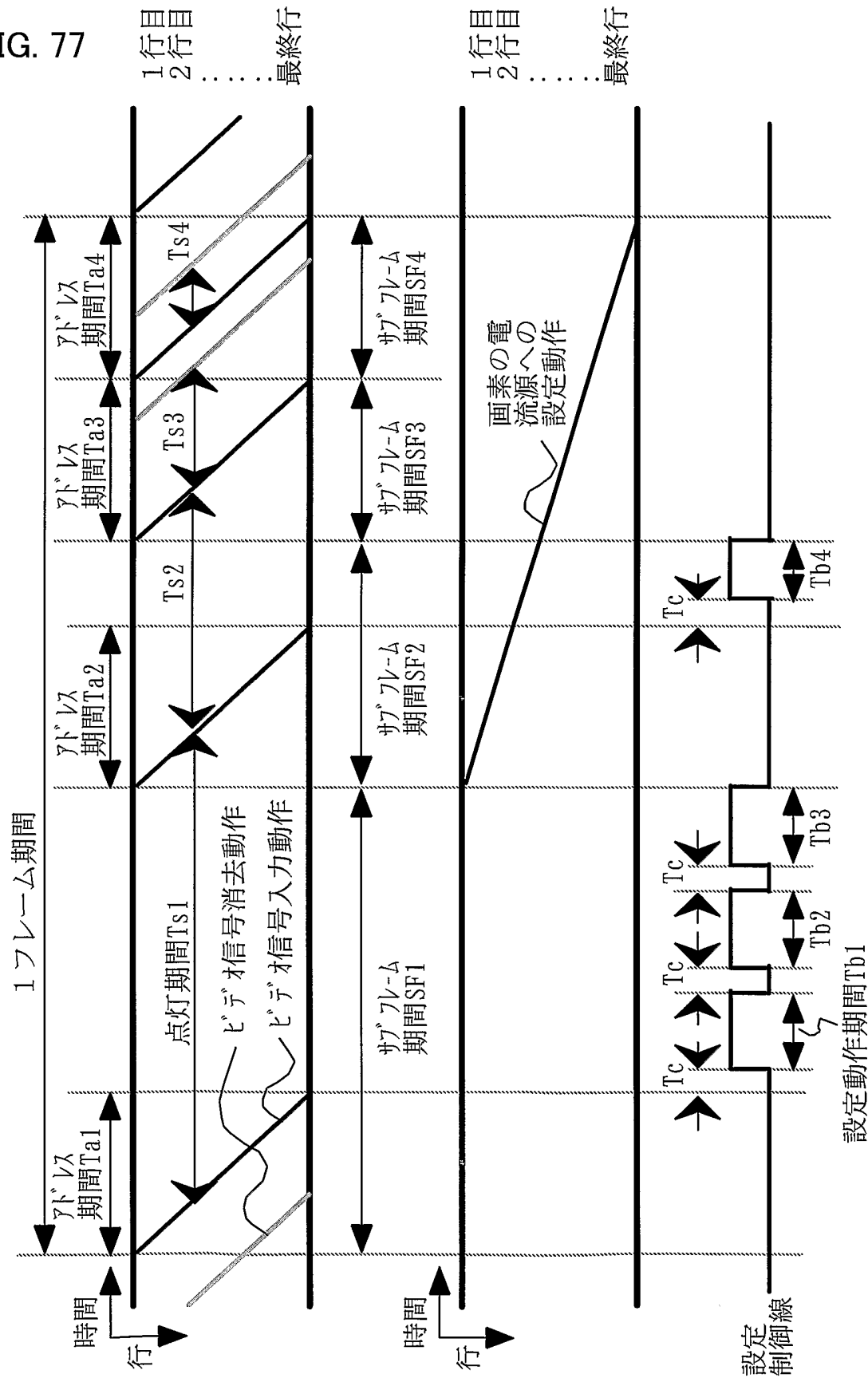


FIG. 78

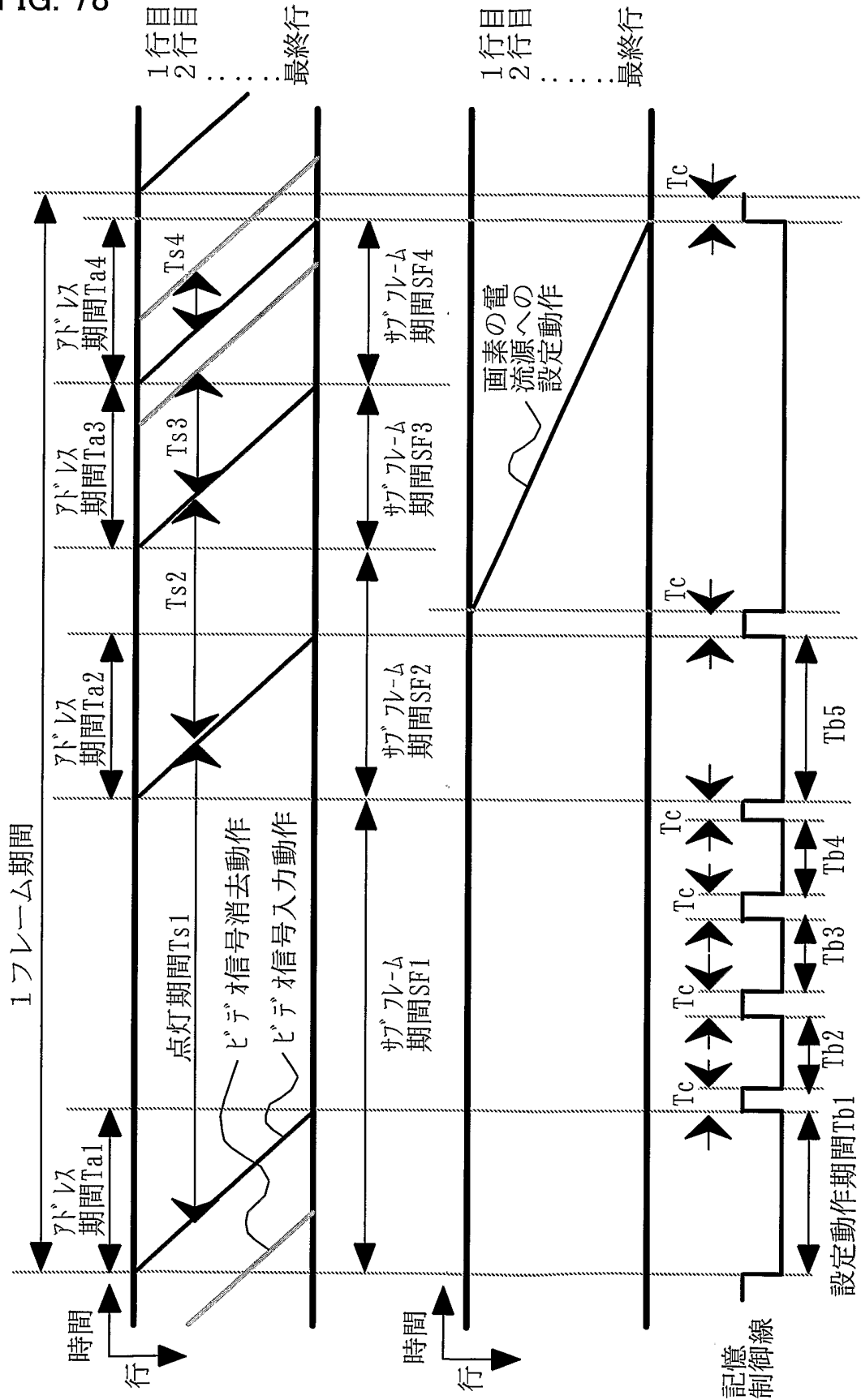


FIG. 79

75/84

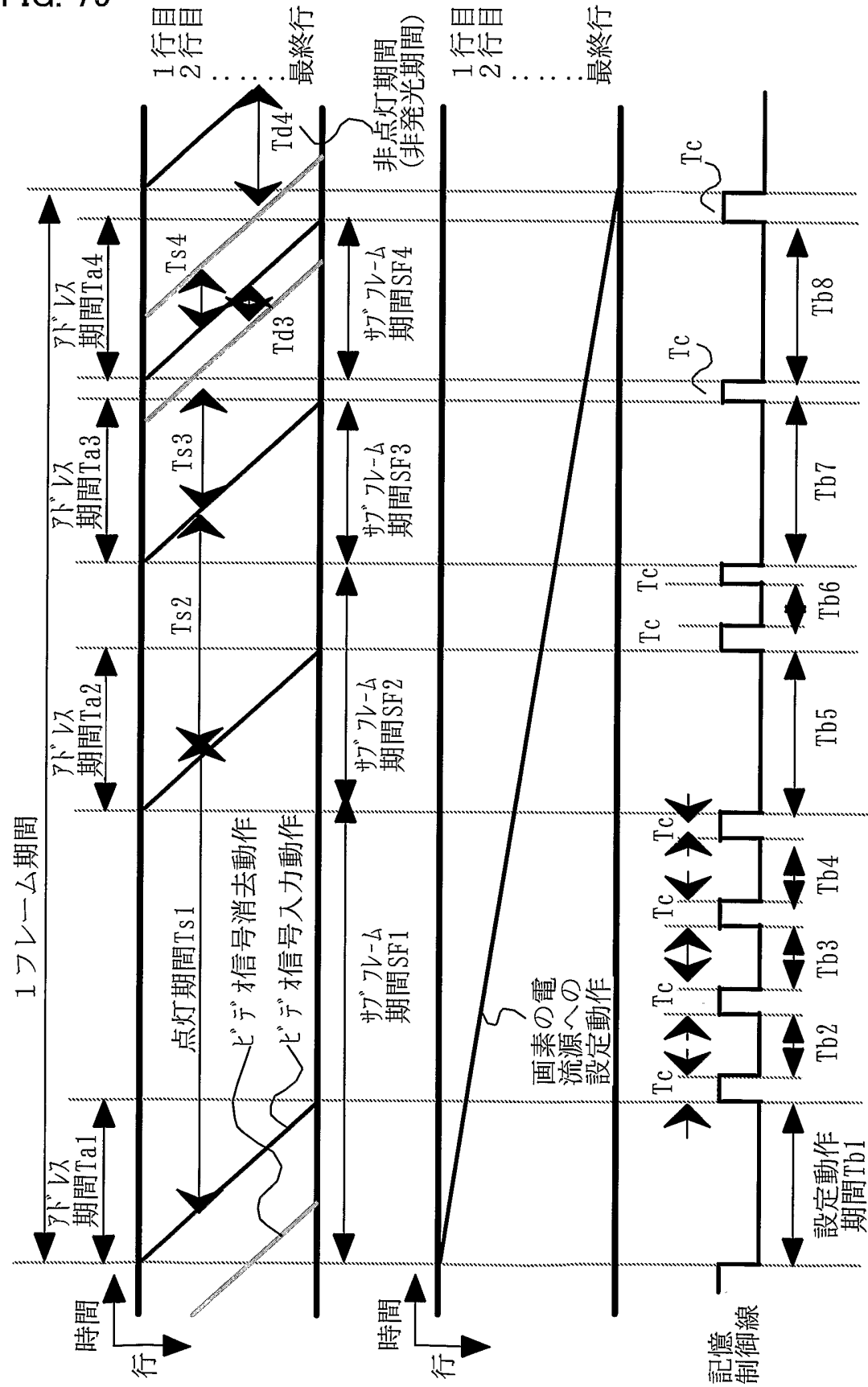


FIG. 80

76/84

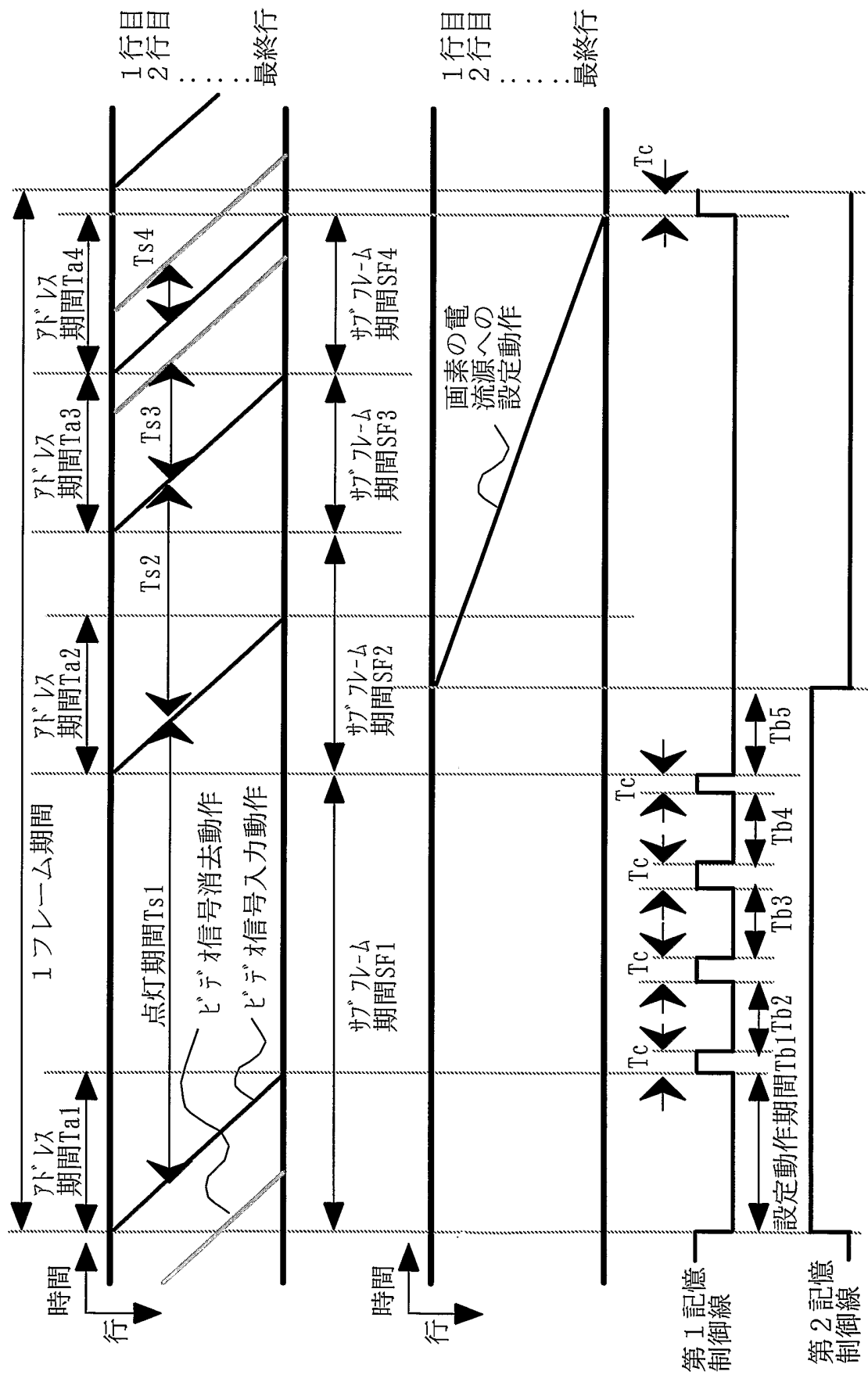


FIG. 81

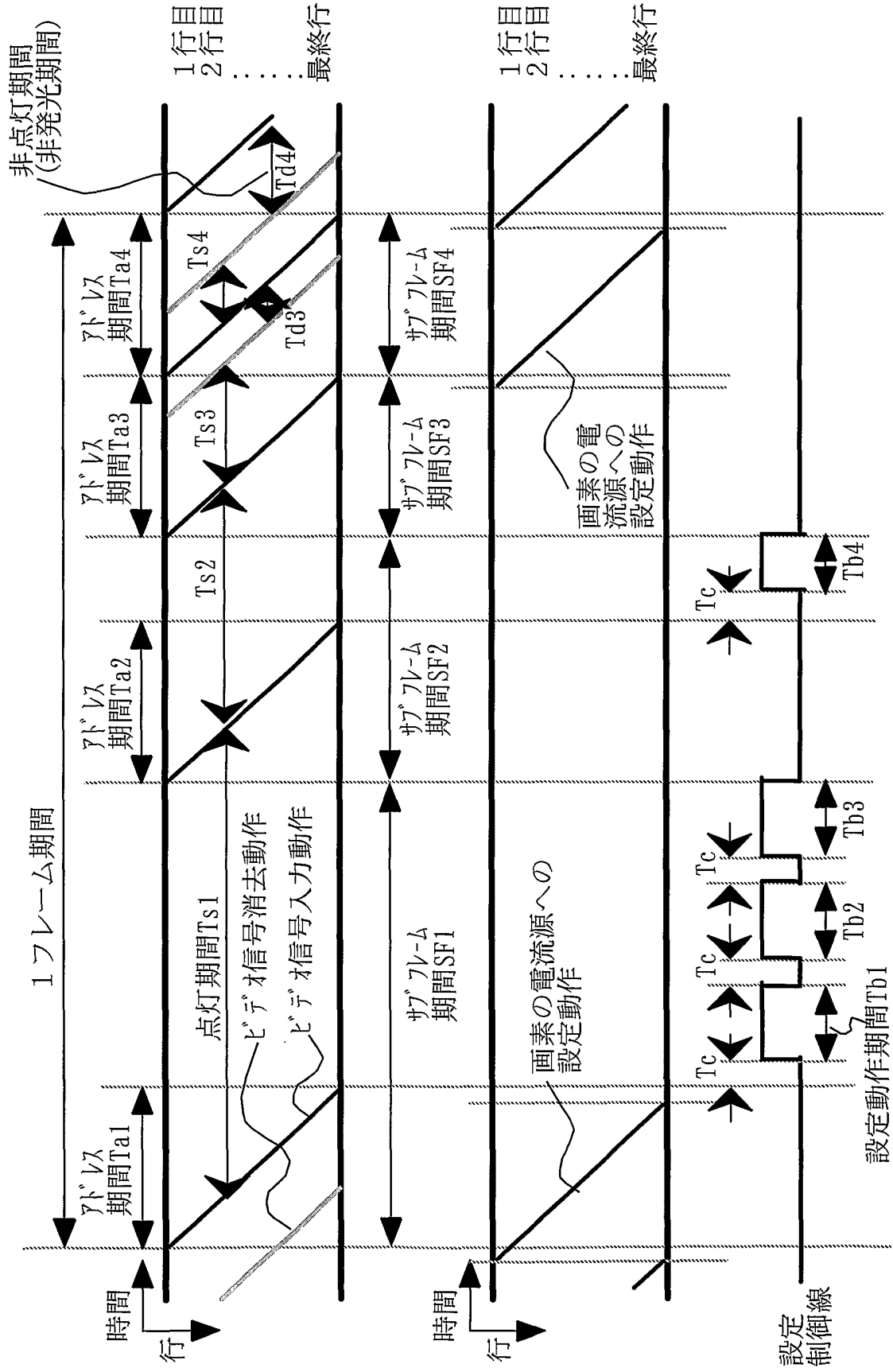


FIG. 82

78/84

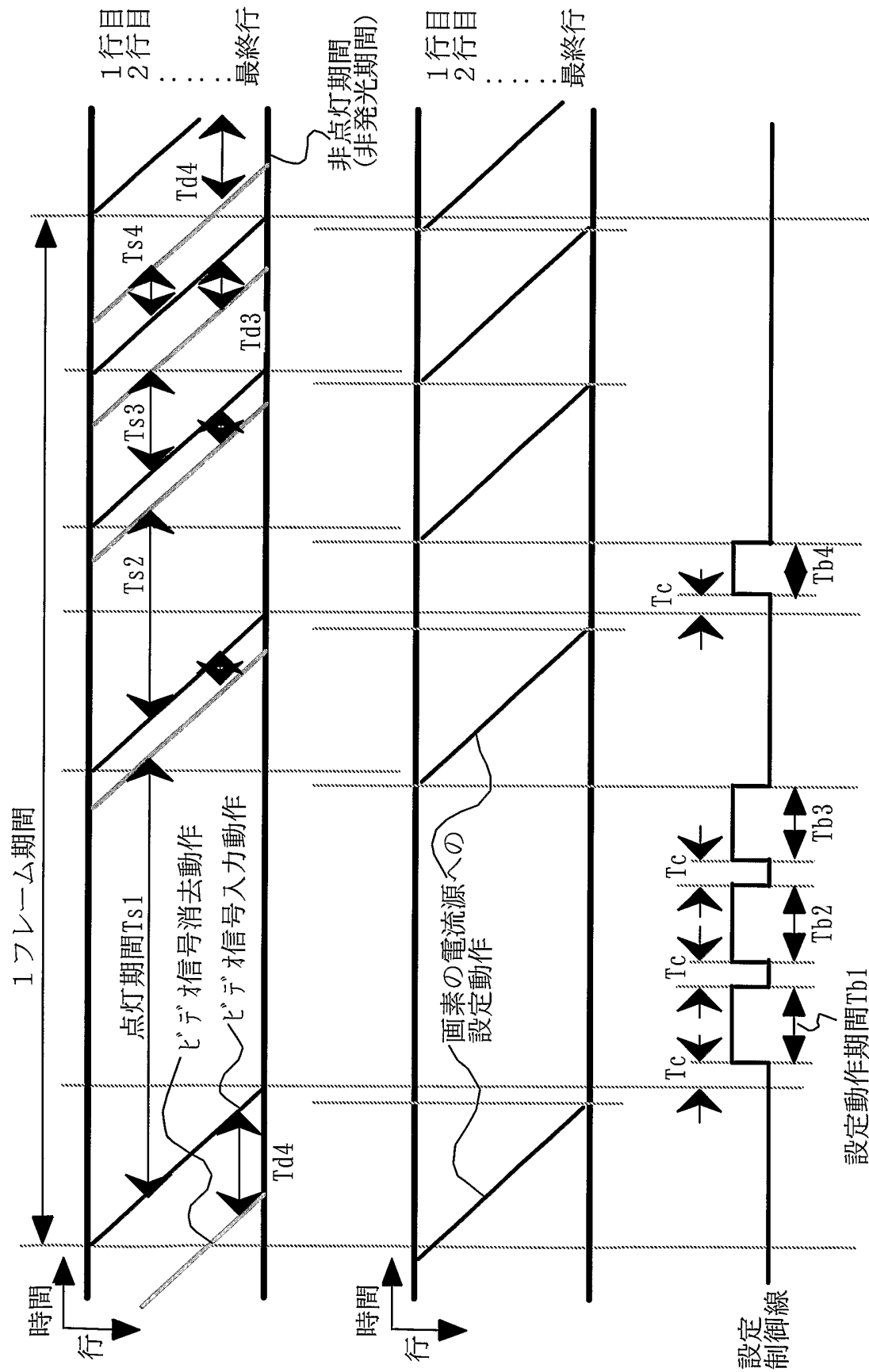


FIG. 83

79/84

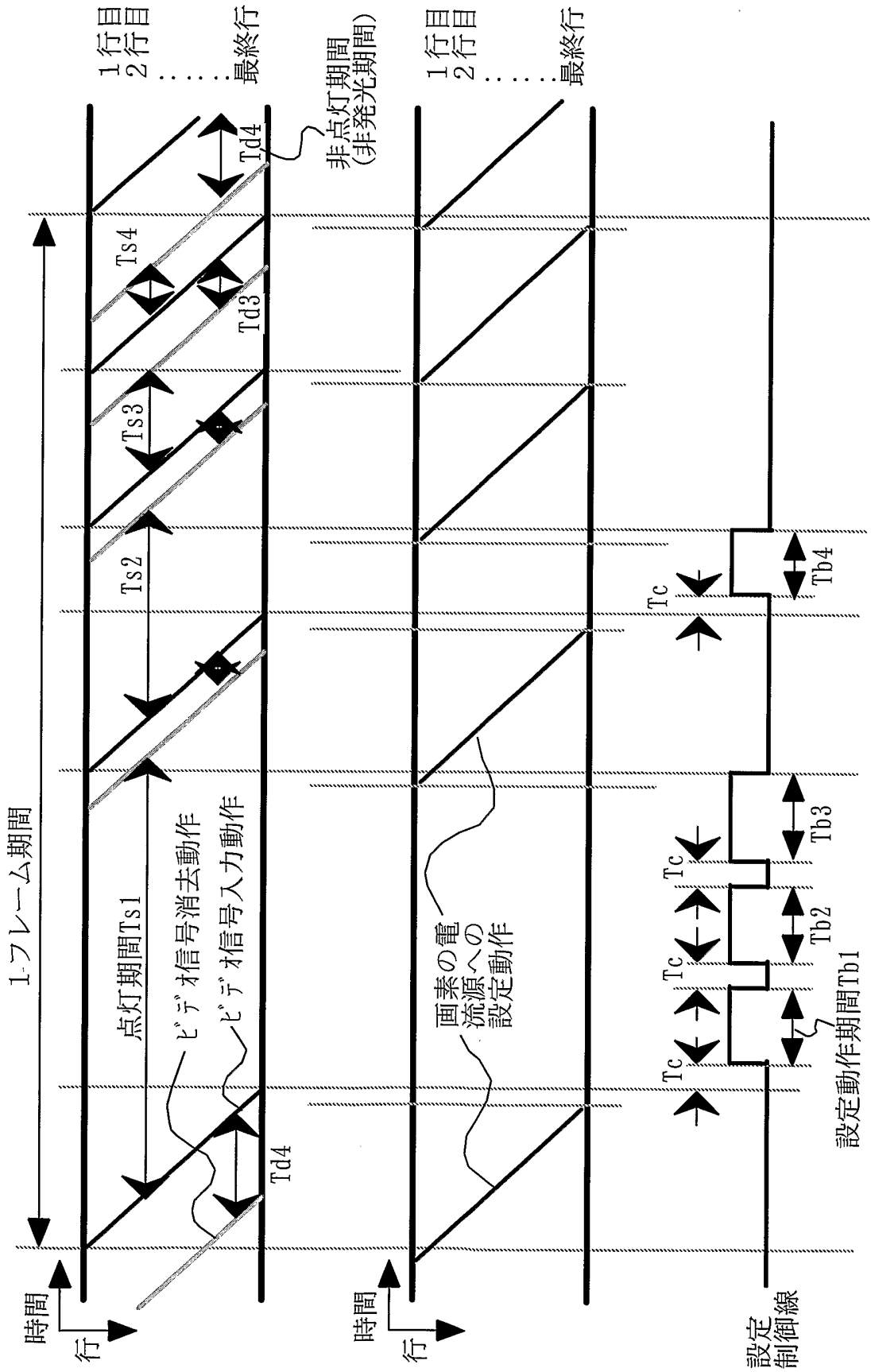


FIG. 84

80/84

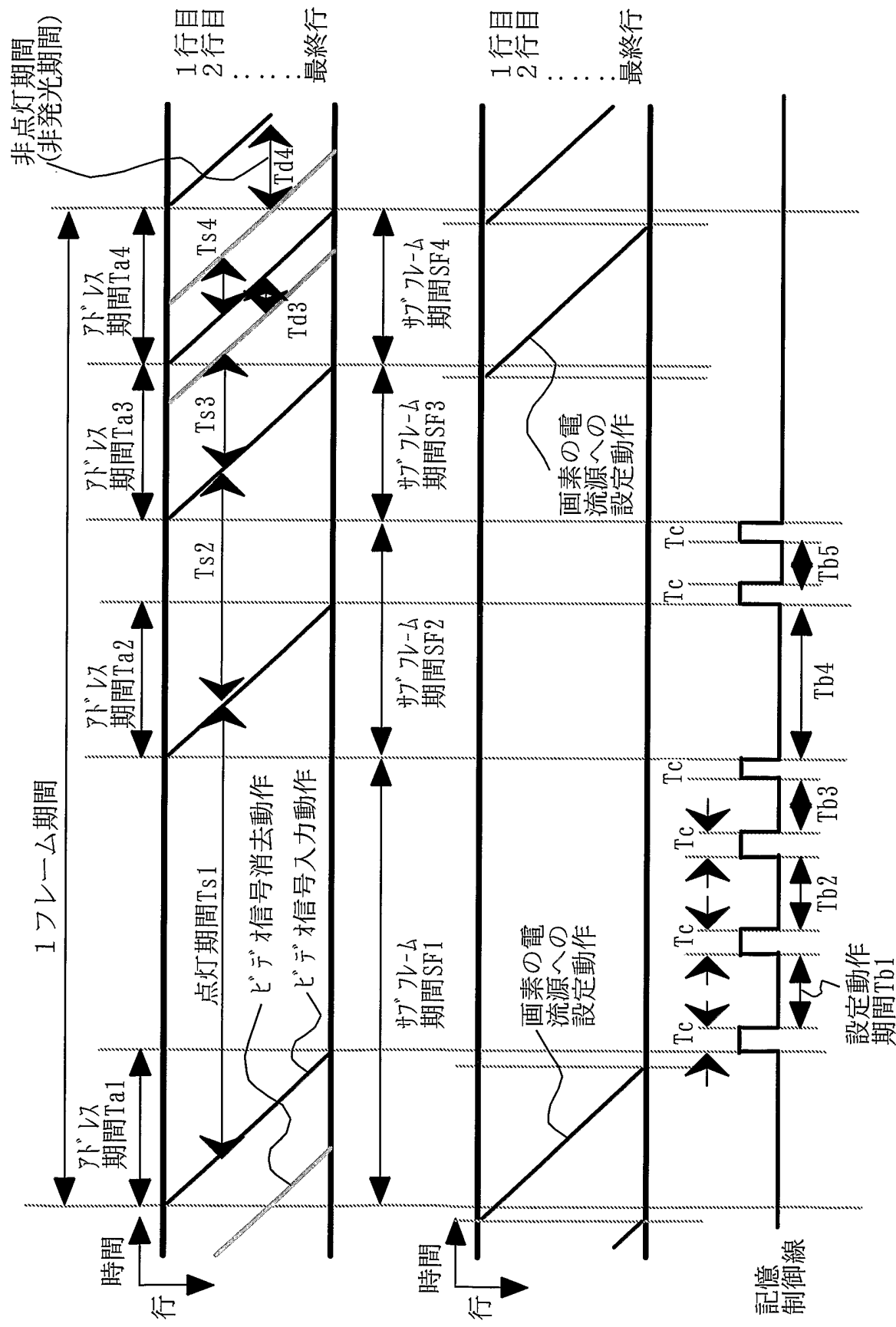


FIG. 85

81/84

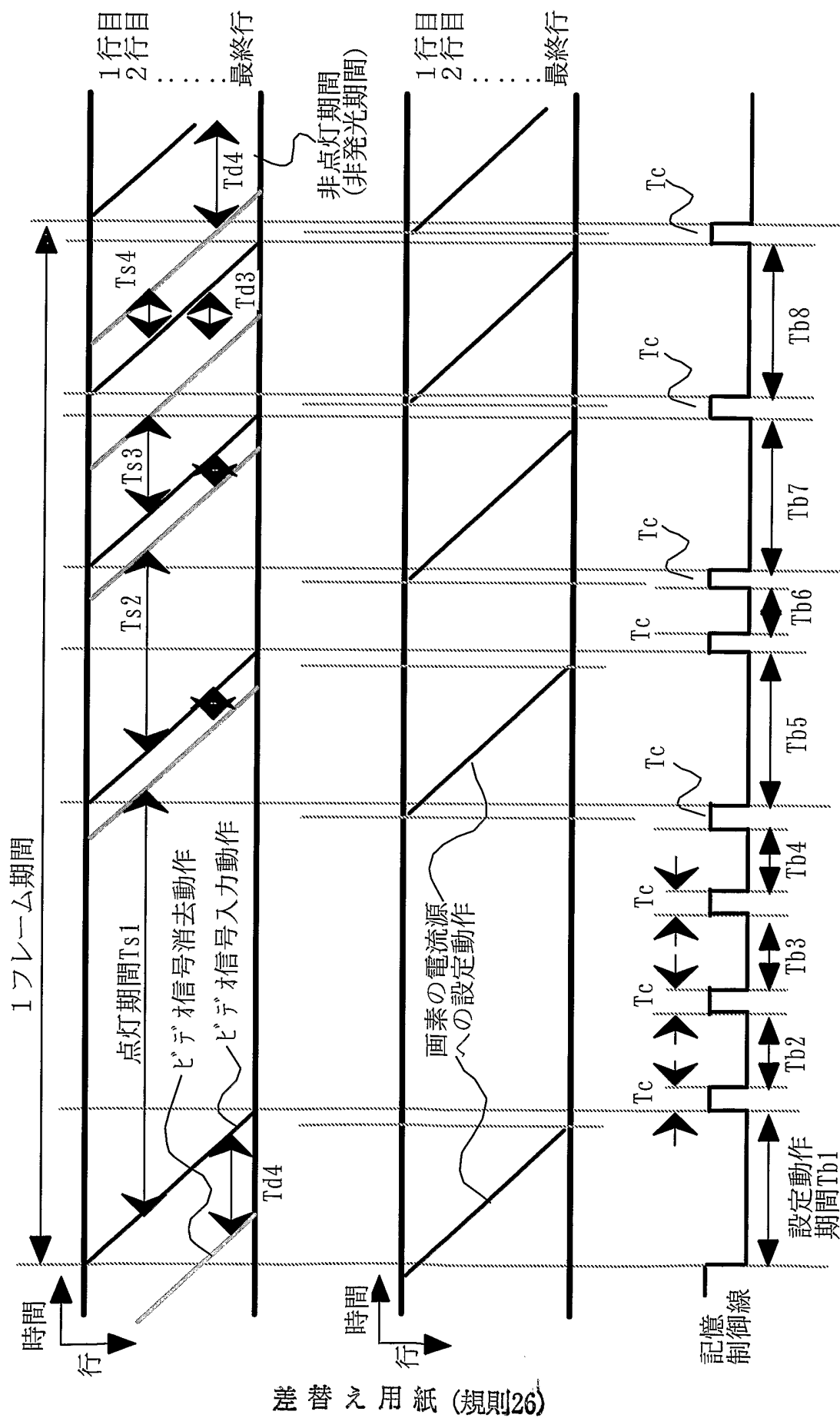


FIG. 86

82/84

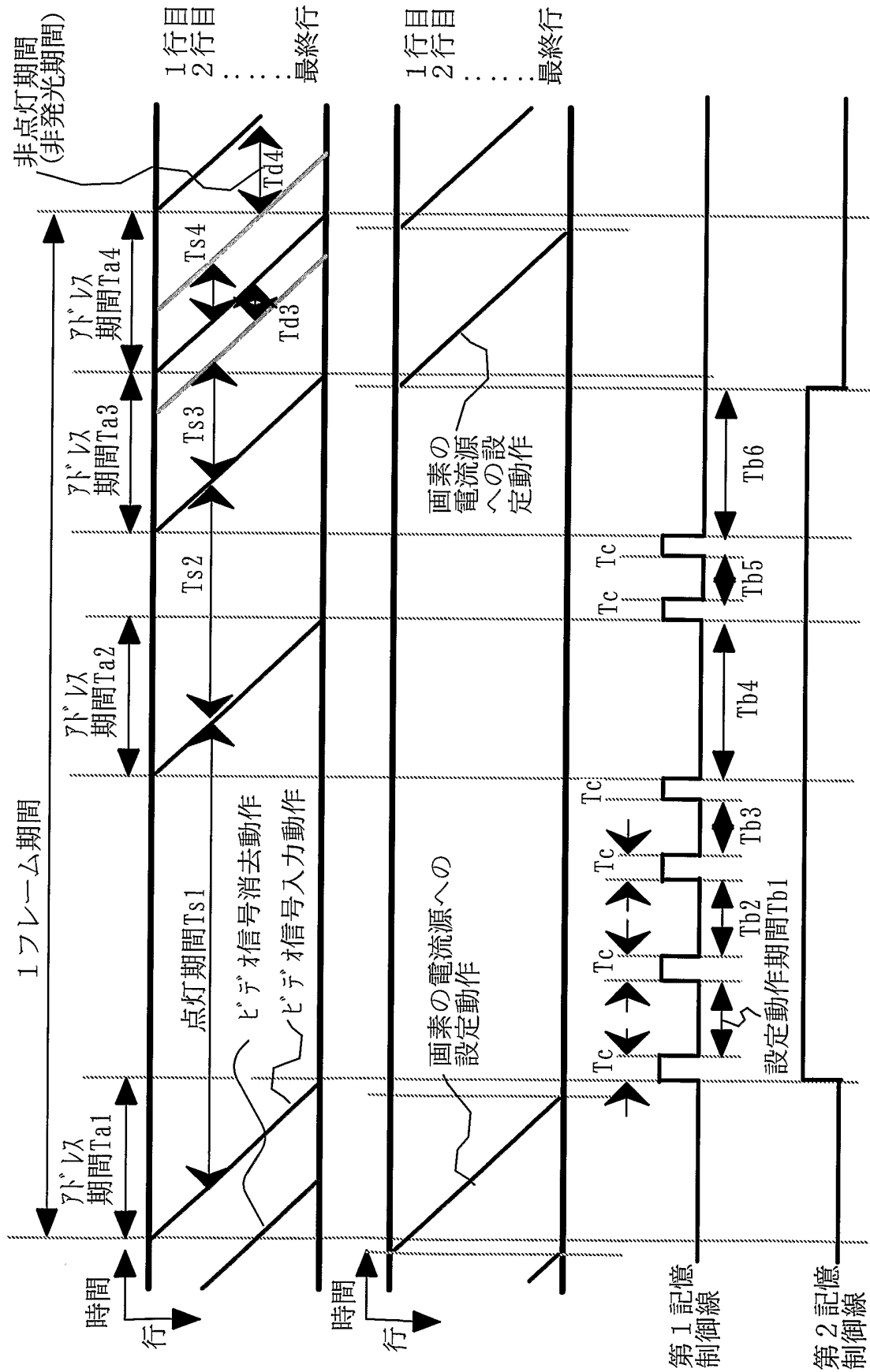


FIG. 87

83/84

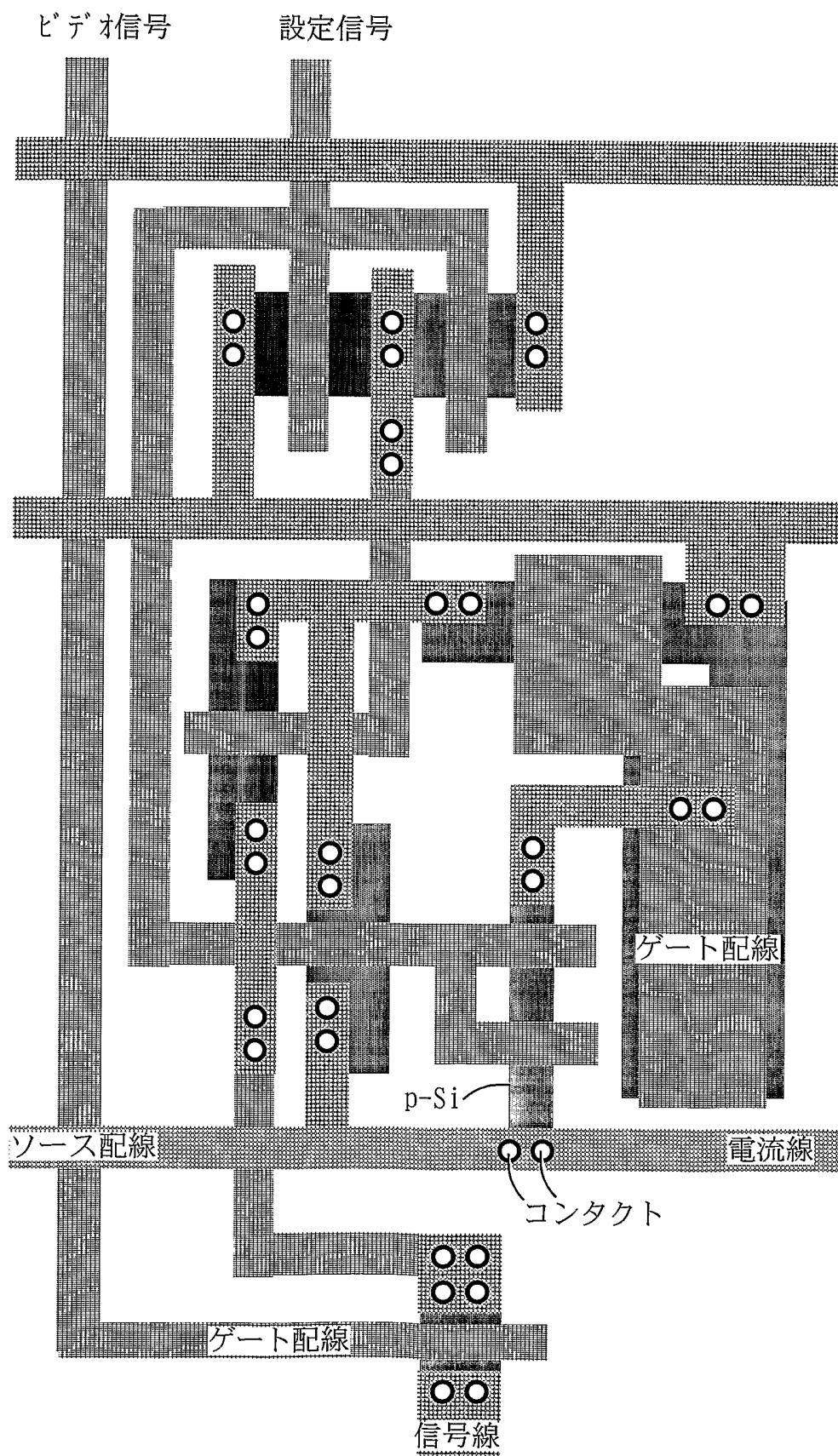
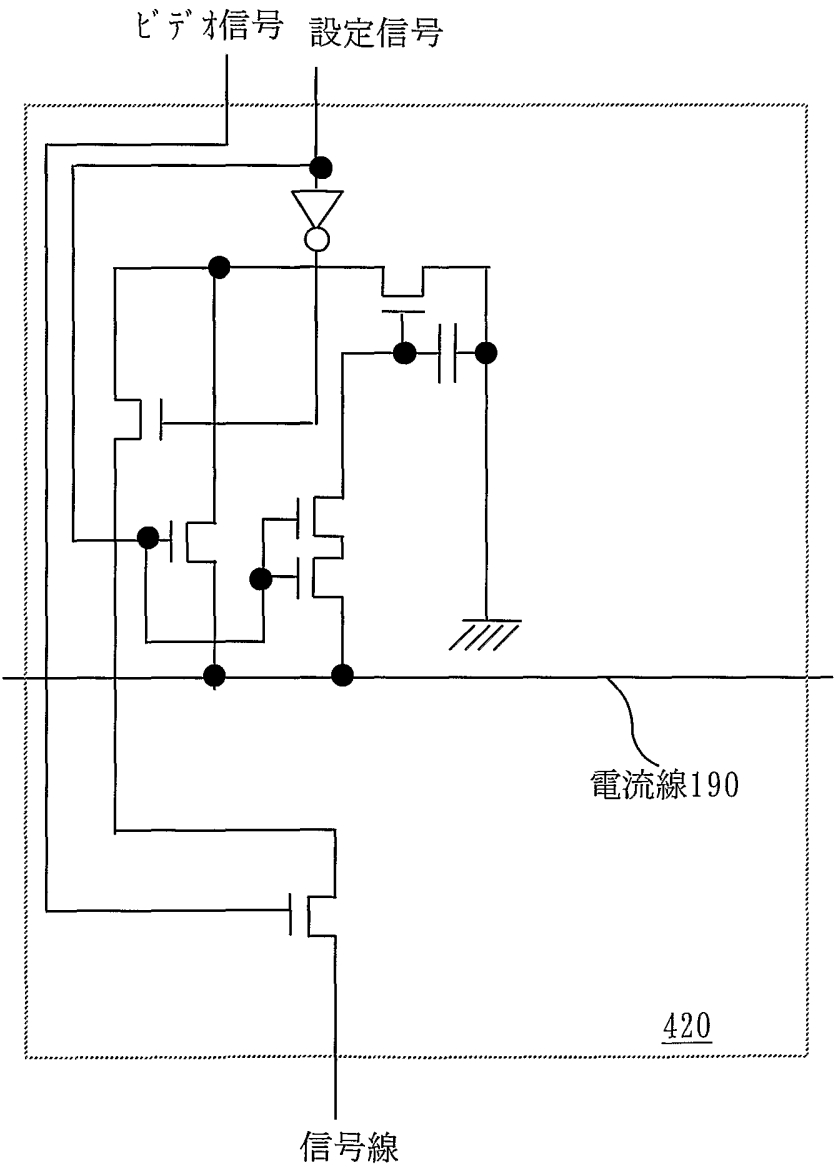


FIG. 88



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/11279

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G09G3/30, 3/20, H05B33/14

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G09G3/00-3/38, H05B33/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2003
Kokai Jitsuyo Shinan Koho 1971-2003 Toroku Jitsuyo Shinan Koho 1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 11-45071 A (NEC Corp.), 16 February, 1999 (16.02.99), Full text; all drawings & US 6310589 B1 & US 2001/0048410 A1	1-3, 6-14, 16-19 4-5, 15, 20-28
Y A	WO 99/65011 A2 (KONINKLIJKE PHILIPS ELECTRONICS N.V.), 16 December, 1999 (16.12.99), Page 8, line 12 to page 11, line 8; Fig. 2 & JP 2002-517806 A	1-3, 6-9, 17-19 4-5, 10-16, 20-28
Y A	JP 2001-56667 A (TDK Corp.), 27 February, 2001 (27.02.01), Par. Nos. [0022] to [0029]; Fig. 1 (Family: none)	1-3, 6-9, 17-19 4-5, 10-16, 20-28

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
---	--

Date of the actual completion of the international search
06 January, 2003 (06.01.03)

Date of mailing of the international search report
04 February, 2003 (04.02.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/11279

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2001-147659 A (Sony Corp.), 29 May, 2001 (29.05.01), Par. Nos. [0015] to [0017]; Fig. 1 & EP 1102234 A2	10-14 1-9, 15-28
Y A	JP 11-282419 A (NEC Corp.), 15 October, 1999 (15.10.99), Par. Nos. [0044] to [0054]; Fig. 1 & US 6091203 A	11-14, 16 1-10, 15, 17-28
A	WO 98/48403 A1 (SARNOFF CORP.), 29 October, 1998 (29.10.98), Page 4, line 18 to page 5, line 31; Fig. 2 & JP 2002-514320 A & US 6229506 B1	1-28
Y	JP 9-244590 A (Toshiba Corp.), 19 September, 1997 (19.09.97), Par. Nos. [0002] to [0005]; Figs. 10 to 12 (Family: none)	2-3
A	JP 2001-34221 A (Nippon Seiki Co., Ltd.), 09 February, 2001 (09.02.01), Par. No. [0034]; Fig. 4 (Family: none)	2-5
A	JP 2001-42822 A (Pioneer Electronic Corp.), 16 February, 2001 (16.02.01), Full text; all drawings (Family: none)	20-24
P, A	JP 2002-215095 A (Pioneer Electronic Corp.), 31 July, 2002 (31.07.02), Full text; all drawings (Family: none)	1-28
P, A	JP 2002-278497 A (Canon Inc.), 27 September, 2002 (27.09.02), Full text; all drawings (Family: none)	1-28

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl ⁷ G 0 9 G 3 / 3 0, 3 / 2 0 H 0 5 B 3 3 / 1 4		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl ⁷ G 0 9 G 3 / 0 0 - 3 / 3 8 H 0 5 B 3 3 / 1 4		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1926-1996年 日本国公開実用新案公報 1971-2003年 日本国実用新案登録公報 1996-2003年 日本国登録実用新案公報 1994-2003年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 11-45071 A (日本電気株式会社) 1999. 02. 16	1-3, 6-14, 16-19
A	段落番号【0025】-【0029】，第4図，第13図 & US 6310589 B1 & US 2001/0048410 A1	4-5, 15, 20-28
Y	WO 99/65011 A2 (KONINKLIJKE PHILIPS ELECTRONI- CS N.V.) 1999. 12. 16	1-3, 6-9, 17-19
A	第8頁第12行-第11頁第8行，第2図 & JP 2002-517806 A	4-5, 10-16, 20-28
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願		
の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 06. 01. 03	国際調査報告の発送日 04.02.03	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 西島 篤宏 電話番号 03-3581-1101 内線 3225	

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	J P 2001-56667 A (ティーディーケイ株式会社) 2001.02.27 段落番号【0022】-【0029】，第1図 (ファミリーなし)	1-3, 6-9, 17-19 4-5, 10-16, 20-28
Y A	J P 2001-147659 A (ソニー株式会社) 2001.05.29 段落番号【0015】-【0017】，第1図 & EP 1102234 A2	10-14 1-9, 15-28
Y A	J P 11-282419 A (日本電気株式会社) 1999.10.15, 全文, 全図 & US 6091203 A	11-14, 16 1-10, 15, 17-28
A	WO 98/48403 A1 (SARNOFF CORPORATION) 1998.10.29 第4頁第18行-第5頁第31行, 第2図 & J P 2002-514320 A & US 6229506 B1	1-28
Y	J P 9-244590 A (株式会社東芝) 1997.09.19 段落番号【0002】-【0005】，第10-12図 (ファミリーなし)	2-3
A	J P 2001-34221 A (日本精機株式会社) 2001.02.09 段落番号【0034】，第4図 (ファミリーなし)	2-5
A	J P 2001-42822 A (パイオニア株式会社) 2001.02.16, 全文, 全図 (ファミリーなし)	20-24
P. A	J P 2002-215095 A (パイオニア株式会社) 2002.07.31, 全文, 全図 (ファミリーなし)	1-28
P. A	J P 2002-278497 A (キヤノン株式会社) 2002.09.27, 全文, 全図 (ファミリーなし)	1-28