

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 03124102.6

G06F 3/00 (2006.01)
G11C 7/00 (2006.01)
G11C 7/10 (2006.01)
H03L 7/00 (2006.01)

[45] 授权公告日 2006年8月23日

[11] 授权公告号 CN 1271489C

[22] 申请日 2003.4.29 [21] 申请号 03124102.6

[30] 优先权

[32] 2002.5.2 [33] EP [31] 02360143.8

[71] 专利权人 阿尔卡特公司

地址 法国巴黎市

[72] 发明人 安德烈亚斯·赫布 马丁·米特里希

审查员 韩燕_1

[74] 专利代理机构 北京市金杜律师事务所

代理人 张维

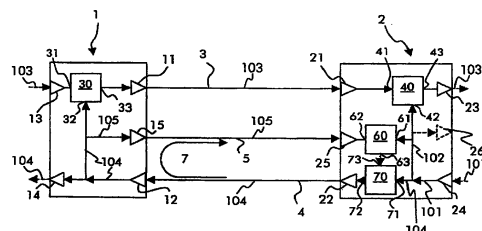
权利要求书 3 页 说明书 10 页 附图 2 页

[54] 发明名称

数据信号的相位控制方法，反时钟电路装置以及接口设备

[57] 摘要

本发明涉及一种数据信号的相位控制方法，前述信号以反时钟方式从数据源传送到数据宿，其中在数据宿比较数据宿时钟的相位和基准信号的相位，数据宿基于所述相位比较调整反时钟的相位。本发明还涉及用以实现按照本发明方法的一种反时钟电路装置和接口设备。本发明通过比较数据宿时钟的相位和基准信号的相位，检测反时钟电路装置的处理和传输条件，用于调整反时钟相位，使得基准信号和数据宿时钟之间的相位关系趋于稳定，并可以通过调整反时钟相位来主动补偿信号的相位波动或传输差异，从而避免处理样本变化以及补偿时变影响的服务修正的相位初始调整。



- 1.一种数据信号相位控制方法，包括以下步骤：
从数据源（1）发送数据信号（103）给数据宿（2）；
5 从所述数据宿（2）发送反时钟（104）给所述数据源（1）；
在所述数据源（1）将所述数据信号（103）与所述反时钟（104）同步；
在所述数据宿（2）将所述数据信号（103）与数据宿时钟（102）同步；
10 其特征还在于以下步骤：
所述同步步骤之后，在数据宿（2），比较所述数据宿时钟（102）的相位和基准信号（103、105）的相位；
在数据宿（2），基于数据宿时钟（102）和基准信号（103、105）的所述相位比较，调整所述反时钟（104）的相位。
- 15 2.按照权利要求1的数据信号相位控制方法，其中所述反时钟（104）从数据源（1）反馈耦合到数据宿（2），用于提供同传时钟（105），其特征在于，所述同传时钟（105）用作所述基准信号，时钟-时钟相位比较器（60）用来比较所述同传时钟（105）和所述数据宿时钟（102）的相位。
- 20 3.按照权利要求1的数据信号相位控制方法，其特征在于，所述数据信号（103）用作所述基准信号，数据-时钟相位检测器（80）用来比较所述数据宿时钟（102）和所述数据信号（103）的相位。
- 25 4.一种进行数据信号（103）相位控制的接口设备，其中将数据信号（103）从数据源（1）发送到所述接口设备（2），该设备包括数据信号输入（21）、数据信号输出（23）、时钟输入（24）、时钟输出（22）和锁存器（40），其锁存器输入（41）连接到数据信号输入（21），锁存器输出（43）连接到数据信号输出（23），锁存器时钟输入（42）连接到所述接口设备（2）的接口时钟输入（24），其特征在于，所述接口设备（2）还包括移相器（70），具有输入（71）、

输出(72)和控制输入(73),其中所述移相器输入(71)连接到接口时钟输入(24),所述移相器输出(72)连接到接口时钟输出(22),以及比较数据宿时钟(102)相位和基准信号(103、105)相位的装置(60、80),前述数据宿时钟(102)从所述接口设备(2) 5 生成的主时钟分割得到或者从所述数据宿接收,并应用于所述锁存器(40)的所述时钟输入(42),其中所述比较装置(60、80)基于所述相位比较,通过移相器控制输入(73)控制所述移相器(70)。

5.按照权利要求4的接口设备,包括关于数据信号(103)的同传时钟(105)的另一时钟输入(25),其特征在于,所述同传时钟(105)用作所述基准信号,所述相位比较装置是时钟-时钟相位比较器(60),其第一时钟输入(62)连接所述另一时钟输入(25),第二时钟输入(61)连接所述接口设备(2)的所述数据宿时钟(102),其输出(63)连接所述移相器(70)的控制输入(73)。

6.按照权利要求4的接口设备,其特征在于,所述数据信号(103) 15 用作所述基准信号,所述相位比较装置是数据-时钟相位检测器(80),其第一输入(82)连接所述接口数据输入(21),第二输入(81)连接所述接口设备(2)的所述数据宿时钟(102),其输出(83)连接所述移相器(70)的控制输入(73)。

7.一种反时钟电路装置,用于控制数据源(1)发送给数据宿(2) 20 的数据信号(103)的相位,包括,数据源(1)的第一锁存器(30),数据宿(2)的第二锁存器(40),数据信号链路(3)和反时钟链路(4),其中第一锁存器(30)具有关于数据源(1)的进入数据信号(103)的数据信号输入(31),从数据源发送数据信号(103)给数据宿的数据信号输出(33),以及连接到反时钟(104)的时钟输入(32),第二锁存器(40)具有从数据源(1)接收所述数据信号(103)的数据信号输入(41),数据信号输出(43),以及连接到数据宿时钟(102)的时钟输入(42),其中所述数据信号(103)通过所述数据信号链路(3),从数据源(1)发送给数据宿(2), 25 在数据宿(2),将时钟(101)分割成所述数据宿时钟(102)和所

述反时钟（104），从数据宿（2）将所述反时钟通过所述反时钟链路（4）发送给数据源（1），其特征在于，该电路装置还包括：在数据宿（2），比较所述数据宿时钟（102）相位和基准信号（103、105）相位的装置（60、80），以及对所述反时钟（104）进行相位
5 偏移的移相器（70），其中所述比较装置（60、80）基于所述数据宿时钟（102）的所述相位比较控制所述移相器（70）。

8.按照权利要求7的反时钟电路装置，包括：从数据源（1）通过同传时钟链路（5）发送给数据宿（2）的同传时钟（105），用作从数据源（1）反馈耦合到数据宿（2）的所述反传播时钟（104），
10 其特征在于，所述同传时钟（105）用作所述基准信号，所述相位比较装置是时钟-时钟相位比较器（60），其第一输入（61）连接所述数据宿时钟（102），第二输入（62）连接所述同传时钟（105），其输出（63）连接所述移相器（70）的控制输入（73）。

9.按照权利要求7的反时钟电路装置，其中，所述数据信号（103）
15 用作所述基准信号（103、105），所述相位比较装置是数据-时钟相位检测器（80），其第一输入（81）连接数据宿时钟（102），第二输入（82）连接数据信号（103），其输出（83）连接所述移相器（70）的控制输入（73）。

数据信号的相位控制方法，反时钟电路装置以及接口设备

5 技术领域

本发明涉及一种数据信号的相位控制方法，一种接口设备，以及一种反时钟电路装置。

背景技术

10 现有技术中，利用反时钟方式以及对应的反时钟电路来实现数据信号的相位控制的方法已是众所周知。这些方法可以用于，例如分发数字数据信号给电路装置或者不同电路的空间上分离的不同模块、单元或部件。这些数据信号必须利用数据时钟来采样以评估数据信号。因此，数据时钟可以从数据信号本身恢复，如果数据时钟
15 已知，也可以利用生成的时钟。为了向电路装置的不同模块、单元或部件提供相同时钟，通常需要在电路装置的模块、单元或部件之间传送该时钟。

数据信号一般从第一单元或部件传送到第二单元或部件，第一单元或部件一般可以看成是数据源，而第二单元或部件则可以对应地
20 看成是数据宿（data sink）。采用反时钟方式，确切地说，在关于数据信号传播方向的反传播方向上传送时钟。这样就可以在数据宿中生成时钟，通常也称为主时钟，或者将该时钟馈送到数据宿，并从数据宿以反传播时钟的形式发送给数据源。

现有技术的反时钟电路装置包括数据源单元的第一锁存器和数
25 据宿单元的第二锁存器。该数据宿生成或接收主时钟。在数据宿中，主时钟被分割成数据宿时钟和反传播时钟，后者被发送给数据源。数据源的处理由反传播时钟控制。具体来讲，利用第一和第二锁存器，数据信号分别与数据源的反传播时钟和数据宿的数据宿时钟或主时钟同步。因为时钟的周期特性，可以出现若干离散值。但是，

数据源和数据宿之间的数据/时钟变化,和/或电路传播时延超过了数据宿锁存器的时钟相位边界,就会引起误码。尤其是在时钟速率高的情况下,很难使定时稳定。

在这份包括权利要求的说明书中,“数据宿时钟”表示的时钟被送到数据宿,或者在数据宿中生成,用于控制数据宿特定功能的定时,例如信号元的时间长度,或者采样率,或者传输设备的同步。

在这份包括权利要求的说明书中,“反传播时钟”或者“反时钟”表示的时钟用于控制数据源特定功能的定时,例如信号元的时间长度,或者采样率,或者传输设备的同步,该时钟从数据宿发送。

10 现有技术另一方案是带有先进先出(FIFO)存储器的反时钟电路。与现有技术的上述电路相比,FIFO存储器由数据宿提供,从数据源发送同传时钟(co-propagating clock)给数据宿。同传时钟以反时钟形式实现,它由数据源反馈耦合到数据宿。在同传时钟控制下将数据写入FIFO,同传时钟在相位上与数据源的数据相同,相对于主时钟而言,其相位是任意的。利用数据源时钟或主时钟,可以
15 分别从FIFO中读出数据,从而保证数据宿输入寄存器有正确的时钟数据相位。通过暂时写入较多的数据而读出较少,或者读出较多的数据而写入较少,可以补偿信号的相位波动或传输差异。这样,FIFO存储器可以补偿数据源和数据宿之间的数据/时钟链路的暂时性传播
20 变化和/或电路传播时延。

但是,FIFO存储器的深度限制了电路的纠正能力。较小的波动或短期变化可以通过这种方式解决。但哪怕是小的变化引起的电路经常性或者长期的可能相位偏移都迟早肯定会超出存储器限制,从而导致误码。

25

发明内容

本发明的一个目的是提出一种方法,一种接口设备和一种反时钟电路装置,用以避免现有技术的上述问题。

这些目的通过本发明的数据信号相位控制方法、接口设备和反时

钟电路装置来实现。

按照本发明的数据信号相位控制方法包括以下步骤：

从数据源发送数据信号给数据宿；

从数据宿发送反时钟给数据源；

5 在数据源将数据信号与该反时钟同步；

在数据宿使数据信号与数据宿时钟同步；

其中该方法还包括以下步骤：

同步步骤之后，在数据宿，比较数据宿时钟的相位和基准信号的相位；

10 在数据宿，基于数据宿时钟和基准信号相位的比较，调整反时钟的相位。

一种按照本发明进行数据信号相位控制的接口设备，该设备采用反时钟方式，数据信号从数据源发送到接口设备，该设备包括数据信号输入、数据信号输出、时钟输入、时钟输出和锁存器，其锁存器输入15 器输入连接到数据信号输入，锁存器输出连接到数据信号输出，锁存器时钟输入连接到接口设备的接口时钟输入，其中接口设备还包括移相器，具有输入、输出和控制输入，移相器输入连接到接口时钟输入，移相器输出连接到接口时钟输出，以及比较数据宿时钟相位和基准信号相位的装置，前述数据宿时钟从接口设备生成的主时钟分割得到或者从数据宿接收，并应用于锁存器的时钟输入，该装置20 基于相位比较，通过移相器控值输入来控制移相器。

一种按照本发明的反时钟电路装置，用于控制数据源发送给数据宿的数据信号的相位，包括，数据源的第一锁存器，数据宿的第二锁存器，数据信号链路和反时钟链路，其中

25 第一锁存器具有关于数据源的进入数据信号的数据信号输入，从数据源发送数据信号给数据宿的数据信号输出，以及连接到反时钟的时钟输入，

第二锁存器具有从数据源接收数据信号的数据信号输入，数据信号输出，以及连接到数据宿时钟的时钟输入，

数据信号通过数据信号链路从数据源发送给数据宿，
在数据宿，将主时钟分割成数据宿时钟和反时钟，
从数据宿将反时钟通过反时钟链路发送给数据源，

5 其中该电路装置还包括，用于在数据宿比较数据宿时钟的相位和
基准信号的相位的装置，以及用于对反时钟进行相位偏移的移相
器，其中该比较装置基于数据宿时钟的相位比较来控制移相器。

本发明的一个基本思想是比较数据宿时钟的相位和基准信号的
相位。分别在数据宿或接口设备进行这种比较。基准信号由反时钟
电路装置确定。这意味着，基准信号的相位例如取决于数据源的传
播和处理时延以及反时钟链路和基准信号链路的传播时延。因为连
10 续生产的采样容错性，以及设备老化或者周围环境随时间发生变化，
该相位可能会有所变化。在频率捷变系统中，主时钟频率和相应的
比特率会有所变化，这也会导致相位关系的变化。换句话说：基准
信号，确切地说是基准信号的相位取决于反时钟电路装置的处理和
15 传输条件，这些条件的变化由基准信号的相位变化来表示。按照本
发明，这些条件的变化可以通过基准信号与数据宿时钟相位的比较
来检测。移相器用于调整反时钟相位，使得基准信号和数据宿时钟
之间的相位关系趋于稳定。因此，数据输入和数据宿时钟之间的相
位关系能够稳定，数据宿锁存器的无差错操作得以维持。通过调整
20 反时钟相位来主动补偿信号的相位波动或传输差异，而不是 FIFO 方
案中的被动方式。因为反时钟相位针对这种相位变化的主动调整，
反时钟电路的经常性或者长期的可能相位偏移—哪怕是小的偏移，
都迟早肯定会导致超出 FIFO 方案的存储器限制—事实上实际中不
会再出现。

25 比较有利的是，可以避免处理样本变化以及补偿时变影响的服务
修正的相位初始调整。与受数据存储器有限深度限制的 FIFO 方法不
同，时钟信号的相位调整不受范围限制。因为时钟的周期特性，所
需的任何相移都可以通过映射到一个时钟周期来实现，而不会出现
小故障。

在本发明的一种优选实施例中，以同传信号的形式从数据源反馈耦合反时钟给数据宿，该信号被用作基准信号。利用时钟-时钟的相位检测器作为相位比较器，用于比较同传时钟的相位和数据宿时钟的相位。这样，利用通过反时钟线和同传时钟线建立的延迟锁定回路，数据宿可以稳定数据信号的相位。延迟锁定回路分别直接控制反时钟的相位和同传时钟的相位，而不是数据信号的相位。因此，在数据宿或者接口设备分别进行无误码寄存时，必须要进行同传时钟和数据信号之间的精确相对时延匹配。

在本发明的另一优选实施例中，在数据宿，利用数据信号本身作为基准信号。利用数据-时钟相位检测器作为相位比较器，用于比较数据信号的相位和数据宿时钟的相位。同样，通过数据信号链路和反时钟链路建立延迟锁定回路。延迟锁定回路现在分别直接控制数据宿输入锁存器的相关信号，或者接口设备。这样，就不再需要同传时钟链路以及与数据链路的相对匹配。

通过下面的详细描述，并结合附图，本发明的其他优点、实施例和变化将会更加明显。

通过本说明书和相关权利要求书，以及附图，读者将会了解本发明的其它目的和优点，在附图中：

20 附图说明

图 1 示出了现有技术的第一反时钟电路装置；

图 2 示出了具有 FIFO 存储器的现有技术的第二反时钟电路装置；

图 3 示出了本发明的第一实施例，它具有基于时钟-时钟相位检测器的延迟锁定回路；

图 4 示出了更为有利的本发明第二实施例，它具有基于时钟-数据相位检测器的延迟锁定回路。

具体实施方式

图 1 示出了现有技术的第一反时钟电路装置。

反时钟电路装置的一般构造包括数据源 1 和数据宿 2，它们通过数据链路 3 和时钟链路 4 相连。数据源单元 1 和数据宿单元 2 也可以认为分别是数据源 1 或数据宿 2 的接口设备。数据 103 通过数据
5 链路 3 从数据源 1 传送到数据宿 2，也就是图 1 的左侧传送到右侧。时钟 104 则以相反方向通过时钟链路 4 传输，从数据宿 2 传送到数据源 1。因此，该时钟又被称为反时钟 104 或反传播时钟 104。

数据源 1 有数据输入 13 和数据输出 11，时钟输出 14 和时钟输入 12。数据宿 2 有数据输入 21，数据输出 23，时钟输出 22 和时钟
10 输入 24。数据链路 3 连接数据源 1 的数据输出 11 和数据宿 2 的数据输入 21。时钟链路 4 连接数据宿 2 的时钟输出 22 和数据源 1 的时钟输入 12。数据链路 3 和时钟链路 4 最好通过光纤和/或电传输线路进行有线连接。

数据源 1 包括第一锁存器 30，数据宿 2 包括第二锁存器 40。锁
15 存器一般是简单的触发电路，具有至少一个反馈环。在功能上，锁存器是电平控制存储函数。锁存器经常用于构造更为复杂的触发电路，因此，锁存器有时也被称为基本触发电路。图 1 所示锁存器 30、40 确切地说是延迟锁存器（D 锁存器）或者延迟触发电路（D 触发电路）。第一锁存器 30 包括数据输入 31，时钟输入 32 和数据输出
20 33。时钟输入 32 连接到数据源时钟输入 12，数据输入 31 连接到数据源数据输入 13，数据输出 33 连接到数据源数据输出 11。数据宿提供的第二锁存器 40 通过数据宿 2 的输入和输出 21、24、23，相应连接到它的输入和输出 41、42、43。

图 1 所示数据源单元 1 和数据宿单元 2 结构是相同的。数据源单
25 元 1 还可以通过数据输入 13 和时钟输出 14 连接到另一数据源单元（未示出），其中数据源单元 1 代表了另一数据源单元的数据宿。通过这种方式，若干数据宿单元/数据源单元可以彼此相连。

该电路装置的功能如下：第一和第二锁存器 30、40 用于将数据信号 103 与应用于锁存器 30、40 的时钟 104、102 同步。主时钟 101

馈送到数据宿 2 的时钟输入 24。在图 1 的点 A，主时钟 101 被分割成数据宿时钟 102 和反时钟 104。数据宿 2 和数据源 1 之间建立环路 6，包括第一和第二锁存器 30 和 40 以及数据链路 3 和时钟链路 4。具体来说，开始于点 A，主时钟 101 被分割，馈送到数据源的第一锁存器 30 和数据宿的第二锁存器 40，结束于点 B，其中数据宿时钟 102 直接来自于点 A，数据信号 103 与第一锁存器 30 中的反时钟 104 同步，这两个信号在数据宿输入第二锁存器 40 中再次会聚。因为时钟的周期特性，时钟相位可以有若干离散值。该电路设计并没有考虑链路和/或电路传播时延的变化。如果时延变化超过了第二锁存器 40 的时钟相位边界，则第二锁存器 40 会出现误码。

图 2 示出了现有技术的第二反时钟电路装置，其中相同的标号表示相同的电路部分或元件。该电路与图 1 所示电路的不同之处在于，数据宿 2 提供了先进先出（FIFO）存储器 50，和将数据源 1 的同传时钟输出 15 连接到数据宿 2 的同传时钟输入 25 的同传时钟链路 5。

如果数据源和数据宿工作于不同的时钟相位或速率并且没有超过存储容量，FIFO 存储器适合作为数据传输的缓存器。FIFO 存储器 50 具有数据输入 51、数据输出 52、数据输入时钟的第一时钟输入 53 以及数据输出时钟的第二时钟输入 54。数据在数据输入时钟的控制下写入 FIFO 存储器 50，在数据输出时钟的控制下读出。FIFO 存储器 50 的数据输入 51 连接到数据宿数据输入 21，FIFO 存储器 50 的数据输出 52 连接到第二锁存器 40 的数据输入 41。针对从数据源 1 到数据宿 2 的数据传播，同传时钟 105 被馈送到第一时钟输入 53，用于控制数据在 FIFO 存储器 50 中的写入。同传时钟 105 以反时钟 104 的形式生成，从数据源 1 反馈耦合到数据宿 2。数据宿 2 的数据宿时钟 102 用于从 FIFO 存储器 50 中读取数据，通过第二时钟输入 54 馈送到 FIFO 存储器 50。

该电路装置补偿 FIFO 存储器 50 存储容量范围内的时钟相位波动，但除了 FIFO 存储器 50 之外，它还需要同传时钟链路 5 以及同传时钟输入 25 和同传时钟输出 15。确切地说，必须仔细地进行经数

据宿 2 发送的数据 103 和同传时钟链路 5 的同传时钟 105 之间的时延匹配。

图 3 示出了按照本发明的电路装置的第一实施例。其中相同的标号表示与图 1 和 2 相同的电路部分或元件。该电路装置包括比较数据宿时钟 102 和从数据源 1 发送到数据宿 2 的基准信号（同传时钟 105）的相位的装置 60，以及基于比较控制反时钟 104 的相位的装置 70，其中装置 60、70 位于数据宿 2。也就是说，相位比较和相位控制都由数据宿 2 来实现。本发明的一个基本思想是，利用基准信号（同传时钟 105）和上述装置 60、70，相应控制反时钟相位，在电路装置中建立数据宿时钟 102/反时钟 104 的延时锁定环路（DLL）7。

术语“基准信号”有时用于具有高可靠性和准确性的特定信号，也就是说，在校准其它信号时保持不变的信号。在本申请及权利要求书中，术语“基准信号”具有更为广泛的含义，代表了可以变化并且通常用于信号比较的信号。确切地说，基准信号指示了信号从数据源到数据宿的传送过程中的传输条件的变化。

具体来讲，比较数据宿时钟相位的装置是时钟-时钟相位比较器 60，控制反时钟的装置是移相器 70。基准信号是同传时钟信号 105，从数据源 1 通过同传时钟链路 5 传送到数据宿 2。因此，同传时钟 105 用于相位比较。

时钟-时钟相位比较器 60 的第一输入 61 连接到数据宿 2 的数据宿时钟 102，第二输入 62 连接到数据宿 2 的同传时钟输入 25。此外，时钟-时钟相位比较器 60 的输出 63 连接到移相器 70 的控制输入 73。移相器 70 具有输入 71 和输出 72。输入 71 连接到数据宿 2 的反时钟 104，输出 72 连接到数据宿 2 的时钟输出 22。在数据宿 2，将到来的时钟 101 被分割成数据宿时钟 102 和反时钟 104。

时钟-时钟相位比较器 60 以时钟-时钟相位检测器（CCPD）形式实现。可以采用一般的相位检测器，例如由 D 触发器构成的简单相位检测器，或者基于上/下计数器的较为复杂的相位检测器，或者集成电路形式的相位检测器。一般的移相电路，例如本领域技术人员

所熟知的配备有运算放大器或者全通滤波器的全通有源网，可以用作移相器 70。确切地说，移相器的数字化实现可以将所有相位映射到单个时钟周期，从而实质上实现了无限的相位范围。

按照本发明，DLL 7 用于稳定数据宿 2 的数据输入的第二锁存器 40 的相位。时钟-时钟相位检测器比较数据宿时钟 102 的相位和同传时钟 105 的相位，其输出信号馈送到压控移相器 70。后者调节反传播时钟 104 的相位，使数据输入第二锁存器 40 的数据时钟相位关系保持正确。DLL 7 仅直接分别控制同传时钟 105 和反时钟 104 的相位，而不是数据信号 103 的相位。因此，需要进行同传时钟 105 和数据信号 103 之间的精确的相对时延匹配。在这个动态范围内，DLL 7 通过调节反时钟相位，能够接受任意值，确切地说还有初始环路时延和以主动方式对时延变化进行补偿。如果整个系统同步运作，但频率变化快捷，环路还补偿因为主时钟速率的变化而引起的相位变化。

图 3 的数据宿单元 2 表示了按照本发明的接口设备 2，它包括第二锁存器 40、时钟-时钟相位比较器 60 和移相器 70，以及用于分别发送/接收数据 103、主时钟 101 和反时钟 104 的相应输入和输出 21、22、23、24、25，以及如图 3 所示的同传时钟 105。本发明的数据宿 2（或本发明数据宿的接口设备 2）可以分别通过输入/输出 23、24 与另一（未示出）数据宿 2 串联连接。另一时钟输出 26 在图 3 中以虚线示出，用于建立同传时钟链路。就数据流方向和接口设备 2 在接收设备序列中的位置而言，接口设备 2 可以被视为数据宿，同时也是数据源。

图 4 示出了按照本发明的电路装置的第二实施例，其中相同的标号表示相同的电路部分或元件。

本发明第二实施例的基本思想是，建立对相关信号，也就是反时钟 104 和数据 103 的直接控制。这是利用数据 103 本身作为与数据宿时钟 102 进行相位比较的基准信号来实现的。因此，数据 103 用于控制反时钟 104。建立延时锁定环路（DLL）8，它现在直接控制

数据宿 2 中的数据 103 和反时钟 104。

因此，与图 3 所示第一实施例相比，该电路装置并不分别需要同传时钟 105 或同传时钟链路 5。此外，比较数据信号和数据宿时钟的相位的时钟-数据相位检测器 (CDPD) 80 取代了时钟-时钟相位检测器 60。CDPD 80 的第一输入 81 连接到数据宿时钟 102，CDPD 80 的第二输入 82 连接到数据宿 2 的数据输入 21。CDPD 80 的输出 83 连接到移相器 70 的控制输入 73，用于根据数据 103 和数据宿时钟 102 的相位关系控制反时钟的相位。

时钟数据相位检测器 (CDPD) 为本领域技术人员所熟知。时钟数据相位检测器例如公开在 Charles R.Hogge Journal of Lightwave Technology, 1985 年 12 月第 6 期, LT-3 卷, 第 1312-1314 页发表的 “a self correcting clock recovery circuit”, 并公开在美国专利第 4535459 号, 这里通过引用将其并入本申请。

第二实施例的优点在于, 同传时钟输出 15 和同传时钟输入 25, 同传时钟链路 5 和与时钟的时延匹配都不再需要。DLL 8 得到了最优使用。

图 4 的数据宿 2 还表示了按照本发明的接口设备 2, 它包括第二锁存器 40、时钟-数据相位检测器 80、移相器 70 以及用于分别发送/接收数据 103、主时钟 101 和反时钟 104 的相应输入和输出 21、22、23、24, 如图 4 所示。按照本发明的接口设备 2 可以通过输入/输出 23、24 与另一 (未示出) 数据宿 2 串联连接。就数据流方向和接口设备 2 在接收设备序列中的位置而言, 接口设备 2 可以被视为数据宿, 同时也是数据源。

此外, 在图 3 的时钟-时钟相位检测器 60 (CCPD) 和移相器 70 之间, 或者在图 4 的时钟-数据相位检测器 80 (CDPD) 和移相器 70 之间可以提供环路滤波器 (未示出)。环路滤波器用于确定控制环路频率特性, 例如增益、带宽和峰值, 以及暂态行为, 例如时间常数、阻尼、过冲。各种类型的积分、微分、比例环路滤波器或其组合都可以用作这种环路滤波器。

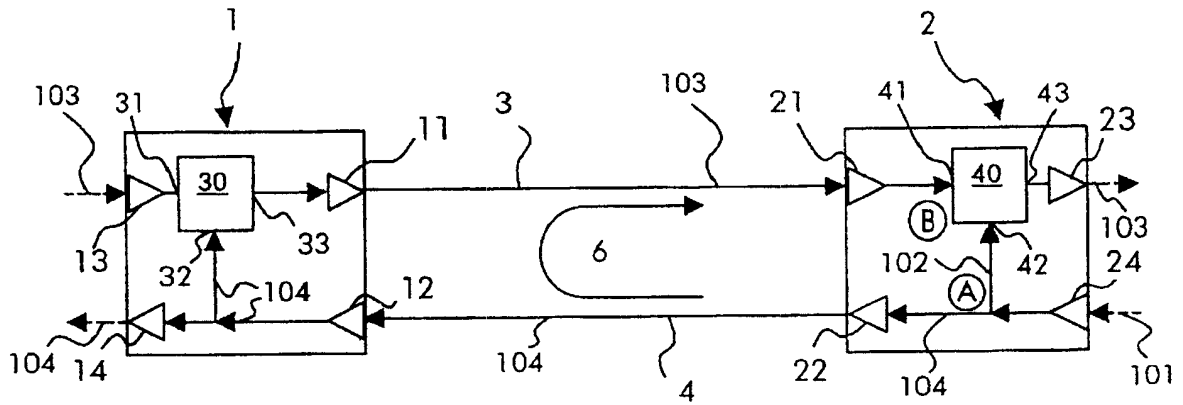


图 1

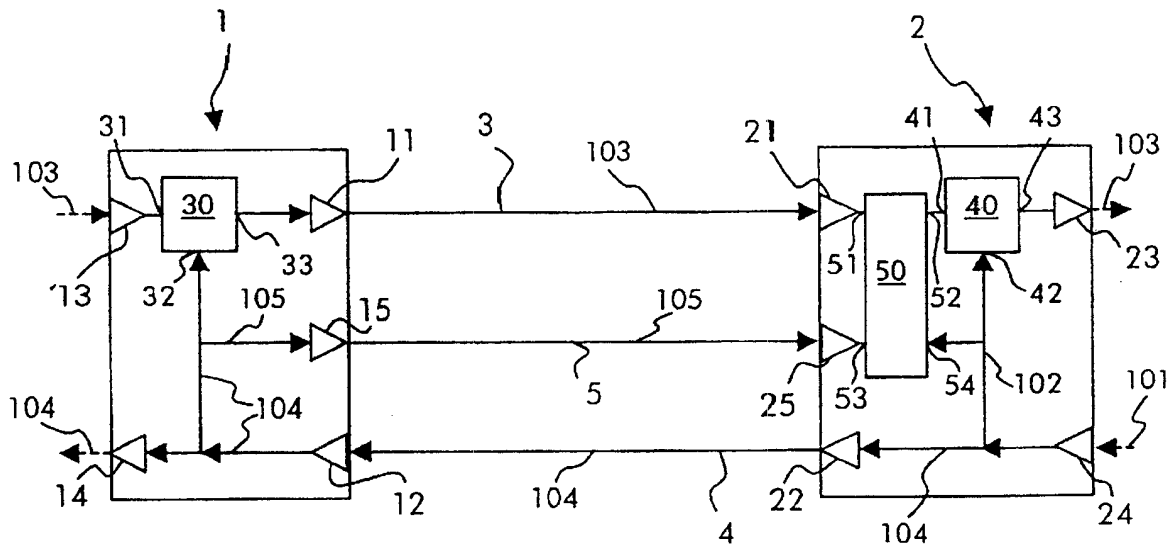


图 2

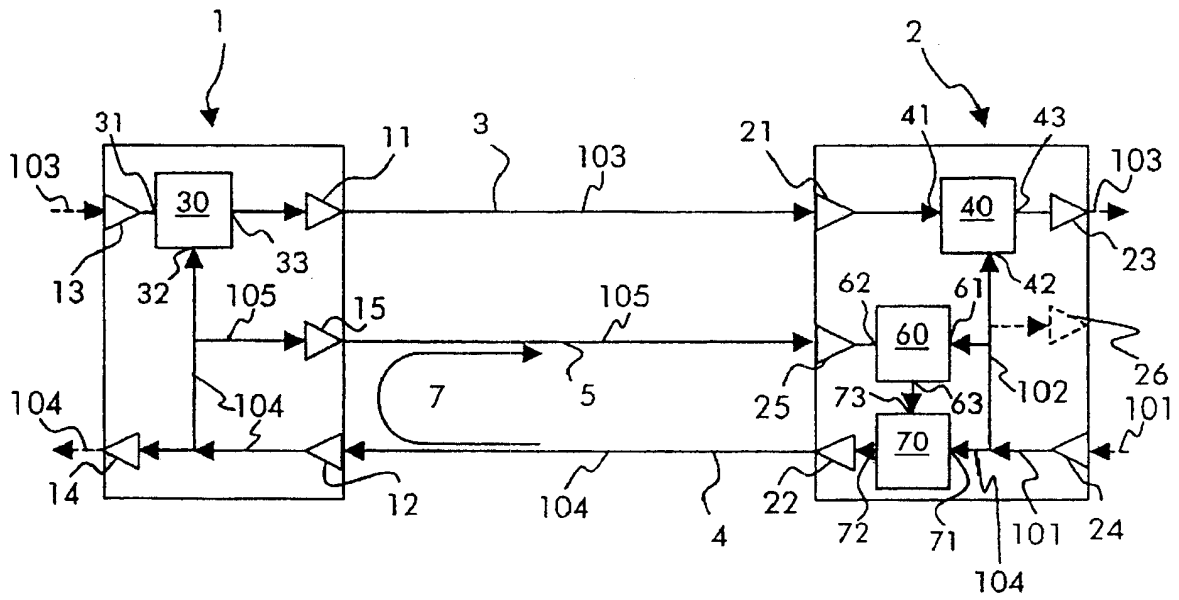


图 3

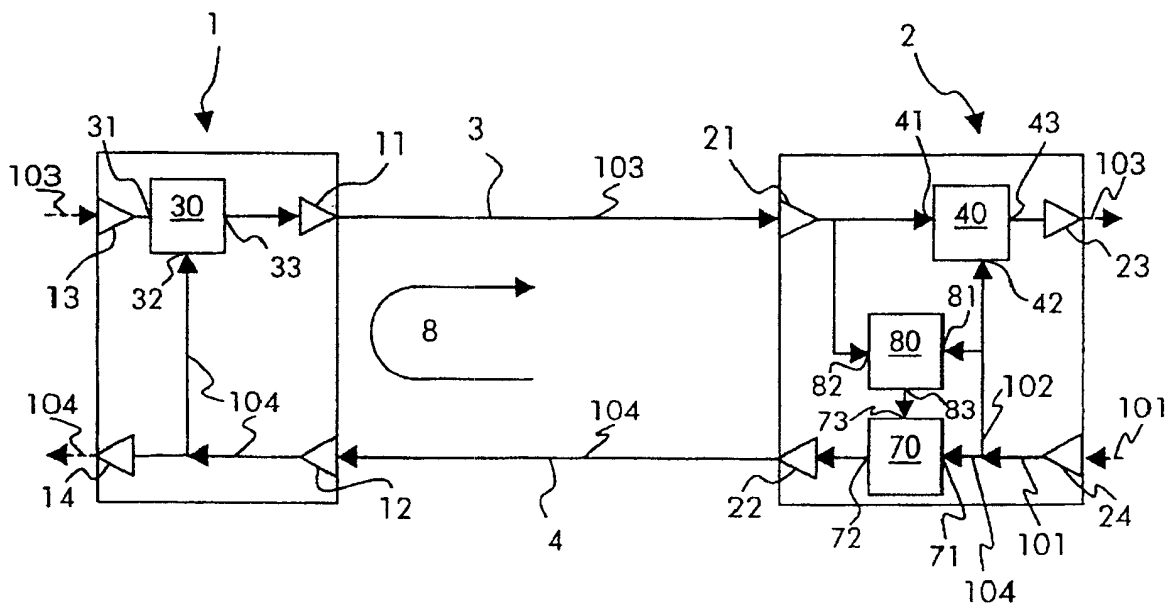


图 4