(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
H01L 21/8242

(45) 공고일자 2004년11월26일
(11) 등록번호 10-0446853
(24) 등록일자 2004년08월24일

(21) 출원번호 10-1997-0048594
(22) 출원일자 1997년09월24일

(65) 공개번호 10-1998-0024926
(43) 공개일자 1998년07월06일

(30) 우선권주장 96-255831 1996년09월27일 일본(JP)

(73) 특허권자
가부시키가이샤 히타치 쪼오 엘.에스.아이.시스템즈
일본국 도오쿄오토 코다이라시 조우스이혼쪼 오 5쪼 오메 20반 1고오

히타치 데바이스 엔지니어링 가부시키가이샤
일본국 치바켄 모바라시 하야노 3681

가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄도 지요다구 간다 스루가다이 4-6

(72) 발명자
무샤 타쓰노리
일본국 훗사시 쿠마가와 1658-1

마쯔노 요이찌
일본국 고쿠반지시 신마찌 3죠오메 19-41

나카고메 요시노부
일본국 하무라시 가와사키 4죠오메 2-1

호리구찌 마사시
일본국 가와사키시 다마쿠 나카노시마 6죠오메 29-2-207

미야타께 신이찌
일본국 하무라시 오자쿠다이 2죠오메 16-24

카와세 야스시
일본국 고쿠반지시 히요시죠오 4죠오메 16-38

카사마 야스히로
일본국 무사시노시 세키마에 4죠오메 4-26

(74) 대리인
특허법인 원전

심사관 : 반성원

(54) 반도체메모리

요약

결함구제회로를 가지는 반도체 메모리가 불량 어드레스를 기억하는 제1의 ROM(ROM0, ROM1)의 출력을 입력으로 하고, 불량인 정규 메모리셀과 그것을 치환하는 예비 메모리셀이 동일한 메모리 매트에 속하는지 아닌지를 판정하는

판정장치(JC)와, 판정장치의 출력에 따라 메모리 매트 제어회로(MC0, MC1)에 입력되는 제어 신호(MS0, MS1)의 타이밍을 변경하는 타이밍 조정회로(TA)를 가지고, 불량인 정규 메모리셀과 그것을 치환하는 예비 메모리셀이 동일한 메모리 매트에 속할 때에는 제어신호의 타이밍을 빠르게 한다.

대표도

도 1

명세서

도면의 간단한 설명

제1도는 본 발명의 제1실시예인 DRAM을 보여주는 도면,
제2도는 제1도의 DRAM의 센스회로의 회로도,
제3도는 제1도의 DRAM의 동작파형도,
제4도는 제1도의 DRAM의 동작파형도,
제5도는 제1도의 DRAM의 동작파형도,
제6도는 제1도의 DRAM의 동작파형도,
제7A도, 제7B도는 제1도의 DRAM의 타이밍 조정회로(TA)의 회로도,
제8A도, 제8B도는 제1도의 DRAM의 판정회로의 회로도,
제9도는 제1도의 DRAM의 신호배선의 단면도,
제10도는 본 발명의 제2실시예인 DRAM을 보여주는 도면,
제11도는 본 발명의 제3실시예인 DRAM을 보여주는 도면,
제12도는 제11도의 DRAM의 동작파형도,
제13도는 제11도의 DRAM의 타이밍 조정회로(TA)의 회로도,
제14도는 제11도의 DRAM의 판정회로(JC)의 회로도,
제15도는 본 발명을 적용한 DRAM의 전체 블록도,
제16A도, 제16B도는 제8도의 판정회로의 진리표이다.
* 도면의 주요 부분에 대한 부호의 설명 *
M0, M1…메모리 매트, S0, S1…센스회로,
W00, W01, W10, W11…정규 워드선, SW0, SW1…예비 워드선,
XD0, XD1…로우 디코더, R0, R1…예비 워드선 선택회로,
MC0, MC1…매트제어회로, SG0, SG1…제어신호발생회로,
ROM0, ROM1…제1의 ROM, ROM2…제2의 ROM,
AC0, AC1…비교회로, JC…판정회로,
TA…타이밍 조정회로, ST0, ST1…스위치,
TG…타이밍 발생회로, RED…결함구제회로,

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리에서의 결함구제회로에 관한 것이고, 특히 고속화에 적당한 결함구제회로를 가지는 반도체 메모리에 관한 것이다.
메모리셀의 결함구제는 반도체 메모리의 수율 향상을 위해 종래부터 널리 행해지고 있는 방법이다. 이것은, 미리 반도체 칩상에 예비 메모리셀을 마련하여 두고, 불량 메모리셀을 이 예비 메모리셀로 치환함으로써 제품의 수율을 향상시키는 수법이다. 상기 치환은 1개 또는 여러개의 워드선 또는 비트선 단위로 행해지는 것이 보통이다.
한편, 최근의 반도체 메모리에서는 메모리셀을 배치한 메모리 어레이를 메모 리 매트(memory mat) 또는 서브어레이라고 불리는 복수개의 영역으로 분할하는 것(매트 분할)이 자주 행해지고 있다. 이것은, 신호지연시간 단축이나 신호/잡음비의 확보라고 하는 회로상의 요청에 의해 행해지고 있는 것이다. 매트 분할된 반도체 메모리에 전술한 결함구제 수법을 적용하는 경우, 어떤 메모리 매트에 불량이 있으면 그것을 같은 메모리 매트의 예비선으로 치환하는 것이 보통이다. 그러나, 여기에서는 하나의 메모리 매트에만 다수의 불량이 있는 경우에 그 메모리 매트의 예비선 수가 부족

하다고 하는 문제가 생긴다. 이것을 해결하는 유효한 방법이 특개소59-135700호 공보 및 특개소60-130139호 공보에 개시되어 있다. 이들 공보에 기재된 것에서는, 어떤 메모리 매트내에 불량이 있는 경우, 그것을 다른 메모리 매트의 예비선으로도 치환할 수 있도록 하는(물론 같은 메모리 매트의 예비선으로도 치환 가능하다) 것이 제안되어 있다. 이렇게 하면, 예비선을 메모리 매트 사이에서 서로 융통하는 것이 가능하게 되어 수율의 향상을 기대할 수 있다.

본 발명의 목적은 메모리 매트 활성화의 타이밍 지연을 가능한 한 작게 함으로써 고속화를 달성하도록 한 결함구제회로를 가지는 반도체 메모리를 제공하는 것이다.

상기 종래 기술의 문제점은 억세스 시간이 증대한다는 것이다. 그 이유를 아래에 설명한다.

매트 분할된 반도체 메모리에서는 모든 메모리 매트가 동시에 활성화되는 것은 아니고, 동시에 활성화되는 메모리 매트는 통상 1개 혹은 소수(少數)개이다. 활성화되는 메모리 매트를 선택하기 위해 각 메모리 매트마다 매트제어회로가 마련되 어 있는 것이 보통이다. 매트제어회로는 어드레스 신호를 받아서 당해 메모리 매트를 활성화할지 안할지를 결정한다.

그런데, 전술한 결함구제법을 사용하지 않는 경우에는, 매트제어회로는 어드레스 신호(보통은 메모리 매트를 선택하기 위한 상위 어드레스 신호)만에 의해 메모리 매트를 활성화할지 안할지를 결정하는 것이 가능하다. 그러나, 상기 결함구제법을 사용하는 경우에는 어드레스 신호만으로는 결정할 수 없다. 왜냐하면, 선택된 어드레스에 결함이 있는 경우, 선택해야 할 메모리 매트가 변경될 가능성이 있기 때문이다. 매트 제어회로는 어드레스 신호와 ROM(결함 어드레스가 기억되어 있는)의 출력과를 비교한 결과를 얻고나서야 당해 메모리 매트를 활성화할 것인지 아닌지를 결정할 수가 있다. 따라서, 비교하는데 필요한 시간만큼 메모리 매트 활성화의 타이밍을 지연하지 않으면 안된다. 게다가, 이 시간은 프로세스 편차나 온도, 또 ROM에 기록되어 있는 값에 의해서도 변화하는 일이 있으므로, 최악의 경우에서도 오동작하지 않도록 충분한 마진을 고려해두지 않으면 안된다. 그렇지 않으면, 일시적으로 틀린 메모리 매트가 활성화될 우려가 있다. 특히 DRAM에서는 일시적으로라도 틀린 메모리 매트가 활성화되는 것은 기억정보의 파괴를 가져올 가능성이 있으므로 피하지 않으면 안된다.

이와 같이 종래 기술에서는 메모리 매트 사이의 치환을 가능하도록 하였기 때문에 활성화해야 할 메모리 매트가 변경될 가능성이 생기고, 메모리 매트 활성화의 타이밍을 지연하지 않으면 안되었다. 근래, 마이크로프로세서의 고속화와 화상처리용도의 확대에 따라 주기억에도 기억용량뿐만 아니라 고속성이 요구되게 되었 다. 그 때문에, 주기억을 구성하는 DRAM의 수요도 고속품의 비율이 많아졌다. 그러나, 종래의 결함구제기술에서는 메모리 매트 활성화의 타이밍이 장해가 되어 고속화하는 것이 곤란하였다.

본 발명은 상기 문제점을 해소하고, 메모리 매트 활성화의 타이밍의 지연을 가능한 한 작게 함으로써 고속화를 달성하도록 한 결함구제회로를 가지는 반도체 메모리를 실현한다.

상기 과제를 해결하기 위해 본 발명에서는, 불량 어드레스를 기억하는 ROM의 출력을 입력으로 하고, 불량인 정규 메모리셀과 그것을 치환하는 예비 메모리셀이 동일한 메모리 매트에 속하는지 아닌지를 판정하는 판정수단과, 상기 판정수단의 출력에 따라 메모리 매트 제어회로에 입력되는 제어신호의 타이밍을 변경하는 타이밍 조정회로를 마련한다. 이것에 의해, 불량인 정규 메모리셀과 그것을 치환하는 예비 메모리셀이 동일한 메모리 매트에 속할 때에는 제어신호의 타이밍을 빠르게 하여 액세스 시간의 단축을 도모한다.

더 구체적으로는, 본 발명은 복수의 정규 메모리셀과 복수의 예비 메모리셀을 각각 포함하는 복수의 메모리 매트(M0, M1)와, 상기 복수의 메모리 매트를 각각 제어하는 복수의 메모리 매트 제어회로(MC0, MC1)와, 상기 정규 메모리셀 중 불량인 것의 어드레스를 기억하는 제1의 ROM(ROM0, ROM1)과, 상기 제1의 ROM(ROM0, ROM1)의 출력과 어드레스 신호를 비교하는 비교회로(AC0, AC1)와, 상기 비교회로의 출력에 따라 불량인 정규 메모리셀 대신에 예비 메모리셀을 선택하는 예비선택수단(R0, R1)과, 정규 메모리셀과 예비 메모리셀과의 치환의 태양에 대응한 동작모드를 설정 하는 모드설정수단(JC)과, 모드설정수단의 출력에 기초하여 메모리 매트 제어회로에 입력되는 제어신호(MS0, MS1)의 타이밍을 변경하는 타이밍 조정수단(TA)을 가지는 것을 특징으로 하고 있다. 또한 상기 모드설정수단은 불량인 정규 메모리셀과 그것을 치환하는 예비 메모리셀이 동일한 메모리 매트에 속하는지 아닌지 및/또는 예비 메모리셀을 사용하는지 아닌지를 판정하고, 그 판정결과에 기초하여 동작모드를 설정하는 수단인 것을 특징으로 하고 있다. 또한, 상기 모드설정수단은 제1의 ROM(ROM0, ROM1)의 출력을 입력 하여 불량인 정규 메모리셀과 그것을 치환하는 예비 메모리셀이 동일 메모리 매트에 속하는지 아닌지 및/또는 예비 메모리셀이 사용되고 있는지 아닌지를 판정하는 판정회로를 포함하는 것을 특징으로 하고 있다.

또한, 상기 판정회로의 입출력신호의 배선은 어드레스 신호의 배선보다도 단위 길이당 저항치를 크게 하는 것, 또한 어드레스 신호의 배선보다도 하층에 마련되는 것을 특징으로 하고 있다.

또한, 상기 모드설정수단은 불량인 정규 메모리셀과 그것을 치환하는 예비 메모리셀이 동일 메모리 매트에 속하는지 아닌지 및/또는 예비 메모리셀을 사용하는지 아닌지를 미리 써넣은 제2의 ROM(ROM2)을 포함하고, 그 써넣어진 내용에 기초하여 동작모드를 설정하는 수단으로 이루어지는 것을 특징으로 하고 있다.

이하, 본 발명의 실시예를 도면을 참조하여 상세히 설명한다.

(실시예 1)

제1도는 본 발명을 DRAM(Dynamic Random Access Memory)의 워드선의 결함구제에 적용한 예를 보여주는 도면이다. 도면중에서, M0 및 M1은 메모리 매트, W00, W01, W10, W11은 정규 워드선, SW0 및 SW1은 예비 워드선, BT0와 BB0, BT1과 BB1은 각각 비트선쌍이다. 간단하게 하기 위해 도면에서는 생략하고 있지만, 각 워드선과 비트선쌍과의 각 교점에는 메모리셀이 배치되어 있다. S0 및 S1은 비트선쌍 상의 신호전압을 증폭하기 위한 센스회로, XD0 및 XD1은 정규 워드선을 선택하기 위한 로우 디코더(row decoder), R0 및 R1은 예비 워드선 선택회로, MC0 및 MC1은 각각 메모리 매트 M0 및 M1을 제어하기 위한 매트제어회로, SG0 및 SG1은 각각 매트제어회로 MC0 및 MC1에 제어신호(매트선택신호 MS0 및 MS1)를 주기 위한 제어신호발생회로, ROM0 및 ROM1은 불량 워드선의 어드레스를

기억하기 위한 ROM이고, ROM0가 예비 워드선 SW0로 치환되어야 할 워드선의 어드레스를, ROM1이 예비 워드선 SW1으로 치환되어야 할 워드선의 어드레스를 각각 기억한다. ROM으로서는 레이저광 또는 전기적으로 절단하는 퓨즈(fuse)를 사용하는 것이 가능하다. AC0 및 AC1은 각각 입력된 내부 어드레스 신호 BXiT 및 BXiB와 ROM0 및 ROM1에 기억되어 있는 어드레스를 비교하는 비교회로이다.

다음으로, 센스회로S0(센스회로S1도 마찬가지임)의 회로구성을 제2도를 참조하여 상세히 설명한다.

제2도에서, SA0는 센스앰프이고, P채널 MOS 트랜지스터(M1, M2)와 N채널 MOS 트랜지스터(M3, M4)로 구성되어 있다. 또한, PC0는 비트선쌍(BT0, BB0)을 프리차지(precharge)하기 위한 프리차지회로이고, 3개의 N채널 MOS 트랜지스터(M5 M7)로 구성되어 있다. YG0는 비트선쌍(BT0, BB0)와 입출력선쌍(IOT0, IOB0)을 접속하기 위한 입출력 게이트이고, 2개의 N채널 MOS 트랜지스터(M8 및 M9)로 구성되 어 있다. 이들 N채널 MOS 트랜지스터(M8,M9)는 칼럼 디코더(column decoder)(도시안됨)의 출력신호(YS0)에 의해 제어된다.

이 실시예에서는 메모리 매트(M0) 내의 정규 워드선이 불량인 경우, 그것을 메모리 매트(M0)의 예비 워드선(SW0)으로 치환하는 것도, 메모리 매트(M1)의 예비 워드선(SW1)으로 치환하는 것도 가능하다. 전자는 매트내 치환, 후자는 매트간 치환이라고 부른다. 반대로, 메모리 매트(M1)내의 정규 워드선이 불량인 경우, 예비 워드선(SW0)으로 치환하는 것도, 예비 워드선(SW1)으로 치환하는 것도 가능하다. 전자는 매트간 치환, 후자는 매트내 치환이다. 어떤 것을 하여도, 예비 워드선(SW0)을 사용하는 경우에는 ROM0에, 예비 워드선(SW1)을 사용하는 경우에는 ROM1에 불량 워드선의 어드레스를 써넣어두면 된다.

제1도에 실시예로서 도시한 본 발명의 특징은, 판정회로(JC)와 타이밍 조정회로(TA)를 마련하고 있다는 것이다. 판정회로(JC)는 ROM0 및 ROM1의 출력을 입력으로 하고, 메모리 매트간의 치환의 유무를 판정한다. 즉, ROM0에 메모리 매트(M1)의 정규 워드선의 불량 어드레스가 써넣어져 있는 경우 또는 ROM1에 메모리 매트(M0)의 정규 워드선의 불량 어드레스가 써넣어져 있는 경우에만 '메모리 매트간의 치환 있음'이라고 판정한다. 판정회로(JC)는 '메모리 매트간의 치환없음'이라고 판정하였을 때에는 출력신호(IMR)를 저레벨('0')로, '메모리 매트간의 치환있음'이라고 판정하였을 때에는 출력신호(IMR)를 고레벨('1')로 한다.

이 실시예에서는, 예비 워드선은 각 메모리 매트에 1개씩(SW0, SW1) 있으므로 예비 워드선(SW0)으로 치환되는 정규 워드선이 메모리 매트(M0)에 속하고, 또한 예비 워드선(SW1)으로 치환되는 정규 워드선이 메모리 매트(M1)에 속할 때에는 출력신호(IMR)를 '0'(메모리 매트간의 치환없음)으로, 그외의 경우에는 출력신호(IMR)를 '1'(메모리 매트간의 치환있음)로 한다.

타이밍 조정회로(TA)는 판정회로(JC)의 출력신호(IMR)에 따라서 타이밍 신호 XE와 XIJE와 타이밍을 바꾸기 위한 회로이다. 타이밍 신호 XE는 메모리 매트의 선택 타이밍을, 타이밍 신호 XIJE는 워드선 선택 타이밍을 결정하는 신호이고, 상세한 내용은 후술한다.

다음으로, 본 실시예의 동작을 도면을 참조하면서 설명한다.

이제, 메모리 매트(M0)의 정규 워드선(W01) 상에 불량 메모리셀이 있는 경우를 생각한다. 제3도 및 제4도에 정규 워드선(W01)을 메모리 매트(M1)의 예비 워드선(SW1)으로 치환한 경우의 로우 어드레스 스트로브(row address strobe) 신호(/RAS)의 인가로부터 워드선이 라이징될 때까지의 동작파형을 보인다(여기에서 '/'는 반전 신호를 나타낸다. 이하 같다.). 이 경우에는 ROM1에 정규 워드선(W01)의 어드레스가 써넣어져 있다. 제3도는 정규 워드선(W00)(정상 워드선)이 선택해야 할 워드선으로 지정된 경우의 예이고, 제4도는 정규 워드선(W01)(불량 워드선)이 선택해야 할 워드선으로 지정된 경우의 예이다.

로우 어드레스 스트로브 신호(/RAS)가 저레벨로 되어 DRAM이 동작상태가 되면, 외부로부터 입력된 어드레스 신호(Ai)에 따라 내부 어드레스 신호(BXiT, BXiB(i = 0, 1, …, n))중 한쪽이 고레벨, 다른쪽이 저레벨로 된다(내부 어드레스 신호(BXiT 및 BXiB)는 상보신호이고, 입력 어드레스 신호(Ai)가 '0'인 때에는 내부 어드레스 신호 BXiB가 고레벨, 내부 어드레스 신호 BXiT가 저레벨로 된다. 또한 입력 어드레스 신호(Ai)가 '1'인 때에는 그 반대로 된다. 단, 대기상태에서는 모두 고레벨이다). 이것에 의해, 비교회로(AC0 및 AC1)에서 내부 어드레스 신호(BXiT, BXiB)와 ROM0의 출력 및 ROM1의 출력과의 비교가 행해진다. 비교회로(AC0 및 AC1)의 출력(MIS0 및 MIS1)은 비교의 결과가 '불일치'일 때 저레벨에서 고레벨고 되고, 반대로 '일치'일 때에는 저레벨에 머무른다. 정규 워드선(W00)(정상 워드선)이 지정된 경우(제3도)는 출력(MIS0 및 MIS1)이 모두 고레벨로 되고, 정규 워드선(W01)(불량 워드선)이 지정된 경우(제4도)에는 출력(MIS0)만이 고레벨로 된다.

본예의 경우에는 메모리 매트(M0)의 정규 워드선(W01)(불량 워드선)을 메모리 매트(M1)의 예비 워드선(SW1)으로 치환하므로 매트간 치환이 있고, 신호(IMR)는 고 레벨이다. 이때에는 타이밍 조정회로(TA)는 타이밍 신호(XE)를 저레벨에서 고레벨로 한다. 타이밍 신호(XE)가 고레벨로 되면, 제어신호발생회로(SG0, SG1)는 각 매트를 활성화할 것인지 아닌지를 판단하고, 매트선택신호(MS0, MS1)를 발생한다. 제3도의 경우에는 메모리 매트(M0)의 정규 워드선(W00)(정상 워드선)이 지정되어 있고, 비교결과가 '불일치'이기 때문에 메모리 매트(M0)가 활성화된다. 그 때문에, 매트선택신호(MS0)가 고레벨로 된다. 한편, 제4도의 경우에는 메모리 매트(M0)의 정규 워드선(W01)(불량 워드선)이 지정되어 있지만, ROM1과의 비교결과가 '일치'이므로, 메모리 매트 M0가 아니라 메모리 매트 M1이 활성화된다. 그 때문에 매트선택신호(MS1)가 고레벨로 된다.

다음에, 활성화된 메모리 매트의 매트제어회로 MC0 또는 MC1은 자신의 메모 리 매트의 프리차지 신호 PCB0 또는 PCB1을 오프(저레벨)로 한다. 제3도의 경우에는 메모리 매트(M0)의 프리차지 신호(PCB0)가 저레벨로 되지만, 메모리 매트(M1)의 프리차지 신호(PCB1)는 고레벨에 머문다. 제4도의 경우에는 그 반대로 된다. 프리차지 신호가 오프로 된 후, 타이밍 신호(XIJE)가 저레벨에서 고레벨로 된다. 이것에 의해 워드선이 선택된다. 제3도의 경우에는 메모리 매트(M0)의 프리차지 신호(PCB0)가 오프로 되어 정규 워드선(W00)이 선택되고, 제4도의 경우에는 메모리 매트(M1)의 프리차지 신호(PCB1)가 오프로 되어 예비 워드선(SW1)이 선택된다.

그런데, 매트선택신호 MS0 또는 MS1을 고레벨로 하는 것은 비교회로의 출력 MIS0 및 MIS1이 확정된 후가 아니면 안된다. 그 이유는, 전술한 것으로부터 명확한 것처럼, 비교결과에 의해 활성화해야 할 메모리 매트가 변경되는 일이 있기 때문이다. 그 때문에, 제3도 및 제4도에 도시한 것처럼, 타이밍 신호(XE)의 라이징을 비교 회로의 출력 MIS0 또는 MIS1의 천이로부터 시간 T1만큼 지연시키고 있다. 시간 T1은 비교회로의 출력 MIS0 또는 MIS1의 천이 타이밍이 프로세스 편차 등에 의해 변동하여도 오동작하지 않도록 마진을 고려한 값으로 하여두면 된다.

제5도 및 제6도는 메모리 매트(M0)의 정규 워드선(W01)(불량 워드선)을 동일 메모리 매트 상의 예비 워드선(SW0)으로 치환하는 경우의 동작파형이다. 이 경우에는 ROM0에 메모리 매트(M0)의 정규 워드선(W01)의 불량 어드레스가 써넣어져 있다. 제5도는 정규 워드선(W00)(정상 워드선)이 선택해야 할 워드선으로 지정된 경우의 예이고, 제6도는 정규 워드선(W01)(불량 워드선)이 지정된 경우의 예이다.

비교회로(AC0, AC1)에서 출력(MIS0, MIS1)이 나올 때까지의 동작은 제3도 및 제4도의 경우와 마찬가지이다. 그러나, 본예의 경우에는, 메모리 매트간의 치환이 없기 때문에 판정회로(JC)의 출력(IMR)은 저레벨이다. 이때에는 타이밍 조정회로(TA)는 타이밍 신호(XE)를 항상 고레벨로 한다. 그 때문에 매트선택신호 MS0 또는 MS1은 어드레스 신호가 천이하면 바로 라이징된다. 메모리 매트간의 치환이 없으면 비교결과에 의해 활성화해야 할 메모리 매트가 변경되는 일이 없으므로, 비교회로의 출력이 확정되는 것을 기다릴 필요가 없기 때문이다. 이 경우, 매트선택신호가 빨리 라이징되므로 타이밍 신호(XIJE)의 타이밍을 빨리 하는 것이 가능하고, 그것에 의해 워드선 선택의 타이밍을 빨리 할 수 있다. 한편, 타이밍 신호(XE)를 상시 고레벨로 하는 대신에 어드레스 신호의 천이와 동시에 라이징하도록 하여도 된다.

제7A도에 타이밍 조정회로(TA)의 일실시예를 도시한다.

제7A도로부터 명확한 것처럼, 판정회로(JC)의 출력신호(IMR)가 고레벨인 경우 (매트간의 치환이 있음)에는, 비교회로(AC0)의 출력(MIS0)과 비교회로(AC1)의 출력(MIS1)의 논리합(OR1)을 지연회로(DLY1)에 의해 지연시킨 신호가 인버터(INV1)와 NAND 게이트(NAND1)를 거쳐 타이밍 신호(XE)가 된다. 비교회로(AC0)의 출력(MIS0)과 비교회로(AC1)의 출력(MIS1)의 적어도 한쪽은 반드시 저레벨에서 고레벨(불일치)로 되므로, 타이밍 신호(XE)도 저레벨에서 고레벨로 된다. 반대로, 판정회로(JC)의 출력신호(IMR)가 저레벨인 경우(매트간의 치환없음)에는 타이밍 신호(XE)는 상시 고레벨이다.

한편, 타이밍 신호(XIJE)는 멀티플렉서(MPX1)의 출력이다. 멀티플렉서(MPX1) 는 신호 IMR이 고레벨인 때에는 지연회로(DLY2)의 출력을, 저레벨인 때에는 지연회로(DLY1)의 출력을 선택하도록 구성되어 있다. 따라서, 신호 IMR이 저레벨인 때에는 타이밍 신호(XIJE)는 지연회로(DLY2)의 지연시간만큼 빨라진다.

제7B도에 타이밍 조정회로(TA)의 다른 실시예를 도시한다. 본 타이밍 조정회로(TA)에서는 먼저 내부 어드레스 신호(BXiT, BXiB)를 NAND 게이트(NAND2)에 입력한다. 전술한 것처럼, 대기상태에서는 내부 어드레스 신호(BXiT, BXiB)는 함께 고 레벨이기 때문에, NAND 게이트(NAND2)의 출력은 저레벨을 유지하고 있다. 동작상태로 되면, 내부 어드레스 신호(BXiT, BXiB)의 한쪽은 반드시 고레벨에서 저레벨로되므로, NAND 게이트(NAND2)의 출력은 저레벨에서 고레벨로 천이한다. NAND 게이트(NAND2)의 출력신호와 그것을 지연회로(DLY3)에 의해 지연시킨 신호를 멀티플렉서(MPX3)에 입력하고, 판정회로의 출력신호(IMR)에 의해 그중의 한쪽을 선택하여 출력(XE)으로 한다. 멀티플렉서(MPX3)는 신호 IMR이 고레벨인 때에는 지연회로(DLY3)에서 지연시킨 신호를, 신호 IMR이 저레벨인 때에는 지연회로(DLY3)에서 지연시키지 않은 신호, 즉, NAND 게이트(NAND2)의 출력을 선택하여 타이밍 신호(XE)로 하고 있다.

타이밍 신호(XIJE)의 발생방법도 마찬가지이다. 즉, 지연회로(DLY3)의 출력신호와 당해 지연회로(DLY3)의 출력신호를 또 지연회로(DLY4)로 지연시킨 신호와를 멀티플렉서(MPX2)에 입력하고, 판정회로의 출력신호(IMR)에 의해 그중의 한쪽을 선택하여 출력(XIJE)으로 한다. 멀티플렉서(MPX2)는 신호 IMR이 고레벨인 때에는 지연회로(DLY4)에서 지연시킨 신호를, 신호 IMR이 저레벨인 때에는 지연회로(DLY4)에 서 지연시키지 않은 신호, 즉, 지연회로(DLY3)의 출력을 선택하여 타이밍 신호(XIJE)로 하고 있다.

본 실시예의 경우에는, 신호 IMR이 저레벨(매트 치환없음)인 때에는 제7A도의 NAND 게이트(NAND1)를 사용한 경우와는 달리, 타이밍 신호(XE)는 상시 고레벨로 되지 않고 내부 어드레스 신호(BXiT, BXiB)의 천이와 거의 동시에 라이징된다.

제8A도에 판정회로(JC)의 일실시예를 도시한다. 여기에서는 (n+1) 비트의 어드레스중 최상위 1비트를 메모리 매트의 선택에('0'이라면 메모리 매트 M0가, '1'이라면 메모리 매트 M1이 선택되는), 하위의 n 비트를 메모리 매트내의 워드선의 선택에 사용하고 있다. ROM0, ROM1은 각각 (n+2) 비트의 출력을 갖는다. ROM0의 출력중 1 비트(E0)는 인에이블 신호이고, ROM0에 기억되어 있는 어드레스가 유효한지 아닌지, 즉 메모리 매트(M0)의 예비 워드선(SW0)을 사용할 것인지 아닌지를 나타낸다. 인에이블 신호(E0)가 '유효'일 때에는 다른 (n+1) 비트(F00 F0n)가 비교회로(AC0)에서 내부 어드레스 신호와 비교된다. ROM1에 대해서도 마찬가지이다.

판정회로(JC)는 ROM(ROM0, ROM1)의 출력중, 인에이블 신호(E0, E1)와 최상위 어드레스(F0n, F1n)를 사용하여, 제16A도, 제16B도에 도시한 진리표에 따라 매트간 치환의 유무를 판정하고, 신호 IMR을 출력한다. ROM0의 출력에 대해서 말하면(제16A도 참조), 먼저, E0=0 (ROM0에 기억되어 있는 어드레스가 무효)일 때에는 예비 워드선(SW0)은 사용되지 않으므로, F0n의 여하에 관계없이 '매트내'라고 판정한다. E0=1, F0n=0일 때에는 예비 워드선(SW0)으로 치환되는 정규 워드선은 메 모리 매트(M0)내에 있으므로, '매트내'라고 판정한다. E0=1, F0n=1일 때에는 예비 워드선(SW0)으로 치환되는 정규 워드선은 메모리 매트(M1)내에 있으므로 '매트간'이라고 판정한다. 제16A도, 제16B도에서 'X'는 돈케어(don't care)인 것을 나타내고 있다.

ROM1의 출력에 대해서도 마찬가지로 판정되지만, F1n에 의한 판정이 반대로 된다(제16B도 참조).

최후로 양쪽의 판정결과의 논리합(OR)을 취한다. 즉, 적어도 한쪽이 '매트간'이라면 '매트간'(IMR=1), 양쪽 모두 '매트내'라면 '매트내'(IMR=0)로 한다. 특히, E0=E1=0, 즉 예비 워드선을 전혀 사용하지 않는 경우(이것은 완전양품이거나 혹은 예비 비트선만으로 불량을 복구할 수 있는 경우이다)에는 '매트내'로 한다.
제8B도에 보다 간략화한 판정회로(JC)를 도시한다. 이 회로에서는 전술한 것과 같은 메모리 매트간/메모리 매트내의 판정은 행하지 않고, 단지 예비 워드선의 사용/불사용만 판정한다. 인에이블 신호 E0와 E1과의 논리합(OR)을 출력신호(IMR)로 한다. 즉, 예비 워드선을 전혀 사용하지 않는 경우에만 신호 IMR=0로 된다. 따라서, 고속화 가능한 율은 제8A도의 판정회로보다도 낮게 되지만, 판정회로의 구성이 간단하게 된다고 하는 이점이 있다.
여기에서 주목해야 할 것은 판정회로(JC)의 입력신호(E0, F0n, E1, F1n)도 출력신호(IMR)도 모두 직류신호라는 점이다. 입력신호(E0, F0n, E1, F1n)는 ROM에 일단 데이터가 써넣어진 후에는 변화하는 일은 없다. 입력신호가 변화하지 않으므로 출력신호(IMR)도 변화하지 않는다. 따라서, 이들 신호의 지연은 문제가 되지 않 으므로 저항이 비교적 큰 배선을 사용하여도 지장없다. 이 점을 이용하면 칩 면적의 축소가 가능하다. 이 구체예를 다음에 보인다.
제9도는 칩면적의 축소를 가능하게 한 신호배선의 단면도의 일실시예이다. 내부 어드레스 신호(BXiT, BXiB)나 비교회로의 출력신호(MIS0, MIS1)의 지연은 액세스 시간에 큰 영향을 주므로, 저항이 작은 최상층의 알루미늄층을 이용한다. 그러나, 전술한 것처럼, 비교적 큰 저항을 허용하는 판정회로의 배선에서는 그것보다도 하층에서 저항이 큰 텅스텐 혹은 다결정 실리콘층을 이용하고, 배선폭도 가늘게 한다. 이와 같이 배치하면, 판정회로의 입출력 신호배선에 의한 칩면적의 증대를 회피할 수 있다. 이것은 특히, 메모리 매트수나 예비선 수가 많은 경우에 유효하다. 판정회로의 입력신호선 수가 많게 되기 때문이다. 제1도에서는 간단하게 하기 위해 메모리 매트 수가 2개, 1 메모리 매트당의 예비 워드선수가 1개인 경우를 도시하였지만, 예를 들어 메모리 매트수를 8개(따라서 메모리 매트를 선택하는 어드레스는 3비트), 1 메모리 매트당의 예비 워드선수를 2개로 하면, 판정회로의 입력신호의 개수는 8×2×(3+1)=64개가 된다.
전술한 것처럼, 본 실시예의 DRAM의 액세스 시간은 메모리 매트간 치환이 있는 경우에는 같지만, 메모리 매트간 치환이 아닌 경우에는 종래보다도 단축된다. 따라서, 불량이 비교적 적은 경우에는 메모리 매트내 치환만으로 불량을 복구할 수 있는 확률이 높으므로, 고속품의 취득이 가능한 비율이 많아진다. 게다가, 전술한 것처럼, 타이밍의 전환은 ROM에 써넣어져 있는 값에 의해 자동적으로 행해지므로, 테스트 공정이 종래보다도 증가하는 일은 없다.
(실시예 2)
제10도에 본 발명을 DRAM에 적용한 제2의 예를 도시한다. 이 실시예에서는 판정회로 대신에 ROM2가 마련되어 있다. ROM2에는 테스트시에 매트간 치환의 유무를 써넣어둔다(매트간 치환이 있는 경우에는 IMR=1, 없는 경우에는 IMR=0으로 되도록). ROM2로는 예를 들면 ROM0, ROM1과 같은 퓨즈를 이용하면 된다.
이 실시예는 판정회로가 불필요하고 구성이 간단하므로 점유면적을 작게 할 수 있다고 하는 이점이 있다. 그 반면, 테스트시에 불량 워드선과 예비 워드선과의 치환의 태양을 판정하여 ROM(ROM2)에 써넣는다고 하는 공정이 추가된다. 그 때문에, 테스트 공정의 관점에서는, 실시예1 쪽이 우수하다. 한편, ROM2에 예비 워드선을 사용하는지 아닌지를 미리 써넣어두고, 예비 워드선을 사용하지 않는 경우에는 신호 IMR=0를 출력하도록 하는 것도 가능하다.
본 실시예2의 동작은 실시예1과 마찬가지이므로 설명은 생략한다.
(실시예 3)
제11도에 본 발명을 DRAM에 적용한 제3의 예를 도시한다. 본 실시예의 특징은, 매트간 치환의 유무뿐만이 아니라 예비 워드선의 사용/불사용에 의해서도 타이밍을 조정하고 있는 점이다. 여기에서는 판정회로(JC)는 ROM0 및 ROM1의 출력을 입력하여 2개의 신호 IMR 및 신호 XR을 출력하고 있다. 신호 IMR은 상기 실시예의 경우와 마찬가지로 매트간 치환의 유무를 나타내는 신호이다. 신호 XR은 예비 워드선을 사용하는지 아닌지를 나타내는 신호이고, 예비 워드선을 사용하는 경우에는 고레벨('1'), 예비 워드선을 사용하지 않는 경우(완전 양품의 경우 혹은 예비 비트선 만으로 불량을 복구할 수 있는 경우)에는 저레벨('0')로 된다.
다음에 본 실시예의 동작을 설명한다. 예비 워드선을 사용하는 경우는 실시예1의 경우와 마찬가지이다. 즉, 매트간 치환이 있는 경우(IMR=1)에는 제3, 4도, 매트간 치환이 없는 경우(IMR=0)에는 제5, 6도와 마찬가지이다. 본 실시예의 특징은 예비 워드선을 전혀 사용하지 않는 경우에 제5, 6도보다도 더욱 고속화된다는 점이다.
제12도에 이 때의 동작파형을 도시한다. 제5, 6도의 경우에는 타이밍 신호(XIJE)를 라이징하는 타이밍은 비교회로의 출력(MIS0, MIS1)이 확정된 후가 아니면 안되었다. 그 이유는 비교회로에 의한 비교결과에 의해 선택해야 할 워드선이 정규 워드선으로부터 예비 워드선으로 변경될 가능성이 있기 때문이다. 그 때문에, 타이밍 마진(T2)을 마련하고 있다. 그러나, 예비 워드선을 전혀 사용하지 않는 경우에는 변경의 가능성이 없으므로, 타이밍 마진(T2)을 마련할 필요가 없고, 타이밍 신호(XIJE)를 라이징하는 타이밍을 보다 빠르게 할 수가 있다. 이에 따라 워드선 선택의 타이밍, 더 나아가서는 액세스 시간을 더욱 빠르게 할 수가 있다.
제13도에 본 실시예에 사용되는 타이밍 조정회로(TA)의 일예를 도시한다. 제7B도와 마찬가지로, 내부 어드레스 신호(BXiT, BXiB)를 NAND 게이트(NAND3)에 입력하고, 그 출력을 지연회로(DLY5, DLY6, DLY7)에 의해 지연시킨다. 멀티플렉서(MPX4)는 신호 XR이 저레벨(예비 워드선을 사용하지 않는)일 때에는 신호 IMR의 여하에 관계없이 지연회로(DLY5)의 출력을, 신호 XR이 고레벨이고 신호 IMR이 저 레벨(예비 워드선은 사용하지만 매트내 치환뿐)일 때에는 지연회로(DLY6) 의 출력을, 신호 XR과 신호 IMR이 모두 고레벨(예비 워드선을 사용하고 매트간 치환)일 때에는 지연회로(DLY7)의 출력을 각각 선택 출력하고, 타이밍 신호(XIJE)로 한다.
한편, 타이밍 신호 XE는 신호 IMR이 고레벨일 때에는, 동작상태로 되면 일정시간후 저레벨로부터 고레벨로 천이한다. 즉, 동작상태로 되어 내부 어드레스 신호의 한쪽이 고레벨로부터 저레벨로 천이하면, NAND 게이트(NAND3)의 출력이 저레벨로부터 고레벨로 천이하고, 그 신호는 지연회로(DLY5, DLY6)에서 지연된 후, NAND 게이트(NAND4)에서 반전되어 타이밍 신호 XE로서 출력된다. 한편, 신호 IMR이 저 레벨일 때에는 NAND 게이트(NAND4)의 입력의 한

쪽(신호 IMR)이 저레벨이기 때문에, 그 출력인 타이밍 신호 XE는 고레벨을 유지한 채이다.
제14도에 본실시예에 사용되는 판정회로(JC)의 일실시예를 도시한다. 신호 IMR의 발생방법은 제8도의 경우와 마찬가지이다. 신호 XR은 인에이블 신호 E0와 E1의 논리합(OR)를 취함으로써 발생된다.
본 실시예에서는 예비 워드선을 사용하지 않는 경우(신호 XR이 저레벨)에는 실시예 1보다도 더 고속으로 된다. 따라서, 결함이 전혀 없는 완전 양품이나, 결함이 비교적 적어서 예비 비트선만으로 복구가 가능한 칩의 액세스 시간은, 예비 워드선을 사용할 필요가 없으므로 더욱 단축된다. 게다가, 전술한 것처럼, 타이밍의 전환은 ROM에 써넣어져 있는 값에 의해 자동적으로 행해지므로, 종래보다도 테스트 공정이 증가하는 일은 없다.
제15도에 본 발명을 워드선의 결함구제에 적용한 DRAM의 예를 도시한다. 도 면 중에서, CHIP은 본 DRAM을 탑재하는 반도체 메모리칩을 나타내고 있다. RED는 본 발명에 의한 결함구제회로이고, 전술한 것처럼 ROM, 비교회로, 판정회로, 타이밍 조정회로 등이 구성요소로 포함되어 있다. TG는 외부에서 인가된 로우 어드레스 스트로브 신호(/RAS), 칼럼 어드레스 스트로브 신호(/CAS), 라이트 인에이블 신호(/WE), 출력 인에이블 신호(/OE)로부터 메모리 칩내부에서 필요한 각종 타이밍 신호를 발생하는 타이밍 발생회로이다. XAB는 로우 어드레스 버퍼이고, 어드레스 단자(Ai)로부터 외부 어드레스 신호를 취하여 내부 어드레스 신호(BXiT, BXiB)를 발생한다. YAB는 칼럼 어드레스 버퍼이고, Ai에서 외부 어드레스 신호를 취하여 내부 어드레스 신호(BYiT, BYiB)를 발생한다. DIN은 데이터 입력 버퍼이고, 라이트(write)시에 데이터 입출력 단자(DQ)로부터 데이터를 취한다. DOUT은 데이터 출력 버퍼이고, 리드(read)시에 DQ에 데이터를 출력한다.
다음에, 이 DRAM의 동작을 설명한다. 로우 어드레스 스트로브 신호(/RAS)가 저레벨로 되고나서 워드선이 선택되기까지는 전에 상세히 설명하였으므로 여기에서는 생략한다.
워드선이 선택되면, 메모리셀(도시안됨)로부터 비트선으로 신호가 읽혀내어진다. 다음에, 칼럼 어드레스 스트로브 신호(/CAS)가 저레벨로 되면, 칼럼 어드레스 버퍼(YAB)가 발생한 내부 어드레스 신호(BYiT, BYiB)에 의해 칼럼 디코더(YD)로 비트선이 선택된다. 선택된 비트선(B0)은 입출력게이트(YG0)를 거쳐서 입출력선(IO0)에 접속된다(비트선, 입출력선은 실제로는 제2도에 도시한 것처럼 2선이지만, 이 도면에서는 간단하게 하기 위해 1개의 선으로 나타내었다). 입출력선(IO0)은 또한 매트선택신호(MS0)에서 제어되는 스위치(ST0)를 거쳐서 공통입출력선(CIO)에 접속된다. 이 도면에서는 메모리 매트(M0)가 활성화되었을 때의 상태를 도시하고 있다. 즉, 메모리 매트 M0측의 스위치(ST0)가 온, M1측의 스위치(ST1)가 오프로 되어 있다. 읽어내기 모드라면, 공통입출력선(CIO)상의 데이터가 출력버퍼(DOUT)를 거쳐 DQ 단자로 읽혀내어진다. 쓰기 모드라면, DQ 단자에 인가된 데이터가 입력 버퍼(DIN), 공통입출력선(CIO), 스위치(ST0), 입출력선(IO0), 입출력 게이트(YG0)를 거쳐 비트선(B0)에 써넣어진다.
이상의 설명으로부터 명확한 것처럼, 입출력의 전환은 매트선택신호 MS0, MS1에 의해 행해진다. 결함구제에 의해 활성화되는 메모리 매트가 예를 들어 메모리 매트 M0에서 메모리 매트 M1으로 변경된 경우에는, 신호 MS0가 아니라 MS1이 고레벨로 되므로, 데이터 입력버퍼(DIN), 데이터 출력버퍼(DOUT)에 접속되는 입출력선도 자동적으로 입출력선 IO0에서 입출력선 IO1으로 변경된다.
이상, 본 발명을 DRAM의 워드선의 결함구제에 적용한 예를 상세히 나타내었다. 그 이유는, 이 경우가 가장 효과가 현저하기 때문이다. 그러나, 본 발명은 워드선 뿐만 아니라 비트선의 결함구제에도 적용할 수 있다. 더욱이, DRAM뿐만 아니라 SRAM이나 불휘발성 메모리 등 다른 반도체 메모리에도 적용할 수 있음은 명확하다.
본 발명의 실시예에 의하면, 정규 메모리셀과 예비 메모리셀과의 치환의 태양에 의해 동작 모드를 설정(모드설정수단 JC)하고, 그 동작모드에 의해 타이밍 조정(타이밍 조정수단 TA)하도록 하였으므로, 헛된 시간을 없애고 액세스 시간의 단 축이 가능하게 된다.
또한, 모드 설정수단에서 불량인 정규 메모리셀과 그것을 치환하는 예비 메모리 셀이 동일한 메모리 매트에 속하는지 아닌지 혹은 예비 메모리셀을 사용하는지 아닌지를 판정하고, 그 판정결과에 근거하여 동작모드를 설정하도록 하였으므로, 메모리 매트간의 치환이 없는 경우나 예비 메모리셀을 사용하지 않는 경우에는 액세스의 고속화가 가능하다.
또한, 상기 판정을 정규 메모리셀중에서 불량인 것의 어드레스를 기억하는 ROM(제1의 ROM)의 내용에 의해 자동적으로 행하도록 하고 있으므로, 종래보다 테스트 공정이 증가하는 것은 아니다.
또한, 판정회로의 입출력신호는 동작시에 변화하는 것이 아니고 저항치가 크더라도 문제가 없기 때문에, 당해 입출력신호의 배선을 어드레스 신호의 배선보다도 단위길이당 저항치를 크게 할 수 있으므로, 칩 면적을 작게 하는 것이 가능하다. 게다가, 어드레스 신호를 저항이 작은 최상층의 알루미늄 층을 이용하고, 판정회로의 입출력신호를 하층에서 저항이 큰 텅스텐이나 다결정 실리콘 층을 이용하여 배선폭을 작게 하면 더욱 칩 면적을 작게 할 수 있고, 메모리 매트수나 예비선(豫備線) 수가 많게 되었을 때 효과가 크다.
또한, 불량인 정규 메모리 셀과 그것을 치환하는 예비 메모리셀이 동일 메모리 매트에 속하는지 아닌지 혹은 예비 메모리셀을 사용하는지 아닌지를 ROM(제2의 ROM)에 써넣어둠으로써 전술한 판정회로를 불필요하게 하는 것이 가능하다.
이상 설명한 것처럼, 본 발명에 의하면 메모리 매트간 치환이 없는 경우에는 종래보다도 고속으로 되고, 또한 결함이 전혀 없는 완전 양품이나 결함이 비교적 적어서 예비 비트선만으로 복구가 가능하고 예비 워드선을 사용할 필요가 없는 경우에는 더욱 고속으로 된다. 따라서, 불량이 비교적 적은 경우에는 고속 마이크로프로세서나화상처리용도에 적합한 고속품을 취득할 수 있는 비율이 많아진다.

(57) 청구의 범위

청구항 1.

복수의 정규 메모리셀과 복수의 예비 메모리셀을 각각 포함하는 복수의 메모리 매트와,

상기 복수의 메모리 매트를 각각 제어하는 복수의 메모리 매트 제어회로와,
상기 정규 메모리셀중에서 불량인 것의 어드레스를 기억하는 제1의 ROM과,
상기 제1의 ROM의 출력과 어드레스 신호를 비교하는 비교회로와,
상기 비교회로의 출력에 따라 불량인 정규 메모리셀 대신에 예비 메모리셀을 선택하는 예비선택수단과,
상기 정규 메모리셀과 상기 예비 메모리셀과의 치환의 태양에 대응한 동작모드를 설정하는 모드설정수단과,
상기 모드설정수단의 출력에 근거하여 상기 메모리 매트 제어회로에 입력되는 제어신호의 타이밍을 변경하는 타이밍 조정수단을 가지는 것을 특징으로 하는 반도체 메모리.

청구항 2.

제1항에 있어서,
상기 모드설정수단은 상기 불량인 정규 메모리셀과 그것을 치환하는 상기 예비 메모리셀이 동일한 메모리 매트에 속하는지 아닌지를 판정하고, 그 판정결과에 근거하여 동작모드를 설정하는 수단인 것을 특징으로 하는 반도체 메모리.

청구항 3.

제2항에 있어서,
상기 모드설정수단은 상기 제1의 ROM의 출력을 입력하여 상기 불량인 정규 메모리셀과 그것을 치환하는 상기 예비 메모리셀이 동일한 메모리 매트에 속하는지 아닌지를 판정하는 판정회로를 포함하는 것을 특징으로 하는 반도체 메모리.

청구항 4.

제4항에 있어서,
상기 판정회로의 입력신호 혹은 출력신호의 배선은 상기 어드레스 신호의 배선 보다도 단위길이당 저항치가 큰 것을 특징으로 하는 반도체 메모리.

청구항 5.

제4항에 있어서,
상기 판정회로의 입력신호 혹은 출력신호의 배선은 상기 어드레스 신호의 배선보다도 하층에 설치되는 것을 특징으로 하는 반도체 메모리.

청구항 6.

제2항에 있어서,
상기 모드설정수단은 상기 불량인 정규 메모리셀과 그것을 치환하는 상기 예비 메모리셀이 동일 메모리 매트에 속하는지 아닌지 및/또는 예비 메모리셀을 사용하는지 아닌지가 미리 서입된 제2의 ROM를 포함하며, 그 서입된 내용에 근거하여 동작 모드를 설정하는 수단으로 이루어지는 것을 특징으로 하는 반도체 메모리.

청구항 7.

제2항에 있어서,
상기 모드설정수단은 예비 메모리셀을 사용하는지 아닌지를 판정하고, 그 판정 결과에 근거하여 동작모드를 설정하는 수단인 것을 특징으로 하는 반도체 메모리.

청구항 8.

제1항에 있어서,
상기 모드설정수단은 예비 메모리셀을 사용하는지 아닌지를 판정하고, 그 판정 결과에 근거하여 동작모드를 설정하는 수단인 것을 특징으로 하는 반도체 메모리.

청구항 9.

제8항에 있어서,
상기 모드설정수단은, 상기 제1의 ROM의 출력을 입력하여, 상기 예비 메모리 셀을 사용하는지 아닌지를 판정하는 판정회로를 포함하는 것을 특징으로 하는 반도체 메모리.

청구항 10.

제9항에 있어서,
상기 판정회로의 입력신호 혹은 출력신호의 배선은 상기 어드레스 신호의 배선보다도 단위길이당 저항치가 큰 것을 특징으로 하는 반도체 메모리.

청구항 11.

제8항에 있어서,
상기 모드설정수단은 상기 불량인 정규 메모리셀과 그것을 치환하는 상기 예 비 메모리셀이 동일 메모리 매트에 속하는지 아닌지 및/또는 예비 메모리셀을 사용하는지 아닌지가 미리 서입된 제2의 ROM를 포함하며, 그 서입된 내용에 근거하여 동작 모드를 설정하는 수단으로 이루어지는 것을 특징으로 하는 반도체 메모리.

청구항 12.

복수의 제 1 정규 메모리셀과 복수의 제 1 예비 메모리셀을 각각 포함하는 제 1 메모리 매트와,
복수의 제 2 정규 메모리셀과 복수의 제 2 예비 메모리셀을 각각 포함하는 제 2 메모리 매트와,
제 1 불량 어드레스를 기억하기 위한 제 1 기억회로와,
제 2 불량 어드레스를 기억하기 위한 제 2 기억회로와,
상기 제 1 불량 어드레스와 액세스 어드레스를 비교하여 그 비교결과에 따라 제 1 일치신호를 출력하기 위한 제 1 비교회로와,

상기 제 2 불량 어드레스와 상기 액세스 어드레스를 비교하여 그 비교결과에 따라 제 2 일치신호를 출력하기 위한 제 2 비교회로와,
상기 제 1 일치신호에 근거하여 상기 복수의 제 1 예비 메모리 셀 중 하나를 선택하기 위한 제 1 선택회로와,
상기 제 2 일치신호에 근거하여 상기 복수의 제 2 예비 메모리 셀 중 하나를 선택하기 위한 제 2 선택회로와,
상기 제 1 불량 어드레스가 소정의 조건을 만족하고 있는 경우에 판정신호를 출력하기 위한 판정회로와,
상기 판정신호에 따라 상기 제 1 선택회로의 선택 타이밍을 조정하는 타이밍 조정회로를 가지는 용장회로를 구비하는 것을 특징으로 하는 반도체메모리.

청구항 13.

제12항에 있어서,
상기 소정의 조건은, 상기 용장회로에, 선택된 상기 제 2 정규 메모리 셀을 상기 제 1 예비 메모리 셀로 치환하는 것이 프로그래밍되고, 선택된 상기 제 1 정규 메모리 셀을 상기 제 1 예비 메모리 셀로 치환하는 것이 프로그래밍되어 있지 않음을 만족하는 것을 특징으로 하는 반도체 메모리.

청구항 14.

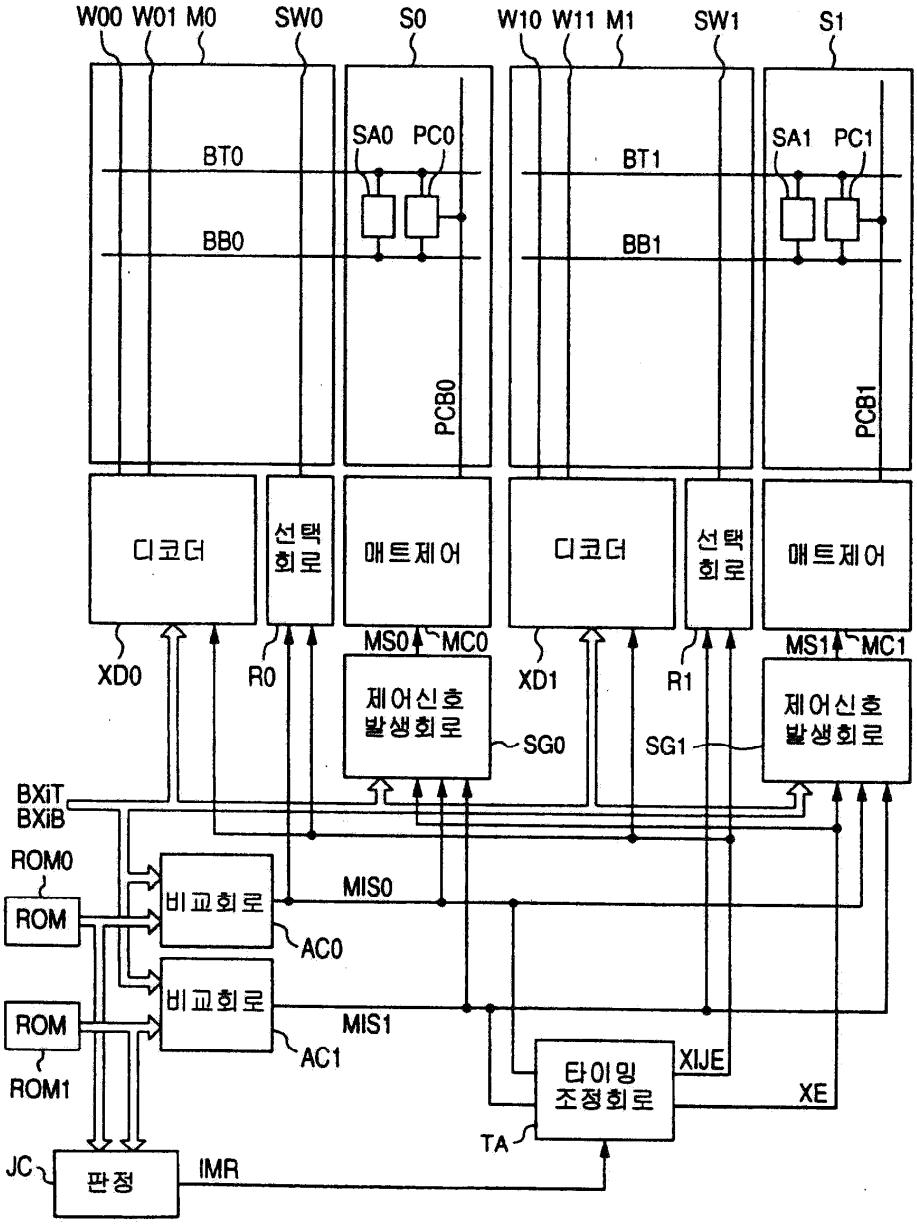
제13항에 있어서,
상기 제 1 메모리 매트는, 상기 복수의 제 1 예비 메모리 셀에 접속된 복수의 제 1 예비 워드선을 더 가지고,
상기 제 2 메모리 매트는, 상기 복수의 제 2 예비 메모리 셀에 접속된 복수의 제 2 예비 워드선을 더 가지고,
상기 제 1 선택회로는, 상기 복수의 제 1 예비 워드선의 구동회로이고,
상기 제 2 선택회로는, 상기 복수의 제 2 예비 워드선의 구동회로인 것을 특징으로 하는 반도체 메모리.

청구항 15.

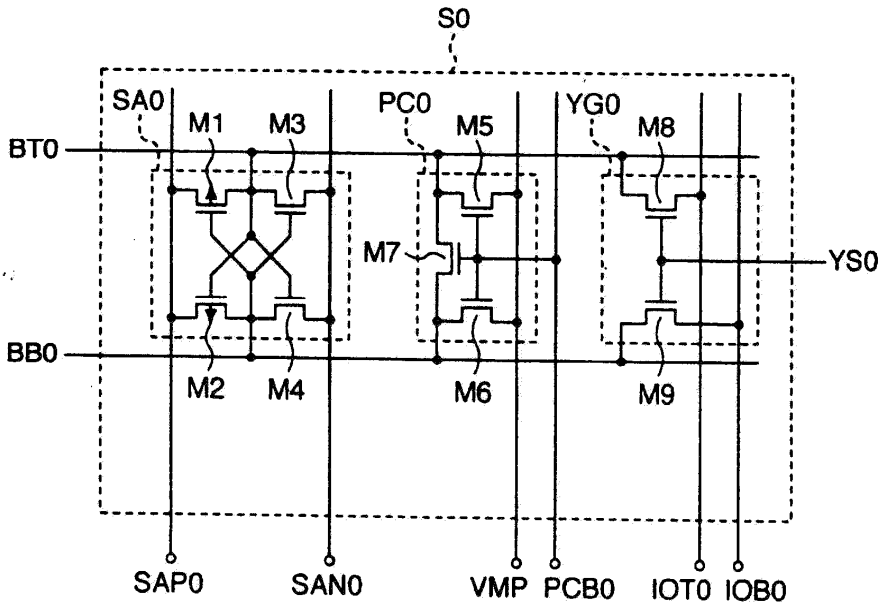
제12항 내지 제14항 중 어느 한 항에 있어서,
상기 반도체메모리는, 다이나믹 랜덤 액세스 메모리인 것을 특징으로 하는 반도체 메모리.

도면

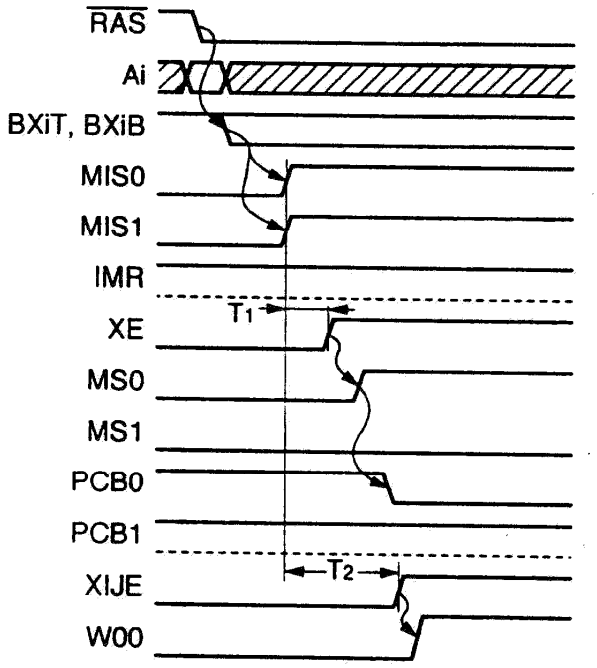
도면1


W00 W01 M0 SW0 S0 W10 W11 M1 SW1 S1
BT0
BB0
SA0 PC0
PCB0
BT1
BB1
SA1 PC1
PCB1
디코더
선택회로
매트제어
디코더
선택회로
매트제어
XD0
R0
MS0 MC0
제어신호발생회로
SG0
XD1
R1
SG1
MS1 MC1
제어신호발생회로
BXiT
BXiB
ROM0
ROM
비교회로
MIS0
AC0
ROM
비교회로
MIS1
AC1
ROM1
타이밍조정회로
XIJE
XE
TA
JC
판정
IMR

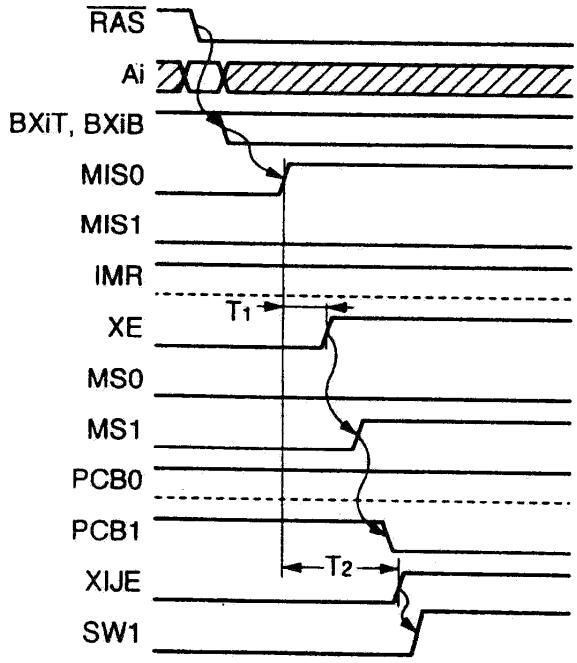
도면2


S0
SA0
M1
M3
PC0
M5
YG0
M8
BT0
M7
YS0
BB0
M2
M4
M6
M9
SAP0
SAN0
VMP
PCB0
IOT0
IOB0

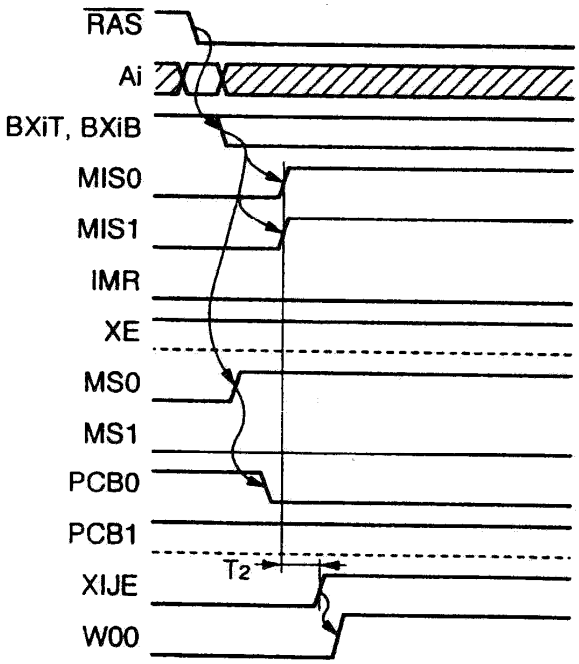
도면3


RAS
Ai
BXiT, BXiB
MIS0
MIS1
IMR
T1
XE
MS0
MS1
PCB0
PCB1
T2
XIJE
W00

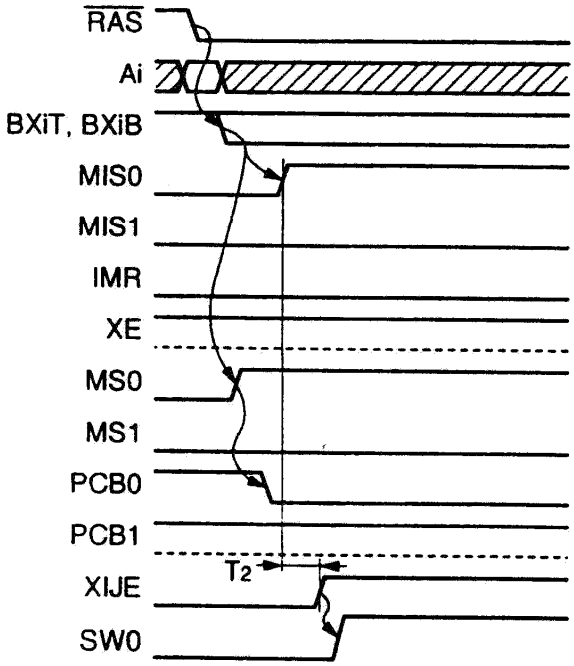
도면4


RAS
Ai
BXiT, BXiB
MIS0
MIS1
IMR
XE
MS0
MS1
PCB0
PCB1
XIJE
SW1
T1
T2

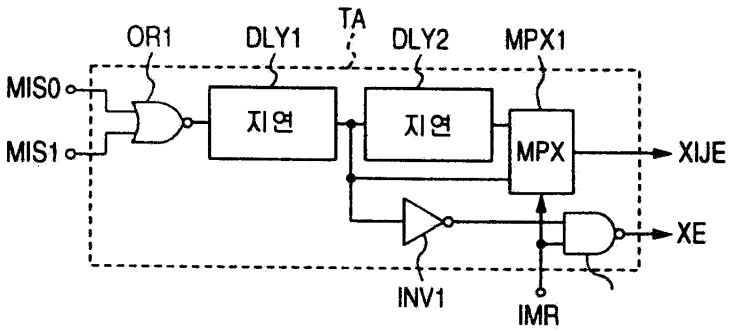
도면5


RAS
Ai
BXiT, BXiB
MIS0
MIS1
IMR
XE
MS0
MS1
PCB0
PCB1
XIJE
W00
T2

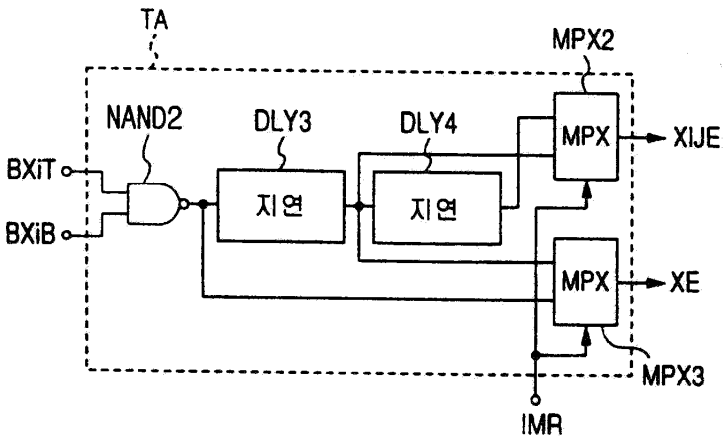
도면6



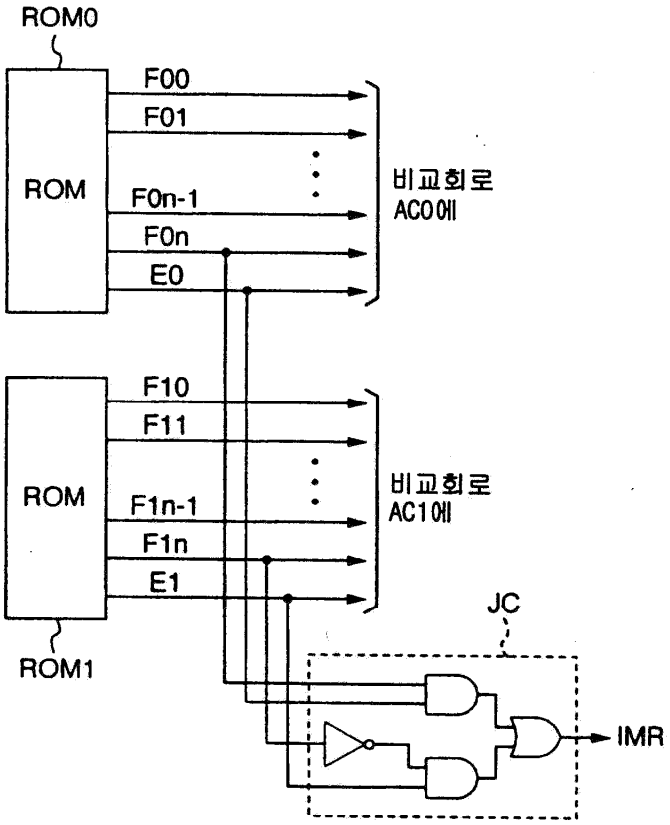
도면7a



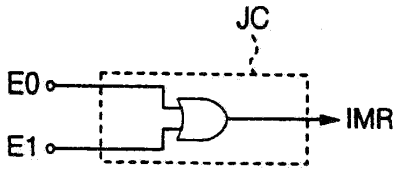
도면7b



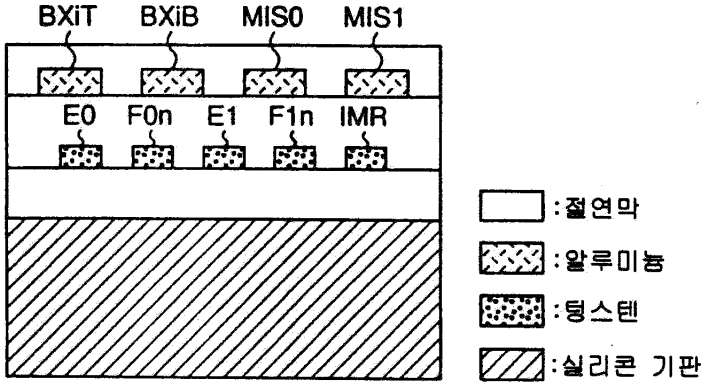
도면8a



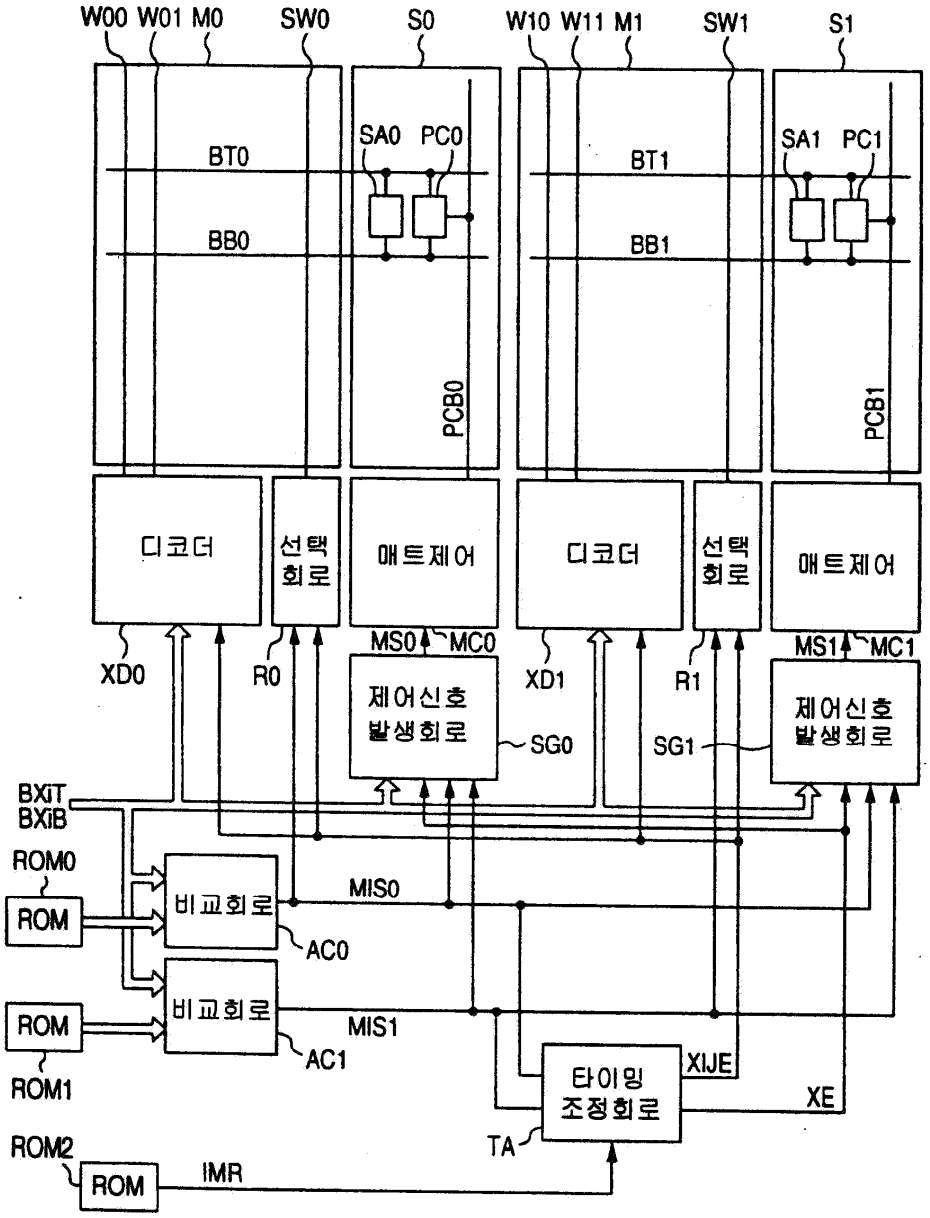
도면8b



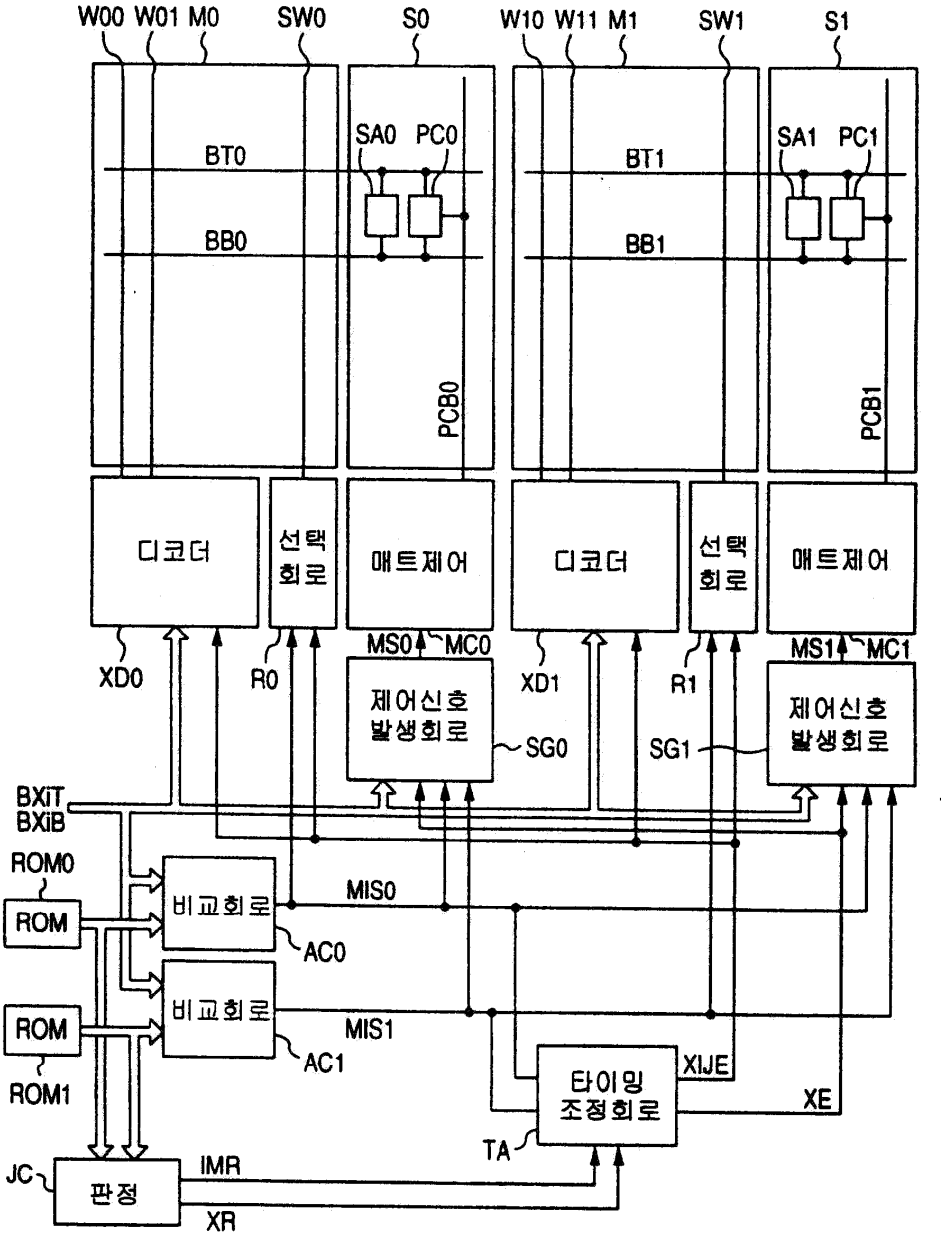
도면9



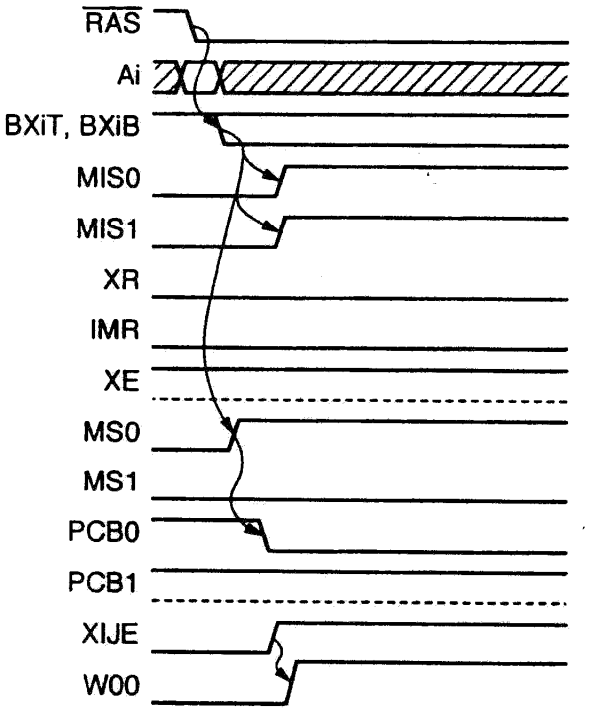
도면10


W00 W01 M0 SW0 S0 W10 W11 M1 SW1 S1
BT0
BB0
SA0 PC0
PCB0
BT1
BB1
SA1 PC1
PCB1
디코더
선택회로
애트제어
디코더
선택회로
애트제어
XD0
R0
MS0 MC0
제어신호발생회로
SG0
XD1
R1
SG1
MS1 MC1
제어신호발생회로
BXiT
BXiB
ROM0
ROM
비교회로
MIS0
AC0
ROM
비교회로
MIS1
AC1
ROM1
타이밍조정회로
XIJE
XE
TA
ROM2
ROM
IMR

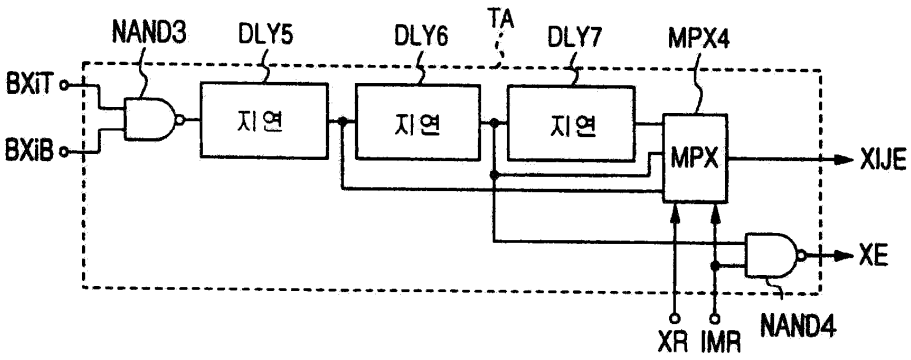
도면11


W00 W01 M0 SW0 S0 W10 W11 M1 SW1 S1
BT0
BB0
SA0 PC0
PCB0
BT1
BB1
SA1 PC1
PCB1
디코더
선택회로
매트제어
디코더
선택회로
매트제어
XD0
R0
MS0 MC0
제어신호발생회로
SG0
XD1
R1
MS1 MC1
제어신호발생회로
SG1
BXiT
BXiB
ROM0
ROM
비교회로
MIS0
AC0
ROM
비교회로
MIS1
AC1
ROM1
타이밍조정회로
XIJE
XE
TA
JC
판정
IMR
XR

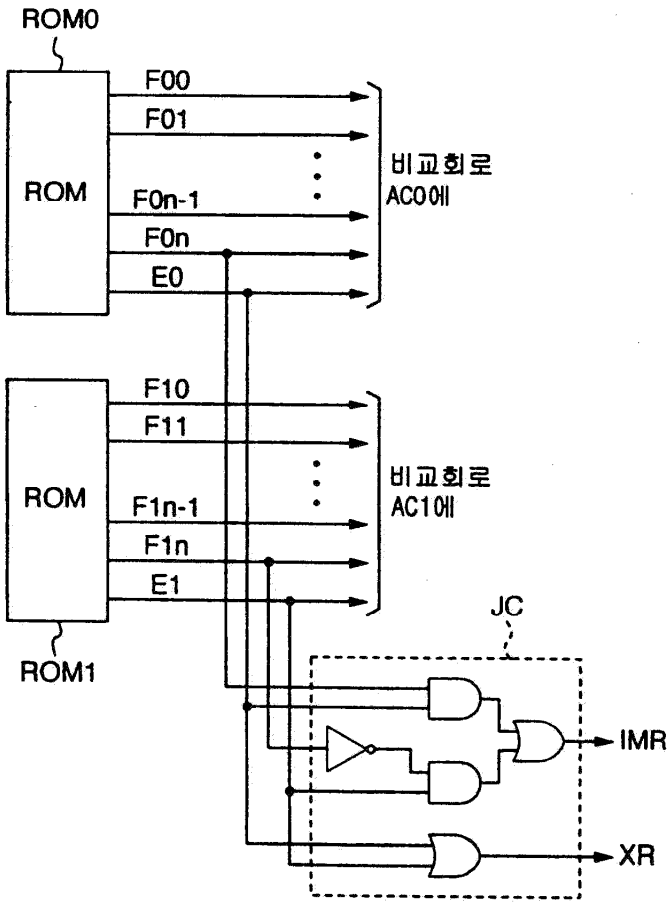
도면12


RAS
Ai
BXiT, BXiB
MIS0
MIS1
XR
IMR
XE
MS0
MS1
PCB0
PCB1
XIJE
W00

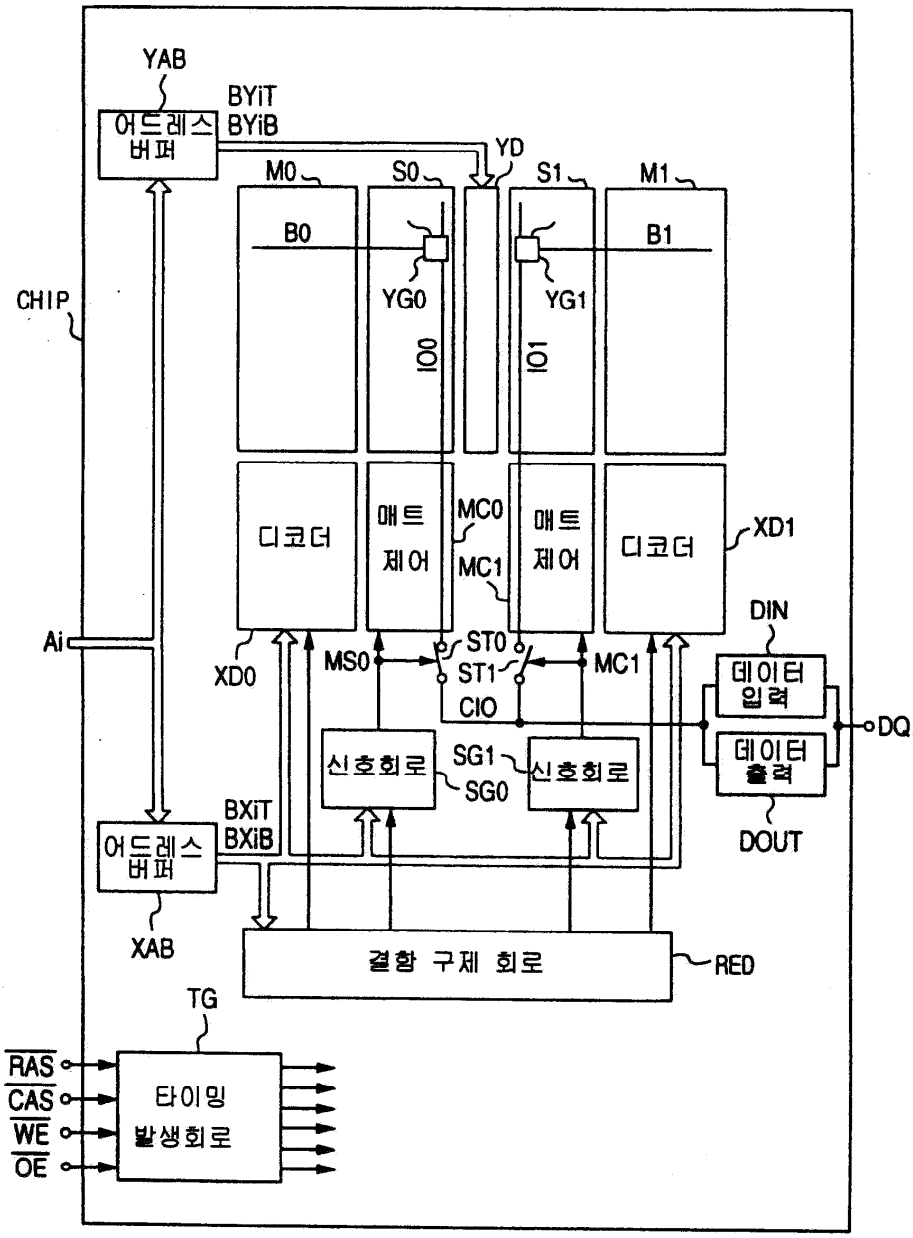
도면13


NAND3
DLY5
DLY6
TA
DLY7
MPX4
BXiT
BXiB
지연
지연
지연
MPX
XIJE
XE
XR
IMR
NAND4

도면14


ROM0
ROM
F00
F01
F0n-1
F0n
E0
비교회로
AC0에
ROM
F10
F11
F1n-1
F1n
E1
비교회로
AC1에
ROM1
JC
IMR
XR

도면15



도면16a

E0	F0n	판정결과
0	X	매트내
1	0	매트내
1	1	매트간

"X"는 돈케어를 나타냄.

도면16b

E1	F1n	판정결과
0	X	매트내
1	0	매트간
1	1	매트내

"X"는 돈케어를 나타냄.