



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I515738 B

(45)公告日：中華民國 105 (2016) 年 01 月 01 日

(21)申請案號：099137469

(22)申請日：中華民國 99 (2010) 年 11 月 01 日

(51)Int. Cl. : G11C16/18 (2006.01)

G11C16/26 (2006.01)

G11C16/20 (2006.01)

(30)優先權：2009/11/18 日本

2009-262764

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY

LABORATORY CO., LTD. (JP)

日本

(72)發明人：齋藤利彥 SAITO, TOSHIHIKO (JP)

(74)代理人：林志剛

(56)參考文獻：

US 5258958

US 5898703

US 6067249

US 6509216B2

US 7613030B2

US 2008/0048240A1

US Microelectronicsreliabil

審查人員：蔡明宏

申請專利範圍項數：9 項 圖式數：16 共 96 頁

(54)名稱

記憶體裝置

MEMORY DEVICE

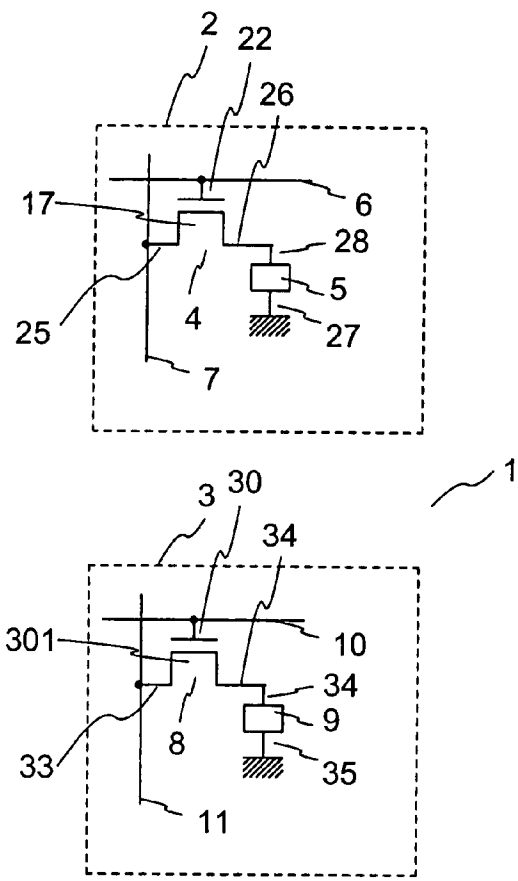
(57)摘要

一種無額外邏輯電路之記憶體裝置，包括無法被第三者存取且當需要時總可存取之記憶胞。一實施例為包括第一記憶胞及第二記憶胞的記憶體裝置，且第二記憶胞包括具有以氧化物半導體薄膜形成之第二通道的第二電晶體。當第二電晶體正被紫外線照射時，從第二記憶胞讀取資料。

A memory device without additional logic circuits, including a memory cell which cannot be accessed by a third party and which is always accessible when needed. One embodiment is a memory device including a first memory cell and a second memory cell, and the second memory cell includes a second transistor having a second channel formed of an oxide semiconductor film. Data is read from the second memory cell when the second transistor is being irradiated with ultraviolet rays.

指定代表圖：

第1圖



符號簡單說明：

- 1 . . . 記憶體裝置
- 2 . . . 第一記憶胞
- 3 . . . 第二記憶胞
- 4 . . . 第一電晶體
- 5 . . . 第一記憶體元件
- 6 . . . 第一字線
- 7 . . . 第一位元線
- 8 . . . 第二電晶體
- 9 . . . 第二記憶體元件
- 10 . . . 第二字線
- 11 . . . 第二位元線
- 17 . . . 第一通道
- 22 . . . 第一閘極電極
- 25 . . . 電極
- 26 . . . 電極
- 27 . . . 電極
- 28 . . . 電極
- 30 . . . 第二閘極電極
- 33 . . . 電極
- 34 . . . 電極
- 35 . . . 電極
- 301 . . . 第二通道

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：099137469

※申請日：099 年 11 月 01 日

※IPC 分類：

G11C 16/18 2006.01
G11C 16/56 2006.01
G11C 16/50 2006.01

一、發明名稱：(中文／英文)

記憶體裝置

Memory device

二、中文發明摘要：

一種無額外邏輯電路之記憶體裝置，包括無法被第三者存取且當需要時總可存取之記憶體胞。一實施例為包括第一記憶體胞及第二記憶體胞的記憶體裝置，且第二記憶體胞包括具有以氧化物半導體薄膜形成之第二通道的第二電晶體。當第二電晶體正被紫外線照射時，從第二記憶體胞讀取資料。

三、英文發明摘要：

A memory device without additional logic circuits, including a memory cell which cannot be accessed by a third party and which is always accessible when needed.

One embodiment is a memory device including a first memory cell and a second memory cell, and the second memory cell includes a second transistor having a second channel formed of an oxide semiconductor film. Data is read from the second memory cell when the second transistor is being irradiated with ultraviolet rays.

四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件符號簡單說明：

- 1：記憶體裝置
- 2：第一記憶胞
- 3：第二記憶胞
- 4：第一電晶體
- 5：第一記憶體元件
- 6：第一字線
- 7：第一位元線
- 8：第二電晶體
- 9：第二記憶體元件
- 10：第二字線
- 11：第二位元線
- 17：第一通道
- 22：第一閘極電極
- 25：電極
- 26：電極
- 27：電極
- 28：電極
- 30：第二閘極電極
- 33：電極
- 34：電極
- 35：電極
- 301：第二通道

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明有關於包括電晶體之記憶體裝置，尤其包括使氧化物半導體薄膜作為通道之電晶體的記憶體裝置。

【先前技術】

記憶體裝置包括複數記憶胞。在一些情況中，必須防止諸如消費者的第三方存取記憶胞之部分。在專利文獻 1 中，揭露一種記憶體，其中不輸入預定關鍵字是無法讀取資料。第三方無法讀取資料，因為需要輸入關鍵字。

[參考]

[專利文獻 1]

公開未審查之實用新型申請案號 H2-14150

【發明內容】

根據專利文獻 1，第三方無法讀取資料；然而，需要額外設置一邏輯電路以要求關鍵字之類。

本發明之一實施例提供一種記憶體裝置，無額外邏輯電路，包括無法由第三方輕易存取且其當需要時總可存取的一記憶胞。

本案發明人發現在紫外(UV)線照射之前、在紫外線照射之時、及在紫外線照射之後，使用氧化物半導體薄膜作為通道的電晶體之臨限電壓會改變的現象。接著，本案發明人思考，藉由利用該現象，可使用包括以這種電晶體所

提供之記憶胞的記憶體裝置，可解決上述問題。

根據本發明之第一實施例，記憶體裝置包括一第一記憶胞及一第二記憶胞。該第一記憶胞包括一第一電晶體及一第一記憶體元件；該第一電晶體包括一第一通道、一第一閘極電極、及第一源極和汲極電極；該第一閘極電極為一第一字線的一部分或電連接至該第一字線；以及該些第一源極和汲極電極之一為一第一位元線的一部分或電連接至該第一位元線且另一者電連接至該第一記憶體元件。該第二記憶胞包括一第二電晶體及一第二記憶體元件；該第二電晶體包括一第二通道、一第二閘極電極、及第二源極和汲極電極；該第二閘極電極為一第二字線的一部分或電連接至該第二字線；該第二通道以一氧化物半導體薄膜形成；以及該些第二源極和汲極電極之一為一第二位元線的一部分或電連接至該第二位元線且另一者電連接至該第二記憶體元件。在紫外線照射前該第二電晶體的一臨限電壓(V_{21})高於該第一電晶體的一臨限電壓(V_1)；在紫外線照射時該第二電晶體的一臨限電壓(V_{22})低於該電壓 V_{21} ；以及在紫外線照射後該第二電晶體的一臨限電壓(V_{23})低於該電壓 V_{21} 且高於該電壓 V_{22} 及該電壓 V_1 。當供應一電壓(V_G)至正被紫外線照射之該第二電晶體的該第二閘極電極而使該第二電晶體啓通時，讀取該第二記憶體元件中所儲存之資料。注意到 $V_1 \leq V_G$ (該電壓 V_G 等於或高於該電壓 V_1)，且滿足 $V_{22} \leq V_G < V_{23} < V_{21}$ (該電壓 V_G 等於或高於該電壓 V_{22})。

在上述實施例中，藉由供應該電壓 V_G 至該第一閘極電極以啓通該第一電晶體來讀取該第一記憶體元件中所儲存的資料。

在上述實施例中，該記憶體裝置進一步包括一寫入電路、一類比開關、及一第三電晶體。該第三電晶體包括一第三通道、一第三閘極電極、及第三源極和汲極電極，以及該第三通道以一氧化物半導體薄膜所形成。該寫入電路之一輸出輸入至該類比開關；該類比開關之輸出輸入至該第二電晶體的該些第二源極及汲極電極之一；一寫入致能信號輸入至該些第三源極和汲極電極之一，且第三源極和汲極電極之另一者連接至該類比開關的一第一控制端子；以及該寫入致能信號之一反向信號輸入至該類比開關的一第二控制端子。在紫外線照射前該第三電晶體的一臨限電壓爲 V_{31} ；在紫外線照射時該第三電晶體的一臨限電壓爲 V_{32} ；以及在紫外線照射後該第三電晶體的一臨限電壓爲 V_{33} 。以下列方式將資料寫至該第二記憶體元件：供應一電壓 (V_A) 至正被紫外線照射的該第三閘極電極以啓通該第三電晶體，輸入該寫入致能信號至該第一控制端子，輸入該寫入電路的該輸出至該些第二源極及汲極電極之一，且供應一電壓 (V_W) 至該第二閘極電極以啓通該第二電晶體。注意到 $V_{32} \leq V_A < V_{33} < V_{31}$ (該電壓 V_A 等於或高於該電壓 V_{32})，且滿足 $V_{23} < V_{21} < V_W$ 。

根據本發明之第二實施例，一種記憶體裝置，包括：包括一第一電晶體及一第一記憶體元件之一第一記憶胞、

包括一第二電晶體及一第二記憶體元件之一第二記憶胞、及一第三電晶體。該第一電晶體包括一第一通道、一第一閘極電極、及第一源極和汲極電極；該第一閘極電極為一第一字線的一部分或電連接至該第一字線；以及該些第一源極和汲極電極之一為一第一位元線的一部分或電連接至該第一位元線且另一者電連接至該第一記憶體元件。該第二電晶體包括一第二通道、一第二閘極電極、及第二源極和汲極電極；該第二閘極電極為一第二字線的一部分或電連接至該第二字線；以及該些第二源極和汲極電極之一為一第二位元線的一部分或電連接至該第二位元線且另一者電連接至該第二記憶體元件。該第三電晶體包括一第三通道、一第三閘極電極、及第三源極和汲極電極；該第三通道以一氧化物半導體薄膜形成；以及該些第三源極和汲極電極之一電連接至該第二字線且啓通該第二電晶體之一選擇信號輸入至該些第三源極和汲極電極之另一者。在紫外線照射前該第三電晶體的一臨限電壓為 V_{31} ；在紫外線照射時該第三電晶體的一臨限電壓為 V_{32} ；以及在紫外線照射後該第三電晶體的一臨限電壓為 V_{33} 。以下列方式將資料寫至該第二記憶體元件並從該第二記憶體元件讀取資料：供應一電壓 (V_G) 至正被紫外線照射的該第三閘極電極以啓通該第三電晶體，並輸入該選擇信號至該第二閘極電極以啓通該第二電晶體。注意到滿足 $V_{32} \leq V_G < V_{33} < V_{31}$ (該電壓 V_G 等於或高於該電壓 V_{32})。

根據本發明之第三實施例，一種記憶體裝置，包括：

包括一第一電晶體及一第一記憶體元件之一第一記憶胞、包括一第二電晶體及一第二記憶體元件之一第二記憶胞、一第三電晶體、以及一第四電晶體。該第一電晶體包括一第一通道、一第一閘極電極、及第一源極和汲極電極；該第一閘極電極為一第一字線的一部分或電連接至該第一字線；以及該些第一源極和汲極電極之一為一第一位元線的一部分或電連接至該第一位元線且另一者電連接至該第一記憶體元件。該第二電晶體包括一第二通道、一第二閘極電極、及第二源極和汲極電極；該第二閘極電極為一第二字線的一部分或電連接至該第二字線；以及該些第二源極和汲極電極之一為一第二位元線的一部分或電連接至該第二位元線且另一者電連接至該第二記憶體元件。該第三電晶體包括一第三通道、一第三閘極電極、及第三源極和汲極電極；以及該些第三源極和汲極電極之一電連接至該第二字線且啓通該第二電晶體之一選擇信號輸入至該些第三源極和汲極電極之另一者。該第四電晶體包括一第四通道、一第四閘極電極、及第四源極和汲極電極；該第四通道以一氧化物半導體薄膜形成；以及該些第四源極和汲極電極之一電連接至該第三閘極電極且啓通該第三電晶體之一選擇信號輸入至該些第四源極和汲極電極之另一者。在紫外線照射前該第四電晶體的一臨限電壓為 V_{31} ；在紫外線照射時該第四電晶體的一臨限電壓為 V_{32} ；以及在紫外線照射後該第四電晶體的一臨限電壓為 V_{33} 。以下列方式將資料寫至該第二記憶體元件並從該第二記憶體元件讀取資

料：供應一電壓 (V_G) 至正被紫外線照射的該第四閘極電極以啓通該第四電晶體並因而啓通該第三電晶體，並輸入啓通該第二電晶體的一選擇信號至該第二閘極電極以啓通該第二電晶體。注意到滿足 $V_{32} \leq V_G < V_{33} < V_{31}$ (該電壓 V_G 等於或高於該電壓 V_{32})。

根據第二實施例或第三實施例的上述記憶體裝置可包括一解碼器、一位準移位器、及一緩衝器，使該些第三源極和汲極電極之一經由該位準移位器及該緩衝器電連接至該第二字線，以及從該解碼器輸入該選擇信號至該些第三源極和汲極電極之另一者。

根據第二實施例或第三實施例的上述記憶體裝置可包括一解碼器、一位準移位器、一緩衝器、及一位址線，使該些第三源極和汲極電極之一經由該解碼器、該位準移位器、及該緩衝器電連接至該第二字線，以及從該位址線輸入該選擇信號至該些第三源極和汲極電極之另一者。

本發明之第一至第三實施例提供一種包括記憶胞的記憶體裝置，無額外邏輯電路，其無法被第三方存取且當需要時總可存取。

【實施方式】

將於下說明本發明之實施例。注意到可以許多不同模式實行本發明，且對熟悉此技藝人士而言明顯地可以各種方式修改模式及細節而不背離本發明之精神與範疇。因此，本發明不應解釋成限制於實施例的敘述。注意到在下列

敘述中，在不同圖中以類似參考符號標示類似部件或具有類似功能的部件，且在一些情況中省略其之敘述。

(實施例 1)

此實施例顯示一記憶體裝置，其包括第一記憶胞及第二記憶胞，並使用氧化物半導體薄膜作為設置在第二記憶胞中之第二電晶體的第二通道。詳言之，記憶體裝置包括第一記憶胞及第二記憶胞，且第一記憶胞包括一第一電晶體及一第一記憶體元件；第一電晶體包括一第一通道、一第一閘極電極、及第一源極和汲極電極；第一閘極電極為一第一字線的一部分或電連接至第一字線；以及第一源極和汲極電極之一為一第一位元線的一部分或電連接至第一位元線且另一者電連接至第一記憶體元件。第二記憶胞包括一第二電晶體及一第二記憶體元件；第二電晶體包括一第二通道、一第二閘極電極、及第二源極和汲極電極；第二閘極電極為一第二字線的一部分或電連接至第二字線；第二通道以一氧化物半導體薄膜形成；以及第二源極和汲極電極之一為一第二位元線的一部分或電連接至第二位元線且另一者電連接至第二記憶體元件。在紫外線照射前第二電晶體的一臨限電壓(V_{21})高於第一電晶體的一臨限電壓(V_1)；在紫外線照射時第二電晶體的一臨限電壓(V_{22})低於電壓 V_{21} ；以及在紫外線照射後第二電晶體的一臨限電壓(V_{23})低於電壓 V_{21} 且高於電壓 V_{22} 及電壓 V_1 。當供應一電壓(V_G)至正被紫外線照射之第二電晶體的第二閘極電極而

使第二電晶體啓通時，讀取第二記憶體元件中所儲存之資料。注意到 $V_1 \leq V_G$ (電壓 V_G 等於或高於電壓 V_1)，且滿足 $V_{22} \leq V_G < V_{23} < V_{21}$ (電壓 V_G 等於或高於電壓 V_{22})。

記憶體裝置 1 包括第一記憶胞 2 及第二記憶胞 3 (第 1 圖)。

第一記憶胞 2 包括第一電晶體 4 及第一記憶體元件 5。第一電晶體 4 包括第一通道 17、第一閘極電極 22、一電極 25 (第一源極和汲極電極之一)、及一電極 26 (第一源極和汲極電極之另一者)。第一閘極電極 22 電連接至第一字線 6，以及電極 25 電連接至第一位元線 7 且電極 26 電連接至第一記憶體元件 5。使用以矽製成之半導體薄膜作為第一通道 17。替代地，使用以鍺、矽-鍺、砷化鎵、碳化矽、或之類製成之半導體薄膜。第一電晶體 4 之臨限電壓為 V_1 。注意到第一閘極電極 22 可為第一字線 6 的一部分，且電極 25 可為第一位元線 7 的一部分。

第二記憶胞 3 包括第二電晶體 8 及第二記憶體元件 9。第二電晶體 8 包括第二通道 301、第二閘極電極 30、一電極 33 (第二源極和汲極電極之一)、及一電極 34 (第二源極和汲極電極之另一者)。第二閘極電極 30 電連接至第二字線 10、電極 33 電連接至第二位元線 11、且電極 34 電連接至第二記憶體元件 9。第二通道 301 以氧化物半導體薄膜所形成。注意到第二閘極電極 30 可為第二字線 10 的一部分，且電極 33 可為第二位元線 11 的一部分。

第二電晶體 8 之臨限電壓在當以紫外 (UV) 線照射第二

通道 301 時會改變(第 2 圖)。第 2 圖示意性顯示第二電晶體 8 之閘極電壓(V_g)及汲極電流(I_d)之間的關係。線 41、線 42、及線 43 分別代表在紫外線照射之前、在紫外線照射之時、在紫外線照射之後的第二電晶體 8 之 V_g - I_d 關係。第二電晶體 8 之臨限電壓在無紫外線照射時(在紫外線照射之前)為 V_{21} 、在紫外線照射之時為 V_{22} 、且在紫外線照射之後為 V_{23} 。亦即。滿足 $V_{22} < V_{23} < V_{21}$ 。依此方式，使用氧化物半導體作為通道之電晶體與使用非氧化物半導體(如矽)的材料之電晶體相異操作。藉由利用此現象來控制記憶體裝置 1。

當實際執行資料讀取時，將滿足 $V_{22} \leq V_G < V_{23} < V_{21}$ 之電壓 V_G (電壓 V_G 等於或高於 V_{22})供應至第二電晶體 8 的第二閘極電極 30。因此，可在正以紫外線照射時啓通第二電晶體 8，同時在無紫外線照射時保持第二電晶體 8 關閉。注意到第二電晶體 8 之關閉電流在紫外線照射之時因為光漏的緣故而會增加。

照射的紫外線具有 10 nm 至 400 nm 的波長。當紫外線的波長變較短時， V_{22} 的值降低。作為光源，可使用可購得之紫外線燈、準分子雷射、或之類。照射強度取決於波長與光源，且可設定至約 0.01 至 1.00 mW/cm²。

接下來，將說明記憶體裝置 1 之操作。第一記憶體元件 5 儲存可被第三方存取的資料，並且第二記憶體元件 9 儲存不應被第三方存取的資料。第一電晶體 4 之臨限電壓為 V_1 ，且滿足 $V_1 < V_{23} < V_{21}$ 。注意到在其中以矽製成第一

通道 17 的情況中，若有需要，以 n 型或 p 型雜質摻雜第一通道 17，藉此位移第一電晶體 4 的臨限電壓 V_1 。

1. 從第一記憶體元件 5 讀取資料

首先敘述的是讀取儲存在第一記憶體元件 5 中之資料(電荷)的操作。供應電壓 V_G 至第一字線 6，以供應 V_G 至第一電晶體 4 之第一閘極電極 22；故啓通第一電晶體 4。當啓通第一電晶體 4 時，經由第一電晶體 4 從第一記憶體元件 5 讀取資料至第一位元線 7。注意到滿足 $V_1 < V_G < V_{23} < V_{21}$ 。

另一方面，當供應 V_G 至第二字線 10 時，供應 V_G 至第二電晶體 8 的第二閘極電極 30。由於 V_G 低於未被紫外線照射之第二電晶體 8 的臨限電壓 (V_{21})，第二電晶體 8 為關閉。因此，不從第二記憶體元件 9 讀取資料。

2. 從第一記憶體元件 5 及第二記憶體元件 9 讀取資料

接著敘述的是讀取儲存在第一記憶體元件 5 的資料及儲存在第二記憶體元件 9 中的資料之操作。供應電壓 V_G 至第一字線 6，以供應 V_G 至第一電晶體 4 之第一閘極電極 22；故啓通第一電晶體 4。當啓通第一電晶體 4 時，經由第一電晶體 4 從第一記憶體元件 5 讀取資料至第一位元線 7。

另一方面，當供應 V_G 至第二字線 10 時，供應 V_G 至第二電晶體 8 的第二閘極電極 30。此時，以紫外線照射第

第二電晶體 8，詳言之，第二通道 301。第二電晶體 8 的臨限電壓從 V_{21} 改變至 V_{22} 。由於 V_G 高於被紫外線照射之第二電晶體 8 的臨限電壓 (V_{22})，第二電晶體 8 為啓通。當啓通第二電晶體 8 時，經由第二電晶體 8 從第二記憶體元件 9 讀取資料至第二位元線 11。

在從第二記憶體元件 9 讀取資料之後，停止對第二電晶體 8 的紫外線照射。第二電晶體 8 的臨限電壓從 V_{22} 改變至 V_{23} 。

3. 在第二電晶體 8 的臨限電壓改變至 V_{23} 之後從第一記憶體元件 5 讀取資料

接著敘述的是在第二電晶體 8 的臨限電壓改變至 V_{23} 之後讀取儲存在第一記憶體元件 5 中的資料之操作。供應電壓 V_G 至第一字線 6，以供應 V_G 至第一電晶體 4 之第一閘極電極 22；故啓通第一電晶體 4。當啓通第一電晶體 4 時，經由第一電晶體 4 從第一記憶體元件 5 讀取資料至第一位元線 7。

另一方面，當供應 V_G 至第二字線 10 時，供應 V_G 至第二電晶體 8 的第二閘極電極 30。由於 V_G 低於第二電晶體 8 的臨限電壓 (V_{23})，第二電晶體 8 為關閉。因此，不從第二記憶體元件 9 讀取資料。

4. 在第二電晶體 8 的臨限電壓改變至 V_{23} 之後從第一記憶體元件 5 及第二記憶體元件 9 讀取資料

接著敘述的是在讀取儲存在第一記憶體元件 5 中的資料及儲存在第二記憶體元件 9 中的資料之操作。供應電壓 V_G 至第一字線 6，以供應 V_G 至第一電晶體 4 之第一閘極電極 22；故啓通第一電晶體 4。當啓通第一電晶體 4 時，經由第一電晶體 4 從第一記憶體元件 5 讀取資料至第一位元線 7。

另一方面，當供應 V_G 至第二字線 10 時，供應 V_G 至第二電晶體 8 的第二閘極電極 30。此時，以紫外線照射第二電晶體 8。第二電晶體 8 的臨限電壓從 V_{23} 改變至 V_{22} 。由於 V_G 高於被紫外線照射之第二電晶體 8 的臨限電壓 (V_{22})，第二電晶體 8 爲啓通。當啓通第二電晶體 8 時，經由第二電晶體 8 從第二記憶體元件 9 讀取資料至第二位元線 11。在從第二記憶體元件 9 讀取資料之後，停止對第二電晶體 8 的紫外線照射。

5.寫入資料至第一記憶體元件 5 及第二記憶體元件 9

接著敘述的是寫入資料至第一記憶體元件 5 及第二記憶體元件 9 之操作。供應電壓 V_w 至第一字線 6，以供應 V_w 至第一電晶體 4 之第一閘極電極 22；故啓通第一電晶體 4。當啓通第一電晶體 4 時，經由第一電晶體 4 從第一位元線 7 寫入資料至第一記憶體元件 5。注意到滿足 $V_1 < V_{23} < V_{21} < V_w$ 。

另一方面，當供應 V_w 至第二字線 10 時，供應 V_w 至第二電晶體 8 的第二閘極電極 30 以啓通第二電晶體 8。當

啓通第二電晶體 8 時，經由第二電晶體 8 從第二位元線 11 寫入資料至第二記憶體元件 9。

接著敘述包括在記憶體裝置 1 中之第一電晶體 4、第二電晶體 8、第一記憶體元件 5、及第二記憶體元件 9(第 3 圖)。第 3 圖爲第一電晶體 4、第二電晶體 8、第一記憶體元件 5、及第二記憶體元件 9 之剖面圖。

(第一電晶體 4)

第一電晶體 4 包括具有第一通道 17、第一閘極絕緣薄膜 21、第一閘極電極 22、電極 25(第一源極及汲極電極之一)、及電極 26(第一源極及汲極電極之另一者)的矽薄膜 20。區域 18 爲第一源極及汲極區域之一，且區域 19 爲第一源極及汲極區域之另一者。

第一電晶體 4 設置在絕緣薄膜 16 上方，其爲在基板 15 上方之基礎薄膜。絕緣薄膜 16 防止包含在基板 15 中之雜質(諸如金屬離子)進入第一電晶體 4、第一記憶體元件 5、第二電晶體 8、及第二記憶體元件 9。矽薄膜 20 設置在絕緣薄膜 16 上方。第一閘極絕緣薄膜 21 設置在矽薄膜 20 上方。第一閘極電極 22 設置在第一閘極絕緣薄膜 21 上方。電極 25 設置在矽薄膜 20 上方以與區域 18 接觸，且電極 26 設置在矽薄膜 20 上方以與區域 19 接觸。注意到頂閘極薄膜電晶體(TFT)顯示爲第一電晶體 4，第一電晶體 4 可爲底閘極 TFT。

第一閘極電極 22 電連接至第一字線 6(未圖示)。替代

地，第一閘極電極 22 可為第一字線 6 之一部分。

電極 25 電連接至第一位元線 7(未圖示)。替代地，電極 25 可為第一位元線 7 之一部分。

光屏蔽薄膜可設置在第一電晶體 4 上方(亦即在絕緣薄膜 29 上方)，使得當以紫外線照射第二電晶體 8 時不以紫外線照射第一電晶體 4。

(第一記憶體元件 5)

第一記憶體元件 5 包括電極 27、第一閘極絕緣薄膜 21、及電極 28。

第一記憶體元件 5 設置在絕緣薄膜 16 上方，其為在基板 15 上方之基礎薄膜。電極 27 設置在絕緣薄膜 16 上方。第一閘極絕緣薄膜 21 設置在電極 27 上方。電極 28 設置在第一閘極絕緣薄膜 21 上方。電極 26 設置成與電極 28 接觸。電極 27 可接地。第一記憶體元件 5 之結構不限於上述，且可為其他結構。

此外，絕緣薄膜 23 設置為在第一閘極電極 22 及電極 28 上方之鈍化薄膜。絕緣薄膜 24 設置為在絕緣薄膜 23 上方之鈍化薄膜及平面化薄膜。電極 25 及電極 26 亦設置在絕緣薄膜 24 上方，並經由設置在絕緣薄膜 24、絕緣薄膜 23、及第一閘極絕緣薄膜 21 中之接觸孔與區域 18 及區域 19 接觸。電極 26 亦經由設置在絕緣薄膜 24 及絕緣薄膜 23 中之接觸孔與電極 28 接觸。絕緣薄膜 29 設置為在電極 25、電極 26、及絕緣薄膜 24 上方之鈍化薄膜及平面化薄

膜。

(第二電晶體 8)

第二電晶體 8 包括第二閘極電極 30、第二閘極絕緣薄膜 31、氧化物半導體薄膜 32、電極 33(第二源極及汲極電極之一)、及電極 34(第二源極及汲極電極之另一者)。

第二電晶體 8 設置在絕緣薄膜 29 上方。第二閘極電極 30 設置在絕緣薄膜 29 上方。氧化物半導體薄膜 32 設置在第二閘極電極 30 上方。電極 33 及電極 34 設置在氧化物半導體薄膜 32 之上並與其接觸。絕緣薄膜 36 設置為在電極 33、電極 34、氧化物半導體薄膜 32、及第二閘極絕緣薄膜 31 上方之鈍化薄膜。注意到雖底閘極薄膜電晶體顯示成第二電晶體 8，第二電晶體 8 可為頂閘極薄膜電晶體。

第二閘極電極 30 電連接至第二字線 10。替代地，第二閘極電極 30 可為第二字線 10 之一部分(未圖示)。

電極 33 電連接至第二位元線 11。替代地，電極 33 可為第二位元線 11 之一部分(未圖示)。

注意到如第 3 圖中所示以紫外線照射包括第二通道 301 之氧化物半導體薄膜 32。

(第二記憶體元件 9)

第二記憶體元件 9 包括電極 35、第二閘極絕緣薄膜 31、及電極 34。

第二記憶體元件 9 設置在絕緣薄膜 29 上方。電極 35 設置在絕緣薄膜 29 上方。第二閘極絕緣薄膜 31 設置在電極 35 上方。電極 34 設置在第二閘極絕緣薄膜 31 上方。電極 35 可接地(未圖示)。

此外，絕緣薄膜 38 設置為在絕緣薄膜 36 上方之鈍化薄膜及平面化薄膜。

接下來，將說明各構件之材料或之類。

基板 15 具有夠高的耐熱性以承受後續熱處理。作為基板 15，使用諸如鋁硼矽酸鹽玻璃基板或鋁硼矽酸鹽(aluminoborosilicate)玻璃基板之玻璃基板。替代地，基板 15 可為以絕緣體製成之基板，如陶瓷基板、石英基板、藍寶石基板、或結晶玻璃基板。又替代地，可使用以聚對苯二甲酸乙二醇酯、聚醯亞胺、丙烯酸樹脂、聚碳酸酯、聚丙烯、聚酯、聚氯乙烯、或之類製成之塑膠薄膜，只要其具有夠高的耐熱性以承受後續熱處理。

作為絕緣薄膜 16，使用氧化矽薄膜、氮化矽薄膜、氧氮化矽薄膜、或之類。絕緣薄膜 16 的厚度可設定至 10 nm 至 200 nm。

矽薄膜 20 為單晶矽薄膜或結晶矽薄膜。矽薄膜 20 的厚度可設定至 2 nm 至 200 nm。矽薄膜 20 含有 n 型或 p 型雜質元素，且含有雜質元素之區域充當區域 18 及區域 19。在區域 18 及區域 19 之間的區域充當第一通道 17。若有需要，矽薄膜 20 可包括 LDD 區域。取代矽薄膜 20，可使用以銻、矽－銻、砷化銻、碳化矽、或之類製成之薄膜

。可
可使用與矽薄膜 20 相同的矽薄膜來形成電極 27。電極 27 的厚度可設定至 2 nm 至 200 nm。注意到電極 27 含有 n 型或 p 型雜質以具有傳導性。取代矽薄膜，針對電極 27 可使用諸如金屬薄膜之導電薄膜。

第一閘極絕緣薄膜 21 形成爲氧化矽薄膜、氮化矽薄膜、氧氮化矽薄膜、氮氧化矽薄膜、氧化鋁薄膜、 Y_2O_3 薄膜、及 HfO_2 薄膜之任何的單一層或堆疊層。第一閘極絕緣薄膜 21 的厚度可設定至 10 nm 至 500 nm。

第一閘極電極 22 形成爲諸如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈹、或鈦之金屬材料或含有這些材料之任何做爲主成分的合金材料的單一層或堆疊層。第一閘極電極 22 的厚度可設定至 10 nm 至 200 nm。

使用與第一閘極電極 22 相同的薄膜來形成電極 28。替代地，針對電極 28 可使用與第一閘極電極 22 不同的導電薄膜。

電極 25 及電極 26 形成爲諸如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈹、或鈦之金屬材料或含有這些材料之任何做爲主成分的合金材料的單一層或堆疊層。電極 25 及電極 26 的厚度可設定至 100 nm 至 500 nm。

絕緣薄膜 23 形成爲氧氮化矽薄膜、氮氧化矽薄膜、氧化鋁薄膜、 Y_2O_3 薄膜、及 HfO_2 薄膜之任何的單一層或堆疊層。絕緣薄膜 23 的厚度可設定至 10 nm 至 200 nm。

作爲絕緣薄膜 24 及 29，使用氧化矽薄膜、氮化矽薄

膜、氧氮化矽薄膜、或之類。較佳絕緣薄膜 24 及 29 不含有氫、羥基、或濕氣。絕緣薄膜 24 及 29 之每一者可設定至 10 nm 至 1 μ m。

第二閘極電極 30 及電極 35 形成為諸如鉬、鈦、鉻、鉕、鎢、鋁、銅、鈹、或鈦之金屬材料或含有這些材料之任何做為主成分的合金材料的單一層或堆疊層。較佳第二閘極電極 30 及電極 35 不含有氫、羥基、或濕氣。第二閘極電極 30 及電極 35 之每一者可設定至 10 nm 至 200 nm。

第二閘極絕緣薄膜 31 形成為氧化矽薄膜、氮化矽薄膜、氧氮化矽薄膜、氮氧化矽薄膜、氧化鋁薄膜、矽酸鋁 (HfSiO_x) 薄膜、添加 N 至其之 HfSi_xO_y 薄膜、鋁鋁 (HfAlO_x) 薄膜、氧化鋁薄膜、及氧化釔薄膜之任何的單一層或堆疊層。可藉由使用諸如矽酸鋁 (HfSiO_x) 薄膜、添加 N 至其之 HfSi_xO_y 薄膜、鋁鋁 (HfAlO_x) 薄膜、氧化鋁薄膜、或氧化釔薄膜之高 k 材料來減少閘極漏電。較佳第二閘極絕緣薄膜 31 不含有氫、羥基、或濕氣。第二閘極絕緣薄膜 31 的厚度可設定至 10 nm 至 500 nm。

第二閘極絕緣薄膜 31 含有在約 $5 \times 10^{18} \text{ atoms/cm}^3$ 至 $1 \times 10^{20} \text{ atoms/cm}^3$ 的濃度之鹵元素(如氟或氯)。鹵元素貢獻於諸如氫、濕氣、羥基、或氫化物的雜質之排除，這些雜質可存在於氧化物半導體薄膜 32 中、或在第二閘極絕緣薄膜 31 與氧化物半導體薄膜 32 的界面。例如，在其中使用氮化矽薄膜及氧化矽薄膜作為第二閘極絕緣薄膜 31 的堆

疊薄膜之情況中，含有在上述濃度之鹵元素的氧化矽薄膜可設置成與氧化物半導體薄膜 32 接觸的薄膜。氮化矽薄膜防止諸如氫、濕氣、羥基、或氫化物(亦稱為氫化合物)的雜質進入氧化矽薄膜。

氧化物半導體薄膜 32 為非晶氧化物半導體薄膜或結晶氧化物半導體，且例如，In-Ga-Zn-O 為基的氧化物半導體薄膜、In-Sn-Zn-O 為基的氧化物半導體薄膜、In-Al-Zn-O 為基的氧化物半導體薄膜、Sn-Ga-Zn-O 為基的氧化物半導體薄膜、Al-Ga-Zn-O 為基的氧化物半導體薄膜、Sn-Al-Zn-O 為基的氧化物半導體薄膜、In-Zn-O 為基的氧化物半導體薄膜、Sn-Zn-O 為基的氧化物半導體薄膜、Al-Zn-O 為基的氧化物半導體薄膜、In-O 為基的氧化物半導體薄膜、Sn-O 為基的氧化物半導體薄膜、或 Zn-O 為基的氧化物半導體薄膜。氧化物半導體薄膜 32 的厚度可設定至 2 nm 至 200 nm。由氧化物半導體薄膜 32 的種類及成分控制臨限電壓。

較佳氧化物半導體薄膜 32 不含有氫、羥基、或濕氣。詳言之，在 5×10^{19} atoms/cm³ 或更少；較佳 5×10^{18} atoms/cm³ 或更少；且更佳少於 5×10^{16} atoms/cm³ 的濃度包含氫。在 300 K 的氧化物半導體薄膜 32 之載子濃度為 5×10^{14} atoms/cm³ 或更少；較佳 1×10^{14} atoms/cm³ 或更少；更佳 5×10^{12} atoms/cm³ 或更少；且又更佳 1×10^{12} atoms/cm³ 或更少。亦即，氧化物半導體薄膜之載子濃度接近零。此外，能隙為 2 eV 或更多；較佳 2.5 eV 或更多

；且更佳 3 eV 或更多。注意到可由二次離子質譜法 (SIMS) 來測量氧化物半導體薄膜之氫濃度。可由霍爾效應測量法來測量載子密度。

已知氫為氧化物半導體中之施體且為導致氧化物半導體成為 n 型氧化物半導體的一因素。依此，可藉由從氧化物半導體移除氫並純化氧化物半導體使得非氧化物半導體之主成分的雜質盡可能少地包含在其中來獲得本質 (i 型) 氧化物半導體。較佳不藉由添加雜質而藉由盡可能多地移除諸如氫或濕氣的雜質來獲得純化 i 型 (本質) 半導體，或接近其之半導體。可使從其移除雜質之氧化物半導體的費米能階 (E_f) 與本質費米能階 (E_i) 在相同能階。

即使當施加負電位 (反向偏壓) 至第二閘極電極 30 時，包括氧化物半導體薄膜 32 之第二電晶體 8 具有低關閉電流。這是因為影響關閉電流的少數 (電洞濃度) 載子的濃度因低載子濃度的緣故為低。

例如，即使當第二電晶體 8 具有 $1 \times 10^4 \mu\text{m}$ 的通道寬度 W 及 $3 \mu\text{m}$ 的通道長度，可獲得 10^{-13} A 或更少的關閉電流及 0.1 V/dec 之次臨界值 (S 值) (第二閘極絕緣薄膜 31 的厚度：100 nm)。

當純化氧化物半導體而盡可能少地包含非氧化物半導體的主成分之雜質，第二電晶體 8 可以良好的方式操作，可減少第二電晶體 8 之關閉電流。

在其中氧化物半導體之帶隙 (E_g) 為 3.15 eV 的情況中，據稱電子親和力 (χ) 為 4.3 eV。例如，當針對電極 33

及電極 34 使用鈦 (Ti) 時，Ti 的工作函數實質上等於氧化物半導體的電子親和力 (χ)。在那個情況中，不會在金屬 (Ti) 與氧化物半導體之間的界面形成電子之肖特基阻障。亦即，即使未添加 n 型雜質至氧化物半導體薄膜 32，可從 Ti 注入電子到氧化物半導體薄膜 32。

電極 33 及電極 34 形成為為諸如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈹、或鈦之金屬材料或含有這些材料之任何做為主成分的合金材料的單一層或堆疊層。較佳電極 33 及電極 34 不含有氫、羥基、或濕氣。電極 33 及電極 34 之每一者的厚度可設定至 10 nm 至 500 nm。

絕緣薄膜 36 為例如氧化矽薄膜之氧化物絕緣薄膜。較佳絕緣薄膜 36 不含有氫、羥基、或濕氣。絕緣薄膜 36 的厚度可設定至 10 nm 至 200 nm。注意到取代氧化矽薄膜，可使用氧氮化矽薄膜、氧化鋁、氮氧化鋁薄膜、或之類。

絕緣薄膜 36 可含有在約 5×10^{18} atoms/cm³ 至 1×10^{20} atoms/cm³ 的濃度之鹵元素 (如氟或氯)。鹵元素貢獻於諸如氫、濕氣、羥基、或氫化物的雜質之排除，這些雜質可存在於氧化物半導體薄膜 32 中、或在絕緣薄膜 36 與氧化物半導體薄膜 32 的界面。

注意到可藉由在第二閘極電極 30 上方提供與絕緣薄膜 36 直接接觸的所謂背閘極來控制臨限電壓。

絕緣薄膜 38 例如為氧化矽薄膜或氮化矽薄膜。較佳絕緣薄膜 38 不含有氫、羥基、或濕氣。絕緣薄膜 38 的厚

度可設定至 100 nm 至 1 μ m。

第一字線 6、第二字線 10、第一位元線 7、及第二位元線 11 可典型以導電材料製成，諸如選自鋁、銅、鈦、鉭、鎢、鉬、鉻、釹、或鈦之元素，或含有這些元素的任何之合金，或含有這些元素的任何之化合物(如氧化物或氮化物)。替代地，第一字線 6、第二字線 10、第一位元線 7、及第二位元線 11 可以透光導電材料製成，諸如氧化銦錫(此後稱為 ITO)、含有氧化鎢之氧化銦、含有氧化鎢之氧化銦鋅、含有氧化鈦之氧化銦、含有氧化鈦之氧化銦錫、氧化銦鋅、或添加氧化矽至其之氧化銦錫。亦可使用含有這些材料之任何的堆疊結構。

接下來，將說明如第 3 圖中所示之記憶體裝置 1 的製造方法。藉由 CVD 或濺鍍在基板 15 上方形成絕緣薄膜 16。

藉由 CVD 或濺鍍在絕緣薄膜 16 上方形成矽薄膜，並接著使用由光微影程序所形成之阻劑遮罩來加以蝕刻，藉此形成矽薄膜 20。可在形成矽薄膜 20 的同時形成用為電極 27 之矽薄膜。

在其中矽薄膜 20 為單晶矽薄膜的情況中，形成非晶矽薄膜並接著以連續波雷射束或具有 1 MHz 至 10 MHz 的重複率的雷射束加以照射以單晶化。替代地，可從單晶矽基板轉移單晶矽薄膜至絕緣薄膜 16 之上。

在其中矽薄膜 20 為結晶矽薄膜的情況中，形成非晶矽薄膜並接著以準分子雷射束加以照射以結晶化。替代地

，在非晶薄膜上方形成諸如 Ni 薄膜的金屬薄膜之後，可熱結晶化非晶矽薄膜。又替代地，可藉由 CVD 形成結晶矽薄膜。可以 n 型或 p 型雜質離子摻雜矽薄膜 20，藉此位移第一電晶體 4 的臨限電壓 V_t 。

在其中針對電極 27 不使用矽薄膜的情況中，在絕緣薄膜 16 上方形成諸如金屬薄膜的導電薄膜並使用由光微影程序所形成之阻劑遮罩來加以蝕刻，藉此形成電極 27。

接下來，藉由 CVD 或濺鍍在矽薄膜 20 上方形成第一閘極絕緣薄膜 21。

藉由濺鍍在第一閘極絕緣薄膜 21 上方形成導電薄膜，並接著使用由光微影程序所形成之阻劑遮罩來加以蝕刻，藉此形成第一閘極電極 22 及電極 28。注意到在其中使用與矽薄膜 20 相同之薄膜來形成電極 27 的情況中，添加 n 型或 p 型雜質離子至矽薄膜 20 以在形成電極 28 之前給予傳導性。

以第一閘極電極 22 作為遮罩來添加 n 型或 p 型雜質元素至矽薄膜 20，藉此在矽薄膜 20 中形成區域 18 及區域 19。未以 n 型或 p 型雜質元素摻雜的區域充當第一通道 17。

藉由 CVD 或濺鍍在第一閘極電極 22 上方形成絕緣薄膜 23。藉由 CVD、濺鍍、或塗覆在絕緣薄膜 23 上方形成絕緣薄膜 24。

接著，使用由光微影程序所形成之阻劑遮罩來執行蝕刻，藉此在絕緣薄膜 24、絕緣薄膜 23、及第一閘極絕緣

薄膜 21 之中形成開口。開口到達區域 18、區域 19、及電極 28。

在絕緣薄膜 24 上方形成導電薄膜並接著使用由光微影程序所形成之阻劑遮罩來加以蝕刻，藉此形成電極 25 及電極 26。

藉由 CVD、濺鍍、或塗覆在電極 25 及電極 26 上方形成絕緣薄膜 29。注意到較佳藉由噴濺來形成絕緣薄膜 29 使得大量氫不會包含在絕緣薄膜 29 之中。

以例如其中形成氧化矽薄膜作為絕緣薄膜 29 的情況來做說明。使用矽半導體靶材同時引進含有高純度氧並從其移除氫、水、羥基、氫化物(亦稱為氫化合物)、或之類的濺鍍氣體來形成氧化矽薄膜。可在室溫執行或在加熱基板 15 的同時執行沉積。

替代地，藉由在下列條件下之 RF 濺鍍來形成氧化矽薄膜：使用石英(較佳，合成石英)；基板溫度為 108°C ；靶材與基板之間的距離(T-S 距離)為 60 mm；壓力為 0.4 Pa；高頻功率為 1.5 kW；且周圍環境為氧及氫(氧對氫的流速比為 25 sccm : 25 sccm = 1:1)。注意到可取代石英(較佳，合成石英)而使用矽靶材。注意到使用氧或氧及氫的混合氣體來做為濺鍍氣體。

注意到較佳在移除殘留在沉積室中之濕氣的同時移除絕緣薄膜 29。這是為了防止氫、水、羥基、氫化物、或之類包含在絕緣薄膜 29 之中。

為了移除殘留在沉積室中之濕氣，較佳使用吸收型真

空泵。例如，較佳使用低溫泵、離子泵、或鈦昇華泵。作為抽空單元，可使用設有冷阱的渦輪泵。從以例如低溫泵抽空之沉積室，移除氫、水、羥基、或氫化物，造成形成在沉積室中之絕緣薄膜 29 中所含的雜質濃度減少。

作為濺鍍氣體，較佳使用高純度氣體，從其移除諸如氫、水、羥基、或氫化物的雜質至數 ppm 或數 ppb 的濃度。

濺鍍的實例包括其中使用高頻電源作為濺鍍電源之 RF 濺鍍、DC 濺鍍、及其中以脈衝方式供應偏壓的脈衝 DC 濺鍍。針對形成絕緣薄膜主要使用 RF 濺鍍，且針對形成金屬薄膜主要使用 DC 濺鍍。

此外，亦有多來源濺鍍設備，其中可設立不同材料的複數靶材。藉由多來源濺鍍設備，可形成在相同室中堆疊的不同材料薄膜，或可藉由電放電在相同沉積室中同時沉積複數種材料。

亦有一種濺鍍設備，其中在室中設有磁性系統並用於磁控濺鍍，及用於 ECR 濺鍍的一種濺鍍設備，其中使用微波而不使用輝光放電產生電漿。

作為使用濺鍍的沉積方法，亦有反應性濺鍍，其中在沉積期間靶材物質與濺鍍氣體構件互相化學反應以形成其之薄化合物薄膜，以及偏壓濺鍍，其中於沉積期間亦供應電壓至基板。

針對在此說明書中之濺鍍，可適當地採用上述濺鍍設備及濺鍍方法。

在其中堆疊氮化矽薄膜與氧化矽薄膜作為絕緣薄膜 29 的情況中，在相同沉積室中使用共同矽靶材來形成氮化矽薄膜與氧化矽薄膜。首先，使用安裝在沉積室上的矽靶材同時引進含氮的濺鍍氣體來形成氮化矽薄膜。接著，將氣體改變成含氧之濺鍍氣體並使用相同矽靶材來形成氧化矽薄膜。可接續形成氮化矽薄膜與氧化矽薄膜而不暴露至空氣，這因而可防止在氮化矽薄膜之表面上的雜質(如氫、水、羥基、或氫化物)吸收。

在絕緣薄膜 29 上方形成導電薄膜並接著使用由光微影程序所形成之阻劑遮罩來加以蝕刻，藉此形成第二閘極電極 30 及電極 35。較佳藉由濺鍍形成導電薄膜，使得氫、羥基、或濕氣不包含在導電薄膜中。第二閘極電極 30 之一端部較佳具有錐型，以改善與堆疊在其上方之第二閘極絕緣薄膜 31 的覆蓋。

在第二閘極電極 30 及電極 35 上方形成第二閘極絕緣薄膜 31。較佳藉由濺鍍形成第二閘極絕緣薄膜 31 使得氫、羥基、或濕氣不包含在第二閘極絕緣薄膜 31 中。為了達成此，作為沉積之預熱，較佳在濺鍍設備之預熱室中預熱基板 15，以排除並移除吸收在基板 15 上之諸如氫、水、羥基、或氫化物的雜質。注意到預熱溫度為 100°C 或更多及 400°C 或更少，較佳 150°C 或更多及 300°C 或更少。注意到作為抽空單元，較佳在預熱室中設置低溫泵。亦注意到不一定要執行此預熱處理。

例如，在其中形成氧化矽薄膜作為第二閘極絕緣薄膜

31 的情況中，使用矽靶材或石英靶材作為靶材且使用氧或氧及氬的混合氣體作為濺鍍氣體。

在第二閘極絕緣薄膜 31 上藉由濺鍍形成氧化物半導體薄膜。在藉由濺鍍形成氧化物半導體薄膜之前，較佳執行反向濺鍍，其中引進氬氣體並產生電漿，以移除第二閘極絕緣薄膜 31 之表面上的塵埃。反向濺鍍是指一種方法，其中無施加電壓至靶材側，使用高頻電源來在氬周圍環境中施加電壓至基板側並在基板的附近產生電漿以修改表面。注意到取代氬周圍環境，可使用氮周圍環境、氬周圍環境、氧周圍環境、或之類。

使用包括氧化物半導體的靶材。例如，可使用含有氧化鋅的金屬氧化物的靶材做為主成分。金屬氧化物靶材之另一實例為含有 In、Ga、及 Zn 的金屬氧化物靶材(具有 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}$ 的成份比 = 1:1:1[mol%]或 In:Ga:Zn 的成份比 = 1:1:0.5[atom%])。作為包括 In、Ga、及 Zn 的金屬氧化物靶材，亦可使用具有 In:Ga:Zn 的成份比 = 1:1:1[atom%]或 In:Ga:Zn 的成份比 = 1:1:2[atom%]的靶材。金屬氧化物靶材的填充率為 90%至 100%，較佳 95%至 99.9%。藉由使用具有高填充率的金屬氧化物靶材，沉積的氧化物半導體薄膜具有高密度。亦可使用包括在 2 wt%至 10 wt%的 SiO_2 之靶材。

在稀有氣體(典型為氬)周圍環境、氧周圍環境、或稀有氣體(典型為氬)及氧的環境中形成氧化物半導體薄膜。

作為濺鍍氣體，較佳使用從其移除氬、水、羥基、或

氯化物的雜質至數 ppm 或數 ppb 的濃度之高純度氣體。

如下般形成氧化物半導體薄膜：將基板 15 保持在減壓之沉積室中，在移除室中殘留的濕氣的同時引進從其移除氫、水、羥基、或氯化物的雜質之濺鍍氣體，並使用上述的靶材。爲了移除沉積室中殘留的濕氣，使用吸收型真空泵。例如，可使用低溫泵、離子泵、或鈦昇華泵。作爲抽空單元，可使用設有冷阱的渦輪泵。從以例如低溫泵抽空之沉積室，移除氫原子或諸如水(H₂O)的含有氫原子之化合物(較佳地，還有含碳原子之化合物)，以減少形成在沉積室中之氧化物半導體薄膜中所含的雜質濃度。當形成氧化物半導體薄膜時，可將基板 15 加熱至例如少於 400℃。

沉積條件的一實例如下：基板 15 溫度在室溫；靶材與基板之間的距離爲 110 mm；壓力爲 0.4 Pa；直流(DC)電源爲 0.5 kW；且周圍環境爲含氧及氫的周圍環境(氧對氫的流速比爲 15 sccm : 30 sccm)。較佳使用脈衝直流(DC)電源，因爲可減少在薄膜沉積中形成的粉末物質(亦稱爲粒子或塵埃)並且薄膜厚度可均勻。氧化物半導體薄膜較佳具有 2 nm 至 200 nm 的厚度。由於適當的厚度取決於所使用之氧化物半導體材料，可適當根據材料來決定厚度。

接著，使用由光微影程序所形成之阻劑遮罩來蝕刻氧化物半導體薄膜，藉此形成氧化物半導體薄膜 32。注意到可藉由乾蝕刻或濕蝕刻或乾蝕刻及濕蝕刻兩者來蝕刻氧化

物半導體薄膜。

作為乾蝕刻的蝕刻氣體，較佳使用含有氯(氯為基之氣體，如氯(Cl_2)、氯化硼(BCl_3)、氯化矽(SiCl_4)、或四氯化碳(CCl_4))之氣體。

替代地，可使用含氟之氣體(氟為基之氣體，如四氟化碳(CF_4)、氟化硫(SF_4)、氟化氮(NF_3)、或三氟甲烷(CHF_3))、溴化氫(HBr)、氧(O_2)、或諸如(He)或(Ar)的稀有氣體可添加至其之任何這些氣體、或之類。

作為乾蝕刻，可使用平行板 RIE(反應性離子蝕刻)方法或 ICP(電感耦合式電漿)蝕刻。

作為濕蝕刻的蝕刻劑，可使用藉由混合磷酸、醋酸、及硝酸而得的溶液、過氧化氫(在 31% 的過氧化氫水：在 28% 的氨水：水 = 5:2:2)、或之類。替代地，可使用 ITO07N(由 KANTO CHEMICAL CO., INC 所生產)。

氧化物半導體薄膜 32 可受到熱處理。熱處理的溫度為 400°C 至 750°C ，較佳 400°C 或更多且小於基板之應變點。經由熱處理，可使氧化物半導體薄膜 32 脫氫或脫氧。例如，使氧化物半導體薄膜 32 在 450°C 於氮周圍環境中在電爐中受到熱處理一小時，並接著氧化物半導體薄膜不暴露至空氣。依此，可防止氫、水、羥基、氫化物、或之類再次進入氧化物半導體薄膜。

注意到熱處理設備不限於電爐，且可包括為藉由熱傳導或熱輻射從諸如電阻式加熱元件的加熱元件加熱物體之裝置。例如，可使用諸如氣體迅速熱退火(GRTA)設備或燈

迅速熱退火 (LRTA) 設備的迅速熱退火 (RTA) 設備。LRTA 設備為藉由從諸如鹵素燈、金屬鹵化物、氙弧燈、碳弧燈、高壓鈉燈、或高壓汞燈的燈所發射之光的輻射 (電磁波) 加熱物體之設備。GRTA 設備為使用高溫氣體來執行熱處理的設備。作為氣體，使用不藉由熱處理而與物體起反應之例如氮的惰性氣體或諸如氬之稀有氣體。

可使用 GRTA 來執行熱處理。藉由使用 GRTA，在加熱至 650°C 至 700°C 的高溫之惰性氣體中執行熱處理數分鐘。藉由 GRTA，可在短時間在高溫執行加熱處理。

在熱處理中，較佳氫、水、羥基、氫化物、或之類不包含在氮或諸如氮、氬、或氬的稀有氣體中。引進熱處理設備中之氮或諸如氮、氬、或氬之稀有氣體的純度較佳設定至 6N(99.9999%) 或更多，較佳 7N(99.99999%) 或更多 (亦即，雜質濃度為 1 ppm 或更少，較佳 0.1 ppm 或更少)。

根據熱處理之條件或氧化物半導體薄膜 32 之材料，氧化物半導體薄膜可結晶成微晶薄膜或多晶薄膜。例如，氧化物半導體薄膜可結晶成具有 90% 或更多，或 80% 或更多的結晶程度之微晶氧化物半導體薄膜。另外，根據熱處理之條件或氧化物半導體薄膜之材料，氧化物半導體薄膜可變成不含結晶成分的非晶氧化物半導體薄膜。此外，氧化物半導體薄膜可變成其中微晶部分 (具有 1 nm 至 20 nm，典型為 2 nm 至 4 nm 之粒度) 混合在非晶氧化物半導體中的氧化物半導體薄膜。

注意到較佳在一後續步驟中的導電薄膜形成之前執行

反向濺鍍，以移除附接至氧化物半導體薄膜 32 及第二閘極絕緣薄膜 31 的表面的阻劑殘留物或之類。

藉由濺鍍在氧化物半導體薄膜 32 及第二閘極絕緣薄膜 31 上方形成導電薄膜。在形成導電薄膜之前，較佳執行上述預處理，使氫、羥基、或濕氣盡可能少地包含在導電薄膜中。使用由光微影程序所形成之阻劑遮罩來蝕刻導電薄膜，藉此形成電極 33 及電極 34。

接著，執行使用諸如 N_2 、 N_2O 、Ar 的氣體之電漿處理以移除在氧化物半導體薄膜 32 之暴露表面上所吸收的水或之類。替代地，使用氧及氫之混合氣體來執行電漿處理。

在電漿處理之後，不暴露至空氣地形成充當鈍化薄膜並與氧化物半導體薄膜 32 接觸之絕緣薄膜 36。絕緣薄膜 36 與氧化物半導體薄膜 32 在氧化物半導體薄膜 32 不與電極 33 及電極 34 接觸的區域中接觸。

在使用氧化矽薄膜作為絕緣薄膜 36 的情況中，將基板 15 加熱至室溫或少於 100°C 的溫度，並且在引進從其移除氫及濕氣的含有高純度氧之濺鍍氣體的同時使用矽半導體靶材來形成包括缺陷的氧化矽薄膜。

例如，在下列條件下藉由脈衝 DC 濺鍍來形成氧化矽薄膜：使用具有 6N(電阻率為 $0.01\ \Omega\text{cm}$)的硼摻雜之矽靶材；靶材與基板之間的距離(T-S 距離)為 89 mm；壓力為 0.4 Pa；直流(DC)功率為 6 kW；且周圍環境為氧(氧流速比為 100%)。注意到可取代矽靶而使用石英(較佳，合成石

英)。注意到使用氧或氧及氫的混合氣體來做為濺鍍氣體。

在那情況中，較佳在移除殘留在處理室中之濕氣的同時形成絕緣薄膜 36。這是為了防止氫、羥基、或濕氣被包含在氧化物半導體薄膜 32 及絕緣薄膜 36 之中。為了移除殘留在處理室中之濕氣，較佳使用吸收型真空泵。

此外，可在其中絕緣薄膜 36 與氧化物半導體薄膜 32 接觸的狀態中在 100℃ 至 400℃ 執行熱處理。由於絕緣薄膜 36 包括許多缺陷，包含在氧化物半導體薄膜 32 中的諸如氫、濕氣、羥基、或氫化物的雜質會藉由熱處理而擴散到絕緣薄膜 36 之中，造成包含在氧化物半導體薄膜 32 中之雜質的進一步減少。

如上述，當在移除殘留在反應周圍環境中之濕氣的同時形成氧化物半導體薄膜 32，可減少在氧化物半導體薄膜 32 中之氫及氫化物的濃度。因此，可穩定氧化物半導體薄膜 32。

在絕緣薄膜 36 上形成作為平面化薄膜的絕緣薄膜 38。作為絕緣薄膜 38，例如，以下列方式形成氮化矽薄膜：將基板 15 加熱至 100℃ 至 400℃ 的溫度；使用矽半導體靶材；且引進含有高純度氮且自其移除氫與濕氣的濺鍍氣體。同樣在那情況中，如同絕緣薄膜 36，較佳在移除殘留在處理室中之濕氣的同時形成絕緣薄膜 38。

針對第一字線 6 可使用第一閘極電極 22，或可使用導電薄膜在絕緣薄膜 38 上方形成第一字線 6。此外，針對第

二字線 10 可使用第二閘極電極 30，或可使用導電薄膜在絕緣薄膜 38 上方形成第二字線 10。

針對第一位元線 7 可使用電極 25，或可使用導電薄膜在絕緣薄膜 38 上方形成第一位元線。此外，針對第二位元線 11 可使用電極 33，或可使用導電薄膜在絕緣薄膜 38 上方形成第二位元線 11。

(實施例 2)

此實施例顯示包括第一記憶胞及第二記憶胞的第一記憶體裝置，且進一步包括與包括在第一記憶胞及第二記憶胞中之電晶體不同的第三電晶體，並使用氧化物半導體薄膜作為第三通道。詳言之，該記憶體裝置包括一第一電晶體及一第一記憶體元件之一第一記憶胞、包括一第二電晶體及一第二記憶體元件之一第二記憶胞、以及一第三電晶體。第一電晶體包括一第一通道、一第一閘極電極、及第一源極和汲極電極；第一閘極電極為一第一字線的一部分或電連接至第一字線；以及第一源極和汲極電極之一為一第一位元線的一部分或電連接至第一位元線且另一者電連接至第一記憶體元件。第二電晶體包括一第二通道、一第二閘極電極、及第二源極和汲極電極；第二閘極電極為一第二字線的一部分或電連接至第二字線；以及第二源極和汲極電極之一為一第二位元線的一部分或電連接至第二位元線且另一者電連接至第二記憶體元件。第三電晶體包括一第三通道、一第三閘極電極、及第三源極和汲極電極；

第三通道以一氧化物半導體薄膜形成；以及第三源極和汲極電極之一電連接至第二字線且啓通第二電晶體之一選擇信號輸入至第三源極和汲極電極之另一者。在紫外線照射前第三電晶體的一臨限電壓爲 V_{31} ；在紫外線照射時第三電晶體的一臨限電壓爲 V_{32} ；以及在紫外線照射後第三電晶體的一臨限電壓爲 V_{33} 。以下列方式將資料寫至第二記憶體元件並從第二記憶體元件讀取資料：供應一電壓 (V_G) 至正被紫外線照射的第三閘極電極以啓通第三電晶體，並輸入選擇信號至第二閘極電極以啓通第二電晶體。注意到滿足 $V_{32} \leq V_G < V_{33} < V_{31}$ (電壓 V_G 等於或高於電壓 V_{32})。

記憶體裝置 51 包括第一記憶胞 52、第二記憶胞 53、及第三電晶體 62 (第 4 圖)。

第一記憶胞 52 包括第一電晶體 54 及第一記憶體元件 55。第一電晶體 54 的第一閘極電極 304 電連接至第一字線 56、電極 303 (第一源極和汲極電極之一) 電連接至第一位元線 57 且電極 305 (第一源極和汲極電極之另一者) 電連接至第一記憶體元件 55。注意到第一閘極電極 304 可爲第一字線 56 的一部分，且電極 303 可爲第一位元線 57 的一部分。

第二記憶胞 53 包括第二電晶體 58 及第二記憶體元件 59。第二電晶體 58 的第二閘極電極 308 電連接至第二字線 60、電極 307 (第二源極和汲極電極之一) 電連接至第二位元線 61、且電極 309 (第二源極和汲極電極之另一者) 電連接至第二記憶體元件 59。注意到第二閘極電極 308 可爲

第二字線 60 的一部分，且電極 307 可為第二位元線 61 的一部分。

使用以矽製成之半導體薄膜作為第一電晶體 54 的第一通道 302 及第二電晶體 58 的第二通道 306。替代地，可使用以銻、矽-銻、砷化銻、碳化矽、或之類製成之半導體薄膜。較佳供應相同電壓 (V_w) 至第一閘極電極 304 及第二閘極電極 308 以啓通第一電晶體 54 及第二電晶體 58。注意到第一電晶體 54 之臨限電壓為 V_1 ，第二電晶體 58 之臨限電壓為 V_2 ，且滿足 $V_1 < V_w$ 及 $V_2 < V_w$ 。因此，第一電晶體 54 及第二電晶體 58 較佳具有相同結構。

第三電晶體 62 的第三通道 310 以氧化物半導體薄膜形成。將啓通或關閉第三電晶體 62 的信號輸入到第三電晶體 62 之第三閘極電極 312。電極 313 (第三源極和汲極電極之一) 電連接至第二字線 60。在此，「電連接」一詞包括間接電連接的情況及直接電連接的情況。因此，電極 313 可直接電連接至第二字線 60，或可經由位準移位器及緩衝器或經由解碼器、位準移位器、及緩衝器電連接至第二字線 60。

另一方面，第三電晶體 62 之電極 311 (第三源極和汲極電極之另一者) 電連接至啓通或關閉第二電晶體 58 之選擇信號係輸入至其之輸入端子 63。

第三電晶體 62 之臨限電壓在當以紫外 (UV) 線照射第三通道時會改變 (第 5 圖)。第 5 圖示意性顯示第三電晶體 62 之閘極電壓 (V_g) 及汲極電流 (I_d) 之間的關係。線 71、線

72、及線 73 分別代表在紫外線照射之前、在紫外線照射之時、在紫外線照射之後的第三電晶體 62 之 V_g-I_d 關係。第三電晶體 62 之臨限電壓在無紫外線照射時(在紫外線照射之前)為 V_{31} 、在紫外線照射之時為 V_{32} 、且在紫外線照射之後為 V_{33} 。藉由利用此現象來控制記憶體裝置 51。

當實際執行資料寫入及讀取時，將滿足 $V_{32} \leq V_G < V_{33} < V_{31}$ 之電壓 V_G (電壓 V_G 等於或高於 V_{32})供應至第三電晶體 62 之第三閘極電極 312。因此，可在正以紫外線照射時啓通第三電晶體 62，同時在無紫外線照射時保持第三電晶體 62 關閉。注意到第三電晶體 62 之關閉電流在紫外線照射之時因為光漏的緣故而會增加。

接下來，將說明記憶體裝置 51 之操作。由第三方可存取之資料係寫入至第一記憶體元件 55 及自第一記憶體元件 55 讀取。不應由第三方可存取之資料係寫入至第二記憶體元件 59 及自第二記憶體元件 59 讀取。

1.寫入資料至第一記憶體元件 55 及從第一記憶體元件 55 讀取資料

首先敘述的是寫入資料(電荷)至第一記憶體元件 55 及自第一記憶體元件 55 讀取資料的操作。供應電壓 V_w 至第一字線 56，以供應 V_w 至第一電晶體 54 之第一閘極電極 304；故啓通第一電晶體 54。當啓通第一電晶體 54 時，從第一位元線 57 寫入資料至第一記憶體元件 55。資料會被儲存在第一記憶體元件 55 中，因為在第一記憶體元件 55

包括電容器或之類。當從第一記憶體元件 55 讀取資料時，供應電壓 V_w 至第一字線 56，以供應 V_w 至第一電晶體 54 之第一閘極電極 304；故啓通第一電晶體 54。當啓通第一電晶體 54 時，從第一記憶體元件 55 讀取資料至第一位元線 57。

另一方面，亦供應啓通第二電晶體 58 之電壓 V_w 至輸入端子 63，並供應 V_G 至第三電晶體 62 的第三閘極電極 312。注意到不以紫外線照射第三電晶體。由於 V_G 低於第三電晶體 62 的臨限電壓 (V_{31})，第三電晶體 62 保持關閉。因此，第二電晶體 58 保持關閉且無法寫入資料至第二記憶體元件 59 及從第二記憶體元件 59 讀取資料。

2. 寫入資料至第二記憶體元件 59 及從第二記憶體元件 59 讀取資料

敘述的是寫入資料(電荷)至第二記憶體元件 59 及自第二記憶體元件 59 讀取資料的操作。供應電壓 V_G 至第三電晶體 62 的第三閘極電極 312。此時，以紫外線照射第三電晶體 62，詳言之，第三通道 310。第三電晶體 62 的臨限電壓從 V_{31} 改變至 V_{32} 。由於 V_G 高於被紫外線照射之第三電晶體 62 的臨限電壓 (V_{32})，第三電晶體 62 為啓通。當啓通第三電晶體 62 時，供應至輸入端子 63 的電壓 V_w 會供應至第二字線 60 並接著至第二電晶體 58 的第二閘極電極 308，藉此啓通第二電晶體 58。當啓通第二電晶體 58 時，從第二位元線 61 寫入資料至第二記憶體元件 59。資料會

被儲存在第二記憶體元件 59 中，因為在第二記憶體元件 59 包括電容器或之類。

接下來，當從第二記憶體元件 59 讀取資料時，供應電壓 V_G 至第三電晶體 62 的第三閘極電極 312。此時，以紫外線照射第三電晶體 62。第三電晶體 62 的臨限電壓改變至 V_{32} 。由於 V_G 高於被紫外線照射之第三電晶體 62 的臨限電壓 (V_{32})，第三電晶體 62 為啓通。當啓通第三電晶體 62 時，供應至輸入端子 63 的電壓 V_w 會供應至第二字線 60 並接著至第二電晶體 58 的第二閘極電極 308，藉此啓通第二電晶體 58。當啓通第二電晶體 58 時，從第二記憶體元件 59 讀取資料至第二位元線 61。

在寫入資料至第二記憶體元件 59 及從第二記憶體元件 59 讀取資料之後，停止對第三電晶體 62 的紫外線照射。第三電晶體 62 的臨限電壓改變至 V_{33} 。

3. 在第三電晶體 62 的臨限電壓改變至 V_{33} 之後寫入資料至第一記憶體元件 55 及從第一記憶體元件 55 讀取資料

敘述的是在第三電晶體 62 的臨限電壓改變至 V_{33} 之後寫入資料至第一記憶體元件 55 及自第一記憶體元件 55 讀取資料的操作。供應電壓 V_w 至第一字線 56，以供應 V_w 至第一電晶體 54 之第一閘極電極 304；故啓通第一電晶體 54。當啓通第一電晶體 54 時，從第一位元線 57 寫入資料至第一記憶體元件 55。資料會被儲存在第一記憶體元件 55 中，因為在第一記憶體元件 55 包括電容器或之類。

當從第一記憶體元件 55 讀取資料時，供應 V_w 至第一字線 56，以供應 V_w 至第一電晶體 54 之第一閘極電極 304；故啓通第一電晶體 54。當啓通第一電晶體 54 時，從第一記憶體元件 55 讀取資料至第一位元線 57。

另一方面，亦供應啓通第二電晶體 58 之電壓 V_w 至輸入端子 63，並供應 V_G 至第三電晶體 62 的第三閘極電極 312。注意到不以紫外線照射第三電晶體。由於 V_G 低於第三電晶體 62 的臨限電壓 (V_{33})，第三電晶體 62 保持關閉。因此，第二電晶體 58 保持關閉且無法寫入資料至第二記憶體元件 59 及從第二記憶體元件 59 讀取資料。

4. 在第三電晶體 62 的臨限電壓改變至 V_{33} 之後寫入資料至第二記憶體元件 59 及從第二記憶體元件 59 讀取資料

供應電壓 V_G 至第三電晶體 62 的第三閘極電極 312。此時，以紫外線照射第三電晶體 62。第三電晶體 62 的臨限電壓從 V_{33} 改變至 V_{32} 。由於 V_G 高於被紫外線照射之第三電晶體 62 的臨限電壓 (V_{32})，第三電晶體 62 爲啓通。當啓通第三電晶體 62 時，供應至輸入端子 63 的電壓 V_w 會供應至第二字線 60 並接著至第二電晶體 58 的第二閘極電極 308，藉此啓通第二電晶體 58。當啓通第二電晶體 58 時，從第二位元線 61 寫入資料至第二記憶體元件 59。資料會被儲存在第二記憶體元件 59 中，因爲在第二記憶體元件 59 包括電容器或之類。

接下來，當從第二記憶體元件 59 讀取資料時，供應

電壓 V_G 至第三電晶體 62 的第三閘極電極 312。此時，以紫外線照射第三電晶體 62。由於 V_G 高於被紫外線照射之第三電晶體 62 的臨限電壓 (V_{32})，第三電晶體 62 為啓通。當啓通第三電晶體 62 時，供應至輸入端子 63 的電壓 V_w 會供應至第二字線 60 並接著至第二電晶體 58 的第二閘極電極 308，藉此啓通第二電晶體 58。當啓通第二電晶體 58 時，從第二記憶體元件 59 讀取資料至第二位元線 61。

在寫入資料至第二記憶體元件 59 及從第二記憶體元件 59 讀取資料之後，停止對第三電晶體 62 的紫外線照射。

於下顯示之一實例如下：將第三電晶體 62 設置在解碼器及位準移位器之間並經由該位準移位器及緩衝器連接至字線 (第 6 圖)。

設置複數第一記憶胞 52 及複數第二記憶胞 53。設置字線 101 至 106、緩衝器 107 至 112、位準移位器 114 至 119、及解碼器 120 至 125。

將拿解碼器 120、位準移位器 114、緩衝器 107、及字線 101 作為一實例來說明第一記憶胞 52。字線 101 電連接至緩衝器 107 的輸出部，且緩衝器 107 之輸入部電連接至位準移位器 114 的輸出部。位準移位器 114 的輸入部電連接至解碼器 120 的輸出部。選擇信號係從位址線 A1 及位址線 A2 輸入至解碼器 120 的輸入部。

第二記憶胞 53 電連接至字線 105 或字線 106。作為一實例，將說明解碼器 124、位準移位器 118、及字線 105。

字線 105 電連接至緩衝器 111 的輸出部，且緩衝器 111 之輸入部電連接至位準移位器 118 的輸出部。位準移位器 118 的輸入部電連接至第三電晶體 62 的電極 313(第三源極及汲極電極之一)，且電極 311(第三源極及汲極電極之另一者)電連接至解碼器 124 之輸出部。選擇信號係從位址線 AX 及位址線 A2 輸入至解碼器 124 的輸入部。

根據來自位址線 AX 及位址線 A2 之選擇信號，解碼器 124 輸出用於寫入資料至第二記憶胞 53 及從第二記憶胞 53 讀取資料的選擇信號。選擇信號係輸入至第三電晶體 62 的電極 311。電壓 V_G 係從控制線 CTRL 輸入至第三電晶體 62 的第三閘極電極 312。若此時以紫外線照射第三電晶體 62，則啓通第三電晶體 62 且經由位準移位器 118 及緩衝器 111 輸入選擇信號至字線 105，藉此啓通第二記憶胞 53。當啓通第二記憶胞 53 時，可寫入資料至第二記憶胞 53 及從第二記憶胞 53 讀取資料。

解碼器 125、第三電晶體 62、位準移位器 119、緩衝器 112、字線 106、及第二記憶胞 53 亦以上述方式操作。無法由第三方存取第二記憶胞 53，因為設置有第三電晶體。

接下來，將拿解碼器 120、位準移位器 114、緩衝器 107、及字線 101 作為實例來說明第一記憶胞 52。根據來自位址線 A1 及位址線 A2 之選擇信號，解碼器 120 輸出用於寫入資料至第一記憶胞 52 及從第一記憶胞 52 讀取資料的選擇信號。選擇信號係經由位準移位器 114 及緩衝器

107 輸入至字線 101，藉此啓通第一記憶胞 52。當啓通第一記憶胞 52 時，可寫入資料至第一記憶胞 52 及從第一記憶胞 52 讀取資料。可由第三方存取第一記憶胞 52，因為沒有設置第三電晶體。

於下顯示之一實例如下：將第三電晶體 62 的電極 313(第三源極及汲極之一)連接至解碼器的輸入部(第 7 圖)。

設置複數第一記憶胞 52 及複數第二記憶胞 53。設置字線 101 至 106、緩衝器 107 至 112、位準移位器 114 至 119、及解碼器 120 至 125。

將拿解碼器 120、位準移位器 114、緩衝器 107、及字線 101 作為一實例來說明第一記憶胞 52。字線 101 電連接至緩衝器 107 的輸出部，且緩衝器 107 之輸入部電連接至位準移位器 114 的輸出部。位準移位器 114 的輸入部電連接至解碼器 120 的輸出部。選擇信號係從位址線 A1 及位址線 A2 輸入至解碼器 120 的輸入部。

第二記憶胞 53 電連接至字線 105 或字線 106。作為一實例，將說明解碼器 124、位準移位器 118、及字線 105。字線 105 電連接至緩衝器 111 的輸出部，且緩衝器 111 之輸入部電連接至位準移位器 118 的輸出部。位準移位器 118 的輸入部電連接至解碼器 124 的輸出部。解碼器 124 之輸入部之一電連接器第三電晶體 62 的電極 313，且另一者連接至位址線 A2。第三電晶體 62 的電極 311 電連接至位址線 AX。

根據來自位址線 AX 及位址線 A2 之選擇信號，解碼器 124 輸出用於寫入資料至第二記憶胞 53 及從第二記憶胞 53 讀取資料的選擇信號。來自位址線 AX 之選擇信號係首先輸入至第三電晶體 62 的電極 311。電壓 V_G 係從控制線 CTRL 輸入至第三電晶體 62 的第三閘極電極 312。若此時以紫外線照射第三電晶體 62，則啓通第三電晶體 62 且來自位址線 AX 之選擇信號係輸入至解碼器 124。之後，選擇信號係經由位準移位器 118 及緩衝器 111 輸入至字線 105，藉此啓通第二記憶胞 53。當啓通第二記憶胞 53 時，可寫入資料至第二記憶胞 53 及從第二記憶胞 53 讀取資料。

解碼器 125、第三電晶體 62、位準移位器 119、緩衝器 112、字線 106、及第二記憶胞 53 亦以上述方式操作。無法由第三方存取第二記憶胞 53，因為設置有第三電晶體。

接下來，將拿解碼器 120、位準移位器 114、緩衝器 107、及字線 101 作為一實例來說明第一記憶胞 52。根據來自位址線 A1 及位址線 A2 之選擇信號，解碼器 120 輸出用於寫入資料至第一記憶胞 52 及從第一記憶胞 52 讀取資料的選擇信號。選擇信號係經由位準移位器 114 及緩衝器 107 輸入至字線 101，藉此啓通第一記憶胞 52。當啓通第一記憶胞 52 時，可寫入資料至第一記憶胞 52 及從第一記憶胞 52 讀取資料。可由第三方存取第一記憶胞 52，因為沒有設置第三電晶體 62。

第一電晶體 54 之結構與材料與實施例 1 中之第一電晶體 4 的類似。第二電晶體 58 之結構與材料與實施例 1 中之第一電晶體 4 的類似。

第一記憶體元件 55 之結構與材料與實施例 1 中之第一記憶體元件 5 的類似。第二記憶體元件 59 之結構與材料與實施例 1 中之第一記憶體元件 5 的類似。

第三電晶體 62 之結構與材料與實施例 1 中之第二電晶體 8 的類似。

可使用實施例 1 中所示之方法來製造記憶體裝置 51。

(實施例 3)

此實施例為實施例 2 的修改實例。將說明除了第三電晶體外還包括第四電晶體之記憶體裝置。第三電晶體之第三通道包括，如同第一電晶體之第一通道及第二電晶體之第二通道，如矽薄膜之半導體薄膜。第四電晶體之第四通道係以氧化物半導體薄膜所形成。第四電晶體之第四源極及汲極電極之一電連接至第三電晶體的第三閘極電極。

詳言之，記憶體裝置包括具有一第一電晶體及一第一記憶體元件之一第一記憶胞、一具有一第二電晶體及一第二記憶體元件之一第二記憶胞、一第三電晶體、以及一第四電晶體。第一電晶體包括一第一通道、一第一閘極電極、及第一源極和汲極電極；第一閘極電極為一第一字線的一部分或電連接至第一字線；以及第一源極和汲極電極之一為一第一位元線的一部分或電連接至第一位元線且另一

者電連接至第一記憶體元件。第二電晶體包括一第二通道、一第二閘極電極、及第二源極和汲極電極；第二閘極電極為一第二字線的一部分或電連接至第二字線；以及第二源極和汲極電極之一為一第二位元線的一部分或電連接至第二位元線且另一者電連接至第二記憶體元件。第三電晶體包括一第三通道、一第三閘極電極、及第三源極和汲極電極，且第三源極和汲極電極之一電連接至第二字線且啓通第二電晶體之一選擇信號輸入至第三源極和汲極電極之另一者。第四電晶體包括一第四通道、一第四閘極電極、及第四源極和汲極電極；第四通道以一氧化物半導體薄膜形成；以及第四源極和汲極電極之一電連接至第三閘極電極且啓通第三電晶體之一選擇信號係輸入至第三源極和汲極電極之另一者。在紫外線照射前第四電晶體的一臨限電壓為 V_{31} ；在紫外線照射時第四電晶體的一臨限電壓為 V_{32} ；以及在紫外線照射後第四電晶體的一臨限電壓為 V_{33} 。以下列方式將資料寫至第二記憶體元件並從第二記憶體元件讀取資料：供應一電壓 (V_G) 至正被紫外線照射的第四閘極電極以啓通第四電晶體並因而啓通第三電晶體，並輸入啓通第二電晶體的一選擇信號至第二閘極電極以啓通第二電晶體。注意到滿足 $V_{32} \leq V_G < V_{33} < V_{31}$ (電壓 V_G 等於或高於電壓 V_{32})。

記憶體裝置 51 包括第一記憶胞 52、第二記憶胞 53、第三電晶體 62、及第四電晶體 200 (第 16 圖)。

第一記憶胞 52 及第二記憶胞 53 與實施例 2 中之第一

記憶胞 52 及第二記憶胞 53 相同。

使用以矽或之類製成之半導體薄膜作為第一電晶體 54 的第一通道 302 及第二電晶體 58 之第二通道 306。較佳供應相同電壓 (V_w) 至第一閘極電極 304 及第二閘極電極 308 以啓通第一電晶體 54 及第二電晶體 58。注意到第一電晶體 54 之臨限電壓為 V_1 ，第二電晶體 58 之臨限電壓為 V_2 ，且滿足 $V_1 < V_w$ 及 $V_2 < V_w$ 。因此，第一電晶體 54 及第二電晶體 58 較佳具有相同結構。

如同第一電晶體 54 的第一通道 302 及第二電晶體 58 之第二通道 306 般，以矽或之類製成第三電晶體 62 之第三通道 310。替代地，可使用以鍺、矽－鍺、砷化鎵、碳化矽、或之類來製成之第三通道 310。第四電晶體 200 之第四通道 314 以氧化物半導體薄膜形成。

較佳供應相同電壓 (V_w) 至第一閘極電極 304、第二閘極電極 308、及第三閘極電極 312 以啓通第一電晶體 54、第二電晶體 58、及第三電晶體 62。注意到第一電晶體 54 之臨限電壓為 V_1 ，第二電晶體 58 之臨限電壓為 V_2 ，第三電晶體 62 之臨限電壓為 V_3 ，且滿足 $V_1 < V_w$ 、 $V_2 < V_w$ 、 $V_3 < V_w$ 。因此，第一電晶體 54、第二電晶體 58、及第三電晶體 62 較佳具有相同結構。

將啓通或關閉第三電晶體 62 的信號輸入到第三電晶體 62 之第三閘極電極 312。電極 313 (第三源極和汲極電極之一) 電連接至第二字線 60。在此，「電連接」一詞包括間接電連接的情況及直接電連接的情況。因此，電極

313 可直接電連接至第二字線 60，或可經由位準移位器及緩衝器或經由解碼器、位準移位器、及緩衝器電連接至第二字線 60。

另一方面，第三電晶體 62 之電極 311(第三源極和汲極電極之另一者)電連接至啓通或關閉第二電晶體 58 之選擇信號係輸入至其之輸入端子 63。

將啓通或關閉第四電晶體 200 的信號輸入到第四電晶體 200 之第四閘極電極 316。電極 315(第四源極和汲極電極之一)電連接至第三電晶體 62 之第三閘極電極 312。將啓通或關閉第三電晶體 62 的信號輸入到電極 317(第四源極和汲極電極之另一者)。若有需要，可設置電容器 201。電容器 201 儲存即使當第四電晶體 200 為關閉時用於啓通第三電晶體之電荷。電容器 201 之電極 318 電連接至電極 315 及第三電晶體 62 之閘極電極 312。參考電壓供應至另一電極 319。

第四電晶體 200 之臨限電壓在當以紫外(UV)線照射第四通道 314 時會改變(第 5 圖)。線 71、線 72、及線 73 分別代表在紫外線照射之前、在紫外線照射之時、在紫外線照射之後的第四電晶體 200 之 V_g-I_d 關係。第四電晶體 200 之臨限電壓在無紫外線照射時(在紫外線照射之前)為 V_{31} 、在紫外線照射之時為 V_{32} 、且在紫外線照射之後為 V_{33} 。藉由利用此現象來控制記憶體裝置 51。

當實際執行資料寫入及讀取時，將滿足 $V_{32} \leq V_G < V_{33} < V_{31}$ 之電壓 V_G (電壓 V_G 等於或高於 V_{32})供應至第四電

晶體 200 之第四閘極電極。因此，可在正以紫外線照射時啓通第四電晶體 200，同時在無紫外線照射時保持第四電晶體 200 關閉。在其中紫外線照射之前及紫外線照射之後的第四電晶體爲通常關閉的電晶體之情況中， V_G 可等於 0V。

當以紫外線照射第四通道 314 而啓通第四電晶體 200 時，將啓通或關閉第三電晶體 62 之信號從電極 317 輸入至第三閘極電極 312。

接下來，將說明記憶體裝置 51 之操作。由第三方可存取之資料係寫入至第一記憶體元件 55 及自第一記憶體元件 55 讀取。不應由第三方可存取之資料係寫入至第二記憶體元件 59 及自第二記憶體元件 59 讀取。

1.寫入資料至第一記憶體元件 55 及從第一記憶體元件 55 讀取資料

首先敘述的是寫入資料(電荷)至第一記憶體元件 55 及自第一記憶體元件 55 讀取資料的操作。供應電壓 V_w 至第一字線 56，以供應 V_w 至第一電晶體 54 之第一閘極電極 304；故啓通第一電晶體 54。當啓通第一電晶體 54 時，從第一位元線 57 寫入資料至第一記憶體元件 55。資料會被儲存在第一記憶體元件 55 中，因爲在第一記憶體元件 55 包括電容器或之類。當從第一記憶體元件 55 讀取資料時，供應 V_w 至第一字線 56，以供應 V_w 至第一電晶體 54 之第一閘極電極 304；故啓通第一電晶體 54。當啓通第一電

晶體 54 時，從第一記憶體元件 55 讀取資料至第一位元線 57。

另一方面，亦供應啓通第二電晶體 58 之電壓 V_w 至輸入端子 63，並供應 V_G 至第四電晶體 200 的第四閘極電極 316。注意到不以紫外線照射第四電晶體。由於 V_G 低於第四電晶體 200 的臨限電壓 (V_{31})，第四電晶體 200 保持關閉。因此，第三電晶體 62 及第二電晶體 58 保持關閉且無法寫入資料至第二記憶體元件 59 及從第二記憶體元件 59 讀取資料。

2. 寫入資料至第二記憶體元件 59 及從第二記憶體元件 59 讀取資料

敘述的是寫入資料(電荷)至第二記憶體元件 59 及自第二記憶體元件 59 讀取資料的操作。供應電壓 V_G 至第四電晶體 200 的第四閘極電極 316。此時，以紫外線照射第四通道 314。第四電晶體 200 的臨限電壓從 V_{31} 改變至 V_{32} 。由於 V_G 高於被紫外線照射之第四電晶體 200 的臨限電壓 (V_{32})，第四電晶體 200 為啓通。當啓通第四電晶體 200 時，啓通第三電晶體 62 的選擇信號(電壓 V_w)會從電極 317 輸入至第三閘極電極 312。當啓通第三電晶體 62 時，供應至輸入端子 63 的電壓 V_w 會供應至第二字線 60 並接著至第二電晶體 58 的第二閘極電極 308，藉此啓通第二電晶體 58。當啓通第二電晶體 58 時，從第二位元線 61 寫入資料至第二記憶體元件 59。資料會被儲存在第二記憶體元

件 59 中，因為在第二記憶體元件 59 包括電容器或之類。

接下來，當從第二記憶體元件 59 讀取資料時，供應電壓 V_G 至第四電晶體 200 的第四閘極電極 316。此時，以紫外線照射第四電晶體 200 而加以啓通。當啓通第四電晶體 200 時，啓通第三電晶體 62。當啓通第三電晶體 62 時，供應至輸入端子 63 的電壓 V_w 會供應至第二字線 60 並接著至第二電晶體 58 的第二閘極電極 308，藉此啓通第二電晶體 58。當啓通第二電晶體 58 時，從第二記憶體元件 59 讀取資料至第二位元線 61。

在寫入資料至第二記憶體元件 59 及從第二記憶體元件 59 讀取資料之後，停止對第四電晶體 200 的紫外線照射。第四電晶體 200 的臨限電壓改變至 V_{33} ，且關閉第四電晶體 200。由於以氧化物半導體形成第四通道 314，第四電晶體具有低關閉電流。依此，可保持第三電晶體 62 之第三閘極電極 312 的電位。另外，若設置電容器 201，保持在電容器 201 中之電荷使得保持第三閘極電極 312 之電位變得可能。由於保持第三閘極電極 312 之電位，即使當不以紫外線照射時仍可啓通第三電晶體 62。

3.在第四電晶體 200 的臨限電壓改變至 V_{33} 之後寫入資料至第一記憶體元件 55 及從第一記憶體元件 55 讀取資料

敘述的是在第四電晶體 200 的臨限電壓改變至 V_{33} 之後寫入資料至第一記憶體元件 55 及自第一記憶體元件 55 讀取資料的操作。供應電壓 V_w 至第一字線 56，以供應

V_w 至第一電晶體 54 之第一閘極電極 304；故啓通第一電晶體 54。當啓通第一電晶體 54 時，從第一位元線 57 寫入資料至第一記憶體元件 55。資料會被儲存在第一記憶體元件 55 中，因為在第一記憶體元件 55 包括電容器或之類。當從第一記憶體元件 55 讀取資料時，供應 V_w 至第一字線 56，以供應 V_w 至第一電晶體 54 之第一閘極電極 304；故啓通第一電晶體 54。當啓通第一電晶體 54 時，從第一記憶體元件 55 讀取資料至第一位元線 57。

另一方面，亦供應啓通第二電晶體 58 之電壓 V_w 至輸入端子 63，並供應 V_G 至第四電晶體 200 的第四閘極電極 316。注意到不以紫外線照射第四電晶體 200。由於 V_G 低於第四電晶體 200 的臨限電壓 (V_{33})，第四電晶體 200 保持關閉。因此，第三電晶體 62 及第二電晶體 58 保持關閉且無法寫入資料至第二記憶體元件 59 及從第二記憶體元件 59 讀取資料。

4. 在第四電晶體 200 的臨限電壓改變至 V_{33} 之後寫入資料至第二記憶體元件 59 及從第二記憶體元件 59 讀取資料

供應電壓 V_G 至第四電晶體 200 的第四閘極電極 316。此時，以紫外線照射第四電晶體 200。由於 V_G 高於被紫外線照射之第四電晶體 200 的臨限電壓 (V_{32})，第四電晶體 200 為啓通。當啓通第四電晶體 200 時，啓通第三電晶體 62。當啓通第三電晶體 62 時，供應至輸入端子 63 的電壓 V_w 會供應至第二字線 60 並接著至第二電晶體 58 的第

二閘極電極 308，藉此啓通第二電晶體 58。當啓通第二電晶體 58 時，從第二位元線 61 寫入資料至第二記憶體元件 59。資料會被儲存在第二記憶體元件 59 中，因為在第二記憶體元件 59 包括電容器或之類。

接下來，當從第二記憶體元件 59 讀取資料時，供應電壓 V_G 至第四電晶體 200 的第四閘極電極 316。此時，以紫外線照射第四電晶體 200。當啓通第四電晶體 200 時，啓通第三電晶體 62。當啓通第三電晶體 62 時，供應至輸入端子 63 的電壓 V_w 會供應至第二字線 60 並接著至第二電晶體 58 的第二閘極電極 308，藉此啓通第二電晶體 58。當啓通第二電晶體 58 時，從第二記憶體元件 59 讀取資料至第二位元線 61。

在寫入資料至第二記憶體元件 59 及從第二記憶體元件 59 讀取資料之後，停止對第四電晶體 200 的紫外線照射。注意到由於第四電晶體 200 具有低關閉電流，可保持第三電晶體 62 之第三閘極電極 312 的電位。另外，若設置電容器 201，保持在電容器 201 中之電荷使得保持第三閘極電極 312 之電位變得可能。

第一電晶體 54 之結構與材料與實施例 1 中之第一電晶體 4 的類似。第二電晶體 58 及第三電晶體 62 之結構與材料與實施例 1 中之第一電晶體 4 的類似。

第一記憶體元件 55 之結構與材料與實施例 1 中之第一記憶體元件 5 的類似。第二記憶體元件 59 之結構與材料與實施例 1 中之第一記憶體元件 5 的類似。

第四電晶體 200 之結構與材料與實施例 1 中之第二電晶體 8 的類似。

可使用實施例 1 中所示之方法來製造記憶體裝置 51。

(實施例 4)

此實施例顯示實施例 1 之結構的另一實例，其中資料無法被第三方寫入第二記憶體元件 9。詳言之，記憶體裝置包括一寫入電路、一類比開關、及一第三電晶體。第三電晶體包括一第三通道、一第三閘極電極、及第三源極和汲極電極，且第三通道以一氧化物半導體薄膜形成。寫入電路之一輸出輸入至類比開關；類比開關之輸出輸入至第二電晶體的第三源極及汲極電極之一；一寫入致能信號輸入至第三源極和汲極電極之一；第三源極和汲極電極之另一者連接至類比開關的一第一控制端子；以及寫入致能信號之一反向信號輸入至類比開關的一第二控制端子。在紫外線照射前第三電晶體的一臨限電壓為 V_{31} ；在紫外線照射時第三電晶體的一臨限電壓為 V_{32} ；以及在紫外線照射後第三電晶體的一臨限電壓為 V_{33} 。以下列方式將資料寫至第二記憶體元件：供應一電壓 (V_A) 至正被紫外線照射的第三閘極電極以啓通第三電晶體，輸入寫入致能信號至第一控制端子，輸入寫入電路的輸出至第三源極及汲極電極之一，且供應一電壓 (V_W) 至第二閘極電極以啓通第二電晶體。注意到滿足 $V_{32} \leq V_A < V_{33} < V_{31}$ (電壓 V_A 等於或高於電壓 V_{32})，且滿足 $V_{23} < V_{21} < V_W$ 。

此實施例中所示之記憶體裝置 1 除了第 1 圖中所示之結構外包括寫入電路 83、類比開關 82、及第三電晶體 81(第 8 圖)。第三電晶體 81 包括第三通道 320、第三閘極電極 322、電極 321(第三源極及汲極電極之一)、及電極 323(第三源極及汲極電極之另一者)。以氧化物半導體薄膜形成第三電晶體 81 之第三通道 320。

寫入電路 83 之輸出係輸入至類比開關 82。寫入電路 83 為用於輸出寫入電壓的電路，且可使用已知電路作為寫入電路 83。類比開關 82 的輸出係輸入至第二電晶體 8 的電極 33。寫入(EN)致能信號係輸入至第三電晶體 81 的電極 321，且電極 323 連接至類比開關 82 的第一控制端子 324。寫入致能信號的反向信號(EN')係輸入至類比開關 82 的第二控制端子 325。

第三電晶體 81 之臨限電壓在當以紫外(UV)線照射第三通道 320 時會改變(第 9 圖)。第 9 圖示意性顯示第三電晶體 81 之閘極電壓(V_g)及汲極電流(I_d)之間的關係。線 71、線 72、及線 73 分別代表在紫外線照射之前、在紫外線照射之時、在紫外線照射之後的第三電晶體 81 之 V_g - I_d 關係。第三電晶體 81 之臨限電壓在無紫外線照射時(在紫外線照射之前)為 V_{31} 、在紫外線照射之時為 V_{32} 、且在紫外線照射之後為 V_{33} 。藉由利用此現象來執行資料寫入。

當實際執行資料寫入時，將滿足 $V_{32} \leq V_A < V_{33} < V_{31}$ 之電壓 V_A (電壓 V_A 等於或高於 V_{32})供應至第三電晶體 81 的第三閘極電極 322。因此，可在正以紫外線照射時啓通第

三電晶體 81，同時在無紫外線照射時保持第三電晶體 81 關閉。注意到第三電晶體 81 之關閉電流在紫外線照射之時因為光漏的緣故而會增加。

從寫入電路 83 輸出將儲存在第二記憶體元件 9 中之資料並接著將資料輸入至類比開關 82。寫入致能信號(EN)係輸入至類比開關 82 的第一控制端子 324，且寫入致能信號的反向信號(EN')係輸入至類比開關 82 的第二控制端子 325。寫入致能信號首先係輸入至第三電晶體 81 的電極 321。電壓 V_A 係從控制線 CTRL 輸入至第三電晶體 81 的第三閘極電極 322。若此時以紫外線照射第三電晶體 81，則啓通第三電晶體 81 且輸入寫入致能信號至類比開關 82 的第一控制端子 324。接著，啓通類比開關 82 並從寫入電路 83 經由第二位元線 11 輸入資料至第二電晶體 8 之電極 33。此時，電壓 $V_w(V_{23} < V_{21} < V_w)$ 係從第二字線 10 輸入至第二電晶體 8 的第二閘極電極 30 以啓通第二電晶體 8；接著，資料係儲存在第二記憶體元件 9 中。當以這種方式設置第三電晶體 81 時，無法由第三方寫入資料至第二記憶體元件 9。

雖第 8 圖中未圖示讀取電路，不用說記憶體裝置 1 包括讀取電路。類比開關 82 包括兩個控制端子：第一控制端子 324 及第二控制端子 325。為了防止一控制端子啓通且另一者關閉的不穩定狀態，可如第 8 圖中所示般設置下拉電阻器 90。

第三電晶體 81 之結構與材料與實施例 1 中之第二電

晶體 8 的類似。

可使用實施例 1 中所示之方法來製造記憶體裝置 1。

(實施例 5)

此實施例中所示的是實施例 1 至 4 的任何者應用至其之記憶體模組 150(第 10 圖)。記憶體模組 150 包括第一記憶胞區域 151、第二記憶胞區域 152、界面 153、列解碼器 154、列解碼器 155、及行解碼器 156。

第一記憶胞區域 151 包括上述實施例中所示的複數第一記憶胞 2(52)。第二記憶胞區域 152 包括上述實施例中所示的複數第一記憶胞 3(53)(第 15 圖)。

列解碼器 154 包括，例如，顯示在上述實施例中之解碼器 120 至 123、位準移位器 114 至 117、及緩衝器 107 至 110，並經由字線 157 連接至第一記憶胞區域 151。列解碼器 155 包括，例如，顯示在上述實施例中之解碼器 124 及 125、位準移位器 118 及 119、及緩衝器 111 及 112，並經由字線 158 連接至第二記憶胞區域 152。

行解碼器 156 包括，例如，顯示在上述實施例中之寫入電路 83 及讀取電路，並經由位元線 159 連接至第一記憶胞區域 151 及第二記憶胞區域 152。

列解碼器 154、列解碼器 155、及行解碼器 156 各連接至界面 153。

如上述實施例中所述，在第二記憶胞區域 152、列解碼器 155、及行解碼器 156 的任何之中設置使用氧化物半

導體薄膜作為通道的電晶體。在本發明中，藉由以紫外線(UV)照射電晶體來改變電晶體的臨限電壓。因此，較佳一般以阻擋紫外線光的屏障覆蓋該區域。藉由被允許接取該區域的人移除屏障，並接著以紫外線照射電晶體。由於以屏障覆蓋該區域，第三方無法存取該區域。

(實施例 6)

在此實施例中顯示的是包括上述實施例中所述之記憶體模組的 RFID 標籤 500(第 11 圖)。

RFID 標籤 500 包括天線電路 501 及信號處理電路 502。信號處理電路 502 包括整流器電路 503、電力供應電路 504、解調變電路 505、振盪電路 506、邏輯電路 507、記憶體控制電路 508、記憶體電路 509、邏輯電路 510、放大器 511、及調變電路 512。記憶體電路 509 包括上述實施例中之記憶體模組。

由天線電路 501 所接收的通訊信號係輸入至解調變電路 505。接收到的通訊信號之頻率，亦即在天線電路 501 與讀取器/寫入器之間傳送的信號之頻率為，例如，13.56 MHz、915 MHz、或在 UHF(超高頻)帶中之 2.45 MHz，其係依據 ISO 標準或之類而定。不用說，在天線電路 501 與讀取器/寫入器之間傳送的信號之頻率不限於此，且可使用，例如，為亞毫米波的 300 GHz 至 3 THz、為毫米波的 30 GHz 至 300 GHz、為微波的 3 GHz 至 30 GHz、為超高頻波的 300 MHz 至 3 GHz、及為非常高頻的 30 MHz 至

300 MHz。此外，在天線電路 501 與讀取器/寫入器之間傳送的信號為載波調變信號。藉由類比調變或數位調變來調變載波，並可使用振幅調變、相位調變、頻率調變、及展頻的任何者。較佳地，使用振幅調變或頻率調變。

來自振盪電路 506 的振盪信號輸出係供應至邏輯電路 507 作為時脈信號。另外，在解調變電路 505 中解調變已調變的載波。解調變信號係傳送至邏輯電路 507 並加以分析。在邏輯電路 507 中分析的信號係傳送至記憶體控制電路 508。記憶體控制電路 508 控制記憶體電路 509 以從記憶體電路 509 取得資料並傳送至邏輯電路 510。在邏輯電路 510 中編碼並在放大器 511 中放大傳送至邏輯電路 510 的信號。藉由放大信號，調變電路 512 調變載波。根據經調變的載波，讀取器/寫入器辨認來自 RFID 標籤 500 的信號。

整流輸入至整流器電路 503 的載波並接著將其輸入至電力供應電路 504。以此方式獲得的電力供應電壓係從電力供應電路 504 供應至解調變電路 505、振盪電路 506、邏輯電路 507、記憶體控制電路 508、記憶體電路 509、邏輯電路 510、放大器 511、調變電路 512、及之類。

對於信號處理電路 502 與天線電路 501 中的天線之間的連結並無特別限制。例如，藉由打線接合或凸塊連結連接天線與信號處理電路 502。替代地，形成信號處理電路 502 以具有晶片且其之一表面用為電極並附接至天線。信號處理電路 502 及天線可使用 ACF(各向異性導電膜)互相

附接。

天線堆疊在與信號處理電路 502 相同之基板上方，或形成為外部天線。不用說，天線設置在信號處理電路的上方或下方。

在整流器電路 503 中，將天線電路 501 所接收到之載波所誘發之 AC 信號轉換成 DC 信號。

RFID 標籤 500 可包括電池 561(第 12 圖)。當從整流器電路 503 輸出之電力供應電壓不足以操作信號處理電路 502 時，電池 561 亦供應電力供應電壓至信號處理電路 502 的各個電路，如解調變電路 505、振盪電路 506、邏輯電路 507、記憶體控制電路 508、記憶體電路 509、邏輯電路 510、放大器 511、及調變電路 512。

可將從整流器電路 503 輸出之電力供應電壓的多餘電壓儲存在電池 561 中。當在 RFID 標籤 500 中設置除了天線電路 501 及整流器電路 503 之外的天線電路及整流器電力時，可從隨機產生之電磁波及之類獲得儲存在電池 561 中之能量。

藉由充電可連續使用電池。作為電池，使用形成片型式的電池。例如，藉由使用包括凝膠電解質、鋰離子電池、鋰備用電池、或之類的鋰聚合物電池，可實現電池尺寸的縮減。例如，可使用鎳金屬氫化物電池或鎳鎘電池。替代地，可使用具有大電容值之電容器或之類。

(實施例 7)

在此實施例中，將顯示在上述實施例中所示的 RFID 標籤 800 之一應用實例(第 13A 至 13F 圖)。

廣泛使用 RF 標籤 800 且可用於例如諸如帳單、零錢、證券、無記名債券、文件(如駕照或居名卡，參見第 13A 圖)的產品、包裝箱(如包裝紙或瓶，參見第 13C 圖)、記錄媒體(如 DVD 轉體或錄影帶，參見第 13B 圖)、車輛(如腳踏車，參見第 13D 圖)、私人物品(如袋子或眼鏡)、食物、植物、動物、人體、衣服、家庭用品、及電子電器(如液晶顯示裝置、EL 顯示裝置、電視機、或手機)、或產品上的標籤(參見第 13E 及 13F 圖)。

RF 標籤 800 藉由安裝在印刷版上、附接至產品表面、或嵌入產品中而固定至產品。例如，RF 標籤 800 藉由嵌入書的紙張中或包裝的有機樹脂中而固定至各個產品。由於 RF 標籤 800 在尺寸、厚度、及重量上可減少。可將其固定至產品而不損及產品的設計。此外，帳單、零錢、證券、無記名債券、文件、或之類藉由設置有 RF 標籤 800 而可具有識別功能，並可利用識別功能來防止偽造。此外，可藉由提供 RF 標籤給包裝箱、記錄媒體、私人用品、食物、衣服、家庭用品、電子電器、或之類來改善諸如檢驗系統之系統效率。藉由設置有 RF 標籤 800，車輛亦可具有對抗偷竊或之類的更高之安全性。

[實例 1]

第 14A 至 14C 圖各顯示薄膜電晶體之 $V_g(V)$ 及 $I_d(A)$

之間的關係之測量的一實例。薄膜電晶體使用氧化物半導體薄膜作為通道。第 14A 圖為在紫外線照射之前的 V_g - I_d 曲線、第 14B 圖為在紫外線照射之時的 V_g - I_d 曲線、第 14C 圖為在紫外線照射之後的 V_g - I_d 曲線。在圖中， V_{th} 代表臨限電壓、 S -值代表 S 值且 V_{DS} 代表汲極電壓。紫外線具有 254 nm 的波長及 0.06 mW/cm^2 的強度，且照射時間為三分鐘。使用 In-Ga-Zn-O 為基的氧化物半導體薄膜作為通道。薄膜電晶體具有如第 3 圖中所示之底閘極結構。紫外線從通道上方發射至通道。

當以紫外線照射薄膜電晶體時，臨限電壓從 -0.54 V 改變成 -3.23 V，且在紫外線照射之後進一步改變至 -2.16 V。藉由利用此現象來操作薄膜電晶體。

此申請案依據 2009 年 11 月 18 日向日本專利局申請之日本專利申請案序號 2009-262764，其全部內容以引用方式併於此。

【圖式簡單說明】

在附圖中：

第 1 圖為繪示實施例 1 之記憶體裝置的圖；

第 2 圖為顯示臨限電壓中之改變的圖；

第 3 圖為記憶體裝置之剖面圖；

第 4 圖為繪示記憶體裝置之圖；

第 5 圖為顯示臨限電壓中之改變的圖；

第 6 圖為繪示實施例 2 之記憶體裝置的圖；

- 第 7 圖為繪示實施例 2 之記憶體裝置的圖；
 第 8 圖為繪示實施例 4 之記憶體裝置的圖；
 第 9 圖為顯示臨限電壓中之改變的圖；
 第 10 圖為繪示記憶體模組之圖；
 第 11 圖為繪示 RFID 標籤的圖；
 第 12 圖為繪示 RFID 標籤的圖；
 第 13A 至 13F 圖為繪示 RFID 標籤之應用實例的圖；
 第 14A 至 14C 圖為各顯示臨限電壓中之改變的圖；
 第 15 圖為繪示記憶體模組之圖；以及
 第 16 圖為繪示實施例 3 之記憶體裝置的圖。

【主要元件符號說明】

- 1：記憶體裝置
 2：第一記憶胞
 3：第二記憶胞
 4：第一電晶體
 5：第一記憶體元件
 6：第一字線
 7：第一位元線
 8：第二電晶體
 9：第二記憶體元件
 10：第二字線
 11：第二位元線
 15：基板

- 16：絕緣薄膜
- 17：第一通道
- 18：區域
- 19：區域
- 20：矽薄膜
- 21：第一閘極絕緣薄膜
- 22：第一閘極電極
- 23：絕緣薄膜
- 24：絕緣薄膜
- 25：電極
- 26：電極
- 27：電極
- 28：電極
- 29：絕緣薄膜
- 30：第二閘極電極
- 31：第二閘極絕緣薄膜
- 32：氧化物半導體薄膜
- 33：電極
- 34：電極
- 35：電極
- 36：絕緣薄膜
- 38：絕緣薄膜
- 41：線
- 42：線

- 43：線
- 51：記憶體裝置
- 52：第一記憶胞
- 53：第二記憶胞
- 54：第一電晶體
- 55：第一記憶體元件
- 56：第一字線
- 57：第一位元線
- 58：第二電晶體
- 59：第二記憶體元件
- 60：第二字線
- 61：第二位元線
- 62：第三電晶體
- 63：輸入端子
- 71：線
- 72：線
- 73：線
- 81：第三電晶體
- 82：類比開關
- 83：寫入電路
- 90：下拉電阻器
- 101：字線
- 102：字線
- 103：字線

104 : 字 線

105 : 字 線

106 : 字 線

107 : 緩 衝 器

108 : 緩 衝 器

109 : 緩 衝 器

110 : 緩 衝 器

111 : 緩 衝 器

112 : 緩 衝 器

114 : 位 準 移 位 器

115 : 位 準 移 位 器

116 : 位 準 移 位 器

117 : 位 準 移 位 器

118 : 位 準 移 位 器

119 : 位 準 移 位 器

120 : 解 碼 器

121 : 解 碼 器

122 : 解 碼 器

123 : 解 碼 器

124 : 解 碼 器

125 : 解 碼 器

150 : 記 憶 體 模 組

151 : 第 一 記 憶 胞 區 域

152 : 第 二 記 憶 胞 區 域

- 153 : 界 面
- 154 : 列 解 碼 器
- 155 : 列 解 碼 器
- 156 : 行 解 碼 器
- 157 : 字 線
- 158 : 字 線
- 159 : 位 元 線
- 200 : 第 四 電 晶 體
- 201 : 電 容 器
- 301 : 第 二 通 道
- 302 : 第 一 通 道
- 303 : 電 極
- 304 : 第 一 閘 極 電 極
- 305 : 電 極
- 306 : 第 二 通 道
- 307 : 電 極
- 308 : 第 二 閘 極 電 極
- 309 : 電 極
- 310 : 第 三 通 道
- 311 : 電 極
- 312 : 第 三 閘 極 電 極
- 313 : 電 極
- 314 : 第 四 通 道
- 315 : 電 極

316：第四閘極電極
 317：電極
 318：電極
 319：電極
 320：第三通道
 321：電極
 322：第三閘極電極
 323：電極
 324：第一控制端子
 325：第二控制端子
 500：RFID標籤
 501：天線電路
 502：信號處理電路
 503：整流器電路
 504：電力供應電路
 505：解調變電路
 506：振盪電路
 507：邏輯電路
 508：記憶體控制電路
 509：記憶體電路
 510：邏輯電路
 511：放大器
 512：調變電路
 561：電池

800 : RFID 標 籤

七、申請專利範圍：

1. 一種記憶體裝置，包含：

— 第一記憶胞；以及

— 第二記憶胞，

該第一記憶胞包含一第一電晶體及一第一記憶體元件，

該第一電晶體包含一第一通道、一第一閘極電極、及第一源極和汲極電極，

其中該第一閘極電極為一第一字線的一部分或電連接至該第一字線；以及

其中該些第一源極和汲極電極之一為一第一位元線的一部分或電連接至該第一位元線且另一者電連接至該第一記憶體元件，

該第二記憶胞包含一第二電晶體及一第二記憶體元件，

該第二電晶體包含一第二通道、一第二閘極電極、及第二源極和汲極電極，

其中該第二閘極電極為一第二字線的一部分或電連接至該第二字線；

其中該第二通道包含一氧化物半導體薄膜；以及

其中該些第二源極和汲極電極之一為一第二位元線的一部分或電連接至該第二位元線且另一者電連接至該第二記憶體元件，

其中在紫外線照射前該第二電晶體的一臨限電壓(V_{21})

高於該第一電晶體的一臨限電壓 (V_1)；

其中在紫外線照射時該第二電晶體的一臨限電壓 (V_{22}) 低於該電壓 V_{21} ；

其中在紫外線照射後該第二電晶體的一臨限電壓 (V_{23}) 低於該電壓 V_{21} 且高於該電壓 V_{22} 及該電壓 V_1 ；

其中當供應一電壓 (V_G) 至被紫外線照射之該第二電晶體的該第二閘極電極而使該第二電晶體啓通時，讀取該第二記憶體元件中所儲存之資料；以及

其中滿足 $V_1 \leq V_G$ (該電壓 V_G 等於或高於該電壓 V_1) 及 $V_{22} \leq V_G < V_{23} < V_{21}$ (該電壓 V_G 等於或高於該電壓 V_{22})。

2. 如申請專利範圍第 1 項所述之記憶體裝置，其中藉由供應該電壓 V_G 至該第一閘極電極以啓通該第一電晶體來讀取該第一記憶體元件中所儲存的資料。

3. 如申請專利範圍第 1 項所述之記憶體裝置，其中該第一通道包含矽。

4. 如申請專利範圍第 1 項所述之記憶體裝置，進一步包含一寫入電路、一類比開關、及一第三電晶體，

該第三電晶體包含一第三通道、一第三閘極電極、及第三源極和汲極電極，

該第三通道包含一第二氧化物半導體薄膜，

其中該寫入電路之一輸出輸入至該類比開關；

其中該類比開關之輸出輸入至該第二電晶體的該些第二源極及汲極電極之一；

其中一寫入致能信號輸入至該些第三源極和汲極電極

之一，且該些第三源極和汲極電極之另一者連接至該類比開關的一第一控制端子；

其中該寫入致能信號之一反向信號輸入至該類比開關的一第二控制端子；

其中在紫外線照射前該第三電晶體的一臨限電壓為 V_{31} ；

其中在紫外線照射時該第三電晶體的一臨限電壓為 V_{32} ；

其中在紫外線照射後該第三電晶體的一臨限電壓為 V_{33} ；

其中以下列方式將資料寫至該第二記憶體元件：供應一電壓 (V_A) 至被紫外線照射的該第三閘極電極以啓通該第三電晶體，輸入該寫入致能信號至該第一控制端子，輸入該寫入電路的該輸出至該些第二源極及汲極電極之一，且供應一電壓 (V_W) 至該第二閘極電極以啓通該第二電晶體；以及

其中滿足 $V_{32} \leq V_A < V_{33} < V_{31}$ (該電壓 V_A 等於或高於該電壓 V_{32}) 及 $V_{23} < V_{21} < V_W$ 。

5. 一種記憶體裝置，包含：

包含一第一電晶體及一第一記憶體元件之一第一記憶胞；

包含一第二電晶體及一第二記憶體元件之一第二記憶胞；以及

一第三電晶體，

該第一電晶體包含一第一通道、一第一閘極電極、及第一源極和汲極電極，

其中該第一閘極電極為一第一字線的一部分或電連接至該第一字線；以及

其中該些第一源極和汲極電極之一為一第一位元線的一部分或電連接至該第一位元線且另一者電連接至該第一記憶體元件，

該第二電晶體包含一第二通道、一第二閘極電極、及第二源極和汲極電極，

其中該第二閘極電極為一第二字線的一部分或電連接至該第二字線；以及

其中該些第二源極和汲極電極之一為一第二位元線的一部分或電連接至該第二位元線且另一者電連接至該第二記憶體元件，

該第三電晶體包含一第三通道、一第三閘極電極、及第三源極和汲極電極，

其中該第三通道包含一氧化物半導體薄膜；以及

其中該些第三源極和汲極電極之一電連接至該第二字線且啓通該第二電晶體之一選擇信號輸入至該些第三源極和汲極電極之另一者，

其中在紫外線照射前該第三電晶體的一臨限電壓為 V_{31} ；

其中在紫外線照射時該第三電晶體的一臨限電壓為 V_{32} ；

其中在紫外線照射後該第三電晶體的一臨限電壓為 V_{33} ；

其中以下列方式將資料寫至該第二記憶體元件並從該第二記憶體元件讀取資料：供應一電壓 (V_G) 至被紫外線照射的該第三閘極電極以啓通該第三電晶體，並輸入該選擇信號至該第二閘極電極以啓通該第二電晶體；以及

其中滿足 $V_{32} \leq V_G < V_{33} < V_{31}$ (該電壓 V_G 等於或高於該電壓 V_{32})。

6. 如申請專利範圍第 5 項所述之記憶體裝置，進一步包含一解碼器、一位準移位器、及一緩衝器，

其中該些第三源極和汲極電極之一經由該位準移位器及該緩衝器電連接至該第二字線；以及

其中從該解碼器輸入該選擇信號至該些第三源極和汲極電極之另一者。

7. 如申請專利範圍第 5 項所述之記憶體裝置，進一步包含一解碼器、一位準移位器、一緩衝器、及一位址線，

其中該些第三源極和汲極電極之一經由該解碼器、該位準移位器、及該緩衝器電連接至該第二字線；以及

其中從該位址線輸入該選擇信號至該些第三源極和汲極電極之另一者。

8. 一種記憶體裝置，包含：

包含一第一電晶體及一第一記憶體元件之一第一記憶胞；

包含一第二電晶體及一第二記憶體元件之一第二記憶

胞；

一 第三電晶體；以及

一 第四電晶體，

該第一電晶體包含一第一通道、一第一閘極電極、及第一源極和汲極電極，

其中該第一閘極電極為一第一字線的一部分或電連接至該第一字線；以及

其中該些第一源極和汲極電極之一為一第一位元線的一部分或電連接至該第一位元線且另一者電連接至該第一記憶體元件，

該第二電晶體包含一第二通道、一第二閘極電極、及第二源極和汲極電極，

其中該第二閘極電極為一第二字線的一部分或電連接至該第二字線；以及

其中該些第二源極和汲極電極之一為一第二位元線的一部分或電連接至該第二位元線且另一者電連接至該第二記憶體元件，

該第三電晶體包含一第三通道、一第三閘極電極、及第三源極和汲極電極，

其中該些第三源極和汲極電極之一電連接至該第二字線且啓通該第二電晶體之一選擇信號輸入至該些第三源極和汲極電極之另一者，

該第四電晶體包含一第四通道、一第四閘極電極、及第四源極和汲極電極，

其中該第四通道包含一氧化物半導體薄膜；以及

其中該些第四源極和汲極電極之一電連接至該第三閘極電極且啓通該第三電晶體之一選擇信號輸入至該些第四源極和汲極電極之另一者，

其中在紫外線照射前該第四電晶體的一臨限電壓爲 V_{31} ；

其中在紫外線照射時該第四電晶體的一臨限電壓爲 V_{32} ；

其中在紫外線照射後該第四電晶體的一臨限電壓爲 V_{33} ；

其中以下列方式將資料寫至該第二記憶體元件並從該第二記憶體元件讀取資料：供應一電壓 (V_G) 至被紫外線照射的該第四閘極電極以啓通該第四電晶體並因而啓通該第三電晶體，並輸入啓通該第二電晶體的一選擇信號至該第二閘極電極以啓通該第二電晶體；以及

其中滿足 $V_{32} \leq V_G < V_{33} < V_{31}$ (該電壓 V_G 等於或高於該電壓 V_{32})。

9. 一種記憶體裝置，包含：

一記憶胞，

該記憶胞包含一電晶體及一記憶體元件，

該電晶體包含一通道、一閘極電極、及源極和汲極電極，

其中該通道包含氧化物半導體薄膜；以及

其中該些源極和汲極電極之一電連接至該記憶體

元 件 ，

其 中 在 紫 外 線 照 射 前 該 電 晶 體 的 一 臨 限 電 壓 爲 電 壓 V_{21} ，

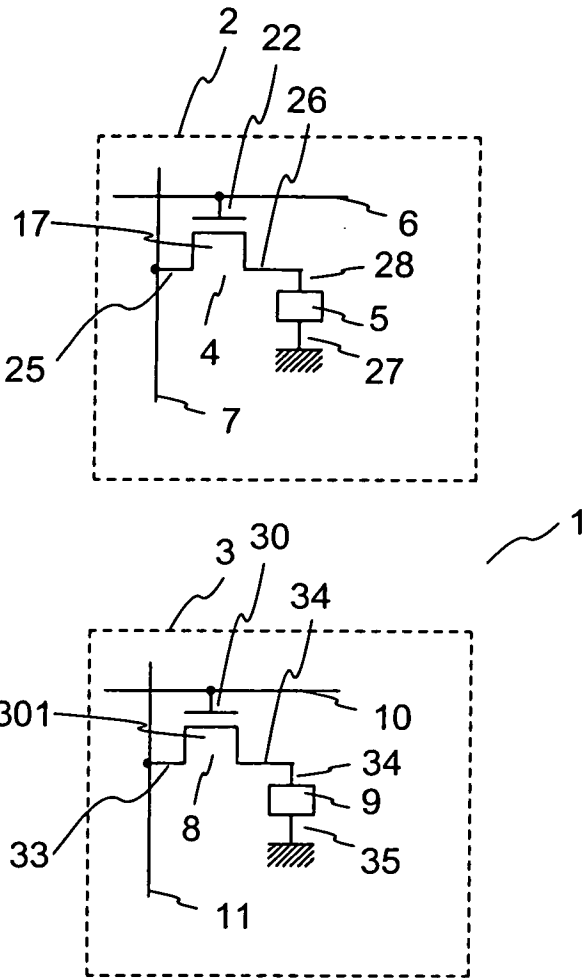
其 中 在 紫 外 線 照 射 時 該 電 晶 體 的 一 臨 限 電 壓 爲 電 壓 V_{22} ，

其 中 在 紫 外 線 照 射 後 該 電 晶 體 的 一 臨 限 電 壓 爲 電 壓 V_{23} ，

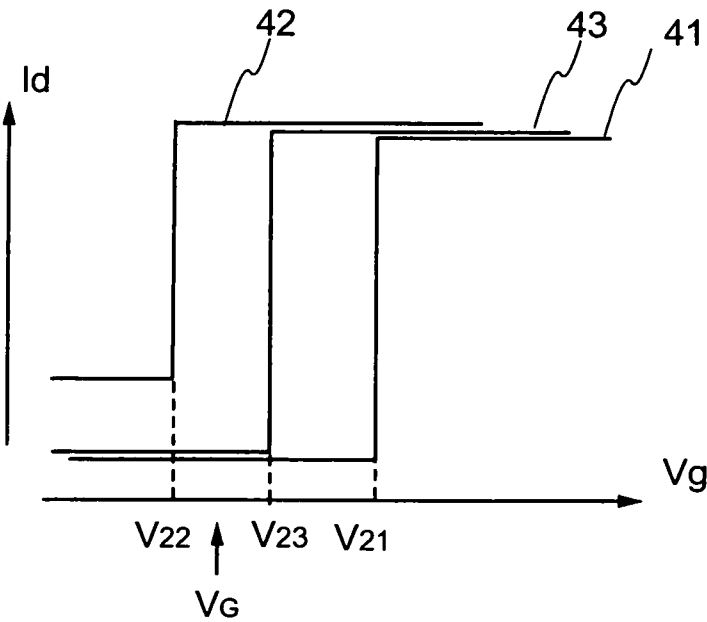
其 中 當 供 應 一 電 壓 V_G 至 被 紫 外 線 照 射 之 該 電 晶 體 的 該 閘 極 電 極 而 使 該 電 晶 體 啓 通 時 ， 讀 取 該 記 憶 體 元 件 中 所 儲 存 之 資 料 ， 以 及

其 中 滿 足 $V_{22} \leq V_G < V_{23} < V_{21}$ (該 電 壓 V_G 等 於 或 高 於 該 電 壓 V_{22}) 。

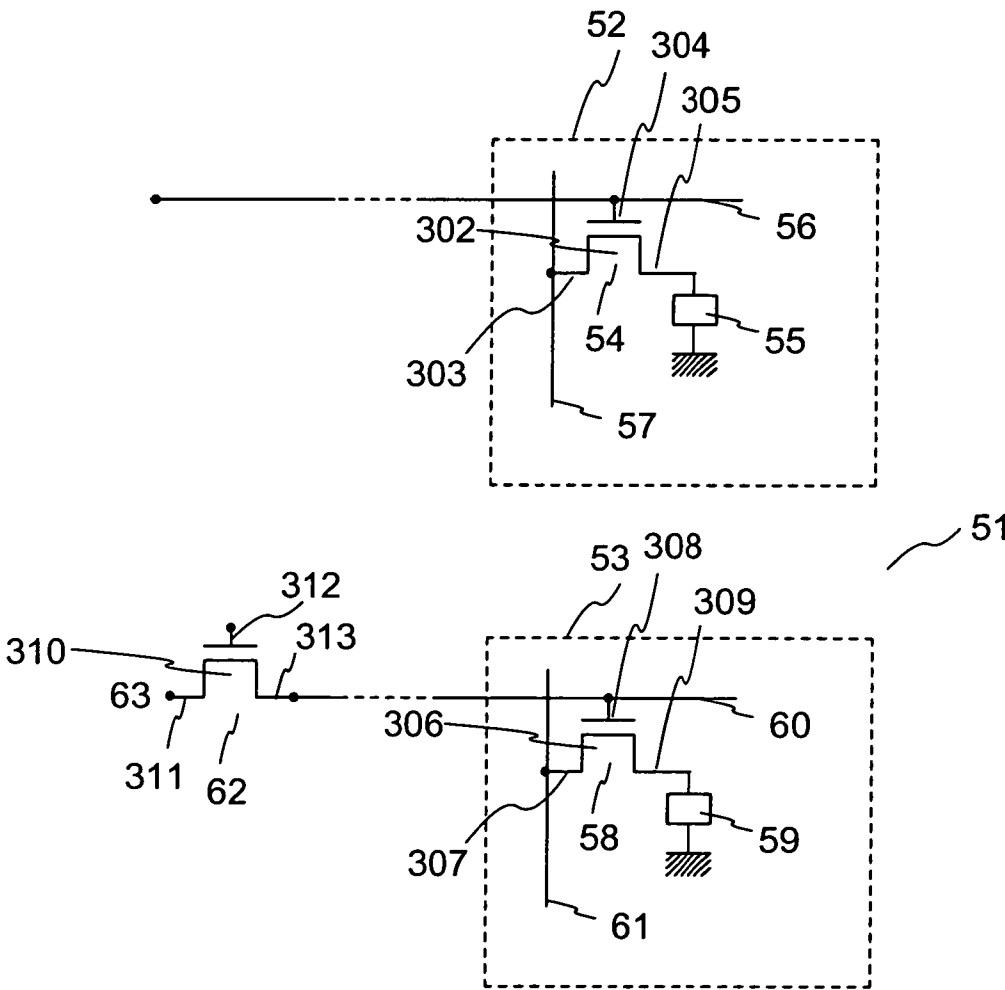
第1圖



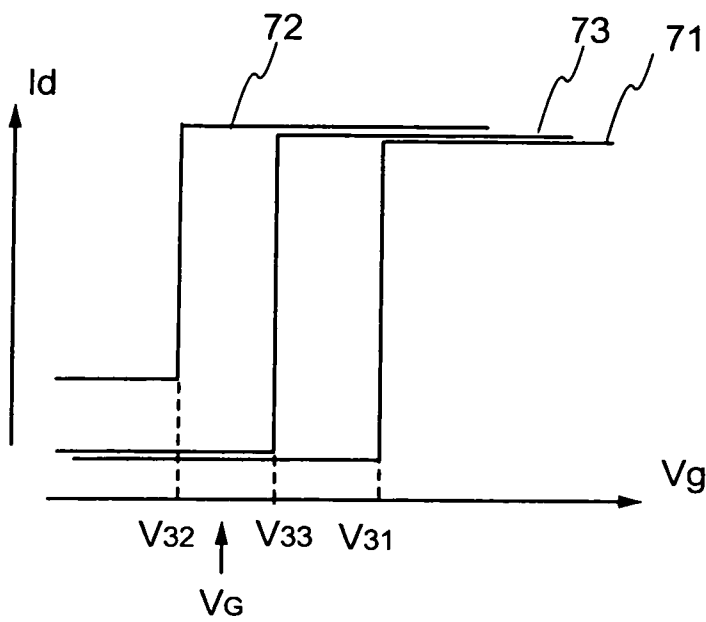
第2圖



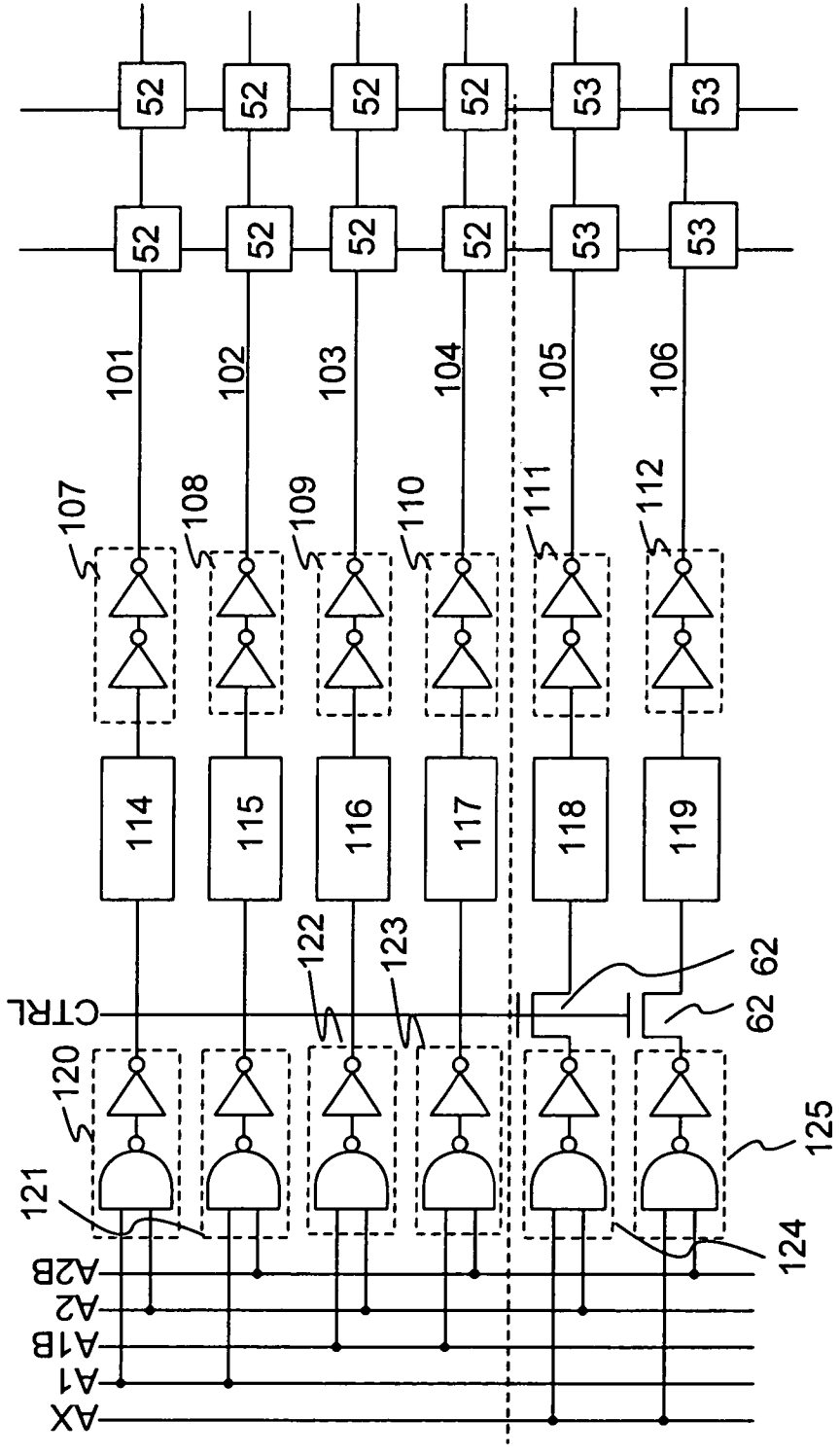
第4圖



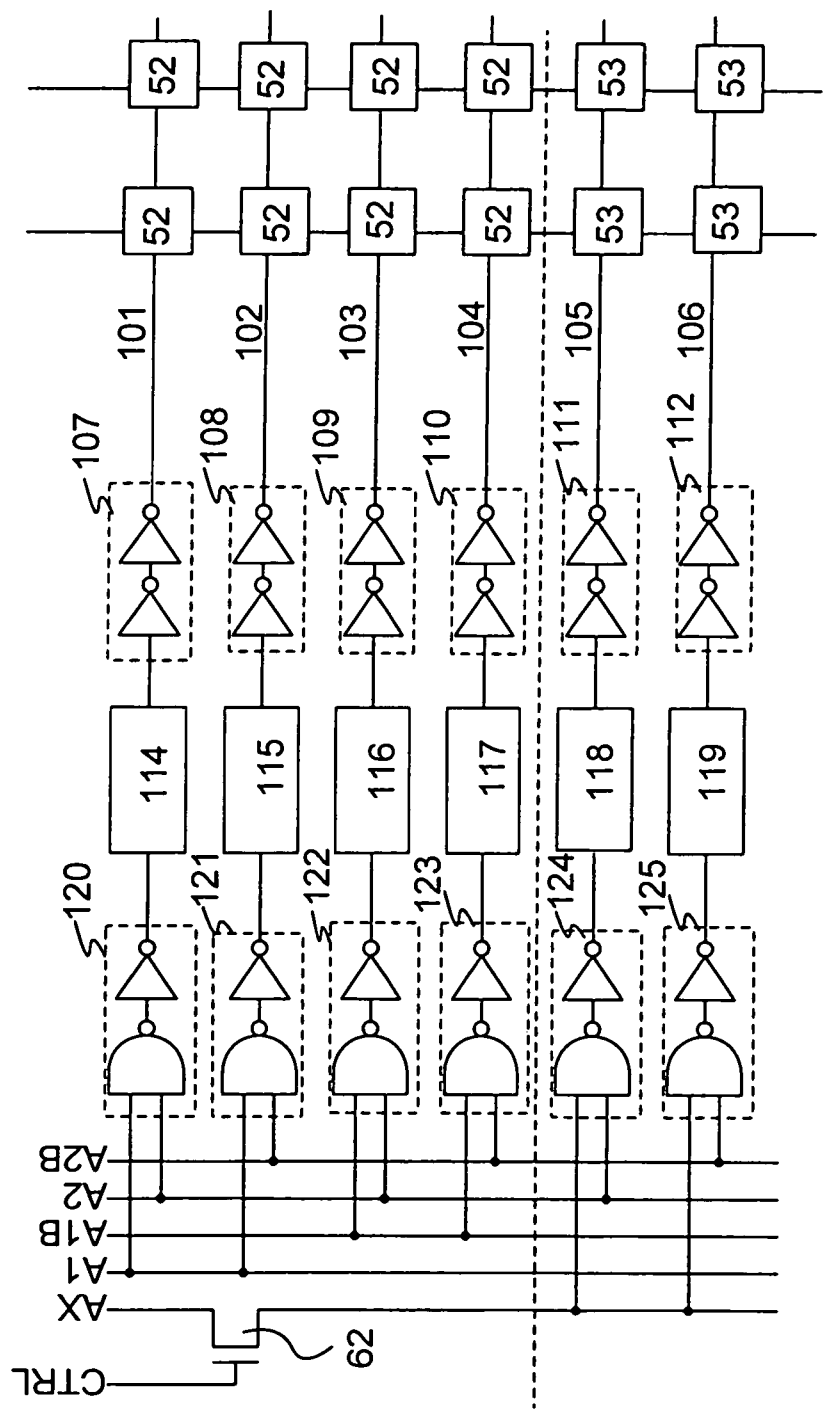
第5圖



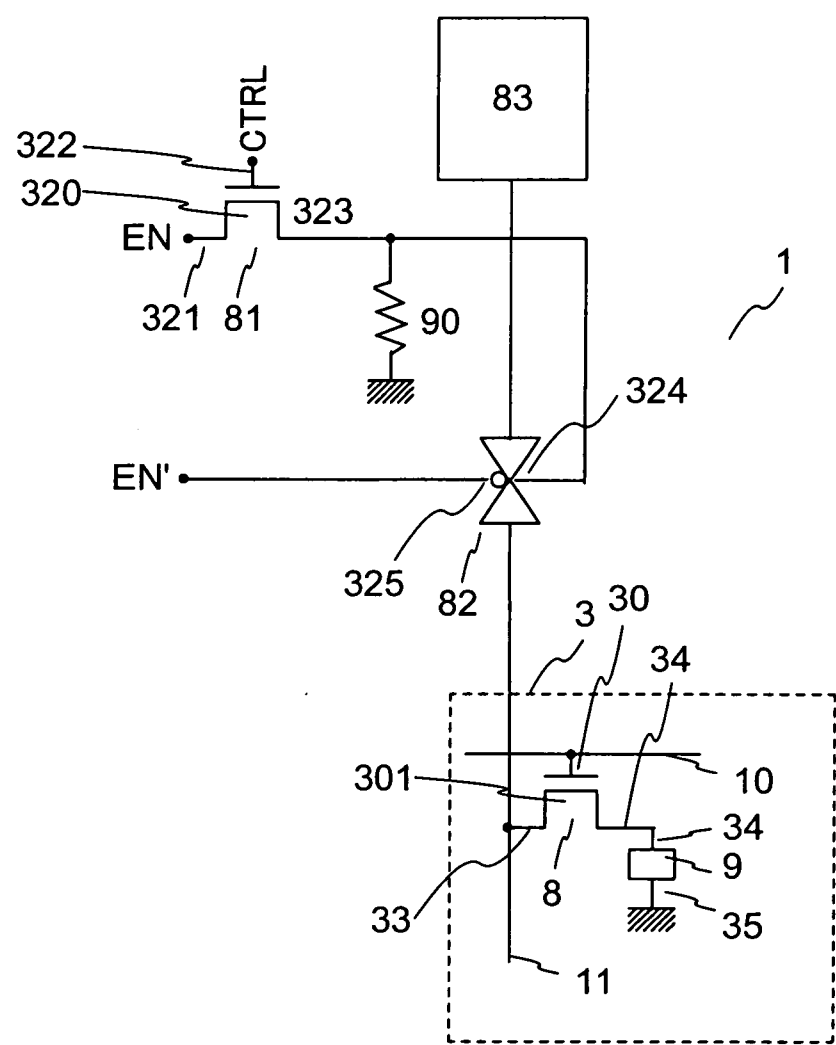
第6圖



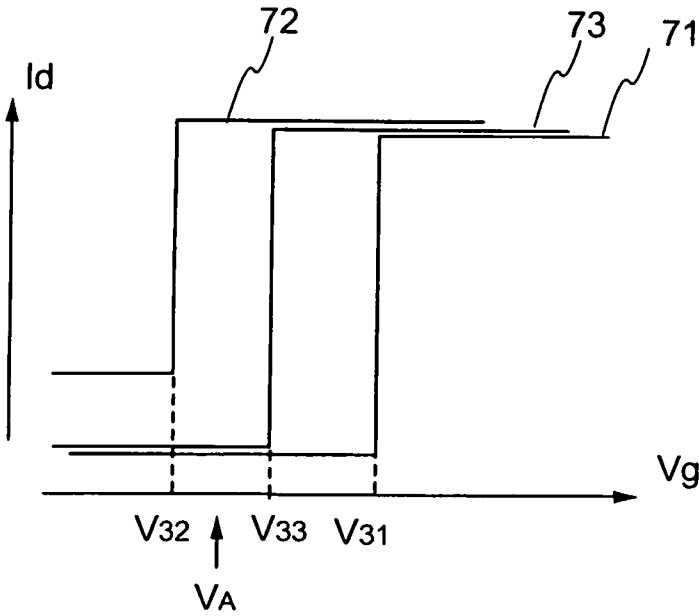
第7圖



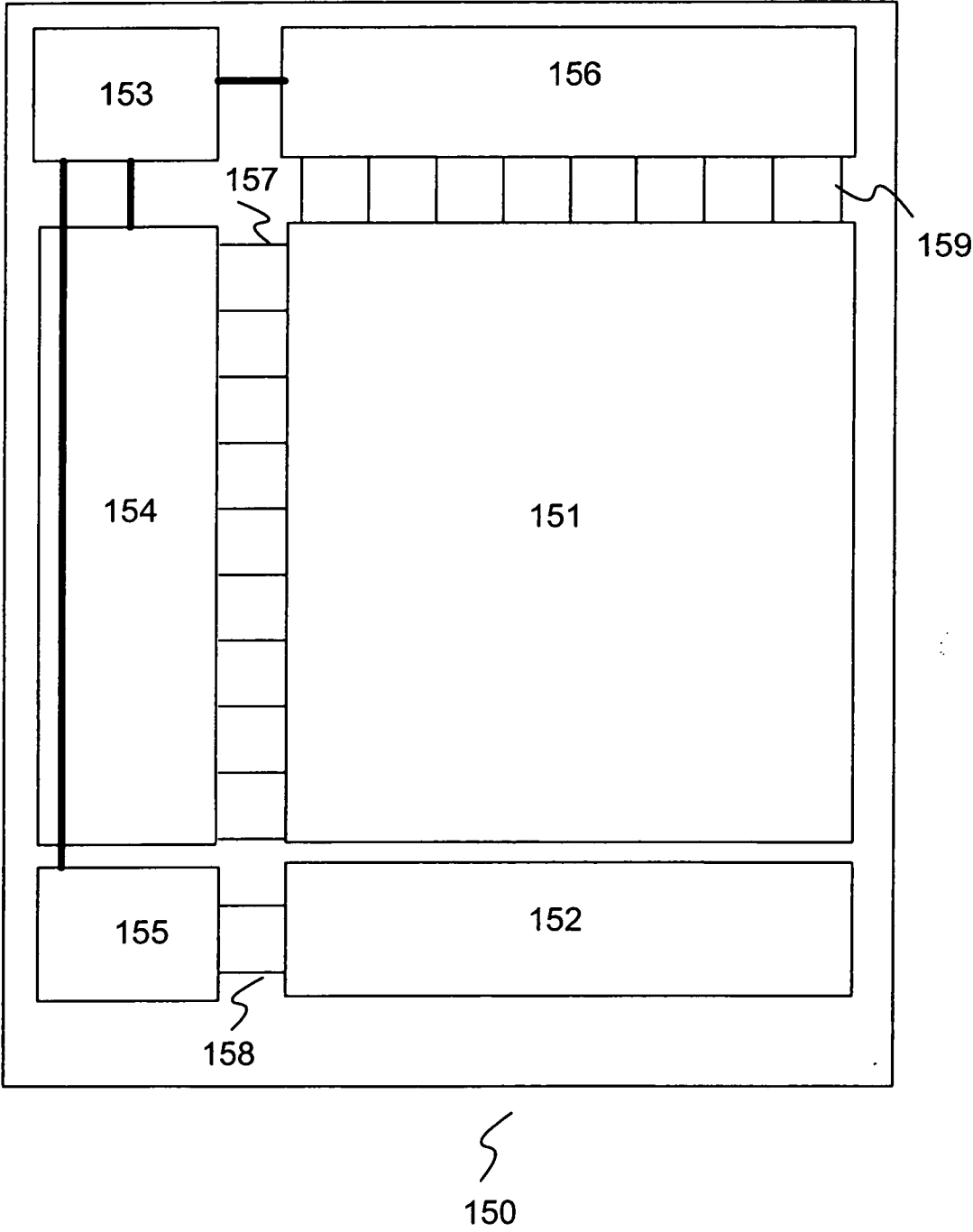
第8圖



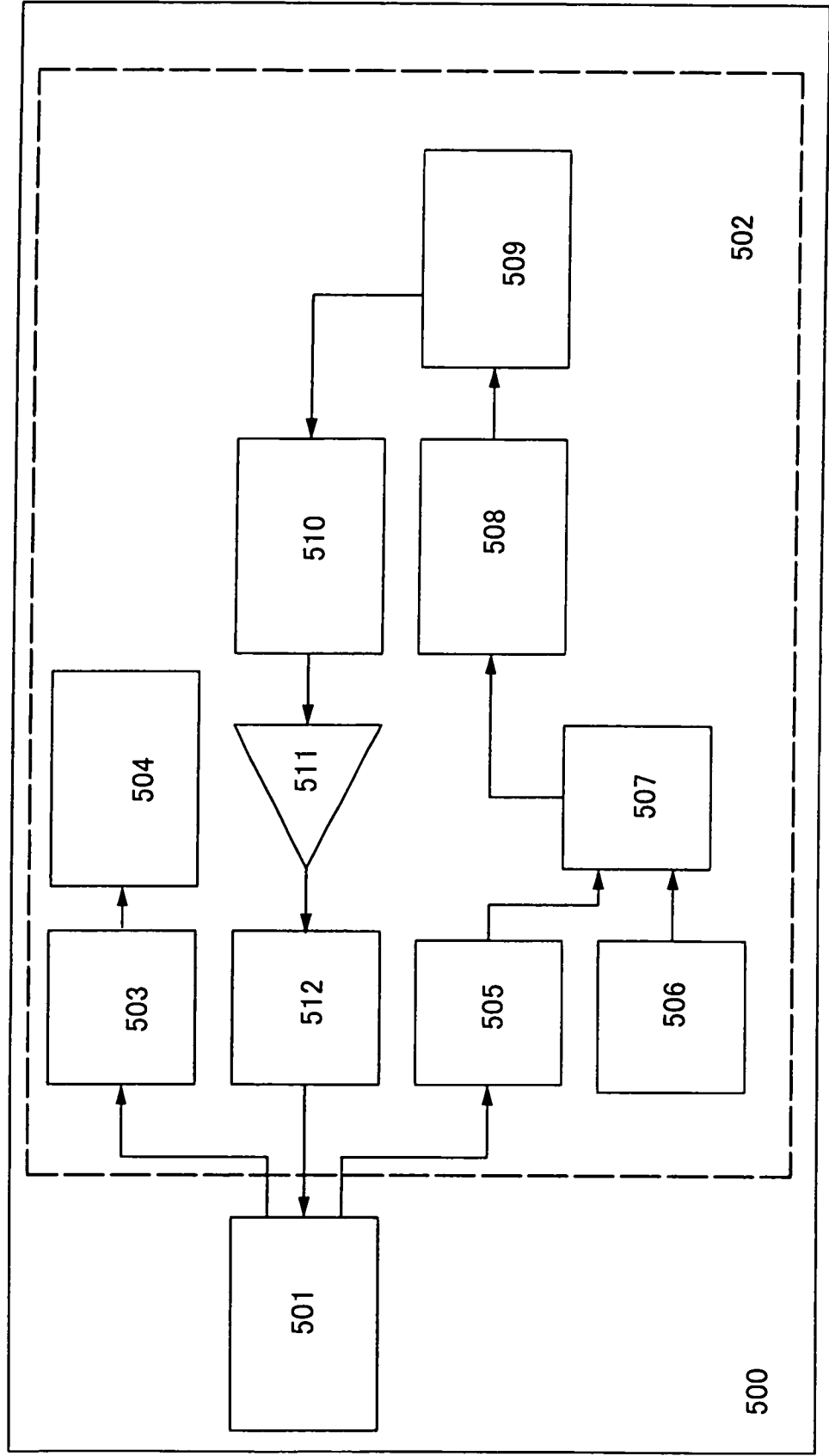
第9圖



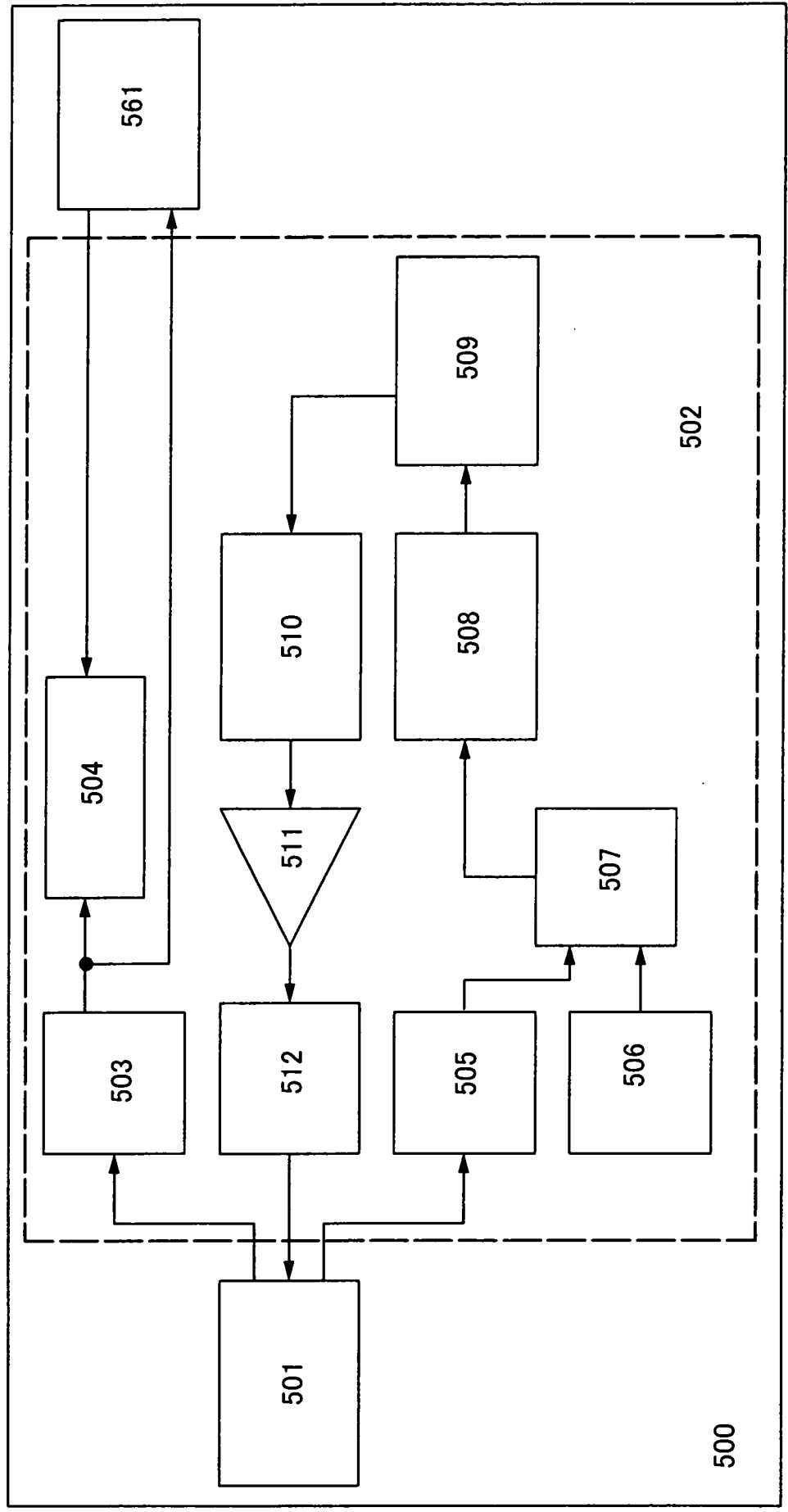
第10圖



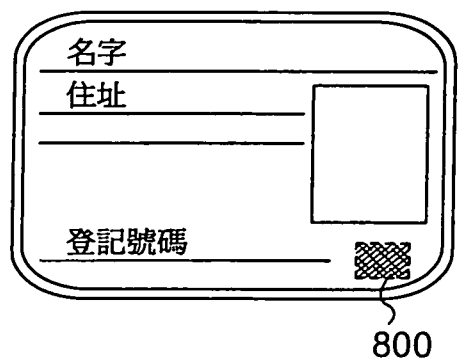
第11圖



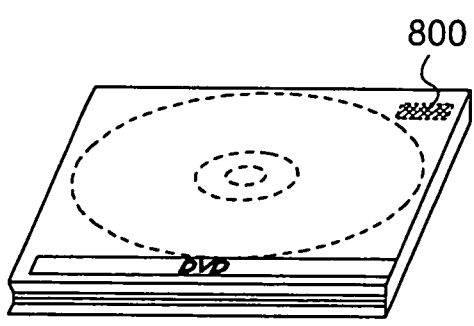
第12圖



第13A圖



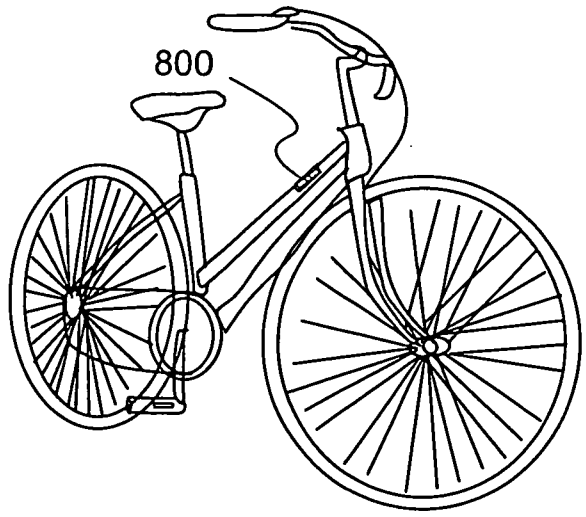
第13B圖



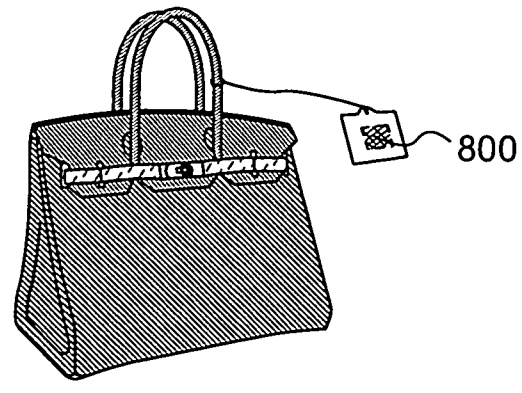
第13C圖



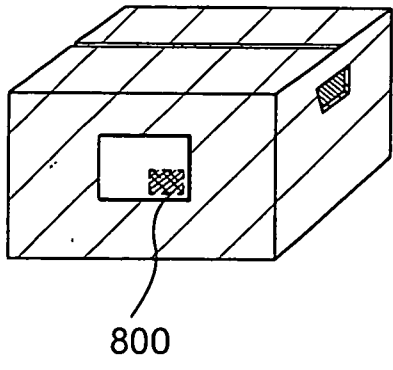
第13D圖



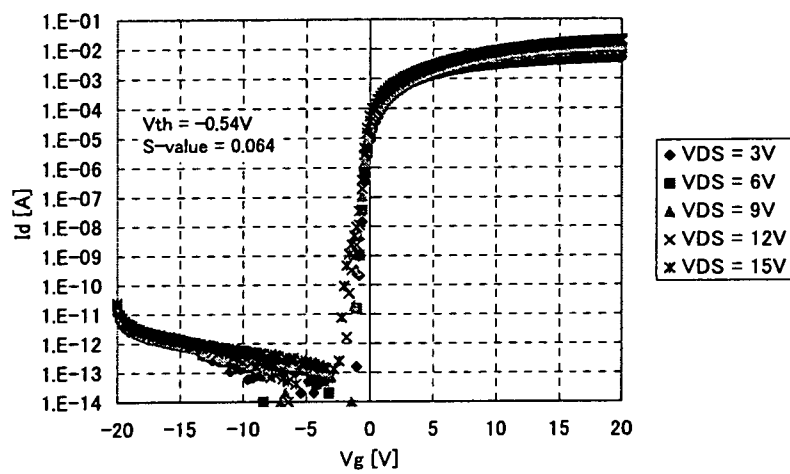
第13E圖



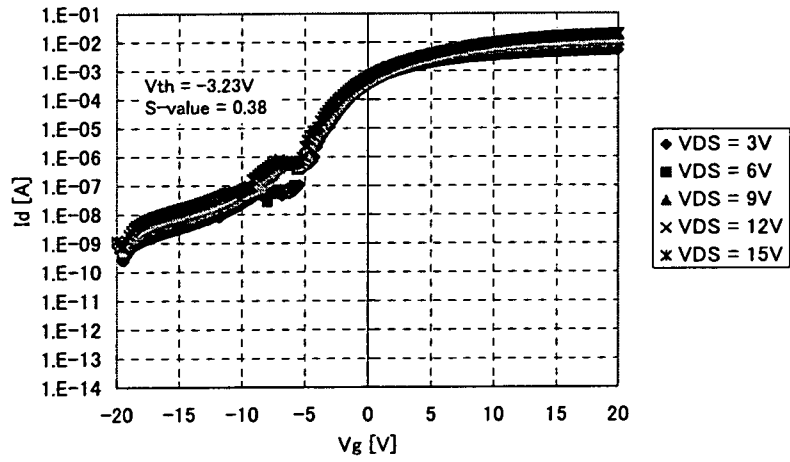
第13F圖



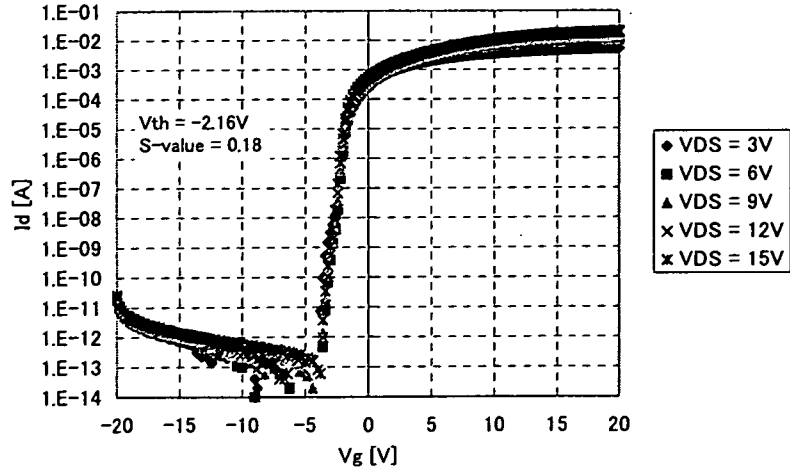
第14A圖



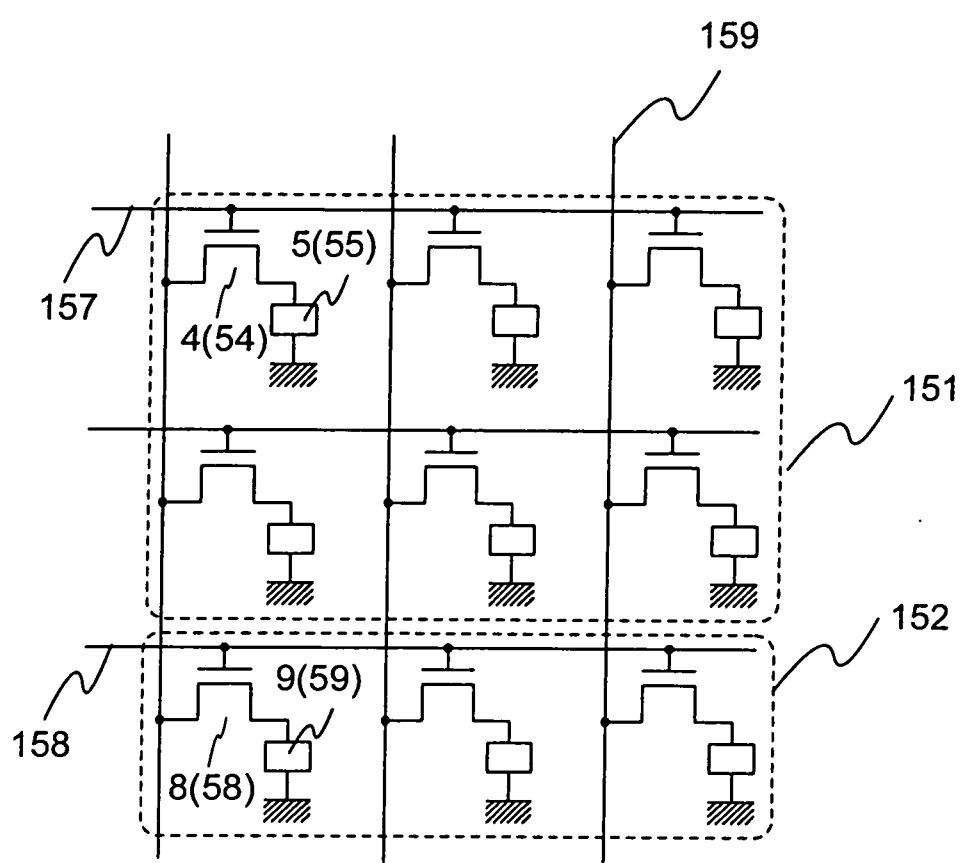
第14B圖



第14C圖



第15圖



第16圖

