

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(21) 출원번호	10-2000-7013620	(65) 공개번호	10-2001-0052492
(22) 출원일자	2000년12월01일	(43) 공개일자	2001년06월25일
번역문 제출일자	2000년12월01일		
(86) 국제출원번호	PCT/US1999/012714	(87) 국제공개번호	WO 1999/65073
국제출원일자	1999년06월07일	국제공개일자	1999년12월16일

AP ARIPO특허 : 케냐, 레소토, 말라위, 수단, 스와질랜드, 우간다, 시에라리온, 가나, 감비아, 짐바브웨.

EA 유라시아특허 : 아르메니아, 아제르바이잔, 벨라루스, 키르키즈스탄, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크맨.

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 리히텐슈타인, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀란드, 사이프러스

OA OAPI특허 : 부르키나파소, 베닌, 중앙아프리카, 콩고, 코트디브와르, 카메룬, 가봉, 기니, 말리, 모리타니, 니제르, 세네갈, 차드, 토고, 기니 비사우.

(30) 우성퀴즈장 09/093 207 1998년06월08일 미국(US)

(73) 특허권자 크리 인코포레이티드  
미국 노쓰 캐롤라이나 27703-8475 더럼 실리콘 드라이브 4600

(72) 발명자 수보로프알렉산더브이.  
미국노쓰캐롤라이나27713더럴쇠어워터드라이브100아파트먼트케이

팔무어준더블유.  
미국노쓰캐롤라이나27606램리히터스블러프드라이브2920

싱란비어  
미국노쓰캐롤라이나27513캐리로즈다운드라이브100아파트먼트2씨

(74) 대리인

리엔목특허법인

심사관 : 이강하

## (54) 이온 주입 및 수평 확산에 의해 실리콘 카바이드 전력소자를 제조하는 자기 정렬 방법

## 요약

실리콘 카바이드 전력 소자는 마스크의 개구부를 통해 p형 불순물을 실리콘 카바이드 기판으로 주입하여 p형 주입 영역을 형성함으로써 제조된다. 마스크의 같은 개구부를 통해 실리콘 카바이드 기판으로 n형 불순물을 주입하여 p형 주입 영역에 비해 얇은 n형 주입 영역을 형성한다. 다음 깊은 p형 주입 영역이 얇은 n형 주입 영역을 통과하여 실리콘 카바이드 기판으로 수직 확산되지 않고, 얇은 n형 주입 영역을 둘러싸는 실리콘 카바이드 기판 표면으로 수평 확산되기에 충분한 시간 및 온도에서 어닐링을 수행한다. 따라서, 자기 정렬된 얇고 깊은 주입 영역이 이온 주입에 의해 형성되고, 높은 확산도를 갖는 p형 불순물의 주된 확산은 증진시키고, 낮은 확산도를 갖는 n형 불순물은 상대적으로 고정시키는 어닐링에 의해 잘 조절된 채널 영역이 형성된다. 상기의 과정에 의해, p 베이스가 n형 소스 주위에 형성된다. 수평 및 수직 전력 MOSFET이 제조될 수 있다.

## 대표도

도 3g

## 명세서

## 기술분야

본 발명은 전력 소자의 제조 방법에 관한 것으로, 특히 실리콘 카바이드 전력 소자의 제조 방법에 관한 것이다.

## 배경기술

전력 소자는 대전류를 운반하고 고전압을 유지하기 위해 널리 이용된다. 일반적으로 최근의 전력 소자는 단결정 실리콘 반도체 물질로부터 제조되고 있다. 널리 사용되고 있는 전력 소자의 하나는 전력 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)이다. 전력 MOSFET에서 제어 신호는 반드시 이에 한정되지는 않지만, 실리콘 다이옥사이드로 이루어지는 절연체에 의해 반도체 기판 표면과 분리되어 있는 게이트 전극에 전달된다. 전류의 전도는 바이폴라 트랜지스터의 구동에 이용되는 소수 캐리어(carrier)의 주입 없이 다수 캐리어의 이동에 의해서 이루어진다. 전력 MOSFET은 매우 안정된 구동 영역을 제공할 수 있고, 단위셀 구조로 병렬 연결될 수 있다.

당업자들에게 잘 알려진 바와 같이, 전력 MOSFET은 수평 구조 또는 수직 구조를 포함한다. 수평 구조에서 드레인, 게이트 및 소스 단자들이 기판의 동일 표면 상에 위치한다. 대조적으로, 수직 구조에서 소스와 드레인은 기판의 양쪽 표면 상에 위치한다.

넓리 사용되고 있는 실리콘 전력 MOSFET의 하나는 이중 확산 공정을 이용하여 제작된 이중 확산 MOSFET(double diffused MOSFET;DMOSFET)이다. 이 소자에서 p형 베이스 영역과 n<sup>+</sup> 소스 영역은 마스크의 공통적인 개구부를 통해 확산된다. p형 베이스 영역이 n<sup>+</sup> 소스 영역보다 더 깊이 형성된다. p형 베이스와 n<sup>+</sup> 소스 사이의 수평 확산 차이에 의해 표면 채널 영역이 형성된다. DMOSFET을 포함한 전력 MOSFET의 개관은 1996년에 PWS 출판사에서 발간된 비.제이.발리거(B.J.Baliga)가 쓴 "전력 반도체 소자"라는 책에서, 특히 "전력 MOSFET"이란 제목의 7장에서 찾을 수 있다. 상기 책의 개시 내용은 본 명세서에 참고 문헌으로 함께 결합시킨다.

최근의 전력 소자 개발 노력은 전력 소자에 실리콘 카바이드(SiC)를 이용하는 것에 대한 연구도 포함한다. 실리콘 카바이드는 실리콘에 비하여 넓은 밴드 갭, 고용접, 저유전율, 높은 항복 필드 강도(breakdown field strength), 높은 열전도율 및 높은 포화(saturation) 전자 드리프트 속도를 갖는다. 이러한 특성들이 실리콘 카바이드 전력 소자들을 종래의 실리콘

계 전력 소자들보다 고온, 고전력에서 낮은 고유 온-저항(specific on-resistance)을 가지고 구동하게 해준다. 실리콘 소자 대비 실리콘 카바이드 소자의 우수함에 대한 이론적인 분석은 반트나거(Bhantnager)등이 쓴 "Comparison of 6H-SiC, 3C-SiC and Si for Power Devices"(IEEE Transactions on Electron Devices, Vol.40, 1993, pp.645-655.)라는 제목의 출판물에서 찾을 수 있다. 실리콘 카바이드로 제조된 전력 MOSFET은 본 발명의 양수인에게 양도되고 "Power MOSFET in Silicon Carbide"이라는 제목으로 팔머(Palmour)씨에게 허여된 미합중국 특허 5,506,421호에 기술되어 있다.

이러한 잠재적인 이점에도 불구하고, 전력 MOSFET을 포함해서 전력 소자를 실리콘 카바이드로 제조하기는 용이하지 않다. 예를 들면, 언급한 바와 같이, 이중 확산 MOSFET은 일반적으로 p형 베이스 영역이 n<sup>+</sup> 소스 영역보다 더 깊이 드라이브-인되는 이중 확산 공정을 이용하여 실리콘에 제조된다. 불운하게도, 실리콘에 비해 실리콘 카바이드에서는 전형적인 p형 및 n형 불순물의 확산 계수가 작기 때문에, 적절한 확산 시간과 온도를 이용하여 원하는 깊이의 p베이스 및 n<sup>+</sup> 소스 영역을 얻기가 어렵다. 이온주입을 이용하여 p베이스 및 n<sup>+</sup> 소스를 형성하기도 한다. 예를 들면, 셰노이(Shenoy)등이 쓴 "High-Voltage Double-Implanted Power MOSFET's in 6H-SiC"(IEEE Electron Device Letters, Vol.18, No.3, March 1997, pp.93-95.)을 참조하라. 그러나, 이온 주입 영역의 깊이 및 수평 범위를 조절하는 것은 어렵다. 더우기, 소스 영역을 둘러싸는 표면 채널을 형성하기 위해서는 두 개의 별개의 주입 마스크가 필요하다. 그래서 p 베이스 및 소스 영역은 서로 정렬되기가 어려워져서, 소자의 성능에 잠재적으로 영향을 미칠 것이다.

### 발명의 상세한 설명

따라서, 본 발명의 목적은 실리콘 카바이드 전력 MOSFET을 포함한 실리콘 카바이드 전력 소자의 개선된 제조 방법을 제공하는 것이다.

본 발명의 다른 목적은 소스 및 p베이스 영역에 별개의 마스크를 요구하지 않는 실리콘 카바이드 전력 MOSFET을 포함한 실리콘 카바이드 전력 소자의 제조 방법을 제공하는 것이다.

본 발명의 또 다른 목적은 소자의 소스 영역에 정렬될 수 있는 채널 영역을 형성할 수 있는 실리콘 카바이드 전력 소자의 제조 방법을 제공하는 것이다.

상기의 목적과 그 외의 목적을 달성하기 위하여 실리콘 카바이드 전력 소자의 제조 방법은 본 발명에 따라, 마스크의 개구부를 통해 p형 불순물이 실리콘 카바이드 기판에 주입되어 깊은 p형 주입 영역을 형성하고, 마스크의 같은 개구부를 통해 n형 불순물이 실리콘 카바이드 기판에 주입되어 p형 주입 영역에 비해 얕은 n형 주입 영역을 형성한다. 다음, 깊은 p형 주입 영역이 얕은 n형 주입 영역을 통과하여 실리콘 카바이드 기판 표면으로 수직 확산되는 것 없이, 상기 얕은 n형 주입 영역을 둘러싸는 상기 실리콘 카바이드 기판 표면으로 수평 확산을 하기에 충분한 온도에서 충분한 시간동안 어닐링한다. 따라서, 이온 주입에 의해 자기 정렬된 얕은 주입 영역 및 깊은 주입 영역이 형성되고, 높은 확산 계수를 갖는 p형 불순물의 주된 확산은 촉진시키고, 낮은 확산 계수를 갖는 n형 불순물은 상대적으로 고정시키는 어닐링에 의해 양호하게 제어된 채널영역이 형성된다. 상기와 같은 공정으로 n형 소스 주변에 p형 베이스가 형성된다.

본 발명에 따라, 얕은 n형 주입 영역의 존재는 깊은 p형 주입영역이 n형 주입 영역을 통과하여 실리콘 카바이드 기판 표면으로 수직 확산되는 것을 막고, n형 주입 영역을 둘러싸는 실리콘 카바이드 기판 표면으로 수평 확산되게 함을 알 수 있다. 특히, 어떤 구동 이론으로 규정되기를 바라진 않지만, n형 질소 불순물이 n형 영역의 탄소 베이컨시를 줄여서 어닐링 동안에 깊은 p형 주입 영역이 n형 소스 영역으로 확산되는 것을 방지하는 것으로 이론화될 수 있다. 따라서, 고성능의 자기 정렬 실리콘 카바이드 전력 소자가 형성된다.

n형 불순물의 주입 단계 전에 p형 불순물의 주입 단계를 수행하는 것으로 이해될 것이다. 또는, n형 불순물을 일차 주입한 후 예를 들면, 어닐링하여 n형 불순물을 전기적으로 활성화시킨다. 그리고나서, p형 불순물을 주입한다. 실리콘 카바이드의 n형 불순물은 전형적으로 질소를 포함하고, p형 불순물은 보론 또는 베릴륨을 포함하는 것으로 이해될 것이다. 현재 본 발명의 깊은 p형 불순물로는 실리콘 카바이드 기판과 가파른 접합을 형성하면서 깊이 주입되는 베릴륨이 더 바람직하다.

본 발명의 다른 견지에 따라, 실리콘 카바이드 기판 표면에 수평으로 확산된 깊은 p형 주입 영역과 전기적으로 접촉하는 알루미늄 웨를 선택적으로 주입한다. 이때, 알루미늄 웨와 얕은 n형 주입 영역을 접촉시키기 위해 오믹 콘택을 제공할 수 있는 니켈 콘택이 사용될 수 있다.

수평 실리콘 카바이드 전력 MOSFET은 본 발명에 따라 실리콘 카바이드 기판 표면의 드리프트 영역에 알루미늄 웨를 주입하여 제조될 수 있다. 각기 알루미늄 웨 양쪽의 드리프트 영역 상에 제1 개구부 쌍을 한정하기 위해 실리콘 카바이드 기

판 표면의 드리프트 영역을 마스킹한다. 깊은 p형 주입 영역을 형성할 주입 에너지 및 주입량으로 제1 개구부 쌍을 통해 실리콘 카바이드 기판으로 p형 불순물을 주입한다. 깊은 p형 주입 영역에 비해 얕은 n형 주입 영역을 형성할 주입 에너지 및 주입량으로 제1 개구부 쌍을 통해 실리콘 카바이드 기판으로 n형 불순물을 주입한다. p형 불순물이 일차 주입되고, 두번재로 n형 불순물이 주입되는 것으로 이해될 것이다. 또는, n형 불순물이 일차 주입되어 활성화되고, 그 후 p형 불순물이 주입될 수도 있다.

다음 알루미늄 웰 양쪽으로 얕은 n형 주입 영역 각각으로부터 이격되게 드리프트 영역 상에 제2 개구부 쌍을 형성하기 위해 실리콘 카바이드 기판 표면의 드리프트 영역을 마스킹한다. 한 쌍의 드레인 영역을 형성하기 위해 상기 제2 개구부 쌍을 통해 상기 실리콘 카바이드 기판으로 n형 불순물이 주입된다. 깊은 p형 주입 영역이 얕은 n형 주입 영역을 통과하여 실리콘 카바이드 기판으로 수직 확산되지 않고, 얕은 n형 주입 영역을 둘러싸는 실리콘 카바이드 기판 표면으로 수평 확산되기에 충분한 시간 및 온도에서 어닐링을 수행한다. 그러면 알루미늄 웰의 각 양쪽에, 실리콘 카바이드 기판 표면의 수평 확산된 p형 주입 영역 내에 한 쌍의 채널 영역이 형성된다.

실리콘 카바이드 기판 표면의 드리프트 영역 상에 그 각각이 각각의 채널 영역과 접촉된 한 쌍의 게이트 절연 영역이 형성된다. 얕은 n형 주입 영역 및 그 사이의 알루미늄 웰 상에 공통의 소스 콘택, 드레인 영역 상에 한 쌍의 드레인 콘택 및 게이트 절연 영역 상에 한 쌍의 게이트 콘택이 각각 형성된다. 상기의 과정으로 더 큰 소자의 단위 셀을 형성할 수 있는 공통의 소스를 갖는 한 쌍의 실리콘 카바이드 수평 전력 MOSFET이 형성된다.

p형 불순물 및 n형 불순물은 각각 하나의 에너지 및 주입량을 갖고 한 번의 주입으로 주입될 수 있다는 것은 이해될 것이다. 또는, 얕은 또는/및 깊은 주입 영역을 형성하기 위해 여러가지의 주입 에너지 및 주입량이 사용될 수 있다. 상술한 바와 같이, n형 불순물로는 질소가 사용될 수 있다. p형 불순물은 보론, 더 바람직하게는, 베릴륨이 사용될 수 있다.

상술한 공정에서, 알루미늄 웰을 얕은 n형 주입 영역 사이에 주입하기 위해 드리프트 영역을 마스크로 덮고 얕은 및 깊은 주입 영역을 주입한 후에 알루미늄 웰을 주입할 수 있음도 당업자에게는 이해될 것이다. 또한, p형 불순물을 일차 주입하고 다음 n형 불순물을 주입하는 단계는, n형 불순물의 주입 후에 수행될 수 있다. 즉, 소스 영역의 형성 전에 드레인 영역이 형성될 수 있다. 또 다른 단계는, 소스 형성을 위한 얕은 n형 이온 주입 및 드레인 형성을 위한 n형 이온 주입이 동시에 수행될 수도 있다.

실리콘 카바이드 수직 전력 MOSFET은 본 발명에 따라, 이격되어 있는 한 쌍의 알루미늄 웰을 실리콘 카바이드 기판 표면의 드리프트 영역으로 주입하여 제조될 수 있다. 알루미늄 웰 쌍 사이의 드리프트 영역 상면에 제1 개구부 쌍을 한정하기 위해, 실리콘 카바이드 기판 표면의 드리프트 영역을 마스킹한다. 제1 개구부 쌍을 통해 p형 불순물이 실리콘 카바이드 기판으로 주입되어 깊은 p형 주입 영역을 형성한다. 제1 개구부 쌍을 통해 n형 불순물이 실리콘 카바이드 기판으로 주입되어 얕은 n형 주입 영역을 형성한다. 상술한 바와 같이, p형 불순물이 n형 불순물 전에 주입될 수 있고, 또는 n형 불순물이 주입되고 활성화된 다음 p형 불순물이 주입될 수 있다.

다음 깊은 p형 주입 영역이 얕은 n형 주입 영역을 통과하여 실리콘 카바이드 기판으로 수직 확산되지 않고, 얕은 n형 주입 영역을 둘러싸는 실리콘 카바이드 기판 표면으로 수평 확산되기에 충분한 시간 및 온도에서 어닐링을 수행한다. 상기의 과정으로 얕은 n형 주입 영역 사이에, 실리콘 카바이드 기판 표면의 수평 확산된 p형 주입 영역 내에 한 쌍의 채널 영역이 형성된다. 게이트 절연 영역이 채널 영역 쌍의 상면 및 그 사이로 연장되어 실리콘 카바이드 기판 표면에 형성된다. 각각의 얕은 n형 주입 영역의 상면 및 거기에 인접해 있는 알루미늄 웰의 상면에 공통의 소스 콘택 쌍, 게이트 절연 영역 상에 게이트 콘택, 드리프트 영역의 양쪽 실리콘 카바이드 기판의 표면 상에 드레인 콘택을 각각 형성한다.

수평 전력 MOSFET과 관련하여 상술한 바와 같이, 이온 주입에 하나의 에너지 및 주입량 또는 다수의 에너지 및 주입량이 이용될 수 있다. n형 불순물로는 질소가 사용될 수 있고 p형 불순물은 보론, 더 바람직하게는, 베릴륨이 사용될 수 있다. 알루미늄 웰은 p형 및 n형 불순물의 주입 후에 형성될 수 있어서, 제1 개구부 쌍의 바깥쪽에 주입된다. 따라서, 자기 정렬 방법에 의해 수평 및 수직 전력 MOSFET을 포함한 고성능의 실리콘 카바이드 소자를 형성할 수 있다.

## 도면의 간단한 설명

도 1a 내지 도 1g는 본 발명에 의한 수평 실리콘 카바이드 전력 MOSFET 제조 방법의 단면도들이다.

도 2는 도 1의 평면도이다.

도 3a 내지 도 3g는 본 발명에 의한 수직 실리콘 카바이드 전력 MOSFET 제조 방법의 단면도들이다.

도 4는 도 3g의 평면도이다.

도 5는 어닐링하는 동안 보론의 확산을 그래프로 나타낸 것이다.

도 6 및 도 7은 어닐링하는 동안 베릴륨의 확산을 그래프로 나타낸 것이다.

도 8은 어닐링하는 동안 질소 및 보론의 확산을 그래프로 나타낸 것이다.

### 실시예

이하 본 발명의 바람직한 실시예들을 나타낸 첨부 도면들을 참고하면 본 발명을 보다 충분히 설명한다. 그러나, 본 발명은 여러 가지 다른 형태로 구현될 수 있으며, 본 발명의 범위가 아래에서 나타낸 실시예로 한정되는 것으로 해석되어서는 안 된다. 그 보다는, 본 실시예들은 이 공개를 철저하고 완전하게 하고, 당업계에서 숙련된 자에게 본 발명의 의도를 충분히 전달하기 위해 제공되는 것이다. 도면에서 층 및 영역의 두께는 분명하게 하기 위해 과장된 것이다. 동일한 참조번호는 시종 동일한 요소를 의미한다. 층, 영역 및 기판과 같은 어떤 요소가 다른 요소의 "상"에 있다 라고 기재되는 경우에, 상기 어떤 요소는 다른 요소 위에 직접 존재할 수 있고, 또는 그 사이에 제3의 요소가 개재되어질 수 있다. 반대로, 어떤 요소가 다른 요소의 "직접 위"에 있다 라고 기재되는 경우에는 그 사이에 개재되는 요소가 없다.

도 1a 내지 도 1g를 참고하면 본 발명에 의한 한 쌍의 수평 전력 MOSFET의 제조 방법을 설명한다. 수평 전력 MOSFET은 자기 정렬 주입 및 확산을 실행하므로, 실리콘 카바이드 수평 전력 MOSFET은 수평 주입 확산된 MOSFET(Lateral Implanted Diffused MOSFETs) 또는 LiDMOSFET이라 한다.

도 1a를 참고하면, 그 상면에  $n^-$ 드리프트 영역(102)을 갖는 반절연체 기판과 같은 기판(100)이 제공된다. 기판(100)이 도핑되거나 도핑되지 않은 실리콘 카바이드 또는 이에 한정되는 것은 아니지만, 갈륨 나이트라이드를 포함하여 실리콘 카바이드와 격자 정합이 되는 다른 물질로 구성될 수 있음은 당업자에게는 이해될 것이다. 기판(100)은 완전한 반절연체로 기판(100)을 통한 인접한 소자 사이의 수직 전도를 방지한다.  $n^-$ 드리프트 영역(102)은 에피택시 증착, 이온 주입 또는 다른 전형적인 기술로 형성될 수 있다. 기판(100)과  $n^-$ 드리프트 영역(102)의 조합을 한데 묶어 기판이라고 할 수도 있다.  $n^-$ 드리프트 영역(102)은 약  $10^{12} \text{ cm}^{-3}$  내지 약  $10^{17} \text{ cm}^{-3}$ 의 캐리어 농도를 갖고, 약  $3\mu\text{m}$  내지 약  $500\mu\text{m}$ 의 두께를 갖는다. 기판(100)은 약  $100\mu\text{m}$  내지 약  $500\mu\text{m}$ 의 두께를 갖는다. 기판(100)과  $n^-$ 드리프트 영역(102)의 제조는 당업자에게 잘 알려져 있으므로 더이상 언급할 필요는 없다.

도 1b를 참고하면,  $n^-$ 드리프트 영역(102)의 표면(102a) 상에 제1 마스크(104)가 패터닝된다. 제1 마스크(104)는 실리콘 다이옥사이드 또는 다른 전형적인 차폐 물질로 형성될 수 있다. 도 1b에서, 제1 마스크(104)는  $n^-$ 드리프트 영역(102)의 표면(102a) 일부를 노출시키는 개구부를 한정한다. 도 1b에서, p형 이온(106), 바람직하게는 알루미늄 이온은 선택적으로 표면(102a)를 통해  $n^-$ 드리프트 영역(102)으로 주입되어, 드리프트 영역(102)에 선택적인  $p^+$  웨(108)을 형성한다. 이후에 기술되는 바와 같이,  $p^+$  웨(108)은 p형 확산 영역에 대한 오믹 콘택을 개선시킬 수 있다.

도 1c를 참고하면, 실리콘 다이옥사이드 또는 전형적인 다른 차폐 물질로 형성된 제2 마스크가  $n^-$ 드리프트 영역(102) 상에 패터닝되어 각각  $p^+$  웨(108) 양쪽의 드리프트 영역 상에 위치하는 제1 개구부 쌍(114a,114b)를 형성한다. 다음, 보론이나 베릴륨 같은 p형 불순물(116)이 제1 개구부 쌍(114a,114b)을 통해  $n^-$ 드리프트 영역(102)으로 주입되어  $p^+$  웨(108) 양쪽에 한 쌍의 깊은  $p^+$  주입 영역(118a,118b)을 형성한다. 아래에 기술되는 바와 같이, 베릴륨은 드리프트 영역(102)과 가파른 접합을 형성할 수 있으므로 베릴륨이  $p^+$  주입 영역에 더 바람직하다. 깊은  $p^+$  주입 영역(118a,118b)은 한번의 주입과 주입량으로 형성되는데, 예를 들면,  $180\text{keV}$ 의 에너지와  $4 \times 10^{15} \text{ cm}^{-2}$ 의 주입량을 가진 보론 이온을 주입함으로써, 약  $10^{16} \text{ cm}^{-3}$ 의 캐리어 농도를 제공한다. 베릴륨은 또한  $40\text{keV}$ 의 에너지와  $3.2 \times 10^{15} \text{ cm}^{-2}$ 의 주입량으로 주입될 수 있다. 대신에, 여러가지의 주입량 및/또는 에너지가 이용될 수 있다.

도 1d를 참고하면, 제2 마스크(112)를 제거하지 않고, 질소와 같은 n형 이온이 제1 및 제2 개구부(114a,114b)를 통해 주입되어 한 쌍의 얇은 n<sup>+</sup>형 주입 영역(124a,124b)을 형성한다. 아래에 기술된 바와 같이, 한 가지의 또는 여러가지의 불순물이 이용될 수 있다. 약 10<sup>18</sup> cm<sup>-3</sup>이상의 캐리어 농도가 제공되어질 수 있다. 같은 제2 마스크가 도 1c의 깊은 p<sup>+</sup>주입 영역과 도 1d의 얇은 n<sup>+</sup>형 주입 영역에 이용되므로, 이 주입 영역들은 서로 자기 정렬된다.

도 1e를 참고하면, 제2 마스크(112)가 제거되고 제3 마스크(126)가 형성된다. 도 1e에서, 실리콘 다이옥사이드 또는 전형적인 다른 차폐 물질로 형성된 제3 마스크(126)는 드리프트 영역(102)의 표면(102a)상에 제2 개구부 쌍(128a,128b)를 형성한다. 제2 개구부 쌍(128a,128b)은 p<sup>+</sup>웰(108) 양쪽에 각각 얇은 n<sup>+</sup>형 주입 영역(124a,124b)으로부터 이격되어 위치한다.

역시 도 1e를 참고하면, 질소와 같은 p형 불순물(130)은 제2 개구부 쌍(128a,128b)을 통해 n<sup>-</sup>드리프트 영역(102)으로 주입되어 한 쌍의 n<sup>+</sup>드레인 영역(134a,134b)을 형성한다. 다음, 제3 마스크(126)는 제거된다.

도 1b, 1c, 1d 및 1e 단계의 순서가 바뀔 수 있음은 당업자에게는 이해될 것이다. 따라서, 예를 들면, 도 1b의 p<sup>+</sup>웰(108)은 도 1c의 p<sup>+</sup>주입 영역(118a,118b)을 형성한 후에 형성될 수도 있고, 도 1d의 얇은 n<sup>+</sup>주입 영역(124a,124b)을 형성한 후에 형성될 수도 있다. 도 1b의 p<sup>+</sup>웰(108)은 도 1e의 n<sup>+</sup>드레인 영역(134a,134b)의 형성 후에 형성될 수도 있다. 또한, 도 1c의 깊은 p<sup>+</sup>주입 영역(118a,118b)은 도 1d의 얇은 n<sup>+</sup>형 주입 영역(124a,124b)의 형성 후에 형성될 수 있다. 이런 경우에, n<sup>+</sup>주입 영역(124a,124b)의 형성 후에, 마스크가 견딜 수 있고 n형 불순물을 전기적으로 활성화시키기에 충분한 시간 및 온도에서 어닐을 수행하는 것이 바람직하다.

도 1e의 n<sup>+</sup>드레인 영역(134a,134b)은 도 1d의 얇은 n<sup>+</sup>주입 영역(124a,124b), 도 1c의 깊은 p<sup>+</sup>주입 영역(118a,118b) 및 /또는 도 1b의 p<sup>+</sup>웰(108)의 형성 전에 형성될 수도 있다. n<sup>+</sup>드레인 영역(134a,134b)은 도 1d의 얇은 n<sup>+</sup>주입 영역(124a,124b)과 동시에 주입될 수도 있다. n<sup>+</sup>드레인 영역(134a,134b)이 도 1d의 얇은 n<sup>+</sup>주입 영역(124a,124b)과 동시에 주입되는 경우에는, 동시에 주입을 위해 제2 개구부 쌍(128a,128b)이 제2 마스크(112)에 형성될 수 있다.

도 1f를 참고하면, 어닐은 각각의 깊은 p형 주입 영역이 각각의 얇은 n<sup>+</sup>주입 영역(124a,124b)을 통과하여 실리콘 카바이드 기판 표면으로 수직 확산되는 것 없이, 각각의 얇은 n형 주입 영역을 둘러싸는 실리콘 카바이드 기판 표면(102a)으로 수평 확산 되기에 충분한 온도 및 시간동안 수행된다. 예를 들면, 깊은 p형 주입 영역의 얇은 n<sup>+</sup>주입 영역(124a,124b)으로의 수직 확산은 얇은 n<sup>+</sup>주입 영역(124a,124b) 두께의 0.5%보다 작게 일어나는 것이 바람직하다. 예를 들면, 1600°C에서 5분동안의 어닐링에 의해 깊은 p형 주입 영역이 약 1μm 확산된다. 그러나, 다른 어닐링 시간과 온도가 이용될 수 있다. 예를 들면, 약 1500°C와 약 1600°C 사이의 어닐링 온도 및 약 1분에서 30분 사이의 어닐링 시간이 보론을 깊은 p형 주입 영역으로부터 수직 및 수평 방향으로 약 0.5μm에서 3μm 거리까지 확산시키는데 이용될 수 있다.

따라서, 깊은 p<sup>+</sup>주입 영역(118a,118b)을 화살표"142"로 표시된 바와 같이 표면(102a)으로부터 수직하게, 화살표"144"로 표시된 바와 같이 표면(102a)으로 수평 및 수직 확산시켜 p<sup>+</sup>확산 영역(136a,136b)이 형성된다. 화살표"144"로 표시된 바와 같이 수평 확산은 얇은 n<sup>+</sup>주입 영역(124a,124b) 주위에서 p<sup>+</sup>웰(108) 양쪽 드리프트 영역의 표면(102a)으로 확산한다. "136c" 영역으로 표시되는 바와 같이, p<sup>+</sup>웰(108)로도 수평 확산이 일어나서, 오믹 콘택을 더 개선시킨다.

마지막으로, 도 1g를 참고하면, 절연된 게이트, 소스 및 드레인 콘택이 형성된다. 예를 들면, 소스 콘택(146) 및 이격되어 있는 한 쌍의 드레인 콘택(147a,147b)은 전면적으로 니켈을 증착한 다음 전면적으로 증착한 니켈을 패터닝하여 형성된다. 소스 콘택(146)은 도 1g에서 "S"로 나타내고, 드레인 콘택(147a,147b)은 도 1g에서 "D1" 및 "D2"로 나타내었다. 도 1g에 보여지는 바와 같이, 소스 콘택은 얇은 n<sup>+</sup>주입 영역(124a,124b) 및 p<sup>+</sup>웰(108) 상면으로 연장된 공통의 소스 콘택을 제공한다. 드레인 콘택(147a,147b)은 각각 n<sup>+</sup>드레인 영역(134a,134b)과 전기적으로 접촉되어 있다.

계속해서 도 1g를 참고하면, 게이트 절연 영역(148a,148b), 예를 들면, 실리콘 다이옥사이드는 p<sup>+</sup>웰(108)의 양쪽 n<sup>-</sup>드리프트 영역(102)의 표면으로 수평 확산된 p<sup>+</sup>확산 영역(136a,136b)의 각 부분과 접촉되어 있는 n<sup>-</sup>드리프트 영역(102)의 표

면(102a) 상에 형성된다. 따라서, 상기 영역들이 수평 확산된 p형 주입 영역 내 실리콘 카바이드 기판 표면에 채널 영역 쌍(150a,150b)을 형성한다. 상기의 과정으로 소스 영역에 정렬된 자기 정렬 채널 영역이 형성된다. 다음 게이트 콘택 쌍(152a,152b)이 각각의 게이트 절연 영역(148a,148b) 상에 형성된다. 게이트 콘택은 도 1g에서 "G1" 및 "G2"로 표시되고 니켈로 이루어져 있다.

도 1g에서 기술된 절연 영역 및 콘택의 형성은 상술된 것과 다른 공정으로 실행될 수 있음도 이해될 것이다. 예를 들면, 게이트 콘택(152a,152b)은 소스 콘택(146) 및 드레인 콘택(147a,147b)과 동시에 형성될 수 있다. 바람직하게는, 게이트 콘택(152a,152b)은 소스 콘택(146) 및 드레인 콘택(147a,147b)의 형성 전에 형성된다.

도 2는 도 1g의 완성된 소자의 평면도이다. 보여지는 바와 같이, 한 쌍의 공통 소스 LIDMOSFET이 형성되어 있다. 단위 셀 어레이를 형성하기 위해 한 쌍의 공통 소스 LIDMOSFET이 반복될 수 있음은 이해될 것이다. 또한, 공통의 소스를 포함하지 않는 단위셀이 요구될 경우 도 1a 내지 도 1g의 왼쪽 반 또는 오른쪽 반도 반복될 수 있다.

도 3a 내지 3g를 참고하면, 본 발명에 의한 수직 실리콘 카바이드 전력 MOSFET의 제조 방법이 기술된다. 수직 전력 MOSFET은 주입 및 확산을 이용하여 형성되기 때문에, 이런 점에서, 실리콘 카바이드 수직 확산된 MOSFET(Vertical Diffused MOSFETs; VDMSFETs)이라고도 한다.

도 3a를 참고하면, n<sup>-</sup>드리프트 영역(102)을 포함한 실리콘 카바이드 기판(100<sup>̄</sup>)이 제공되어 있다. 도 3a 내지 3g는 기판을 통한 전도를 포함하는 수직 MOSFET의 형성을 나타내는 것이므로, 기판(100<sup>̄</sup>)은 공지 기술에 의해 형성된 n<sup>+</sup>도전성 실리콘 카바이드 기판인 것이 바람직하다. n<sup>+</sup>도전성 실리콘 카바이드 기판은 약 10<sup>16</sup>cm<sup>-3</sup> 내지 10<sup>19</sup>cm<sup>-3</sup>사이의 캐리어 농도를 갖는다. n<sup>-</sup>드리프트 영역(102)은 도 1a에 상술한 바와 같이 형성될 수도 있다. 이미 기술한 바와 같이, n<sup>+</sup>기판(100<sup>̄</sup>) 및 n<sup>-</sup>드리프트 영역(102)의 조합을 기판이라 할 수 있음은 이해될 것이다.

도 3b를 참고하면, 한 쌍의 이격된 p<sup>+</sup>웰(108a,108b)이 실리콘 카바이드 기판의 표면(102a)에서 드리프트 영역(102)으로 주입된다. 한 쌍의 이격된 p<sup>+</sup>웰(108a,108b)은 도 1d에 상술된 방법과 같이, 한 쌍의 개구부를 포함한 제1 마스크(104<sup>̄</sup>)를 이용해서 드리프트 영역(102)의 표면(102a)으로 주입된다. 이미 상술한 바와 같이, p<sup>+</sup>웰은 알루미늄 이온(106)을 주입하여 형성되는 것이 바람직하다.

수직 실리콘 카바이드 MOSFET이 일반적으로 단위셀로 반복되는 것은 당업자에게 이해될 것이다. 따라서, 도 3b 내지 도 3g 및 도 4에서 선"110a","110b" 사이의 단위셀을 나타내고 상술할 것이다. 편의상, 선"110a","110b" 밖의 반복된 단위셀은 나타내지 않는다.

도 3c를 참고하면, 알루미늄 웰(108a,108b)사이에 한 쌍의 개구부(114a,114b)를 형성하기 위해 사용되는 변형된 제2 마스크(112<sup>̄</sup>)외에는 도 1c에서 상술한 바와 같이 한 쌍의 개구부(114a,114b)가 형성된다. 다음 보론, 더 바람직하게는 베릴륨이온(116)이 도 1c에 상술한 바와 같이 깊은 p<sup>+</sup>주입 영역(118a,118b)을 형성하기 위해 주입된다.

도 3d를 참고하면, 같은 제2 마스크(112<sup>̄</sup>)를 사용하여, 도 1d에 상술한 바와 같이 예를 들면 질소 이온(122)을 이용해서 얇은 n<sup>+</sup>형 주입 영역(124a,124b)이 주입된다.

도 3e를 참고하면, 어널은 도 1f에서 이미 상술한 바와 같은 방법으로 수행된다. 도 3a 내지 3g는 수직 MOSFET의 형성을 나타내므로, 도 1e에서 보여진 바와 같이 n<sup>+</sup>드레인 영역(134a,134b)의 제조는 생략될 수 있음은 이해될 것이다. 또한 도 1b 내지 도 1f에서 이미 상술한 바와 같이, p<sup>+</sup>웰(108a,108b), 깊은p<sup>+</sup>주입 영역(118a,118b) 및 얇은 n<sup>+</sup>형 주입 영역(124a,124b)의 제조 순서는 바뀔 수 있다.

도 3f를 참고하면, 도 1g에서 상술한 바와 같이, 예를 들면 니켈로 이루어진 소스 콘택(146a,146b)이 얇은 n형 주입 영역(124a,124b)상에 형성되고 상기 주입 영역에 인접한 p웰(108a,108b)상으로 연장된다. 드레인 콘택(147)은 n<sup>-</sup>드리프트 영역(102)의 반대쪽 실리콘 카바이드 기판(100<sup>̄</sup>)표면 상에 형성된다. 드레인 콘택(147)도 니켈로 이루어지는 것이 바람직하다.

마지막으로, 도 3g를 참고하면, 게이트 절연 영역(148)이 각각의 얇은 n형 주입 영역을 둘러싸고, 실리콘 카바이드 기판 표면으로 확산된 깊은 p형 주입 영역(1361,136b)의 상면 및 그 사이로 연장되어, 드리프트 영역(102)의 표면(102a)에 형성된다. 따라서, 상기 영역들이 얇은 n형 주입 영역 사이의 실리콘 카바이드 기판 표면(102a)의 p형 수평 확산 주입 영역 내에 채널 쌍(150a,150b)을 형성한다. 예를 들면 니켈로 이루어진 게이트 콘택(152)은 게이트 절연 영역(148) 상에 형성된다. 도 1g에서 상술한 바와 같이, 게이트 절연 영역(148)과 소스, 드레인 및 게이트 콘택의 형성순서는 바뀔 수 있다.

도 4는 완성된 구조의 평면도이다. 바닥 표면 상의 드레인 콘택은 보이지 않는다.

이하 본 발명에 따른 실리콘 카바이드 전력 MOSFET의 형성에서 부가적으로 고려할 사항을 상술한다.

도 1b내지 도 1g의 p<sup>+</sup> 웨(108) 및 도 3b 내지 도 3g의 p<sup>+</sup> 웨(108a,108b)은 25keV의 에너지와 주입량 2×10<sup>15</sup> cm<sup>-2</sup>의 제1 알루미늄 불순물 및 90keV의 에너지와 주입량 4×10<sup>15</sup> cm<sup>-2</sup>의 제2 알루미늄 불순물을 이용하여 상온 및 고온의 이온 주입으로 형성될 수 있다. 0.1μm의 깊이와 5×10<sup>20</sup> cm<sup>-3</sup>의 캐리어 농도를 갖는 알루미늄 웨이 형성된다. 도 1c 내지 도 1g 및 도 3c 내지 도 3g의 깊은 p<sup>+</sup>주입 영역(118a,118b)은 첫번 째 450keV의 에너지와 주입량 3.2×10<sup>14</sup> cm<sup>-2</sup> 및 두번 째 370keV의 에너지와 주입량 1.5×10<sup>14</sup> cm<sup>-2</sup>을 상온에서 이온 주입하여 제조될 수 있다. 0.4μm 내지 1.0μm의 깊이에서 2×10<sup>18</sup> cm<sup>-3</sup>의 캐리어 농도로 형성된다. 마지막으로, 도 1d 내지 도 1g 및 도 3d 내지 도 3g의 얇은 n<sup>+</sup>형 주입 영역(124a,124b)은 상온에서 질소를 4회 주입하여 제조된다. 제1 주입은 25keV의 에너지와 3×10<sup>14</sup> cm<sup>-2</sup>의 주입량으로 이루어진다. 제2, 제3 및 제4 주입은 각각 60keV, 120keV 및 200keV의 에너지와 각각 6×10<sup>14</sup> cm<sup>-2</sup>, 8×10<sup>14</sup> cm<sup>-2</sup> 및 1×10<sup>14</sup> cm<sup>-2</sup>의 주입량으로 이루어져 0μm 내지 0.4μm의 깊이에서 1×10<sup>20</sup> cm<sup>-3</sup>의 캐리어 농도를 갖는 얇은 n<sup>+</sup>형 영역을 형성한다. 5분동안 1600°C에서 어닐링한 후, 도 1g 및 도 3g의 채널 영역(150a,150b)이 반도체 기판 표면(102a)에 0.3μm의 폭으로 형성된다. p<sup>+</sup> 확산 영역(136a,136b)의 깊이는 기판 표면(102a)로부터 1.5μm로 연장될 수 있다.

상술한 바와 같이, 베릴륨은 드리프트 영역(102)과 가파른 접합을 형성하므로 깊은 p<sup>+</sup> 주입 영역에 바람직하다. 도 5 및 도 6은 각각 어닐링 후에 보론과 베릴륨의 확산을 비교한 것이다.

더 자세하게는, 도 5는 상온에서 180keV의 에너지와 주입량 4×10<sup>15</sup> cm<sup>-2</sup>으로 4H-SiC에 주입되어 2.3×10<sup>15</sup> cm<sup>-2</sup>의 캐리어 농도를 제공하는 보론에 대해, 깊이에 대한 보론의 농도를 나타낸 것이다. 어닐링은 1500°C에서 10분 동안 수행된다. 도 5에서 보는 바와 같이, 어닐링 후에, 주입되어 있던 상태의 보론은 확산하다가 점진적으로 감소한다.

반대로, 도 6에서 보는 바와 같이, 베릴륨은 상온에서 4H-SiC 기판에 40keV의 에너지와 주입량 3.2×10<sup>15</sup> cm<sup>-2</sup>으로 주입되어 1×10<sup>19</sup> cm<sup>-3</sup>의 베릴륨 농도를 제공한다. 도 6에서 보는 바와 같이, 1500°C에서 10분 동안의 어닐링 후에, 주입되어 있던 상태의 베릴륨은 상대적으로 일정한 캐리어 농도로 확산하다가 약 1000nm에서 급격히 감소한다. 따라서, 더 깊고 더 균일한 확산은 베릴륨에서 일어나고, 보론에 비해 드리프트 영역과 가파른 접합을 형성한다.

도 7은 주입된 베릴륨이 어닐링 동안 확산하는 것을 나타낸다. 베릴륨은 도 6에서 상술한 조건 하에 주입된다. 도 7에서 보는 바와 같이, 어닐링 시간은 3분으로 일정할 때 어닐링 온도가 1400°C에서 1700°C로 증가함에 따라, 캐리어 농도는 일정하다가 급격한 감소를 보이는 반면에 확산 깊이는 계속 증가한다. 따라서, 베릴륨이 보론보다 더 바람직하다.

도 8을 참고하면, 1650°C에서 10분간의 어닐 동안 주입된 보론 및 질소의 확산을 나타내었다. 도 8에서, 보론은 상온에서 180keV의 에너지와 주입량 4×10<sup>15</sup> cm<sup>-2</sup>으로 주입된다. 2회의 질소 주입이 25keV 및 60keV의 에너지와 1.5×10<sup>14</sup> cm<sup>-2</sup> 및 2.5×10<sup>14</sup> cm<sup>-2</sup>의 주입량으로 각각 수행된다. 도 8에서 보는 바와 같이, 1650°C에서 10분간의 어닐 동안 질소의 확산은 거의 일어나지 않는다. 그러나, 보론이 얇은 질소 주입 영역으로부터 멀어져 더 깊이 확산되더라도, 얇은 질소 주입 영역을 통과해서 실리콘 카바이드 기판 표면으로 확산하지 않는다는 것은 주목해야 한다.

### 산업상 이용 가능성

따라서, 고성능 실리콘 카바이드 전력 MOSFET은 자기 정렬된 소스와 p 베이스 영역 및 균일한 p 채널을 구비하여 형성될 수 있다. 반전층은 기판 표면을 가로질러 수평하게 제조될 수 있다. 더 낮은 문턱 전압 및 주입된  $n^+$  소스의 더 높은 활성에서는 p 베이스의 역행적 형태를 얻을 수 있다. p 베이스 영역에 알루미늄이 사용될 필요는 없으므로, 문턱 전압을 더 낮추는 더 얇고 더 좋은 품질의 게이트 산화막을 얻을 수 있다.

또한, p 베이스에 높은 전기장은 필요 없으므로, 스캐터링이나 전기장 밀집과 관련된 문제들을 피할 수 있다.  $n^+$  산화막의 모서리가 뾰족할 필요가 없으므로, 온-상태 구동 동안 열전자(hot electron)의 침투를 줄이게 된다. 확산된 채널에 의해 실리콘 카바이드/실리콘 다이옥사이드 계면이 제공되어 채널의 높은 이동도도 제공될 수 있다. 실리콘 카바이드/실리콘 다이옥사이드 계면은 낮은 계면 트랩 농도 및 고정된 전하를 제공하여 반응성 이온 식각의 데미지가 없다.

마지막으로, 적어도 하나의 마스크를 제거하고 엄격한 정렬 오차 허용도의 필요를 줄임으로써 단순화된 공정이 제공될 수 있다. 따라서, 실리콘 카바이드 전력 소자의 개선된 제조 방법이 제공될 수 있다.

도면들과 명세서에서, 본 발명의 전형적인 바람직한 실시예들이 공개되고, 비록 특정 용어들을 사용하였으나, 그들은 일반적이고 기술적인 의미로만 사용된 것이고, 다음의 청구항에서 나타나는 본 발명의 사상을 제한하기 위함은 아니다.

### (57) 청구의 범위

#### 청구항 1.

실리콘 카바이드 기판 표면에 개구부를 한정하기 위해 상기 실리콘 카바이드 기판 표면을 마스킹하는 단계;

매몰된 깊은 p형 주입 영역을 형성할 주입 에너지 및 주입량으로 상기 개구부를 통해 실리콘 카바이드 기판으로 p형 불순물을 일차 주입하는 단계;

상기 매몰된 깊은 p형 주입 영역에 비해 얇은 n형 주입 영역을 형성할 주입 에너지 및 주입량으로 상기 개구부를 통해 상기 실리콘 카바이드 기판으로 n형 불순물을 이차 주입하는 단계; 및

상기 매몰된 깊은 p형 주입 영역이 상기 얇은 n형 주입 영역을 통과하여 상기 실리콘 카바이드 기판으로 수직 확산되지 않고, 상기 얇은 n형 주입 영역을 둘러싸는 상기 실리콘 카바이드 기판 표면으로 수평 확산되도록 상기 실리콘 카바이드 기판을 어닐링하는 단계를 포함하는 실리콘 카바이드 전력 소자의 제조 방법.

#### 청구항 2.

제1 항에 있어서,

상기 p형 불순물을 주입하는 단계는 매몰된 깊은 p형 주입 영역을 형성하기 위해, 상기 개구부를 통해 실리콘 카바이드 기판으로 서로 다른 주입 에너지 및 주입량 조건으로 복수 회에 걸쳐 p형 불순물을 주입하는 단계를 포함하고,

상기 n형 불순물을 주입하는 단계는 상기 매몰된 깊은 p형 주입 영역에 비해 얇은 n형 주입 영역을 형성하기 위해, 상기 개구부를 통해 상기 실리콘 카바이드 기판으로 서로 다른 주입 에너지 및 주입량 조건으로 복수 회에 걸쳐 n형 불순물을 주입하는 단계를 포함하는 실리콘 카바이드 전력 소자의 제조 방법.

#### 청구항 3.

제2 항에 있어서,

상기 p형 불순물을 주입하는 단계는 매몰된 깊은 p형 주입 영역을 형성하기 위해, 상기 개구부를 통해 실리콘 카바이드 기판으로 보론을 주입하는 단계를 포함하고,

상기 n형 불순물을 주입하는 단계는 상기 매몰된 깊은 p형 주입 영역에 비해 얕은 n형 주입 영역을 형성하기 위해, 상기 개구부를 통해 상기 실리콘 카바이드 기판으로 질소를 주입하는 단계를 포함하는 실리콘 카바이드 전력 소자의 제조 방법.

#### 청구항 4.

제1 항에 있어서, 상기 p형 불순물을 주입하는 단계는 보론을 주입하는 단계를 포함하고, 상기 n형 불순물을 주입하는 단계는 질소를 주입하는 단계를 포함하는 실리콘 카바이드 전력 소자의 제조 방법.

#### 청구항 5.

제1 항에 있어서, 상기 p형 불순물을 주입하는 단계는 베릴륨을 주입하는 단계를 포함하고, 상기 n형 불순물을 주입하는 단계는 질소를 주입하는 단계를 포함하는 실리콘 카바이드 전력 소자의 제조 방법.

#### 청구항 6.

제1 항에 있어서, 수평 확산된 상기 매몰된 깊은 p형 주입 영역과 전기적으로 접촉되게 상기 실리콘 카바이드 기판 표면에 알루미늄 웨爾을 주입하는 단계를 더 구비하는 실리콘 카바이드 전력 소자의 제조 방법.

#### 청구항 7.

실리콘 카바이드 기판 표면에 개구부를 한정하기 위해 상기 실리콘 카바이드 기판 표면을 마스킹하는 단계;

얕은 n형 주입 영역을 형성할 주입 에너지 및 주입량으로 상기 개구부를 통해 실리콘 카바이드 기판으로 n형 불순물을 일차 주입하는 단계;

상기 n형 불순물을 전기적으로 활성화시키는 단계;

상기 얕은 n형 주입 영역에 비해 매몰된 깊은 p형 주입 영역을 형성할 주입 에너지 및 주입량으로 상기 개구부를 통해 상기 실리콘 카바이드 기판으로 p형 불순물을 이차 주입하는 단계; 및

상기 매몰된 깊은 p형 주입 영역이 상기 얕은 n형 주입 영역을 통과하여 상기 실리콘 카바이드 기판으로 수직 확산되지 않고, 상기 얕은 n형 주입 영역을 둘러싸는 상기 실리콘 카바이드 기판 표면으로 수평 확산되도록 상기 실리콘 카바이드 기판을 어닐링하는 단계를 포함하는 실리콘 카바이드 전력 소자의 제조 방법.

#### 청구항 8.

제7 항에 있어서, 상기 n형 불순물을 주입하는 단계는 얕은 n형 주입 영역을 형성하기 위해, 상기 개구부를 통해 실리콘 카바이드 기판으로 서로 다른 주입 에너지 및 주입량 조건으로 복수 회에 걸쳐 n형 불순물을 주입하는 단계를 포함하고,

상기 p형 불순물을 주입하는 단계는 상기 얕은 n형 주입 영역에 비해 매몰된 깊은 p형 주입 영역을 형성하기 위해, 상기 개구부를 통해 상기 실리콘 카바이드 기판으로 서로 다른 주입 에너지 및 주입량 조건으로 복수 회에 걸쳐 p형 불순물을 주입하는 단계를 포함하는 실리콘 카바이드 전력 소자의 제조 방법.

## 청구항 9.

제8 항에 있어서, 상기 n형 불순물을 주입하는 단계는 얇은 n형 주입 영역을 형성하기 위해, 상기 개구부를 통해 실리콘 카바이드 기판으로 서로 다른 주입 에너지 및 주입량 조건으로 복수 회에 걸쳐 질소를 주입하는 단계를 포함하고,

상기 p형 불순물을 주입하는 단계는 상기 얇은 n형 주입 영역에 비해 매몰된 깊은 p형 주입 영역을 형성하기 위해, 상기 개구부를 통해 상기 실리콘 카바이드 기판으로 서로 다른 주입 에너지 및 주입량 조건으로 복수 회에 걸쳐 보론을 주입하는 단계를 포함하는 실리콘 카바이드 전력 소자의 제조 방법.

## 청구항 10.

제7 항에 있어서, 상기 n형 불순물을 주입하는 단계는 질소를 주입하는 단계를 포함하고, 상기 p형 불순물을 주입하는 단계는 보론을 주입하는 단계를 포함하는 실리콘 카바이드 전력 소자의 제조 방법.

## 청구항 11.

제7 항에 있어서, 상기 n형 불순물을 주입하는 단계는 질소를 주입하는 단계를 포함하고, 상기 p형 불순물을 주입하는 단계는 베릴륨을 주입하는 단계를 포함하는 실리콘 카바이드 전력 소자의 제조 방법.

## 청구항 12.

제7 항에 있어서, 수평 확산된 상기 매몰된 깊은 p형 주입 영역과 전기적으로 접촉되게 상기 실리콘 카바이드 기판 표면에 알루미늄 웨爾을 주입하는 단계를 더 구비하는 실리콘 카바이드 전력 소자의 제조 방법.

## 청구항 13.

실리콘 카바이드 기판 표면의 드리프트 영역으로 알루미늄 웨爾을 주입하는 단계;

상기 드리프트 영역 상의 상기 알루미늄 웨爾 양쪽에 제1 개구부 쌍을 한정하기 위해 상기 실리콘 카바이드 기판 표면의 상기 드리프트 영역을 마스킹하는 단계;

깊은 p형 주입 영역을 형성할 주입 에너지 및 주입량으로 상기 제1 개구부 쌍을 통해 실리콘 카바이드 기판으로 p형 불순물을 주입하는 단계;

상기 깊은 p형 주입 영역에 비해 얇은 n형 주입 영역을 형성할 주입 에너지 및 주입량으로 상기 제1 개구부 쌍을 통해 상기 실리콘 카바이드 기판으로 n형 불순물을 일차 주입하는 단계;

상기 알루미늄 웨爾 양쪽으로 상기 얇은 n형 주입 영역 각각으로부터 이격되게 상기 드리프트 영역 상에 제2 개구부 쌍을 형성하기 위해 상기 실리콘 카바이드 기판 표면의 상기 드리프트 영역을 마스킹하는 단계;

한 쌍의 드레인 영역을 한정하기 위해 상기 제2 개구부 쌍을 통해 상기 실리콘 카바이드 기판으로 n형 불순물을 이차 주입하는 단계;

상기 깊은 p형 주입 영역이 상기 얇은 n형 주입 영역을 통과하여 상기 실리콘 카바이드 기판으로 수직 확산되지 않고, 상기 얇은 n형 주입 영역을 둘러싸는 상기 실리콘 카바이드 기판 표면으로 수평 확산되어, 상기 알루미늄 웨爾의 각각 양쪽의 상기 실리콘 카바이드 기판 표면에 있는 수평 확산된 p형 주입 영역 내에 한 쌍의 채널을 형성하도록 상기 실리콘 카바이드 기판을 어닐링하는 단계;

상기 실리콘 카바이드 기판 표면의 상기 드리프트 영역 상에 그 각각이 상기 각각의 채널 영역과 접촉된 한 쌍의 게이트 절연 영역을 형성하는 단계; 및

상기 얇은 n형 주입 영역 및 그 사이의 상기 알루미늄 웰 상에 공통의 소스 콘택, 드레인 영역 상에 한 쌍의 드레인 콘택 및 게이트 절연 영역 상에 한 쌍의 게이트 콘택을 각각 형성하는 단계를 포함하는 실리콘 카바이드 수평 전력 MOSFET의 제조 방법.

#### 청구항 14.

제13 항에 있어서,

상기 p형 불순물을 주입하는 단계는 깊은 p형 주입 영역을 형성하기 위해, 상기 제1 개구부를 통해 상기 실리콘 카바이드 기판 표면의 드리프트 영역으로 서로 다른 주입 에너지 및 주입량 조건으로 복수 회에 걸쳐 p형 불순물을 주입하는 단계를 포함하고,

상기 n형 불순물을 일차 주입하는 단계는 상기 깊은 p형 주입 영역에 비해 얇은 n형 주입 영역을 형성하기 위해, 상기 제1 개구부를 통해 상기 실리콘 카바이드 기판 표면의 드리프트 영역으로 n형 불순물을 서로 다른 주입 에너지 및 주입량 조건으로 복수 회에 걸쳐 일차 주입하는 단계를 포함하는 실리콘 카바이드 수평 전력 MOSFET의 제조 방법.

#### 청구항 15.

제14 항에 있어서,

상기 p형 불순물을 주입하는 단계는 깊은 p형 주입 영역을 형성하기 위해, 상기 제1 개구부를 통해 상기 실리콘 카바이드 기판 표면의 드리프트 영역으로 서로 다른 주입 에너지 및 주입량 조건으로 복수 회에 걸쳐 보론을 주입하는 단계를 포함하고,

상기 n형 불순물을 일차 주입하는 단계는 상기 깊은 p형 주입 영역에 비해 얇은 n형 주입 영역을 형성하기 위해, 상기 제1 개구부를 통해 상기 실리콘 카바이드 기판 표면의 드리프트 영역으로 질소를 서로 다른 주입 에너지 및 주입량 조건으로 복수 회에 걸쳐 일차 주입하는 단계를 포함하는 실리콘 카바이드 수평 전력 MOSFET의 제조 방법.

#### 청구항 16.

제14 항에 있어서,

상기 p형 불순물을 주입하는 단계는 깊은 p형 주입 영역을 형성하기 위해, 상기 제1 개구부를 통해 상기 실리콘 카바이드 기판 표면의 드리프트 영역으로 서로 다른 주입 에너지 및 주입량 조건으로 복수 회에 걸쳐 베릴륨을 주입하는 단계를 포함하고,

상기 n형 불순물을 일차 주입하는 단계는 상기 깊은 p형 주입 영역에 비해 얇은 n형 주입 영역을 형성하기 위해, 상기 제1 개구부를 통해 상기 실리콘 카바이드 기판 표면의 드리프트 영역으로 서로 다른 주입 에너지 및 주입량 조건으로 복수 회에 걸쳐 질소를 일차 주입하는 단계를 포함하는 실리콘 카바이드 수평 전력 MOSFET의 제조 방법.

#### 청구항 17.

제13 항에 있어서, 상기 p형 불순물을 주입하는 단계는 보론을 주입하는 단계를 포함하고, 상기 n형 불순물을 일차 주입하는 단계는 질소를 주입하는 단계를 포함하는 실리콘 카바이드 수평 전력 MOSFET의 제조 방법.

**청구항 18.**

제13 항에 있어서, 상기 p형 불순물을 주입하는 단계는 베릴륨을 주입하는 단계를 포함하고, 상기 n형 불순물을 일차 주입하는 단계는 질소를 주입하는 단계를 포함하는 실리콘 카바이드 수평 전력 MOSFET의 제조 방법.

**청구항 19.**

삭제

**청구항 20.**

삭제

**청구항 21.**

제13 항에 있어서, 상기 n형 불순물의 일차 주입 및 상기 n형 불순물을 이차 주입하는 단계가 동시에 수행되어, 상기 얇은 n형 불순물 및 상기 드레인 영역 쌍이 동시에 형성되는 실리콘 카바이드 수평 전력 MOSFET의 제조 방법.

**청구항 22.**

실리콘 카바이드 기판 표면의 드리프트 영역에 알루미늄 웨л을 주입하는 단계;

상기 알루미늄 웨л 양쪽의 상기 드리프트 영역 상에 제1 개구부 쌍을 한정하기 위해 상기 실리콘 카바이드 기판 표면의 상기 드리프트 영역에 마스킹하는 단계;

얕은 n형 주입 영역을 형성할 주입 에너지 및 주입량으로 상기 제1 개구부 쌍을 통해 실리콘 카바이드 기판으로 n형 불순물을 일차 주입하는 단계;

상기 n형 불순물을 전기적으로 활성화시키는 단계;

상기 얕은 n형 주입 영역에 비해 깊은 p형 주입 영역을 형성할 주입 에너지 및 주입량으로 상기 제1 개구부 쌍을 통해 상기 실리콘 카바이드 기판으로 p형 불순물을 주입하는 단계;

상기 알루미늄 웨л 양쪽으로 상기 얕은 n형 주입 영역 각각으로부터 이격되게 상기 드리프트 영역 상에 제2 개구부 쌍을 한정하기 위해 상기 실리콘 카바이드 기판 표면의 상기 드리프트 영역에 마스킹하는 단계;

한 쌍의 드레인 영역을 형성하기 위해 상기 제2 개구부 쌍을 통해 상기 실리콘 카바이드 기판으로 n형 불순물을 이차 주입하는 단계;

상기 깊은 p형 주입 영역이 상기 얕은 n형 주입 영역을 통과하여 상기 실리콘 카바이드 기판으로 수직 확산되지 않고, 상기 얕은 n형 주입 영역을 둘러싸는 상기 실리콘 카바이드 기판 표면으로 수평 확산되어, 상기 알루미늄 웨л의 각각 양쪽의 상기 실리콘 카바이드 기판 표면에 있는 수평 확산된 p형 주입 영역 내에 한 쌍의 채널을 형성하도록 상기 실리콘 카바이드 기판을 어닐링하는 단계;

상기 실리콘 카바이드 기판 표면의 상기 드리프트 영역 상에 그 각각이 상기 각각의 채널 영역과 접촉된 한 쌍의 게이트 절연 영역을 형성하는 단계; 및

상기 얕은 n형 주입 영역 및 그 사이의 상기 알루미늄 웨л 상에 공통의 소스 콘택, 드레인 영역 상에 한 쌍의 드레인 콘택 및 게이트 절연 영역 상에 한 쌍의 게이트 콘택을 각각 형성하는 단계를 포함하는 실리콘 카바이드 수평 전력 MOSFET의 제조 방법.

### 청구항 23.

제22 항에 있어서,

상기 n형 불순물을 일차 주입하는 단계는 얇은 n형 주입 영역을 형성하기 위해, 상기 제1 개구부를 통해 상기 실리콘 카바이드 기판 표면의 드리프트 영역으로 서로 다른 주입 에너지 및 주입량 조건으로 복수 회에 걸쳐 n형 불순물을 주입하는 단계를 포함하고,

상기 p형 불순물을 주입하는 단계는 상기 얇은 n형 주입 영역에 비해 깊은 p형 주입 영역을 형성하기 위해, 상기 제1 개구부를 통해 상기 실리콘 카바이드 기판 표면의 드리프트 영역으로 서로 다른 주입 에너지 및 주입량 조건으로 복수 회에 걸쳐 p형 불순물을 주입하는 단계를 포함하는 실리콘 카바이드 수평 전력 MOSFET의 제조 방법.

### 청구항 24.

제23 항에 있어서,

상기 n형 불순물을 일차 주입하는 단계는 얇은 n형 주입 영역을 형성하기 위해, 상기 제1 개구부를 통해 상기 실리콘 카바이드 기판 표면의 드리프트 영역으로 서로 다른 주입 에너지 및 주입량 조건으로 복수 회에 걸쳐 질소를 주입하는 단계를 포함하고,

상기 p형 불순물을 주입하는 단계는 상기 얇은 n형 주입 영역에 비해 깊은 p형 주입 영역을 형성하기 위해, 상기 제1 개구부를 통해 상기 실리콘 카바이드 기판 표면의 드리프트 영역으로 서로 다른 주입 에너지 및 주입량 조건으로 복수 회에 걸쳐 보론을 주입하는 단계를 포함하는 실리콘 카바이드 수평 전력 MOSFET의 제조 방법.

### 청구항 25.

제23 항에 있어서,

상기 n형 불순물을 일차 주입하는 단계는 얇은 n형 주입 영역을 형성하기 위해, 상기 제1 개구부를 통해 상기 실리콘 카바이드 기판 표면의 드리프트 영역으로 서로 다른 주입 에너지 및 주입량 조건으로 복수 회에 걸쳐 질소를 주입하는 단계를 포함하고,

상기 p형 불순물을 주입하는 단계는 상기 얇은 n형 주입 영역에 비해 깊은 p형 주입 영역을 형성하기 위해, 상기 제1 개구부를 통해 상기 실리콘 카바이드 기판 표면의 드리프트 영역으로 서로 다른 주입 에너지 및 주입량 조건으로 복수 회에 걸쳐 베릴륨을 주입하는 단계를 포함하는 실리콘 카바이드 수평 전력 MOSFET의 제조 방법.

### 청구항 26.

제22 항에 있어서, 상기 n형 불순물을 일차 주입하는 단계는 질소를 주입하는 단계를 포함하고, 상기 p형 불순물을 주입하는 단계는 보론을 주입하는 단계를 포함하는 실리콘 카바이드 수평 전력 MOSFET의 제조 방법.

### 청구항 27.

제22 항에 있어서, 상기 n형 불순물을 일차 주입하는 단계는 질소를 주입하는 단계를 포함하고, 상기 p형 불순물을 주입하는 단계는 베릴륨을 주입하는 단계를 포함하는 실리콘 카바이드 수평 전력 MOSFET의 제조 방법.

**청구항 28.**

삭제

**청구항 29.**

삭제

**청구항 30.**

제22항에 있어서, 상기 n형 불순물을 일차 주입 및 상기 n형 불순물을 이차 주입하는 단계가 동시에 수행되어, 상기 얇은 n형 불순물 및 상기 드레인 영역 쌍이 동시에 형성되는 실리콘 카바이드 수평 전력 MOSFET의 제조 방법.

**청구항 31.**

실리콘 카바이드 기판 표면의 드리프트 영역으로 이격되어 있는 한 쌍의 알루미늄 웰을 주입하는 단계;

상기 알루미늄 웰 사이의, 상기 드리프트 영역 상에 제1 개구부 쌍을 한정하기 위해 상기 실리콘 카바이드 기판 표면의 드리프트 영역에 마스킹하는 단계;

매몰된 깊은 p형 주입 영역을 형성할 주입 에너지 및 주입량으로 상기 제1 개구부 쌍을 통해 실리콘 카바이드 기판으로 p형 불순물을 일차 주입하는 단계;

상기 매몰된 깊은 p형 주입 영역에 비해 얇은 n형 주입 영역을 형성할 주입 에너지 및 주입량으로 상기 제1 개구부 쌍을 통해 상기 실리콘 카바이드 기판으로 n형 불순물을 이차 주입하는 단계;

상기 매몰된 깊은 p형 주입 영역이 상기 얇은 n형 주입 영역을 통과하여 상기 실리콘 카바이드 기판으로 수직 확산되지 않고, 상기 얇은 n형 주입 영역을 둘러싸는 상기 실리콘 카바이드 기판 표면으로 수평 확산되어, 상기 얇은 n형 주입 영역사 이에, 상기 실리콘 카바이드 기판 표면에 있는 수평 확산된 p형 주입 영역 내에 한 쌍의 채널을 형성하도록 상기 실리콘 카바이드 기판을 어닐링하는 단계;

상기 채널 영역 상면 및 그 사이의 상기 실리콘 카바이드 기판 표면에 게이트 절연 영역을 형성하는 단계;

각각의 상기 얇은 n형 주입 영역의 상면 및 각각의 상기 얇은 n형 주입 영역에 인접해 있는 상기 알루미늄 웰의 상면에 공통의 소스 콘택 쌍, 상기 게이트 절연 영역 상에 게이트 콘택, 상기 드리프트 영역의 양쪽 실리콘 카바이드 기판의 두번째 표면 상에 드레인 콘택을 각각 형성하는 단계를 포함하는 실리콘 카바이드 수직 전력 MOSFET의 제조 방법.

**청구항 32.**

제31 항에 있어서,

상기 p형 불순물을 주입하는 단계는 매몰된 깊은 p형 주입 영역을 형성하기 위해, 상기 제1 개구부를 통해 상기 실리콘 카바이드 기판 표면의 드리프트 영역으로 서로 다른 주입 에너지 및 주입량 조건으로 복수 회에 걸쳐 p형 불순물을 주입하는 단계를 포함하고,

상기 n형 불순물을 주입하는 단계는 상기 매몰된 깊은 p형 주입 영역에 비해 얇은 n형 주입 영역을 형성하기 위해, 상기 제1 개구부를 통해 상기 실리콘 카바이드 기판 표면의 드리프트 영역으로 서로 다른 주입 에너지 및 주입량 조건으로 복수 회에 걸쳐 n형 불순물을 주입하는 단계를 포함하는 실리콘 카바이드 수직 전력 MOSFET의 제조 방법.

**청구항 33.**

제32 항에 있어서,

상기 p형 불순물을 주입하는 단계는 매몰된 깊은 p형 주입 영역을 형성하기 위해, 상기 제1 개구부를 통해 상기 실리콘 카바이드 기판 표면의 드리프트 영역으로 서로 다른 주입 에너지 및 주입량 조건으로 복수 회에 걸쳐 보론을 주입하는 단계를 포함하고,

상기 n형 불순물을 주입하는 단계는 상기 매몰된 깊은 p형 주입 영역에 비해 얇은 n형 주입 영역을 형성하기 위해, 상기 제1 개구부를 통해 상기 실리콘 카바이드 기판 표면의 드리프트 영역으로 서로 다른 주입 에너지 및 주입량 조건으로 복수 회에 걸쳐 질소를 주입하는 단계를 포함하는 실리콘 카바이드 수직 전력 MOSFET의 제조 방법.

### 청구항 34.

제32 항에 있어서,

상기 p형 불순물을 주입하는 단계는 매몰된 깊은 p형 주입 영역을 형성하기 위해, 상기 제1 개구부를 통해 상기 실리콘 카바이드 기판 표면의 드리프트 영역으로 서로 다른 주입 에너지 및 주입량 조건으로 복수 회에 걸쳐 베릴륨을 주입하는 단계를 포함하고,

상기 n형 불순물을 주입하는 단계는 상기 매몰된 깊은 p형 주입 영역에 비해 얇은 n형 주입 영역을 형성하기 위해, 상기 제1 개구부를 통해 상기 실리콘 카바이드 기판 표면의 드리프트 영역으로 서로 다른 주입 에너지 및 주입량 조건으로 복수 회에 걸쳐 질소를 주입하는 단계를 포함하는 실리콘 카바이드 수직 전력 MOSFET의 제조 방법.

### 청구항 35.

제31 항에 있어서, 상기 p형 불순물을 주입하는 단계는 보론을 주입하는 단계를 포함하고, 상기 n형 불순물을 주입하는 단계는 질소를 주입하는 단계를 포함하는 실리콘 카바이드 수직 전력 MOSFET의 제조 방법.

### 청구항 36.

제31 항에 있어서, 상기 p형 불순물을 주입하는 단계는 베릴륨을 주입하는 단계를 포함하고, 상기 n형 불순물을 주입하는 단계는 질소를 주입하는 단계를 포함하는 실리콘 카바이드 수직 전력 MOSFET의 제조 방법.

### 청구항 37.

제31 항에 있어서, 상기 이격되어 있는 알루미늄 웨л 쌍을 주입하는 단계는 상기 n형 불순물을 주입하는 단계 후에 이루어져, 상기 알루미늄 웨л 쌍이 상기 얇은 n형 주입 영역의 바깥으로 주입되는 실리콘 카바이드 수직 전력 MOSFET의 제조 방법.

### 청구항 38.

실리콘 카바이드 기판 표면의 드리프트 영역에 이격되어 있는 한 쌍의 알루미늄 웨л을 주입하는 단계;

상기 알루미늄 웨л 사이의 상기 드리프트 영역 상에 제1 개구부 쌍을 한정하기 위해 상기 실리콘 카바이드 기판 표면의 상기 드리프트 영역에 마스킹하는 단계;

얇은 n형 주입 영역을 형성할 주입 에너지 및 주입량으로 상기 제1 개구부 쌍을 통해 실리콘 카바이드 기판으로 n형 불순물을 일차 주입하는 단계;

상기 n형 불순물을 전기적으로 활성화시키는 단계;

상기 얇은 n형 주입 영역에 비해 매몰된 깊은 p형 주입 영역을 형성할 주입 에너지 및 주입량으로 상기 제1 개구부 쌍을 통해 상기 실리콘 카바이드 기판으로 p형 불순물을 이차 주입하는 단계;

상기 매몰된 깊은 p형 주입 영역이 상기 얇은 n형 주입 영역을 통과하여 상기 실리콘 카바이드 기판으로 수직 확산되지 않고, 상기 얇은 n형 주입 영역을 둘러싸는 상기 실리콘 카바이드 기판 표면으로 수평 확산되어, 상기 얇은 n형 주입 영역과 이에, 상기 실리콘 카바이드 기판 표면에 있는 수평 확산된 p형 주입 영역 내에 한 쌍의 채널을 형성하도록 상기 실리콘 카바이드 기판을 어닐링하는 단계;

상기 채널 영역 사이 및 그 사이의 상기 실리콘 카바이드 기판 표면에 게이트 절연 영역을 형성하는 단계;

각각의 상기 얇은 n형 주입 영역의 상면 및 거기에 인접해 있는 상기 알루미늄 웰의 상면에 공통의 소스 콘택 쌍, 상기 게이트 절연 영역 상에 게이트 콘택, 상기 드리프트 영역의 양쪽 실리콘 카바이드 기판의 두번째 표면 상에 드레인 콘택을 각각 형성하는 단계를 포함하는 실리콘 카바이드 수직 전력 MOSFET의 제조 방법.

### 청구항 39.

제38 항에 있어서,

상기 n형 불순물을 주입하는 단계는 얇은 n형 주입 영역을 형성하기 위해, 상기 제1 개구부를 통해 상기 실리콘 카바이드 기판 표면의 드리프트 영역으로 서로 다른 주입 에너지 및 주입량 조건으로 복수 회에 걸쳐 n형 불순물을 주입하는 단계를 포함하고,

상기 p형 불순물을 주입하는 단계는 상기 얇은 n형 주입 영역에 비해 매몰된 깊은 p형 주입 영역을 형성하기 위해, 상기 제1 개구부를 통해 상기 실리콘 카바이드 기판 표면의 드리프트 영역으로 서로 다른 주입 에너지 및 주입량 조건으로 복수 회에 걸쳐 p형 불순물을 주입하는 단계를 포함하는 실리콘 카바이드 수직 전력 MOSFET의 제조 방법.

### 청구항 40.

제39 항에 있어서,

상기 n형 불순물을 주입하는 단계는 얇은 n형 주입 영역을 형성하기 위해, 상기 제1 개구부를 통해 상기 실리콘 카바이드 기판 표면의 드리프트 영역으로 서로 다른 주입 에너지 및 주입량 조건으로 복수 회에 걸쳐 질소를 주입하는 단계를 포함하고,

상기 p형 불순물을 주입하는 단계는 상기 얇은 n형 주입 영역에 비해 매몰된 깊은 p형 주입 영역을 형성하기 위해, 상기 제1 개구부를 통해 상기 실리콘 카바이드 기판 표면의 드리프트 영역으로 서로 다른 주입 에너지 및 주입량 조건으로 복수 회에 걸쳐 보론을 주입하는 단계를 포함하는 실리콘 카바이드 수직 전력 MOSFET의 제조 방법.

### 청구항 41.

제39 항에 있어서,

상기 n형 불순물을 주입하는 단계는 얇은 n형 주입 영역을 형성하기 위해, 상기 제1 개구부를 통해 상기 실리콘 카바이드 기판 표면의 드리프트 영역으로 서로 다른 주입 에너지 및 주입량 조건으로 복수 회에 걸쳐 질소를 주입하는 단계를 포함하고,

상기 p형 불순물을 주입하는 단계는 상기 얇은 n형 주입 영역에 비해 매몰된 깊은 p형 주입 영역을 형성하기 위해, 상기 제1 개구부를 통해 상기 실리콘 카바이드 기판 표면의 드리프트 영역으로 서로 다른 주입 에너지 및 주입량 조건으로 복수 회에 걸쳐 베릴륨을 주입하는 단계를 포함하는 실리콘 카바이드 수직 전력 MOSFET의 제조 방법.

## 청구항 42.

제38 항에 있어서, 상기 n형 불순물을 주입하는 단계는 질소를 주입하는 단계를 포함하고, 상기 p형 불순물을 주입하는 단계는 보론을 주입하는 단계를 포함하는 실리콘 카바이드 수직 전력 MOSFET의 제조 방법.

## 청구항 43.

제38 항에 있어서, 상기 n형 불순물을 주입하는 단계는 질소를 주입하는 단계를 포함하고, 상기 p형 불순물을 주입하는 단계는 베릴륨을 주입하는 단계를 포함하는 실리콘 카바이드 수직 전력 MOSFET의 제조 방법.

## 청구항 44.

제38 항에 있어서, 상기 이격되어 있는 알루미늄 웨л 쌍을 주입하는 단계는 상기 n형 불순물을 주입하는 단계 후에 이루어 져, 상기 알루미늄 웨л 쌍이 상기 얇은 n형 주입 영역의 바깥으로 주입되는 실리콘 카바이드 수직 전력 MOSFET의 제조 방법.

## 청구항 45.

실리콘 카바이드 기판 표면의 드리프트 영역 상에 제1 개구부 쌍을 한정하기 위해 상기 실리콘 카바이드 기판 표면의 상기 드리프트 영역을 마스킹하는 단계;

깊은 p형 주입 영역을 형성할 주입 에너지 및 주입량으로 상기 제1 개구부 쌍을 통해 실리콘 카바이드 기판으로 p형 불순물을 주입하는 단계;

상기 깊은 p형 주입 영역에 비해 얇은 n형 주입 영역을 형성할 주입 에너지 및 주입량으로 상기 제1 개구부 쌍을 통해 상기 실리콘 카바이드 기판으로 n형 불순물을 일차 주입하는 단계;

상기 얇은 n형 주입 영역 각각으로부터 이격되게 상기 드리프트 영역 상에 제2 개구부 쌍을 형성하기 위해 상기 실리콘 카바이드 기판 표면의 상기 드리프트 영역을 마스킹하는 단계;

한 쌍의 드레인 영역을 한정하기 위해 상기 제2 개구부 쌍을 통해 상기 실리콘 카바이드 기판으로 n형 불순물을 이차 주입하는 단계;

상기 얇은 n형 주입 영역 사이의 상기 실리콘 카바이드 기판 표면의 드리프트 영역으로 알루미늄 웨л을 주입하는 단계;

상기 깊은 p형 주입 영역이 상기 얇은 n형 주입 영역을 통과하여 상기 실리콘 카바이드 기판으로 수직 확산되지 않고, 상기 얇은 n형 주입 영역을 둘러싸는 상기 실리콘 카바이드 기판 표면으로 수평 확산되어, 상기 알루미늄 웨л의 각각 양쪽의 상기 실리콘 카바이드 기판 표면에 있는 수평 확산된 p형 주입 영역 내에 한 쌍의 채널을 형성하도록 상기 실리콘 카바이드 기판을 어닐링하는 단계;

상기 실리콘 카바이드 기판 표면의 상기 드리프트 영역 상에 그 각각이 상기 각각의 채널 영역과 접촉된 한 쌍의 게이트 절연 영역을 형성하는 단계; 및

상기 얇은 n형 주입 영역 및 그 사이의 상기 알루미늄 웨л 상에 공통의 소스 콘택, 드레인 영역 상에 한 쌍의 드레인 콘택 및 게이트 절연 영역 상에 한 쌍의 게이트 콘택을 각각 형성하는 단계를 포함하는 실리콘 카바이드 수평 전력 MOSFET의 제조 방법.

## 청구항 46.

실리콘 카바이드 기판 표면의 드리프트 영역으로 알루미늄 웰을 주입하는 단계;

상기 알루미늄 웰 양쪽으로부터 이격되게 상기 드리프트 영역 상에 개구부 쌍을 형성하기 위해 상기 실리콘 카바이드 기판 표면의 상기 드리프트 영역을 마스킹하는 단계;

한 쌍의 드레인 영역을 한정하기 위해 상기 개구부 쌍을 통해 상기 실리콘 카바이드 기판으로 n형 불순물을 주입하는 단계;

상기 드리프트 영역 상의 상기 알루미늄 웰 양쪽에 다른 개구부 쌍을 한정하기 위해 상기 실리콘 카바이드 기판 표면의 상기 드리프트 영역을 마스킹하는 단계;

깊은 p형 주입 영역을 형성할 주입 에너지 및 주입량으로 상기 다른 개구부 쌍을 통해 실리콘 카바이드 기판으로 p형 불순물을 주입하는 단계;

상기 깊은 p형 주입 영역에 비해 얕은 n형 주입 영역을 형성할 주입 에너지 및 주입량으로 상기 다른 개구부 쌍을 통해 상기 실리콘 카바이드 기판으로 n형 불순물을 주입하는 단계;

상기 깊은 p형 주입 영역이 상기 얕은 n형 주입 영역을 통과하여 상기 실리콘 카바이드 기판으로 수직 확산되지 않고, 상기 얕은 n형 주입 영역을 둘러싸는 상기 실리콘 카바이드 기판 표면으로 수평 확산되어, 상기 알루미늄 웰의 각각 양쪽의 상기 실리콘 카바이드 기판 표면에 있는 수평 확산된 p형 주입 영역 내에 한 쌍의 채널을 형성하도록 상기 실리콘 카바이드 기판을 어닐링하는 단계;

상기 실리콘 카바이드 기판 표면의 상기 드리프트 영역 상에 그 각각이 상기 각각의 채널 영역과 접촉된 한 쌍의 게이트 절연 영역을 형성하는 단계; 및

상기 얕은 n형 주입 영역 및 그 사이의 상기 알루미늄 웰 상에 공통의 소스 콘택, 드레인 영역 상에 한 쌍의 드레인 콘택 및 게이트 절연 영역 상에 한 쌍의 게이트 콘택을 각각 형성하는 단계를 포함하는 실리콘 카바이드 수평 전력 MOSFET의 제조 방법.

## 청구항 47.

실리콘 카바이드 기판 표면의 드리프트 영역 상에 제1 개구부 쌍을 한정하기 위해 상기 실리콘 카바이드 기판 표면의 상기 드리프트 영역을 마스킹하는 단계;

얕은 n형 주입 영역을 형성할 주입 에너지 및 주입량으로 상기 제1 개구부 쌍을 통해 실리콘 카바이드 기판으로 n형 불순물을 일차 주입하는 단계;

상기 얕은 n형 주입 영역 사이의 상기 실리콘 카바이드 기판 표면의 상기 드리프트 영역에 알루미늄 웰을 주입하는 단계;

상기 n형 불순물을 전기적으로 활성화시키는 단계;

상기 얕은 n형 주입 영역에 비해 깊은 p형 주입 영역을 형성할 주입 에너지 및 주입량으로 상기 제1 개구부 쌍을 통해 상기 실리콘 카바이드 기판으로 p형 불순물을 주입하는 단계;

상기 알루미늄 웰 양쪽으로 상기 얕은 n형 주입 영역 각각으로부터 이격되게 상기 드리프트 영역 상에 제2 개구부 쌍을 한정하기 위해 상기 실리콘 카바이드 기판 표면의 상기 드리프트 영역을 마스킹하는 단계;

한 쌍의 드레인 영역을 형성하기 위해 상기 제2 개구부 쌍을 통해 상기 실리콘 카바이드 기판으로 n형 불순물을 이차 주입하는 단계;

상기 깊은 p형 주입 영역이 상기 얕은 n형 주입 영역을 통과하여 상기 실리콘 카바이드 기판으로 수직 확산되지 않고, 상기 얕은 n형 주입 영역을 둘러싸는 상기 실리콘 카바이드 기판 표면으로 수평 확산되어, 상기 알루미늄 웰의 각각 양쪽의 상기 실리콘 카바이드 기판 표면에 있는 수평 확산된 p형 주입 영역 내에 한 쌍의 채널을 형성하도록 상기 실리콘 카바이드 기판을 어닐링하는 단계;

상기 실리콘 카바이드 기판 표면의 상기 드리프트 영역 상에 그 각각이 상기 각각의 채널 영역과 접촉된 한 쌍의 게이트 절연 영역을 형성하는 단계; 및

상기 얕은 n형 주입 영역 및 그 사이의 상기 알루미늄 웰 상에 공통의 소스 콘택, 드레인 영역 상에 한 쌍의 드레인 콘택 및 게이트 절연 영역 상에 한 쌍의 게이트 콘택을 각각 형성하는 단계를 포함하는 실리콘 카바이드 수평 전력 MOSFET의 제조 방법.

## 청구항 48.

실리콘 카바이드 기판 표면의 드리프트 영역에 알루미늄 웰을 주입하는 단계;

상기 알루미늄 웰 양쪽으로 각각 이격되게 상기 드리프트 영역 상에 개구부 쌍을 한정하기 위해 상기 실리콘 카바이드 기판 표면의 상기 드리프트 영역을 마스킹하는 단계;

한 쌍의 드레인 영역을 형성하기 위해 상기 개구부 쌍을 통해 상기 실리콘 카바이드 기판으로 n형 불순물을 주입하는 단계;

상기 알루미늄 웰 양쪽의 상기 드리프트 영역 상에 다른 개구부 쌍을 한정하기 위해 상기 실리콘 카바이드 기판 표면의 상기 드리프트 영역을 마스킹하는 단계;

얕은 n형 주입 영역을 형성할 주입 에너지 및 주입량으로 상기 다른 개구부 쌍을 통해 실리콘 카바이드 기판으로 n형 불순물을 일차 주입하는 단계;

상기 n형 불순물을 전기적으로 활성화시키는 단계;

상기 얕은 n형 주입 영역에 비해 깊은 p형 주입 영역을 형성할 주입 에너지 및 주입량으로 상기 다른 개구부 쌍을 통해 상기 실리콘 카바이드 기판으로 p형 불순물을 주입하는 단계;

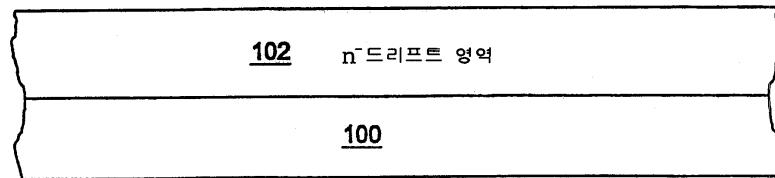
상기 깊은 p형 주입 영역이 상기 얕은 n형 주입 영역을 통과하여 상기 실리콘 카바이드 기판으로 수직 확산되지 않고, 상기 얕은 n형 주입 영역을 둘러싸는 상기 실리콘 카바이드 기판 표면으로 수평 확산되어, 상기 알루미늄 웰의 각각 양쪽의 상기 실리콘 카바이드 기판 표면에 있는 수평 확산된 p형 주입 영역 내에 한 쌍의 채널을 형성하도록 상기 실리콘 카바이드 기판을 어닐링하는 단계;

상기 실리콘 카바이드 기판 표면의 상기 드리프트 영역 상에 그 각각이 상기 각각의 채널 영역과 접촉된 한 쌍의 게이트 절연 영역을 형성하는 단계; 및

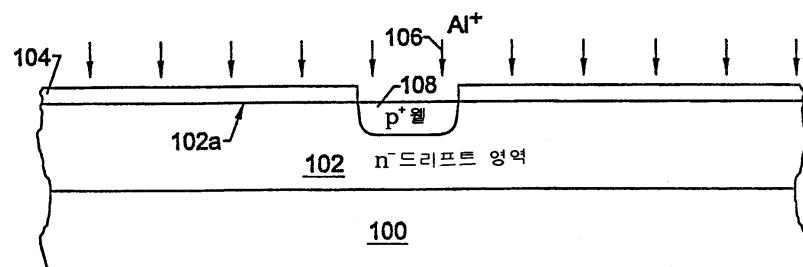
상기 얕은 n형 주입 영역 및 그 사이의 상기 알루미늄 웰 상에 공통의 소스 콘택, 드레인 영역 상에 한 쌍의 드레인 콘택 및 게이트 절연 영역 상에 한 쌍의 게이트 콘택을 각각 형성하는 단계를 포함하는 실리콘 카바이드 수평 전력 MOSFET의 제조 방법.

## 도면

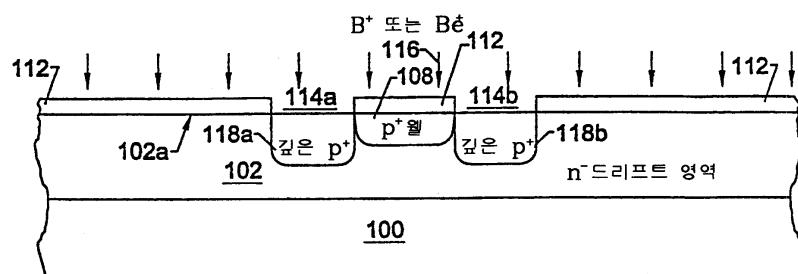
도면1a



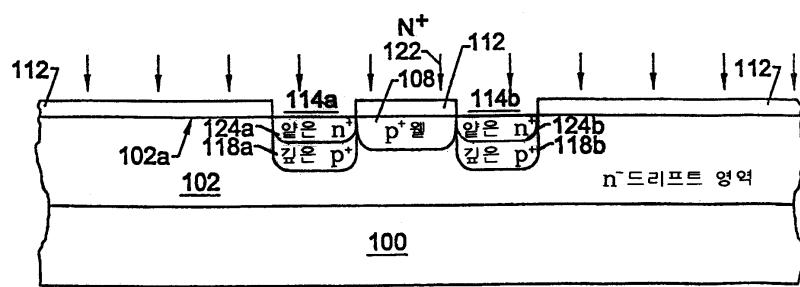
도면1b



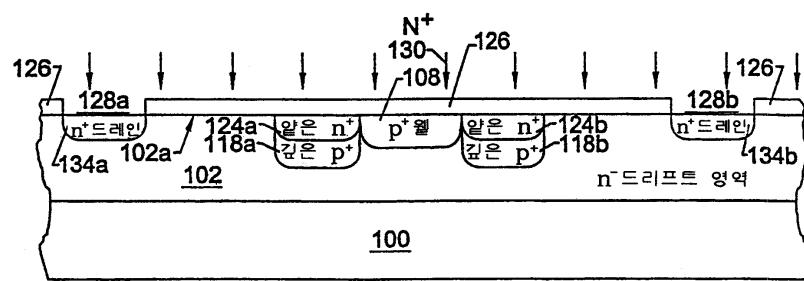
도면1c



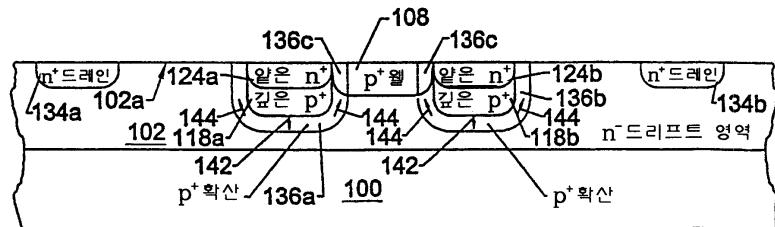
도면1d



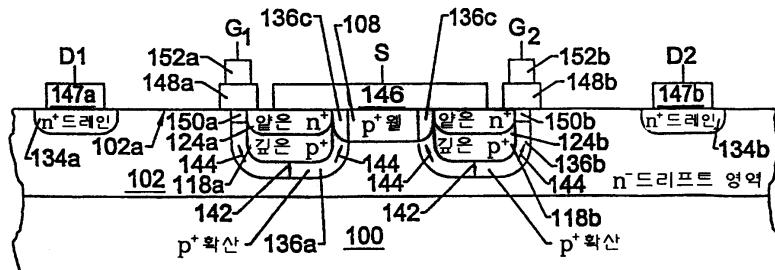
도면1e



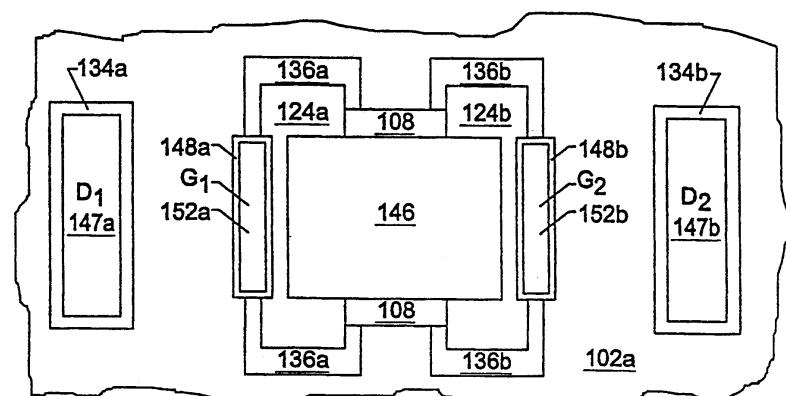
도면1f



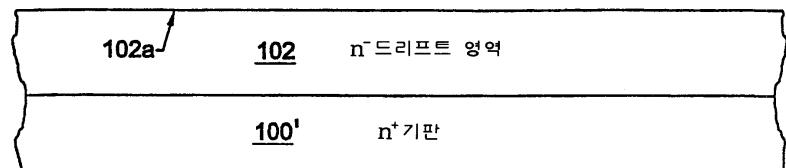
도면1g



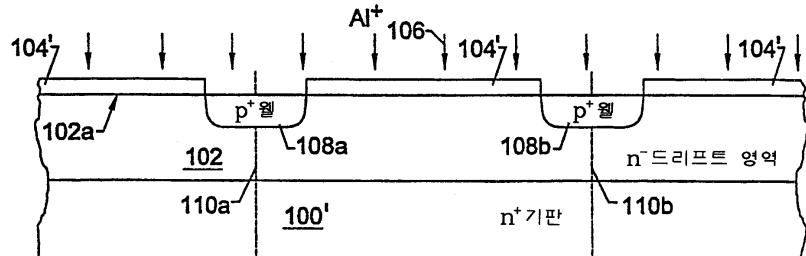
도면2



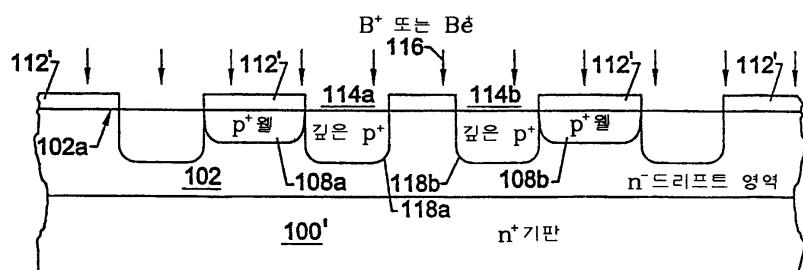
도면3a



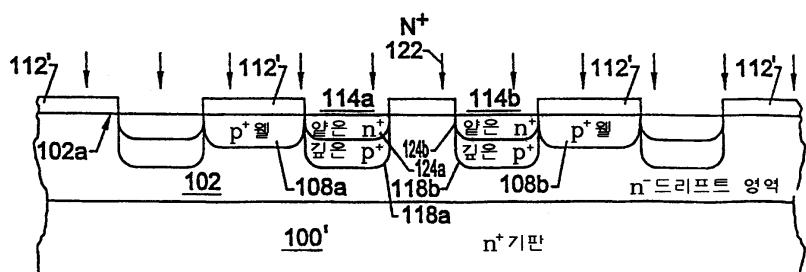
### 도면3b



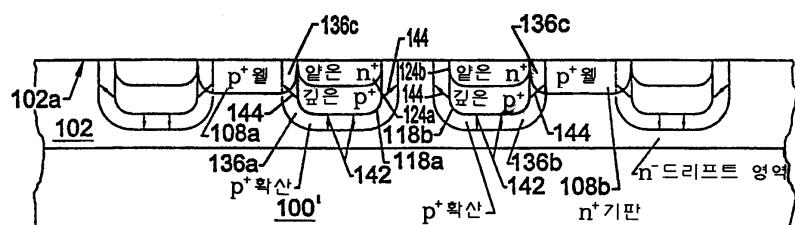
### 도면3c



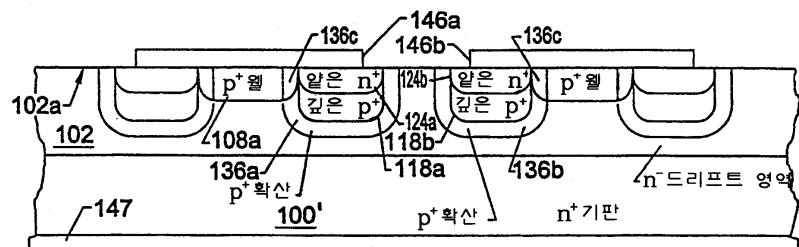
## 도면 3d



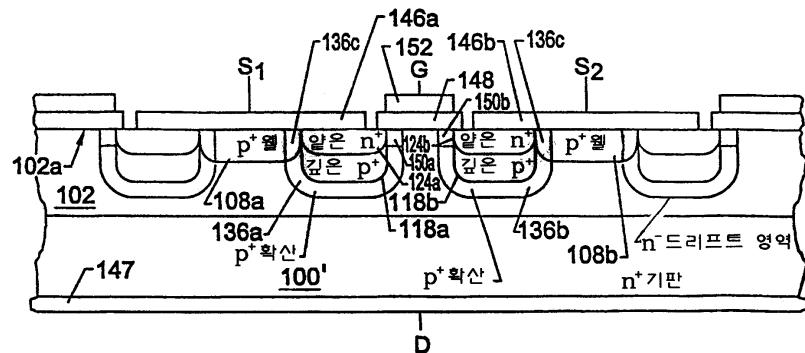
도면3e



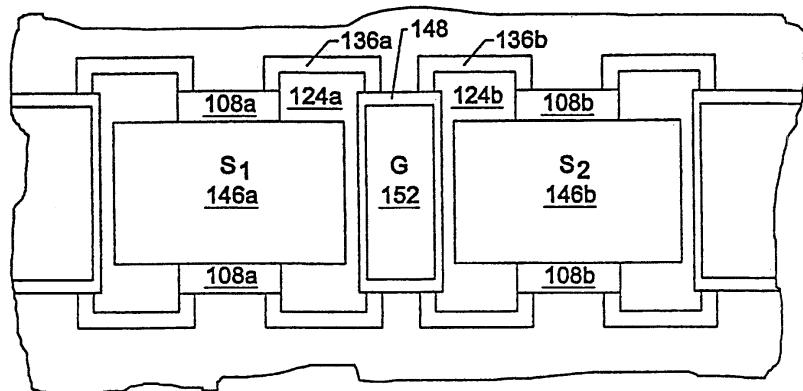
도면3f



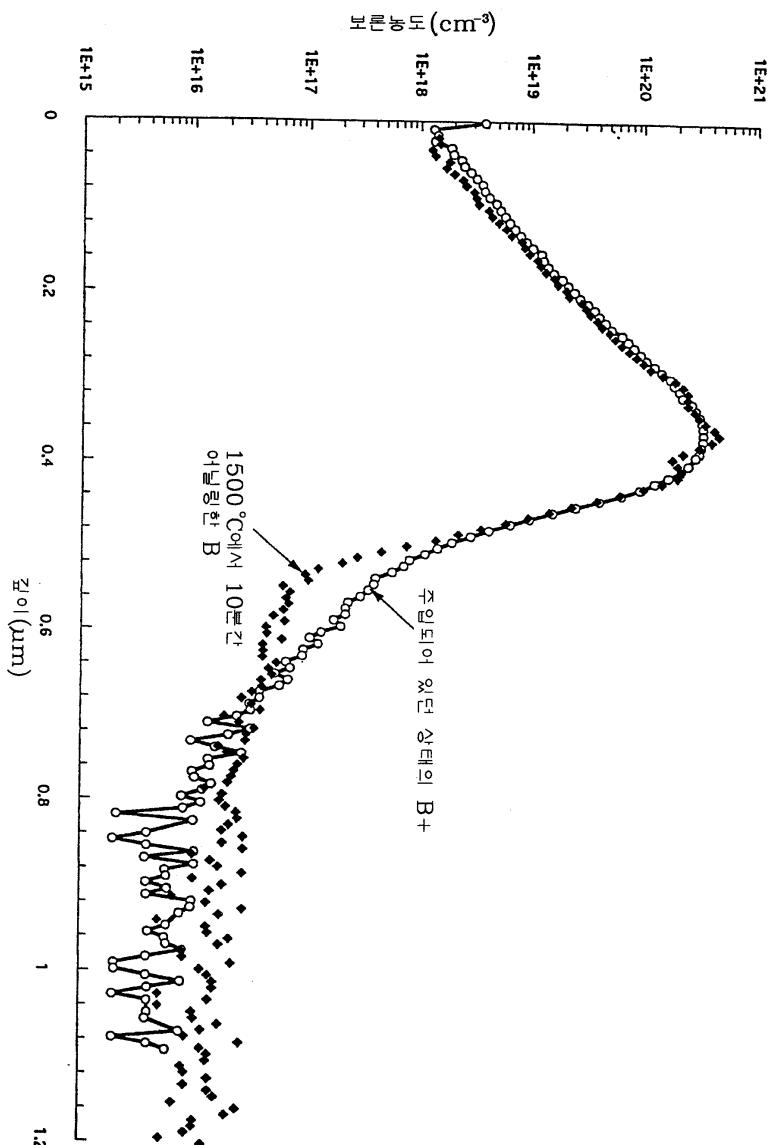
도면3g



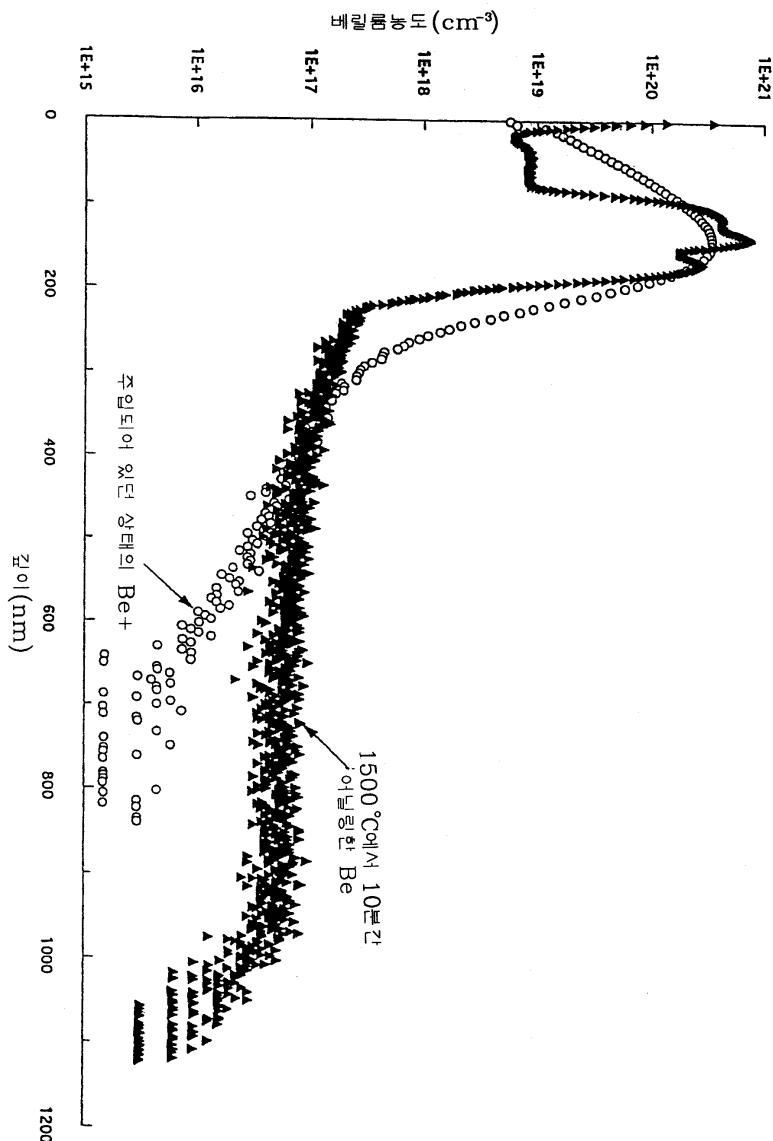
도면4



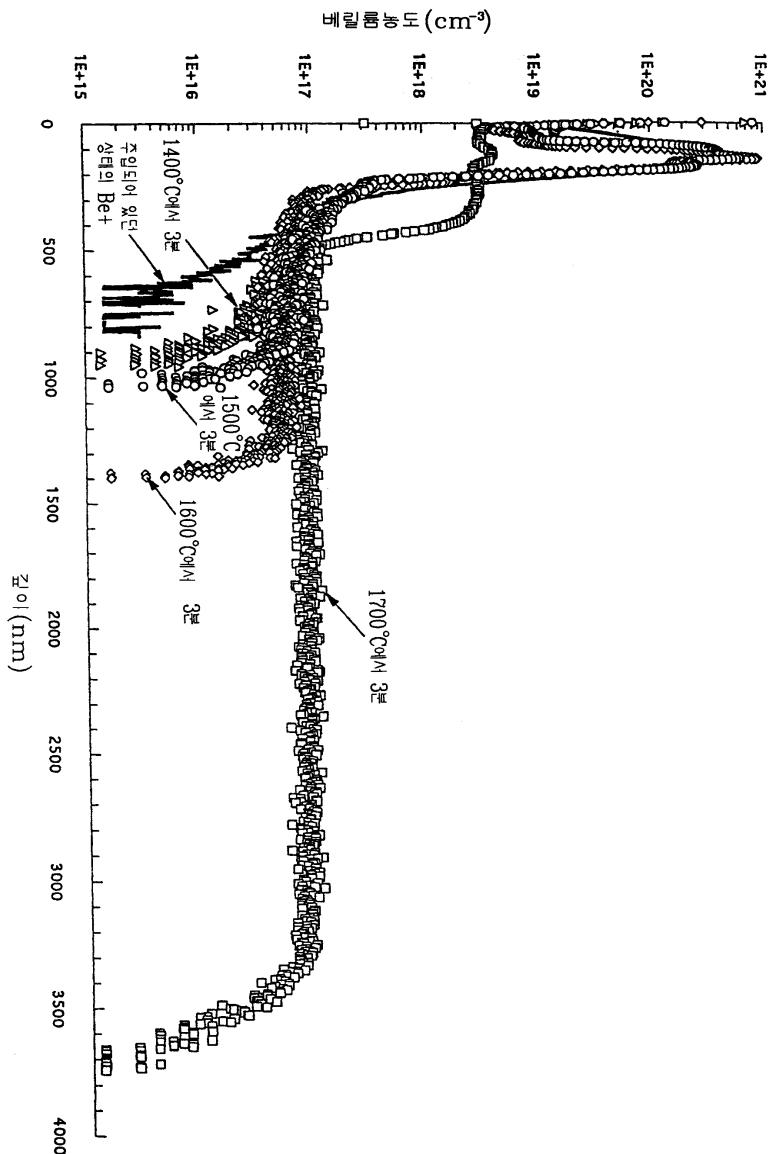
## 도면5



도면6



## 도면7



도면8

