

發明專利說明書

200414509

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 92/31546

※ 申請日期： 92-11-11

※IPC 分類：H01L27/10

壹、發明名稱：(中文/英文)

製造半導體元件的方法

METHOD OF PRODUCING SEMICONDUCTOR DEVICE

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

富士通股份有限公司 / FUJITSU LIMITED

代表人：(中文/英文)

黑川博昭 / KUROKAWA, HIROAKI

住居所或營業所地址：(中文/英文)

日本國神奈川縣川崎市中原區上小田中 4 丁目 1 番 1 號

1-1, KAMIKODANAKA 4-CHOME, NAKAHARA-KU, KAWASAKI-SHI, KANAGAWA

211-8588 JAPAN

國籍：(中文/英文)

日本 / JAPAN

參、發明人：(共 4 人)

姓名：(中文/英文)

1. 丸山研二 / MARUYAMA, KENJI

2. 倉澤正樹 / KURASAWA, MASAKI

3. 近藤正雄 / KONDO, MASAO

4. 有本由弘 / ARIMOTO, YOSHIHIRO

住居所地址：(中文/英文)

1.~4. 日本國神奈川縣川崎市中原區上小田中 4 丁目 1 番 1 號

1-1, KAMIKODANAKA 4-CHOME, NAKAHARA-KU, KAWASAKI-SHI,

KANAGAWA 211-8588 JAPAN

國籍：(中文/英文)

日本 / JAPAN

肆、聲明事項：

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為： 年 月 日。

◎ 本案申請前已向下列國家（地區）申請專利 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本； 2002.11.12； 特願 2002-328382

2.

3.

4.

5.

主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

這個申請案是根據並主張2002年11月12日成案之日本專利申請第2002-328382號的優先權，其內容在此處被併入參考資料中。

5 【發明所屬之技術領域】

發明領域

本發明是關於半導體元件，特別是關於製造具有包括鐵電薄膜的電容器結構之半導體元件的方法。

【先前技術】

10 發明背景

有不同的已知的半導體元件，諸如半導體記憶體。在這些記憶體元件之中，那些甚至當電源關閉時仍可保存資料者是所謂的非揮發性記憶體。在非揮發性記憶體之中，使用鐵電材料作為一用於保存電荷的電容器材料被稱為鐵電記憶體（鐵電隨機存取記憶體(FRAM, 註冊商標)）。

該 FRAM 利用由鐵電薄膜所擁有的兩個殘餘之不同極性的性質，甚至當電源關閉時仍可保存資料。可能的重寫次數，其是非揮發性性質的指標，最大是 1×10^{10} 至 1×10^{12} 次。重寫速度是在數十奈秒的數量級，非常高的速度。

20 在該 FRAM 中，該被使用於形成電容的鐵電材料能在兩個方向之一被極化。藉由區別極化方向的，它能夠對應極化的相反方向而儲存資料"1"和資料"0"。當在電容器中的介電材料不是一個鐵電材料，但是一個 paradielectric 材料的時候，只有當電極之間有一電位差時，極化才會被保持。

因此，在此情況中，會發生揮發性的操作。在該 FRAM 中之該鐵電材料的極化方向可以藉由施加一足夠大到可以轉換該電容之極化的電位而被偵測出來。

在該 FRAM 中使用的鐵電材料包括鉛基鐵電材料和鈹基鐵電材料。代表性的鉛基鐵電材料是 PZT(鉛_{1-x}鈦_x氧₃)、PLZT(鉛_y釧_{1-y}鈦_x氧₃) 及其他。代表性的鈹基鐵電材料是 SBT(SrBi₂Ta₂O₉)。

關於被用於 FRAM 中之該鐵電材料，日本未審查專利公報(Kokai)第 13-102543 號使用單晶鐵電薄膜作為鐵電材料，以形成 FRAM 中之該電容。不過，此公報沒有如本發明使用生長在單晶基材上的單晶鐵電薄膜產生半導體元件的方法。

日本未審查專利公報(Kokai)第 11-103024 號使用該結構的半導體元件，其中鐵電薄膜(列向的多晶薄膜)，具有排列成一層的多數結晶顆粒，被形成在下面的電極上，其中組成與該薄膜接觸的表面的晶體被排列在(111)面上。

再者，佛司特等，應用物理期刊(Journal of Applied Physics)第 81 卷第 2324 頁，1997 年，報導一種在(001) SrTiO₃ 上形成做為下面的電極之(001) SrRuO₃，而獲得具有大殘留電荷(2Pr)之薄 PZT 薄膜，然後藉由金屬氧化物化學蒸汽沈積方法形成一薄 PZT(001)薄膜。

使用鐵電材料形成如上述的電容之大型積體電路系統必須有非常高的可靠性，因為它被使用於處理金錢資料與個人資料的設備中，諸如 IC 卡、智慧卡等。為了要獲得數

十年的使用壽命，該鐵電材料的極化電荷要盡可能的大。不過，以傳統的濺鍍方法製造的鐵電電容器，其極化電荷幾乎是20至25微庫侖/平方公分，而且它很難獲得，維持高產率，滿足實用的產品所需要的極化電荷的量，30微庫侖/平方公分。它甚至很難獲得一具有不小於35微庫侖/平方公分的極化電荷量，用於改善產品的可靠度所必須的。

【發明內容】

發明概要

本發明的一個目的是提供一種可以製造併入包括具有大量極化電荷的鐵電材料的電容結構中之高可靠度的半導體元件的方法。

依據生產本發明之半導體元件的方法，使用具有(111)面的單晶薄膜材料或平行於(111)面之列向的多晶薄膜材料作為鐵電結晶材料，而且電極被形成在其兩個表面上，以產生包含具有大於多晶的薄膜的極化量之殘餘極化量的電容之半導體元件。

明確地，本發明是關於一種製造併入包含一鐵電薄膜之電容結構的半導體元件的方法，其特徵是：

在具有適合用於在其上生長一有(111)面的鐵電單晶薄膜層的表面之單晶基材上，形成一包含鉛，且具有平行於該基材之該表面的(111)面之鐵電單晶薄膜，或一包含鉛且在平行於該基材之該表面，與(111)面平行列向的鐵電多晶薄膜，以及部分的半導體元件的電路，藉此製造一個具有包含鉛之該鐵電薄膜的單晶基材，以及該半導體元件的部

分電路之單晶基材，同時接合該單晶基材與其它在其上已經事先形成之該半導體元件的其他電路的基材，以將該二電路耦合在一起，藉此獲得一併入包含一鐵電薄膜之電容結構的半導體元件。

5 依據本發明的一個實施例，有一製造併入包含一鐵電薄膜之電容結構的半導體元件的方法被提供，其包含：

(1)在一單晶基材上形成包括鉛並且具有平行於該基材之該表面的(111)面之鐵電單晶薄膜層，圖紋化該薄膜層藉此在該單晶基材上形成預定形狀之獨立的鐵電薄膜，形成
10 位於該鐵電薄膜上之預定形狀的電容的一電極，並且在該單晶基材上形成半導體元件的部分電路，藉此製造在其上具有包含鉛之該鐵電薄膜、該一電極與該半導體元件之部分電路的單晶基材；

(2)製造具有該形成的半導體元件之另外的電路之半導
15 體基材；

(3)接合該單晶基材與該半導體基材，以將該二基材之該些電路耦合在一起；和

(4)移除該單晶基材，以暴露該鐵電薄膜，並且在被暴露之該鐵電薄膜上形成該電容的另一個電極。

20 依據本發明的一個實施例，有一製造併入包含一鐵電薄膜之電容結構的半導體元件的方法被提供，其包含：

(1)在具有通孔的單晶基材上形成一導電薄膜層，在該導電薄膜層上形成包含鉛且具有平行於該基材之該表面的(111)面的鐵電單晶薄膜層，或一包含鉛且平行於該基材之

該表面之的(111)面平行列向的鐵電多晶薄膜，圖紋化該導電薄膜層和該鐵電薄膜層，藉此形成預定形狀之獨立的鐵電薄膜，以及一預定形狀之電容的電極，在該鐵電薄膜上形成該電容之另一個電極，並且形成半導體元件的部分電路，以便通過在該單晶基材中之該些孔，藉此製造包含由該鐵電薄膜與一對將該鐵電薄膜保持其間之電極與該半導體元件的該部分電路組成之電容結構的單晶基材；

(2)製造具有形成的該半導體元件之該另外的電路之半導體基材；和

10 (3)接合該單晶基材與該半導體基材，以將該二基材的該些電路耦合在一起。

在本發明中，該電容之介電薄膜是由包含鉛(Pb)的鐵電材料形成。可以被使用作為包含鉛之鐵電材料的有 PZT(鉛鋇_x鈦_{1-x}氧₃)、PLZT(鉛_y釧_{1-y}鋇_x鈦_{1-x}氧₃)、PLCSZT((鉛, 釧, 鈣, 鋇)(鋇, 鈦)氧₃)，或在其中添加鋇而衍生出來的物質。

當該單晶基材用於在其上形成該鐵電薄膜時，其可以使用一具有(111)面，且該鐵電薄膜形成其上之單晶基材，或與該(111)面有一補償角度(offset angle)的單晶基材。大體上，具有補償角度之該單晶基材的使用會增加該成長的晶體之平坦性。氧化鎂或鈦酸鋇(SrTiO₃)單晶基材可以成為一典型具有(111)面之該單晶基材的示例。

或者，像在其上形成該鐵電薄膜的單晶基材，可以使用一具有(0001)面(C-面)的 α 氧化鋁單晶基材，該鐵電薄膜

可以形成其上，或者使用與該(0001)面有一補償角度之 α 氧化鋁單晶基材。也可以使用具有(001)面之鎂鋁₂氧₄ (magnesia spinel)單晶基材，該鐵電薄膜將在其上形成。

5 當該上述的基材(氧化鎂、鈦酸鋇、 α 氧化鋁或鎂鋁₂氧₄單晶基材)將被用於形成該鐵電薄膜時，可以在形成該鐵電多晶薄膜層之前，在基材上形成一導電薄膜，其作為該電容的一電極。該導電薄膜可以由鉑、鐵、鈦、鈦或其氧化物形成，其(111)面可以被使用作為該鐵電薄膜產生其上的表面。

10 另一方面，像在其上形成該鐵電薄膜的單晶基材，可以使用一具有(111)面的單晶矽基材，該鐵電薄膜可以形成其上，或者具有與其相同的面，意即(111)面，或者與該(111)面有一補償角度之單晶矽基材。它可以使用該鐵電薄膜將形成其上，具有(100)面之單晶矽基材，或者是與該(100)面
15 有一補償角度單晶矽基材。

當此一單晶矽基材被使用時，該鐵電薄膜可以磊晶地直接生長在該基材的鐵電薄膜表面上，或者通過形成其上的緩衝層。該緩衝層的使用在該鐵電薄膜形成期間會有效的避免矽化物的形成。該緩衝層可能是氧化鎂、YSZ (鈮穩定的氧化鋯(ZrO_2))、氧化鎂鋁 ($MgAl_2O_4$)、氧化鈣、鈦
20 酸鋇、氧化鈉或類似物形成的，該(111)面或(0001)面可以被使用於該鐵電薄膜的形成。

當該單晶矽基材被使用時而且該鐵電薄膜直接生長在該基材的鐵電薄膜表面上，或者通過形成其上的緩衝層

時，在該鐵電多晶薄膜層形成之前，一電容器可以被形成在該基材上或該緩衝層上。該導電薄膜可能是鉑、鐵、鈦、鈦或其氧化物形成，其(111)面可以被使用作為該鐵電薄膜產生其上的表面。這些金屬元素的合金可以被使用。再者，
 5 上面該些金屬或其合金可以多層的堆疊在一起。或者，該導電薄膜可能是由氧化鋇鈦、鈦銀銅氧(YBCO)或釧鋇鈦氧(LSCO)形成，而且其(111)面可以被使用作為該鐵電薄膜產生其上的表面。

圖式簡單說明

10 第1A至1E圖說明製造實施例1之半導體元件的方法的前半部份的步驟；

第2A至2C圖說明製造實施例1之半導體元件的方法的前半部份的步驟；

15 第3A至3F圖說明一具有在實施例2之半導體元件製造中使用的電容器之單晶基材的製造；

第4圖說明利用將具有實施例2形成的電容器之單晶基材翻轉，並且將其與具有半導體電路形成之矽基材接合而製成的半導體元件；

20 第5圖說明沒有將具有實施例2形成的電容器之單晶基材翻轉，但將其與具有半導體電路形成之矽基材接合而製成的半導體元件；和

第6A至6F圖說明具有一電容器而將被用於實施例3形成之半導體元件的單晶基材的製造。

【實施方式】

較佳實施例之詳細說明

在本發明中，在一單晶基材上有一具有與該基材表面平行之(111)面且含有鉛的鐵電單晶薄膜層形成。佛司特等，應用物理期刊(Journal of Applied Physics)第 81 卷第 5 2324 頁，1997 年，報導一種在(001) SrTiO₃上形成做為下面的電極之(001) SrRuO₃，然後藉由有機金屬化學蒸汽沈積(MOCVD)方法形成一具有(001)面的 PZT(001)薄膜，該薄膜具有大如 110 微庫侖/平方公分之殘留極化電荷量(2Pr)。這顯示如果在該(111)面上計算時，殘留極化電荷量 10 變成 63 微庫侖/平方公分，其比上面說明之實際的產品所需要的 30 微庫侖/平方公分的兩倍還大。

舉例來說，當 PZT 材料被使用鐵電材料時，當晶型式立方晶體時，極化的軸存在於(001)-方向，當該鐵電薄膜單晶的(111)面是形成在該電極上時，垂直於該電極表面之該 15 軸<111>與該基化軸<001>具有一 35.3° 的角度。該多晶鐵電薄膜具有 30 至 100 奈米之晶相結構，而且因為該極化軸的方位的波動，與該單晶薄膜的極化電荷相比，其只有少量的極化電荷。

因此，在該單晶結構上形成一具有平行該基材表面之 20 (111)面的鐵電單晶薄膜層，蝕刻該薄膜層以藉此在該單晶基材上形成預定形狀之獨立的鐵電薄膜，在該薄膜的兩面上形成電極，並且接合該單晶基材與已經有半導體電路形成之另一個基材，以將該二電路耦合在一起，其能夠產生一併入其包含不小於傳統的列向性的多晶薄膜之極化電

荷，30 微庫侖/平方公分，的兩倍大之極化電荷量的電容器之高可靠度的半導體元件。

依據本發明產生的半導體裝置，該被使用於電容器之鐵電薄膜的每單位面積具有大量的極化電荷，因此，如果
5 電容面積減少時，其可以確保所需要的極化電荷量。這使其能夠依據尺寸規格進行微製造，因而在降低成本同時維持高功能性下，產生具有高度整合性的半導體元件。

實施例

現在將藉由實施例的方式進一步說明本發明，不過本
10 發明不限制是該些實施例。

實施例 1

如第 1A 圖所示，單晶 PZT 層 12 是磊晶地生長在單晶
基材 10 上，該單晶 PZT 層 12 具有(111) 面 11。舉例來說，
具有(111)面的氧化鎂(111)面的鈦酸鋇或(0001)面的 α -氧
15 化鋁之基材可以被使用作為該單晶基材 10。

該單晶 PZT(111)可以藉由有機金屬化學蒸汽沈積
(MOCVD) 方法、分子束壘晶(MBE)方法或脈衝雷射沈積
(PLD)方法而磊晶地生長。此外，該些薄膜形成方法不是限制。
也不是限制於 PZT(鉛 x 鈦 $1-x$ 氧 3)，可以被使用的鐵
20 電材料，諸如 PLZT(鉛 y 釧 $1-y$ 鈦 x 鈦 $1-x$ 氧 3)、PLCSZT
((鉛, 釧, 鈣, 鋇)(鈦, 鈦)氧 3)，以及其中添加銻而衍生出
來的物質。

舉例來說，藉由有機金屬化學蒸汽沈積方法形成之
PZT 薄膜，可以在 550 至 600 $^{\circ}$ 的基材溫度與 130 至 670 帕

(Pa)(1 至 5 托耳)，藉由使 $\text{Pb}(\text{THD})_2$ 、 $\text{Zr}(\text{THD})_4$ 和 $\text{Ti}(\text{i-PrO})_2(\text{THD})_2$ 作為起始材料來進行。在這些起始化合物的配方中，THD 代表三甲基己烷二酮化物 (trimethylhexane dionate)，同時 i-PrO 代表異丙氧基。

5 具有平的 PZT 面之薄膜層 12s 被形成在該基材 10 的整個表面上，然後被蝕刻留下將被做成薄膜電容之區域中的薄膜 12' (第 1B 圖)。在該 PZT 薄膜 12' 上，也又是被留下來的部分，利用鉑或鐵材料形成一下面的電極 14 (當其在下一步驟中與另一基材接合時，它將被翻轉)。在該基材 10
10 上，形成一鎢柱塞 (第 1C 圖)，其是半導體元件的電路的一部份，而且是與稍後將和該基材接合在一起之另一基材 (半導體基材) 連接之內接。

然後，一諸如 TEOS 的絕緣材料層被形成在該基材 10 上，而且其表面是利用諸如化學機械研磨的平坦化方法進行平坦化，以形成一絕緣薄膜 18 (第 1D 圖)。其後，薄鎢膜
15 20 被形成在該下電極 14 上以及該鎢柱塞 16 上，而且該 TEOS 再一次被形成，然後被平坦化，藉此形成一中間層絕緣薄膜 22 (第 1E 圖)。

如第 2A 圖所示，其上有用於電容器之鐵電 PZT 薄膜
20 12' 形成之該基材 10 被翻轉，以面向其上已經預先形成作為該半導體元件之電路的一部份的電晶體 23 之半導體基材 24。其後，如第 2B 圖所示，該基材 10 被仔細地黏附在該基材 24，以便該基材 10 之該薄鎢膜 20 被連接至該基材 22 的該電晶體之該內接電極 26，然後進行熱處理以將該二基

材接合在一起，並且機械地及電氣地將他們耦合在一起。

藉由熱處理將二件晶圓型式的基材接合在一起的技術，舉例來說，已經被揭示於日本為審查專利公報(Kokai)第 2-303114 和第 11-103024 號。

5 然後，形成被使用於電容之鐵電 PZT 薄膜 12' 之該基材 10 被去除。當該基材 10 是一氧化鎂基材時，該基材 10 是使用鹽酸而藉由化學溶解被去除，在鈦酸鋁基材的情況中，它是使用硝酸、氫氟酸和鹽酸的混合酸做化學溶解。一藍寶石(α -氧化鋁)基材只可以溶解在熔融的氫氧化鉀，
10 因此其是使用碳化矽研磨劑做機械式地去除，或者使用膠狀的二氧化矽進行機械地與化學地去除。

最後，如第 2B 圖所示，有一電容的上電極 28 被形成，一薄鎢膜 30 被連接在那裡，以與上面說明的相同方式使另一鎢柱塞 32 連接至該鎢柱塞 16 與中間層絕緣薄膜 34，藉
15 此提供一具有由該下電極 14、鐵電 PZT 薄膜 12' 和上電極 28 組成之鐵電電容器 36 之半導體元件。

舉例來說，該上電極 28 可以使用鐵或二氧化鐵形成。

實施例 2

此實施例說明藉由在具有通孔形成的藍寶石(α -氧化
20 鋁)基材的(0001) 面上併入一鐵電電容的半導體元件的產生。

如第 3A 圖所示，在具有(0001) 面 51 作為上表面之藍寶石(α -氧化鋁)基材 50 中打洞形成通孔 52a、52b。通孔 52a 是用於形成將與該電容器的一電極連接的柱塞，而且通

孔 52b 是用於形成作為將與該稍後將被接合之半導體元件 (電路板) 連接之內接的柱塞。這些通孔可藉由機械加工，或使用反應性氣體藉由乾蝕刻方法，或使用氫離子藉由離子研磨方法，或使用熔融的氫氧化鉀以化學蝕刻，而打洞於該藍寶石基材 50。

如第 3B 圖所示，薄膜 54 是形成在基材 50 的(0001) 面 51 上，具有(111)面 55 之該薄膜 54 是平行於該面 51。該薄膜 54 將形成鐵電電容器的一個電極，而且可以由鉑或鐵形成。在該薄膜 54 上進一步形成一具有平行於基材 50 之(0001) 面 51 的(111)面 57 的 PZT 薄膜 56。生長在鉑(111) 面上或鐵(111) 面上之該 PZT 薄膜具有與該鉑或鐵之晶格常數不相符的晶格常數，因此不會形成一完全的單晶，但會形成一有明顯列向的多晶薄膜(與該(111) 面平行列向的多晶薄膜)。如果使用氧化鋇鈦薄膜替代鉑或鐵薄膜，可以獲得一單晶的 PZT 薄膜。然後，如第 3C 圖所示，薄膜 56 和 54(第 3B 圖)被移除，但是留下一個將形成電容器之鐵電薄膜 58 的部分與形成電極 60 的部分。

如第 3D 圖所示，通孔 52a 和 52b(第 3C 圖)被充填鎢，且一由該通孔 52a 中的鎢延展的鎢柱塞 62a 被形成以連接該電極 60。柱狀的鎢材料是由通孔 52b 中之鎢的頂端延伸，以形成將形成一連接後續被接合之該半導體基材的內接之柱塞 62b。

一諸如 TEOS 的絕緣材料層被形成在該基材 50 上，而且其表面被平坦化以形成一絕緣薄膜 64(第 3E 圖)。然後，

如第 3F 圖所示，另一鉚或鐵薄膜的電極 66 被形成在該鐵電薄膜 58 上，該電極 66 具有平行於基材 50 的表面之(111)面。薄鎢膜 68a 和 68b 分別被形成在電極 66 上以及該鎢柱塞 62b 上。一 TEOS 絕緣層再一次被形成，然後被平坦化以形成一中間層絕緣膜 70(第 3F 圖)。

在此實施例中，該基材 50 具有形成的電容，由鐵電薄膜 58 與將其夾在中間的兩個電極 60 和 66 組成之該電容可以被翻轉，並且可以被接合至另一已經預先形成電晶體的基材。當該基材 50 被翻轉時，如第 4 圖所示，該電容之該電極 66 形成該下面的電極，並且通過該薄鎢膜 68a 而被連接至形成在另一基材(半導體基材)中之該電晶體 76 的一內接電極 78a，同時該鎢柱塞 62b 通過該薄鎢膜 68b 而被連接至另一內接電極 78b。當該基材 50 沒有如第 5 圖所示被翻轉時，該電容的該電極 60 形成該下面的電極，且通過該鎢柱塞 62a 而被連接至該另一基材 74 的該電晶體 76 之電極 78a，同時該鎢柱塞 62b 被連接至該另一個內接電極 78b。

實施例 3

此實施例說明並如藉由在具有通孔形成的矽基材之(111)面上形成一 PZT 薄膜而併入一鐵電電容的半導體元件的產生。

如第 6A 圖所示，在具有(111)面作為上表面的矽基材 90 中打洞形成通孔 92a 和 92b。通孔 92a 是用於形成將與該電容器的一電極連接的柱塞，而且通孔 92b 是用於形成作為將與該稍後將被接合之半導體基材連接之內接的柱

塞。這些通孔可藉由機械加工，或使用反應性氣體藉由乾蝕刻方法，或使用氫離子藉由離子研磨方法，或使用熔融的氫氧化鉀以化學蝕刻，而打洞於該矽基材 90。

如第 6B 圖所示，一薄氧化鎂鋁膜 94 被形成在該基材 90 的(111)面 91 上，該薄膜 94 具有平行於面 91 之(111)面 95。該薄膜 94 作為一用於在其上形成一具有平行該基材 90 之(111)面 91 的(111)面之 PZT 薄膜的緩衝層，而且具有在該 PZT 薄膜形成期間避免矽化物形成的功能。然後，將作為該鐵電電容之一電極的薄膜 96 是在該薄膜 94 上由鉑或鐵形成。該薄膜 96 也具有平行於該基材 90 之(111)面 91 的(111)面 97。在該薄膜 96 上進一步形成一具有平行於該基材 90 之(111)面 91 的(111)面 99 的 PZT 薄膜 98。

然後，如第 6C 圖所示，薄膜 98 和 96 被移除，但留下形成該電容之該鐵電薄膜 100 的部分與形成電極 102 的部分。

隨後，如第 6D 圖所示，通孔 92a 和 92b (第 6C 圖)被充填鎢，且一由該通孔 92a 中的鎢延展的鎢柱塞 104a 被形成以連接該電極 102。柱狀的鎢材料是由通孔 92b 中之鎢的頂端延伸，以形成將形成一連接後續被接合之該半導體基材的內接之柱塞 104b。

一諸如 TEOS 的絕緣材料層被形成在該基材 90 上，而且其表面被平坦化以形成一絕緣薄膜 106(第 6E 圖)。然後，如第 6F 圖所示，另一鉑或鐵薄膜的電極 108 被形成在該鐵電薄膜 100 上，該電極 108 具有平行於基材 90 的表面之(111)

面。薄鎢膜 110a 和 110b 分別被形成在電極 108 上以及該鎢柱塞 104b 上。一 TEOS 絕緣層再一次被形成，然後被平坦化以形成一中間層絕緣膜 112(第 6F 圖)。

在此實施例中，如實施例中說明的，也形成具有該電容的基材 90，由鐵電薄膜 100 與將其夾在中間的兩個電極 102 和 108 組成之該電容可以被翻轉，並且被接合至另一已經預先形成電晶體的基材，或者可以沒有被翻轉而被接合。

實施例 4

此實施例說明並如藉由在具有通孔形成的矽基材之 (001) 面上形成一 PZT 薄膜而併入一鐵電電容的半導體元件的產生，該 PZT 薄膜具有平行於該 (001) 面的 (111) 面。

在如實施例 3 中說明之相同的方法中，在具有 (001) 面作為上表面之該矽基材被穿孔，一通孔用於形成將連接至該電容的一個電極之柱塞，以及一用於形成作為與稍後將被接合之半導體基材連接的一內接的通孔。

大體上，一薄的氧化物膜（天然的氧化物）存在於矽基材的表面上。此處，一薄的氧化鎂鋁膜被形成在該矽基材之 (001) 面上，該氧化物薄膜殘留該基材上。形成在有一氧化物薄膜存在的矽 (001) 面上之該薄氧化鎂鋁膜是擁有 (111) 面的薄膜，其形成用於在其上形成一具有平行如實施例 3 中說明之該矽基材的表面（薄膜形成的表面）的 (111) 面之 PZT 薄膜的緩衝層，而且可以在該 PZT 薄膜形成期間避免矽化物形成。

接著，依據稍早實施例 3 中說明的程序在該矽基材上

形成一電容器。該基材被接合至該電晶體已經預先被形成之另一基材，藉此藉此產生一併入該鐵電 PZT 電容的半導體元件。

工業的適用性

- 5 本發明的半導體元件使用一具有與對極化軸有 35.3° 之角度的 $\langle 111 \rangle$ 軸垂直的 (111) 面之表面，作為用於電容器的鐵電薄膜。該單晶鐵電薄膜具有計算是 63 微庫侖/平方公分的極化電荷量，其不小於傳統的列像多晶薄膜的極化電荷量的兩倍。由於其大的殘留極化量，藉由併入利用本發明而獲得之該半導體元件，諸如非揮發性記憶體，的大型積體電路系統，其呈現非常高的可靠度。
- 10

- 此外，由本發明而獲得之該半導體元件每一個單位面積有大量的極化電荷。使其甚至當電容面積減少時，可以確保所需要的極化電荷量。這使其能夠依據尺寸規格進行微製造，因而在降低成本同時維持高功能性下，產生具有高度整合性的半導體元件。
- 15

【圖式簡單說明】

第 1A 至 1E 圖說明製造實施例 1 之半導體元件的方法的前半部份的步驟；

- 20 第 2A 至 2C 圖說明製造實施例 1 之半導體元件的方法的前半部份的步驟；

第 3A 至 3F 圖說明一具有在實施例 2 之半導體元件製造中使用的電容器之單晶基材的製造；

第 4 圖說明利用將具有實施例 2 形成的電容器之單晶基

材翻轉，並且將其與具有半導體電路形成之矽基材接合而製成的半導體元件；

第5圖說明沒有將具有實施例2形成的電容器之單晶基材翻轉，但將其與具有半導體電路形成之矽基材接合而製成的半導體元件；和

第6A至6F圖說明具有一電容器而將被用於實施例3形成之半導體元件的單晶基材的製造。

【圖式之主要元件代表符號表】

10…單晶基材	66…電極
12'…PZT 薄膜	68a…薄鎢膜
14…下面的電極	68b…薄鎢膜
16…鎢柱塞	70…中間層絕緣膜
18…絕緣薄膜	74…基材
20…薄鎢膜	76…電晶體
22…中間層絕緣薄膜	78a…電極
23…電晶體	78b…電極
24…半導體基材	90…矽基材
26…內接電極	91…(111)面
28…上電極	92a…通孔
30…薄鎢膜	92b…通孔
32…鎢柱塞	94…氧化鎂鋁膜
34…絕緣薄膜	95…(111)面
36…鐵電電容器	96…薄膜
50…藍寶石基材	97…(111)面
51…(0001)面	98…PZT 薄膜
52a…通孔	100…鐵電薄膜
52b…通孔	102…電極
54…薄膜	104a…鎢柱塞
56…PZT 薄膜	104b…鎢柱塞
58…鐵電薄膜	106…絕緣薄膜
60…電極	108…電極
62a…鎢柱塞	110a…薄鎢膜
62b…鎢柱塞	110b…薄鎢膜
64…絕緣薄膜	112…中間層絕緣膜

伍、中文發明摘要：

一種併入包括在一具有適合用於在其上生長一具有(111)面之鐵電單晶薄膜層的表面之單晶基材10上，形成一包含鉛且具有平行於該基材的表面之(111)面的鐵電單晶薄膜12'(或者是一包含鉛且與平行於該基材的表面之(111)面平行列向的鐵電多晶薄膜)以及半導體元件的部分電路16，以藉此製造具有包含鉛與該半導體元件之該部分電路的該鐵電薄膜；與接合該單晶基材10和另一個在其上已經預先形成該半導體元件的其他電路之基材，以將該二電路耦合在一起，而獲得之鐵電薄膜的電容器結構之半導體元件。

在該半導體元件中因此獲得之該電容包含具有大量極化電荷之鐵電薄膜。該半導體元件可以被使用作為一高可靠度的非揮發性記憶體。

陸、英文發明摘要：

A semiconductor device incorporating a capacitor structure that includes a ferroelectric thin film is obtained by forming, on a single crystalline substrate 10 having a surface suited for growing thereon a thin film layer of ferroelectric single crystal having a plane (111), a ferroelectric single crystalline thin film 12' containing Pb and having a plane (111) 11 in parallel with the surface of the substrate (or a ferroelectric polycrystalline thin film containing Pb and oriented parallel with the plane (111) in parallel with the surface of the substrate) and part 16 of a circuit of a semiconductor device, to thereby fabricate the single crystalline substrate 10 having said ferroelectric thin film containing Pb and said part of the circuit of the semiconductor device; and bonding said single crystalline substrate 10 to another substrate on which the other circuit of the semiconductor device has been formed in advance, to couple the two circuits together.

The capacitor in the semiconductor device thus obtained includes a ferroelectric thin film having a large amount of polarizing charge. The semiconductor device can be used as a highly reliable nonvolatile memory.

拾、申請專利範圍：

1. 一種製造併入包括一鐵電薄膜之電容器結構的半導體元件之方法，包含：

5 在具有適合用於在其上生長一有(111)面的鐵電單晶薄膜層的表面之單晶基材上，形成一包含鉛且具有平行於該基材表面的(111)面之鐵電單晶薄膜，或形成一包含鉛且與該平行於基材表面之(111)面平行列向的鐵電多晶薄膜，以及形成部分的半導體元件的電路，藉此製造一具有包含鉛之鐵電薄膜與該半導體元件之部分電路的單晶基材；和

10 接合該單晶基材與在其上已經事先形成該半導體元件的其他電路之另一基材，以將該二電路耦合在一起，藉此獲得一併入包括一鐵電薄膜之電容器結構的半導體元件。

2. 如申請專利範圍第 1 項之方法，其更包含：

15 (1)在一單晶基材上形成包括鉛並且具有平行於該基材表面的(111)面之鐵電單晶薄膜層，圖紋化該薄膜層，藉此在該單晶基材上形成預定形狀之獨立的鐵電薄膜，形成位於該鐵電薄膜上之預定形狀的電容的一電極，並且在該單晶基材上形成半導體元件的部分電路，藉此製造在其上具有包含鉛之該鐵電薄膜、該一電極與該半導體元件之部分電路的單晶基材；

20 (2)製造具有該形成的半導體元件之另外的電路之半導體基材；

(3)接合該單晶基材與該半導體基材，以將該二基材之該些電路耦合在一起；和

(4) 移除該單晶基材，以暴露該鐵電薄膜，並且在被暴露之該鐵電薄膜上形成該電容器的另一個電極。

3. 如申請專利範圍第 1 項之方法，其更包含：

(1) 在一具有通孔的單晶基材上形成一導電薄膜層，在該導電薄膜層上形成一包含鉛且具有平行於該基材表面的(111)面的鐵電單晶薄膜層，或形成一包含鉛且與該平行於該基材表面之(111)面平行列向的鐵電多晶薄膜，圖紋化該導電薄膜層和該鐵電薄膜層，藉此形成預定形狀之獨立的鐵電薄膜，以及一預定形狀之電容器的電極，在該鐵電薄膜上形成該電容器之另一個電極，並且形成半導體元件的部分電路，以便通過在該單晶基材中之該些孔，藉此製造一包含有電容器結構的單晶基材，該電容器結構係由該鐵電薄膜與一對將該鐵電薄膜保持其間之電極及該半導體元件的部分電路所組成；

(2) 製造具有形成的該半導體元件之該另外的電路之半導體基材；和

(3) 接合該單晶基材與該半導體基材，以將該二基材的該些電路耦合在一起。

4. 如申請專利範圍第 1 至 3 項中任一項之方法，其中該鐵電材料是 PZT($\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$), PLZT ($\text{Pb}_y\text{La}_{1-y}\text{Zr}_x\text{Ti}_{1-x}\text{O}_3$), PLCSZT ($(\text{Pb}, \text{La}, \text{Ca}, \text{Sr})(\text{Zr}, \text{Ti})\text{O}_3$)，或為一藉由添加銻而衍生出來的物質。

5. 如申請專利範圍第 1 至 3 項中任一項之方法，其中一具有該鐵電薄膜將被形成其上之(111)面的單晶基材，或與

該(111)面有一補償角的單晶基材被使用作為該單晶基材。

6. 如申請專利範圍第 5 項之方法，其中該單晶基材是 MgO 或 SrTiO₃ 單晶基材。
- 5 7. 如申請專利範圍第 1 至 3 項中任一項之方法，其中具有該鐵電薄膜可以形成其上之(0001)面的 α -Al₂O₃ 單晶基材，或者具有與該(0001)面有一補償角度的 α -Al₂O₃ 單晶基材被使用作為該單晶基材。
8. 如申請專利範圍第 1 至 3 項中任一項之方法，其中一具
10 有該鐵電薄膜將形成其上之(001)面的該 MgAl₂O₄ 單晶
基材被使用作為該單晶基材。
9. 如申請專利範圍第 1 至 3 項中任一項之方法，進一步包含在形成該鐵電多晶薄膜層之前，在該單晶基材上形成一導電薄膜，該導電薄膜將形成該電容之一電極。
- 15 10. 如申請專利範圍第 9 項之製造一半導體元件的方法，其中該導電薄膜是由 Pt、Ir、Ti、Ru 或其氧化物所形成。
11. 如申請專利範圍第 1 至 3 項中任一項之方法，其中具有其上將形成該鐵電薄膜之(111)面的單晶矽基材或與該
20 (111)面有一補償角的單晶矽基材被使用作為該單晶
基材。
12. 如申請專利範圍第 1 至 3 項中任一項之方法，其中具有其上將形成該鐵電薄膜之(100)面的單晶矽基材或與該(100)面有一補償角的單晶矽基材被使用作為該單晶
基材。

13. 如申請專利範圍第 11 項之方法，其中該鐵電薄膜是直接磊晶地生長在該單晶基材的該鐵電薄膜生成表面上。
14. 如申請專利範圍第 12 項之方法，其中該鐵電薄膜是直接磊晶地生長在該單晶基材的該鐵電薄膜生成表面上。
- 5 15. 如申請專利範圍第 11 項之方法，其中該鐵電薄膜是磊晶地生長在形成於該單晶基材之該鐵電薄膜生成表面上的一緩衝層之各處。
16. 如申請專利範圍第 12 項之方法，其中該鐵電薄膜是磊晶地生長在形成於該單晶基材之該鐵電薄膜生成表面上的一緩衝層之各處。
- 10 17. 如申請專利範圍第 15 項之方法，其中該緩衝層是由 MgO、釷穩定的氧化鋯、 $MgAl_2O_4$ 、CaO、 $SrTiO_3$ 或 CeO_2 形成，該鐵電薄膜是在該(111)面或該(0001)面上生長。
18. 如申請專利範圍第 16 項之方法，其中該緩衝層是由
- 15 MgO、釷穩定的氧化鋯、 $MgAl_2O_4$ 、CaO、 $SrTiO_3$ 或 CeO_2 形成，該鐵電薄膜是在該(111)面或該(0001)面上生長。
19. 如申請專利範圍第 13 項之方法，其中一導電薄膜是在生成該鐵電多晶薄膜層之前，被生成在該單晶基材上。
20. 如申請專利範圍第 14 項之方法，其中一導電薄膜是在
- 20 生成該鐵電多晶薄膜層之前，被生成在該單晶基材上。
21. 如申請專利範圍第 19 項之方法，其中該導電薄膜是由 Pt、Ir、Ti、Ru 或其氧化物形成，而且該鐵電多晶薄膜是生長在其(111)面上。
22. 如申請專利範圍第 20 項之方法，其中該導電薄膜是由

Pt、Ir、Ti、Ru 或其氧化物形成，而且該鐵電多晶薄膜是生長在其(111)面上。

- 5 23. 如申請專利範圍第 21 項之方法，其中該導電薄膜是藉由堆疊由 Pt、Ir、Ti、Ru 或其氧化物形成的多數層而生成。
24. 如申請專利範圍第 22 項之方法，其中該導電薄膜是藉由堆疊由 Pt、Ir、Ti、Ru 或其氧化物形成的多數層而生成。
- 10 25. 如申請專利範圍第 19 項之方法，其中該導電薄膜是由氧化鋇鈦(SrRuO_3)、鈮鉬銅氧(YBCO)或釧鈦鈷氧(LSCO)所形成，而且該鐵電薄膜是生長在其(111)面上。
26. 如申請專利範圍第 20 項之方法，其中該導電薄膜是由氧化鋇鈦(SrRuO_3)、鈮鉬銅氧(YBCO)或釧鈦鈷氧(LSCO)所形成，而且該鐵電薄膜是生長在其(111)面上。
- 15 27. 如申請專利範圍第 15 項之方法，其中一導電薄膜是在形成該鐵電多晶薄膜層之前，被形成在該緩衝層上。
28. 如申請專利範圍第 16 項之方法，其中一導電薄膜是在形成該鐵電多晶薄膜層之前，被形成在該緩衝層上。
29. 如申請專利範圍第 17 項之方法，其中一導電薄膜是在形成該鐵電多晶薄膜層之前，被形成在該緩衝層上。
- 20 30. 如申請專利範圍第 18 項之方法，其中一導電薄膜是在形成該鐵電多晶薄膜層之前，被形成在該緩衝層上。
31. 如申請專利範圍第 27 項之方法，其中該導電薄膜是由 Pt、Ir、Ti、Ru 或其氧化物形成，而且該鐵電多晶薄膜

是生長在其(111)面上。

32. 如申請專利範圍第 28 項之方法，其中該導電薄膜是由 Pt、Ir、Ti、Ru 或其氧化物形成，而且該鐵電多晶薄膜是生長在其(111)面上。
- 5 33. 如申請專利範圍第 29 項之方法，其中該導電薄膜是由 Pt、Ir、Ti、Ru 或其氧化物形成，而且該鐵電多晶薄膜是生長在其(111)面上。
34. 如申請專利範圍第 30 項之方法，其中該導電薄膜是由 Pt、Ir、Ti、Ru 或其氧化物形成，而且該鐵電多晶薄膜是生長在其(111)面上。
- 10 35. 如申請專利範圍第 31 項之方法，其中該導電薄膜是藉由堆疊由 Pt、Ir、Ti、Ru 或其氧化物形成的多數層而生成。
36. 如申請專利範圍第 32 項之方法，其中該導電薄膜是藉由堆疊由 Pt、Ir、Ti、Ru 或其氧化物形成的多數層而生成。
- 15 37. 如申請專利範圍第 33 項之方法，其中該導電薄膜是藉由堆疊由 Pt、Ir、Ti、Ru 或其氧化物形成的多數層而生成。
- 20 38. 如申請專利範圍第 34 項之方法，其中該導電薄膜是藉由堆疊由 Pt、Ir、Ti、Ru 或其氧化物形成的多數層而生成。
39. 如申請專利範圍第 27 項之方法，其中該導電薄膜是由氧化鋇鈦氧化鋇鈦(SrRuO_3)、鈇銀銅氧(YBCO)或鑷鋇鈦

氧(LSCO)所形成，而且該鐵電薄膜是生長在其(111)面上。

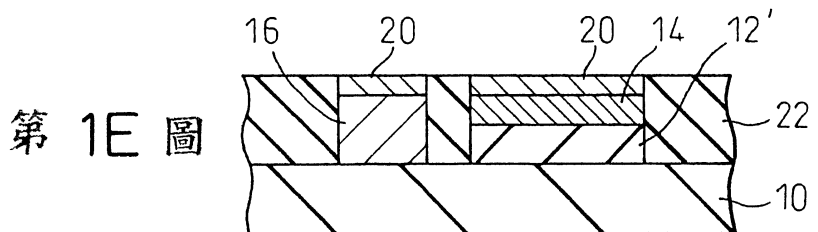
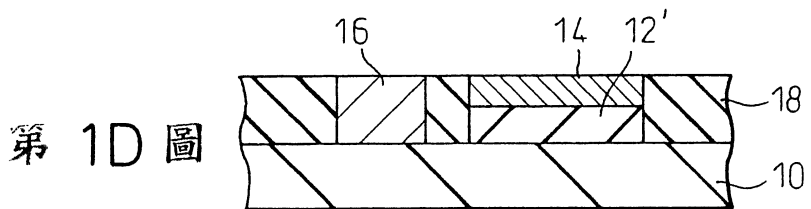
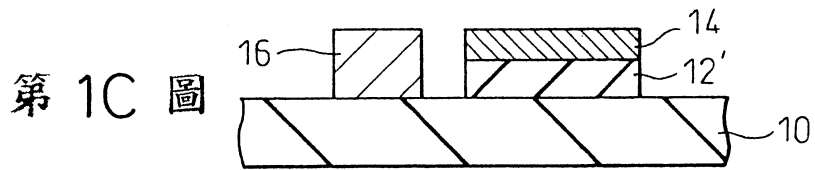
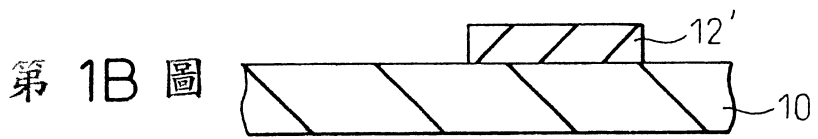
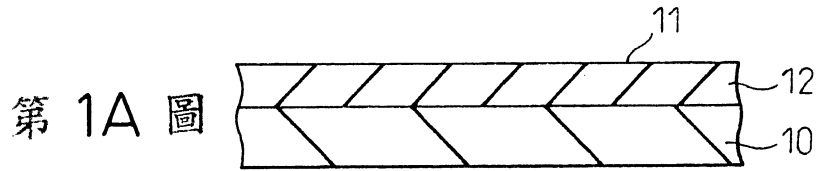
40. 如申請專利範圍第 28 項之方法，其中該導電薄膜是由
氧化鋇鈦氧化鋇鈦(SrRuO_3)、鈮鉬銅氧(YBCO)或釩鈦鈷
5 氧(LSCO)所形成，而且該鐵電薄膜是生長在其(111)面
上。

41. 如申請專利範圍第 29 項之方法，其中該導電薄膜是由
氧化鋇鈦氧化鋇鈦(SrRuO_3)、鈮鉬銅氧(YBCO)或釩鈦鈷
10 氧(LSCO)所形成，而且該鐵電薄膜是生長在其(111)面
上。

42. 如申請專利範圍第 30 項之方法，其中該導電薄膜是由
氧化鋇鈦氧化鋇鈦(SrRuO_3)、鈮鉬銅氧(YBCO)或釩鈦鈷
氧(LSCO)所形成，而且該鐵電薄膜是生長在其(111)面
上。

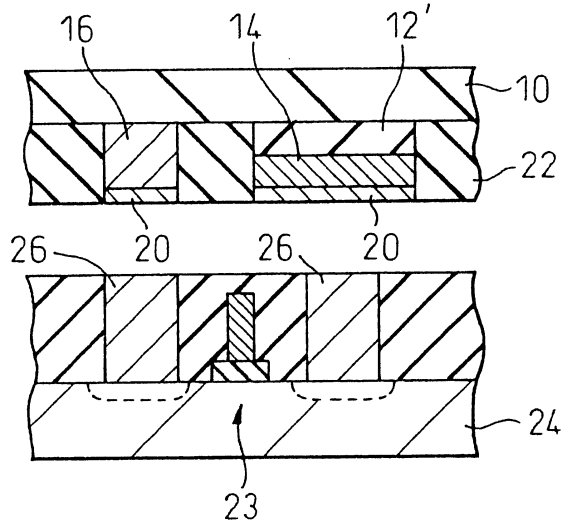
f > 131546

1/5

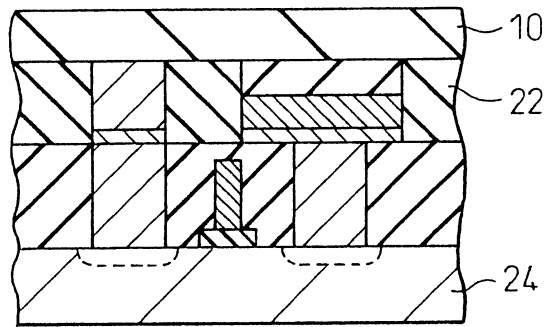


2/5

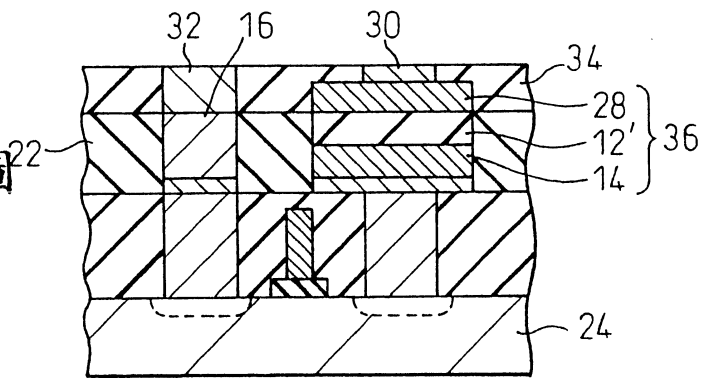
第 2A 圖

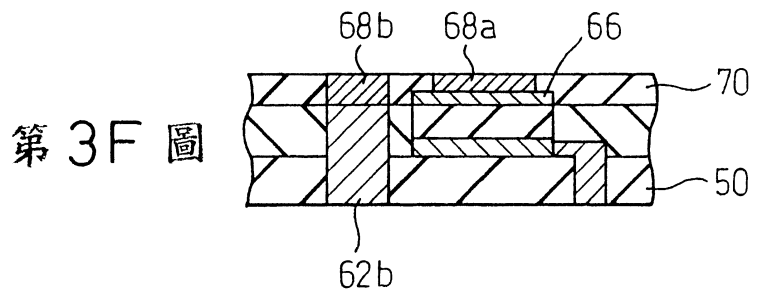
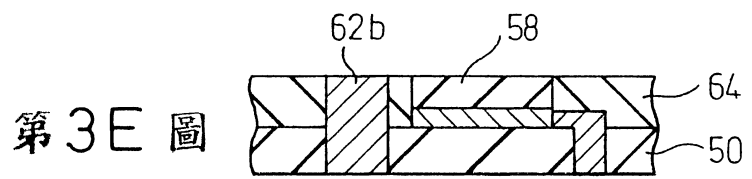
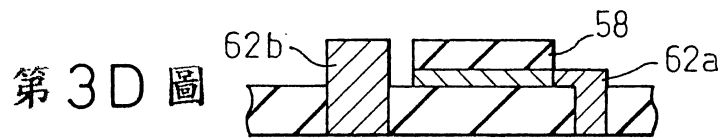
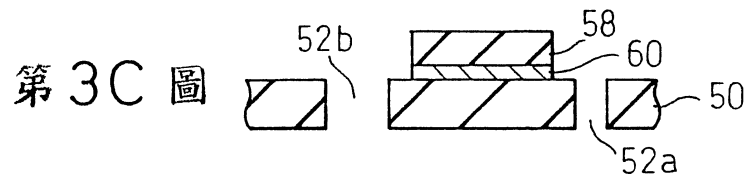
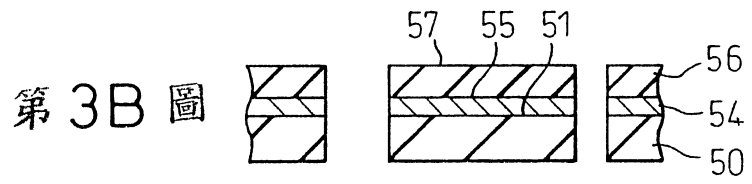
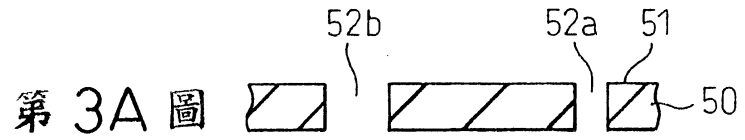


第 2B 圖

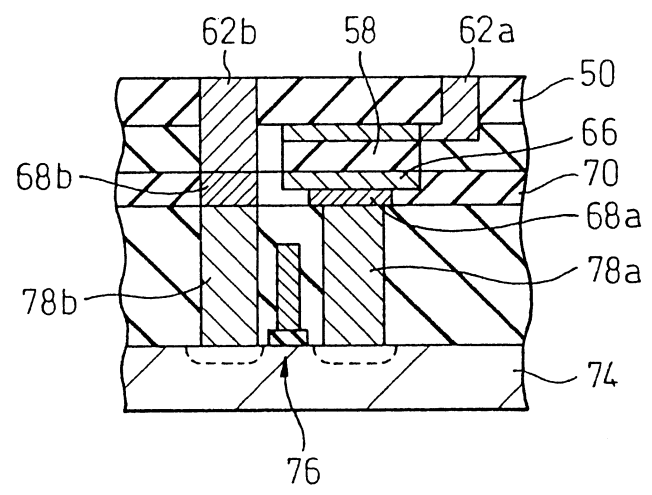


第 2C 圖

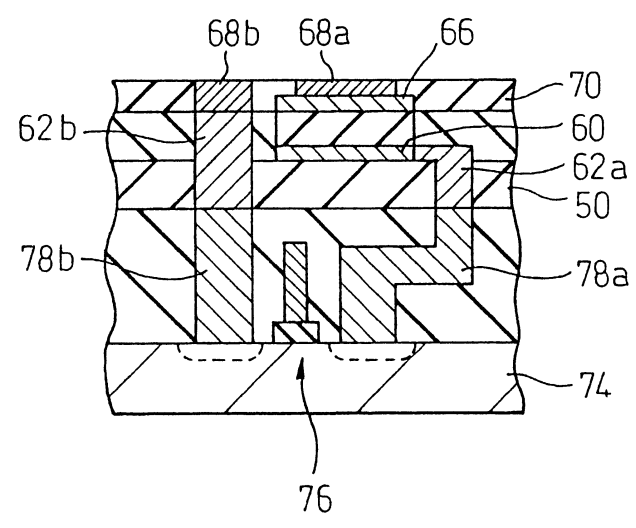


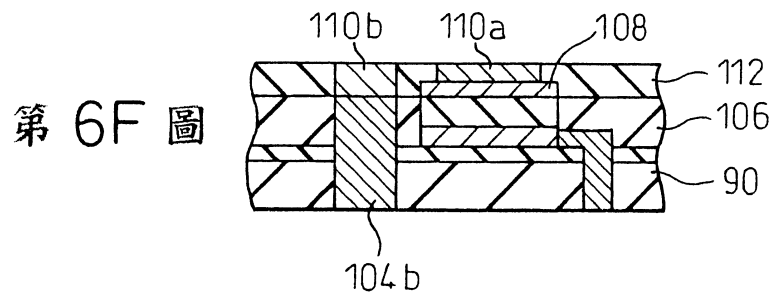
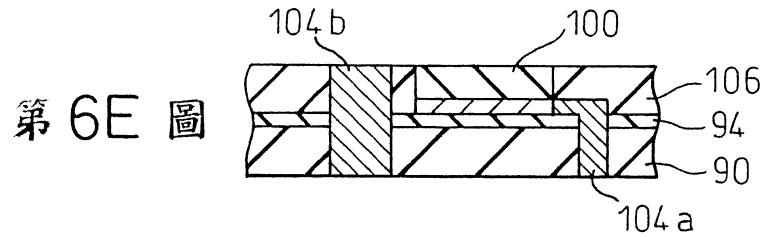
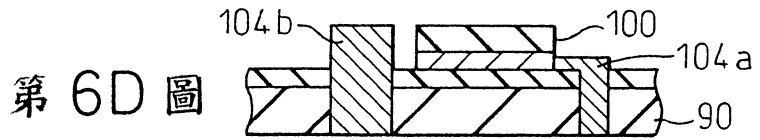
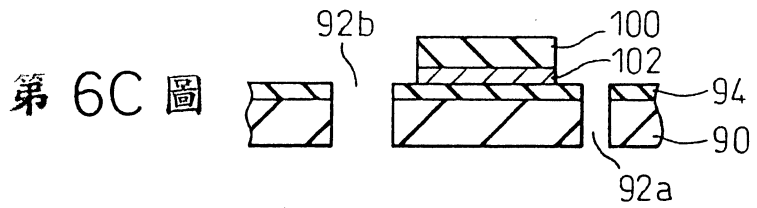
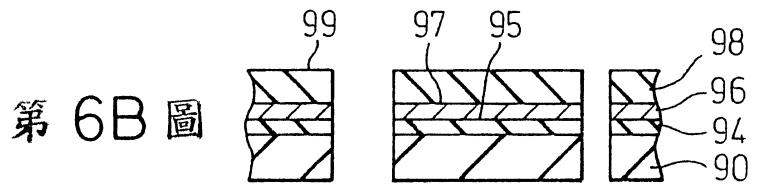
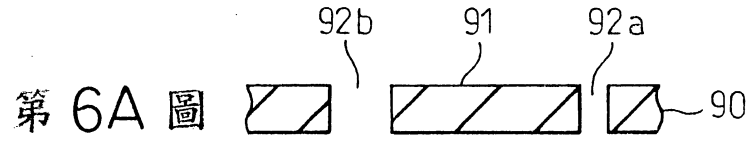


第 4 圖



第 5 圖





柒、指定代表圖：

(一)本案指定代表圖為：第 (1E) 圖。

(二)本代表圖之元件代表符號簡單說明：

- 10…單晶基材
- 12'…PZT 薄膜
- 14…下面的電極
- 16…鎢柱塞
- 20…薄鎢膜
- 22…中間層絕緣薄膜

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：