

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年3月2日(02.03.2017)



(10) 国際公開番号
WO 2017/033642 A1

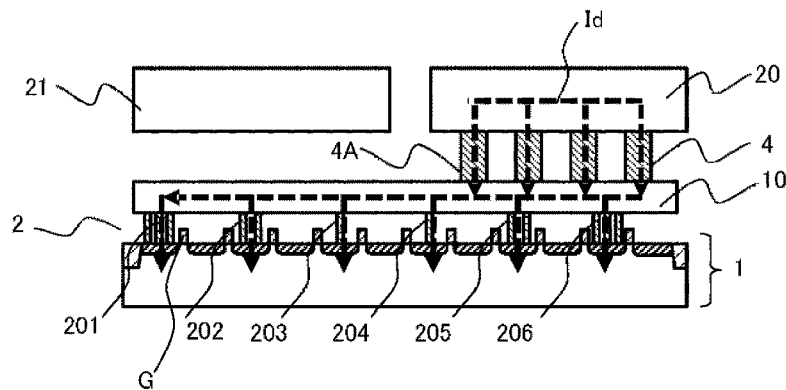
- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 21/768 (2006.01)
H01L 21/28 (2006.01) H01L 23/522 (2006.01)
H01L 21/3205 (2006.01) H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2016/071658
- (22) 国際出願日: 2016年7月25日(25.07.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-163319 2015年8月21日(21.08.2015) JP
- (71) 出願人: 日立オートモティブシステムズ株式会社 (HITACHI AUTOMOTIVE SYSTEMS, LTD.)
[JP/JP]; 〒3128503 茨城県ひたちなか市高場 2 5 2 0 番地 Ibaraki (JP).
- (72) 発明者: 池ヶ谷 克己 (IKEGAYA Katsumi); 〒3128503 茨城県ひたちなか市高場 2 5 2 0 番地 日立オートモティブシステムズ株式会社内 Ibaraki (JP). 大島 隆文 (OSHIMA Takayuki); 〒3128503 茨城県ひたちなか市高場 2 5 2 0 番地 日立オートモティブシステムズ株式会社内 Ibaraki (JP).
- (74) 代理人: 井上 学, 外 (INOUE Manabu et al.); 〒1008220 東京都千代田区丸の内一丁目 6 番 1 号 株式会社日立製作所内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE, SEMICONDUCTOR INTEGRATED CIRCUIT, AND LOAD DRIVING DEVICE

(54) 発明の名称: 半導体装置、半導体集積回路、及び負荷駆動装置

【図2】



(57) Abstract: There is a drawback that current density cannot be uniform across transistors disposed and spread two-dimensionally. In the present invention, on a transistor layer on which multiple transistors 1 each having a drain, a source, and a gate are disposed in parallel, a metal wiring layer 10 serving as an input-side wiring layer to which the drain of each transistor 1 is connected and a metal wiring layer 11 serving as an output-side wiring layer to which the source of each transistor is connected are juxtaposed to each other. Further, a plurality of through holes are provided which connect the metal wiring layer 10 serving as the input-side wiring layer to the drain of each transistor, and connect the metal wiring layer 11 serving as the output-side wiring layer to the source of each transistor. The values of the resistances of the through holes 2, 3 are changed along the direction in which the input-side wiring layer and the output-side wiring layer are arranged, so that the current density of the transistors disposed and spread two-dimensionally can be made uniform.

(57) 要約:

[続葉有]



WO 2017/033642 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

2次元に拡がって配置されたトランジスタの全域で電流密度を均一にできない欠点がある。ドレインとソースとゲートとを有するトランジスタ1が多数並列に配置されたトランジスタ層の上に、各トランジスタ1のドレインが接続される入力側配線層であるメタル配線層10と各トランジスタのソースが接続される出力側配線層であるメタル配線層11とが並設されている。更に、入力側配線層であるメタル配線層10と各トランジスタのドレインとを接続し、出力側配線層であるメタル配線層11と各トランジスタのソースとを接続する複数のスルーホール2、3を備える。そして、複数のスルーホール2、3の抵抗値を、入力側配線層及び出力側配線層の並び方向に沿って変える。これにより、2次元に拡がって配置されたトランジスタの電流密度を均一にすることができる。

明 細 書

発明の名称：半導体装置、半導体集積回路、及び負荷駆動装置
技術分野

[0001] 本発明は、半導体装置、半導体集積回路、及び負荷駆動装置に関する。

背景技術

[0002] 車両の電子制御において、負荷を駆動する負荷駆動装置が広く使用されている。この負荷駆動装置は、スイッチング素子をON/OFF制御するもので、スイッチング素子として使用されるトランジスタには大電流が流れる。そして、トランジスタは集積回路化されており、多数のトランジスタが密に並び、個々のトランジスタのドレインがドレイン用パッドに共通に接続され、且つ、個々のトランジスタのソースがソース用パッドに共通に接続されている。

[0003] 一方、負荷駆動装置のコストの低減のためには、トランジスタのサイズを縮小することが求められる。しかし、トランジスタの縮小により、個々のトランジスタを接続するメタル配線層の電流密度が高くなり、メタル配線層の電流密度が高い個所がエレクトロマイグレーションにより劣化することが懸念される。したがって、トランジスタ上の電流密度を均一にする必要がある。このような電流密度の均一化を目的とした、特許文献1に記載された技術がある。特許文献1に記載の半導体装置は、各トランジスタのドレイン端子と第1の導電体層とを接続するドレイン用スルーホールを有する。更に、各トランジスタのソース端子と第2の導電体層とを接続するソース用スルーホールを有する。そして、このソース用スルーホール及びドレイン用スルーホールの配置分布を、ソース用パッド及びドレイン用パッドからの距離に応じて変えている。

先行技術文献

特許文献

[0004] 特許文献1：特開2006-278677号公報

発明の概要

発明が解決しようとする課題

[0005] 上述した、特許文献 1 に記載の方法では、第 1 の導電体層と第 2 の導電体層が対向する境界付近の領域で電流密度が高くなり、2次元に拡がって配置されたトランジスタの全域で電流密度を均一にできない欠点がある。

課題を解決するための手段

[0006] 本発明による半導体装置は、入力部と出力部と制御部とをそれぞれ有する複数のトランジスタが 2次元状に配置されたトランジスタ層と、入力端子および出力端子に接続され、複数のトランジスタの入力部を入力端子に電氣的に接続し、出力部を出力端子に電氣的に接続するための複数の配線層と、複数の配線層およびトランジスタ層の間をそれぞれ接続する複数の層間接続導体群と、を備え、複数の配線層は、入力端子に接続された少なくとも 1つの入力側配線層と出力端子に接続された少なくとも 1つの出力側配線層とが所定の配列方向に沿って配列された第 1 配線層を有し、複数の層間接続導体群の抵抗値は、配列方向の位置に応じて互いに異なる。

本発明による半導体集積回路は、半導体装置を少なくとも一つ、同一の半導体チップに実装したものである。

本発明による負荷駆動装置は、半導体装置をスイッチング素子として、スイッチング素子の制御部に電圧を印加して、スイッチング素子に接続された負荷を駆動する。

発明の効果

[0007] 本発明によれば、2次元に拡がって配置されたトランジスタの電流密度を均一にすることができる。

図面の簡単な説明

[0008] [図1]半導体装置の平面図である。

[図2]図 1 の半導体装置の A - A' の断面図である。

[図3]図 1 の半導体装置の B - B' の断面図である。

[図4]メタル配線層とスルーホールとの等価回路である。

[図5]実施形態と比較するための半導体装置の平面図である。

[図6]図5の半導体装置のE-E'の断面図である。

[図7]図5の半導体装置のF-F'の断面図である。

[図8]第2の実施形態における半導体装置の平面図である。

[図9]図8の半導体装置のJ-J'の断面図である。

[図10]図8の半導体装置のK-K'の断面図である。

[図11]第3の実施形態における半導体装置の平面図である。

[図12]負荷駆動装置の回路構成を示す図である。

発明を実施するための形態

[0009] (第1の実施形態)

本発明の第1の実施形態について、図1乃至図4を参照して説明する。

図1は第1の実施形態における半導体装置の平面図である。図1の半導体装置では、トランジスタ層1の上に複数の配線層が重ねられている。トランジスタ層1は、多数のMOSトランジスタを2次元状に配置して形成されている。トランジスタ層1の各トランジスタは、制御部である複数のゲート電極Gと、入力部である複数のドレイン電極Dと、出力部である複数のソース電極Sとを有している。トランジスタ層1の上には、1層目の配線層であるメタル配線層10及びメタル配線層11が複数ずつ交互に並設されている。複数のメタル配線層10は、複数のスルーホールによって構成される層間接続導体であるスルーホール群2を介して、トランジスタ層1の複数のトランジスタのドレイン電極Dと接続されている。複数のメタル配線層11も同様に、複数のスルーホールによって構成される層間接続導体であるスルーホール群3を介して、トランジスタ層1の複数のトランジスタのソース電極Sと接続されている。なお図1では、スルーホール群2、3をそれぞれ構成する各スルーホールを正方形でそれぞれ示している。

[0010] メタル配線層10及びメタル配線層11の上には、2層目の配線層であるメタル配線層20及びメタル配線層21が設けられている。メタル配線層2

0は、層間接続導体である複数のスルーホール4を介して1層目のメタル配線層10に接続されている。メタル配線層21も同様に、層間接続導体である複数のスルーホール5を介して1層目のメタル配線層11に接続されている。なお図1では、各スルーホール4、5を桁記号でそれぞれ示している。また、メタル配線層20は、ドレイン電流を注入する入力端子用パッド7が設けられており、この入力端子用パッド7を介して半導体装置の入力端子に接続される。メタル配線層21は、ソース電流を取り出す出力端子用パッド8が設けられており、この出力端子用パッド8を介して半導体装置の出力端子に接続される。このように、2層目の配線層は、ドレイン用のメタル配線層20とソース用のメタル配線層21に2分割されている。

[0011] 図1において、メタル配線層20と21は図1に示すY方向に延伸し、メタル配線層10及び11はX方向に延伸している。2次元的に広がってトランジスタを配置したトランジスタ層1の全体を覆うように、これらの配線層を配置する。なお、メタル配線層20とメタル配線層21とは、X方向を配列方向として、この配列方向に沿って配列される。

[0012] 図2は、図1の半導体装置のA-A'断面図であり、ドレイン電極Dに接続されている複数のメタル配線層10のうちの1つに沿った断面図である。なお、図1及び図2では、前述のスルーホール群2のうちこれらの図面で共通に示されたものを、スルーホール群201~206として示している。図3は、図1の半導体装置のB-B'断面図であり、ソース電極Sに接続されている複数のメタル配線層11のうちの1つに沿った断面図である。なお、図1及び図3では、前述のスルーホール群3のうちこれらの図面で共通に示されたものを、スルーホール群311~316として示している。

[0013] 図2において、入力端子用パッド7（図1参照）からトランジスタ層1へ流れる電流経路1dは、メタル配線層20を通り、複数のスルーホール4を通り1層目のメタル配線層10に流れる。更に、メタル配線層10から複数のスルーホール群201~206を介してトランジスタ層1の各ドレイン電極に流れる。ここで、複数のスルーホール群201~206は、メタル配線

層 10 に等間隔に配置されている。

[0014] 図 2 に示すように、トランジスタ層 1 に配置された複数のトランジスタのうちスルーホール 4 の下方にあるトランジスタは、メタル配線層 10 を通る電流経路が短い。反対に、スルーホール 4 から遠い位置にあるトランジスタは、メタル配線層 10 を通る電流経路が長い。メタル配線層 10 に電流が流れる際の配線抵抗による電圧降下はメタル配線層 10 を通る経路が長いほど大きいため、スルーホール群 201 ~ 203 の上面の電位は、スルーホール群 201 が最も低く、202、203 の順で高くなる。スルーホール群 204、205、206 は、いずれもメタル配線層 20 とメタル配線層 10 を接続するスルーホール 4 の直下にあるため、これらのスルーホール群 204、205、206 の上面の電位は同程度である。

[0015] 図 3 において、トランジスタ層 1 から出力端子用パッド 8 (図 1 参照) へ流れる電流経路 I_s は、トランジスタ層 1 の各ソース電極から複数のスルーホール群 311 ~ 316 を介してメタル配線層 11 に流れる。更に、メタル配線層 11 から複数のスルーホール 5 を通りメタル配線層 21 を介して出力端子用パッド 8 (図 1 参照) へ流れる。ここで、複数のスルーホール群 3311 ~ 3316 はメタル配線層 11 に等間隔に配置されている。

[0016] 図 3 に示すように、トランジスタ層 1 に配置された複数のトランジスタのうちスルーホール 5 の下方にあるトランジスタは、メタル配線層 11 を通る電流経路が短い。反対に、スルーホール 5 から遠い位置にあるトランジスタは、メタル配線層 11 を通る電流経路が長い。メタル配線層 11 に電流が流れる際の配線抵抗による電圧降下はメタル配線層 11 を通る経路が長いほど大きいため、図 3 における複数のスルーホール群 311 ~ 313 の上面の電位は、スルーホール群 311 が最も高く、312、313 の順で低くなる。スルーホール群 314、315、316 は、いずれもメタル配線層 21 とメタル配線層 11 を接続するスルーホール 5 の直下にあるため、これらのスルーホール群 314、315、316 の上面の電位は同程度である。

[0017] 次に、ドレイン電極 D に接続するスルーホール群 201 ~ 206 の上面と

これにゲート電極を挟んで反対側のソース電極Sに接続するスルーホール群311～316の上面との電位差を比較する。具体的には、図1及び図2に示すスルーホール群201と、図1及び図3に示すスルーホール群316との電位差を比較する。以下同様に、図1及び図2に示すスルーホール群202と、図1及び図3に示すスルーホール群315との電位差を比較する。図1及び図2に示すスルーホール群203と、図1及び図3に示すスルーホール群314との電位差を比較する。図1及び図2に示すスルーホール群204と、図1及び図3に示すスルーホール群313との電位差を比較する。図1及び図2に示すスルーホール群205と、図1及び図3に示すスルーホール群312との電位差を比較する。図1及び図2に示すスルーホール群206と、図1及び図3に示すスルーホール群311との電位差を比較する。

[0018] この比較の結果、図2に示す左端のスルーホール4Aから最も遠い位置にあるスルーホール群201と、これに対応するスルーホール群316との間の電位差が最も小さい。同様に、図3に示す右端のスルーホール5Aから最も遠い位置にあるスルーホール群311と、これに対応するスルーホール群206との間の電位差が最も小さい。一方、図2に示すスルーホール4Aから最も近い位置にあるスルーホール群203と、これに対応するスルーホール群314との間の電位差が最も大きい。同様に、図3に示すスルーホール5Aから最も近い位置にあるスルーホール群313と、これに対応するスルーホール群204との間の電位差が最も大きい。その他のスルーホール群の上面の間の電位差は、これらの中間値となる。

[0019] このように、スルーホール群201～206と、スルーホール群311～316との上面の電位差は、トランジスタ層1上でのこれらの位置により異なる。したがって、トランジスタ層1の各トランジスタに流れる電流値を均一化するには、各ドレイン電極Dとこれにゲート電極Gを挟んで反対側にあるソース電極Sとの電位差をトランジスタ層1上の位置で均一にする必要がある。

[0020] 本実施形態では、電位差をトランジスタ層1上の位置で均一にするために

、図2に示す左右両端のスルーホール群201、206と図3に示す左右両端のスルーホール群316、311の抵抗値が他のスルーホール群よりも低くなるように、これらのスルーホール群におけるスルーホールの分布密度を高密度にする。その他のスルーホール群202～205、312～315は、抵抗値が高くなるように、これらのスルーホール群におけるスルーホールの分布密度を低密度にする。これにより、スルーホール群202～205、312～315は、それぞれ隣接するドレイン電極Dとソース電極Sの電位差が、スルーホール群201の底面とスルーホール群316の底面との間の電位差、及びスルーホール群206の底面とスルーホール群311の底面との間の電位差と同等になる。すなわち、本実施形態では、ゲート電極Gを挟むドレイン電極Dとソース電極Sの間の電位差が各トランジスタで同等になるように、メタル配線層10、11とメタル配線層20、21とを接続するスルーホール4A及び5Aからの距離により、スルーホール群201～206、311～316の抵抗値を変える。換言すると、メタル配線層20とメタル配線層21との境界に近いほど、スルーホール群201～206、311～316の抵抗値が高くなるように、これらのスルーホール群を構成するスルーホールの分布密度を変化させる。なお、図2及び図3で示したスルーホール群201～206、311～316以外のスルーホール群2、3についても同様である。

[0021] 図4は、半導体装置におけるスルーホール群2、3と、メタル配線層10、11の配線抵抗を示す等価回路である。但し、図4には図1のメタル配線層10、11とメタル配線層20、21とを接続するスルーホール4、5に対応する抵抗は省略している。また、ゲート電極Gの接続も省略している。

[0022] 図4において、抵抗2011～2051は、スルーホール群201～206の抵抗であり、抵抗3161～3111は、スルーホール群316～311の抵抗である。また、配線抵抗101は、スルーホール4によりメタル配線層20と接続されている部分に対応するメタル配線層10の配線抵抗であり、図2の右半分に相当する。配線抵抗102は、メタル配線層10の左半

分の配線抵抗であり、図2の左半分に相当する。また、配線抵抗111は、スルーホール5によりメタル配線層21と接続されている部分に対応するメタル配線層11の配線抵抗であり、図3の左半分に相当する。配線抵抗112は、メタル配線層11の右半分の配線抵抗であり、図3の右半分に相当する。

[0023] メタル配線層20、21の配線抵抗は、メタル配線層10、11の配線抵抗と比較し低抵抗である。この場合は、メタル配線層10の右半分の配線抵抗101とメタル配線層11の左半分の配線抵抗111の部分はスルーホール4、5を介してメタル配線層20、21に接続しているため、これらの配線抵抗による電圧降下は小さい。一方、メタル配線層10の左半分の配線抵抗102とメタル配線層11の右半分の配線抵抗112による電圧降下は、大面積のトランジスタ層1に配置された各トランジスタのドレイン、ソース間電圧の面内分布を発生させる。したがって、これらの配線抵抗による電圧降下が均一でない場合には、トランジスタ層1における電流密度の面内分布を不均一にする原因になる。

[0024] 本実施形態では、前述のようにスルーホール4、5からの距離、すなわちメタル配線層20、21の配列方向である図1のX方向の位置に応じて、スルーホール群2、3を構成するスルーホールの分布密度を変えている。これにより、メタル配線層10の左半分の配線抵抗102と、メタル配線層11の右半分の配線抵抗112とによる電圧降下を相殺し、トランジスタ層1の面内電流密度が均一化するように、ドレイン側のスルーホール群2に対応する抵抗2011~2064と、ソース側のスルーホール群3に対応する抵抗3111~3164との抵抗値をそれぞれ調整している。

[0025] 次に、図5、6、7を参照して、スルーホール群2、3の抵抗値を変えずにトランジスタ層1上で均一にした場合について、本実施形態と比較するために説明する。図5はスルーホール群2、3の抵抗値を変えずにトランジスタ層1上で均一にした場合の半導体装置の平面図である。図1と同一箇所には同一の符号を附してその説明は省略する。また、図6は、図5のE-E'

断面図であり、複数のメタル配線層10のうちの1つに沿った断面図である。なお、図5及び図6では、スルーホール群2のうちこれらの図面で共通に示されたものを、スルーホール群621～626として示している。図7は、図5のF-F'断面図であり、複数のメタル配線層11のうちの1つに沿った断面図である。なお、図5及び図7では、スルーホール群3のうちこれらの図面で共通に示されたものを、スルーホール群631～636として示している。

[0026] 図6において、入力端子用パッド7（図5参照）からトランジスタ層1へ流れる電流経路1d'は、メタル配線層20を通り、複数のスルーホール4を通りメタル配線層10に流れる。更に、メタル配線層10から複数のスルーホール群621～626を介してトランジスタ層1の各ドレイン電極に流れる。スルーホール4Aとの間にあるメタル配線層10の配線長が長いほど配線抵抗による電圧降下が大きく、電流経路1d'を流れる電流は低電流となる。

[0027] 図7において、トランジスタ層1から出力端子用パッド8（図5参照）へ流れる電流経路1s'は、トランジスタ層1の各ソース電極から複数のスルーホール群631～636を介してメタル配線層11に流れる。更に、メタル配線層11から複数のスルーホール5を通りメタル配線層21を介して出力端子用パッド8（図5参照）へ流れる。この電流経路1s'を流れる電流も電流経路1d'と同様に、スルーホール5Aとの間にあるメタル配線層11の配線長が長いほど配線抵抗による電圧降下が大きく、低電流となる。

[0028] 図5、6、7に示すように、スルーホール群621～626、及びスルーホール群631～636の抵抗値を変えていないので、この場合にトランジスタ層1の各ドレイン、ソースに流れる電流値は均一ではない。

[0029] （第2の実施形態）

次に、第2の実施形態について、図8、図9、図10を参照して説明する。

図8は、第2の実施形態における半導体装置の平面図である。この例では

、2層目の配線層が3つのメタル配線層20、21、22に分割されて並設された構成であり、メタル配線層20、22にはそれぞれ入力端子用パッド7を設けている。また、メタル配線層21には出力端子用パッド8を設けている。ソース側のメタル配線層21は、ドレイン側のメタル配線層20、22に両側から挟まれた構成である。また、1層目のメタル配線層10及びメタル配線層11は、2層目のメタル配線層20、21、22と交差するように配置されている。

[0030] 図9は、図8の半導体装置のJ-J'の断面図であり、図10は、図8の半導体装置のK-K'の断面図である。図9に示すように、メタル配線層10は、複数のスルーホールによって構成される層間接続導体であるスルーホール群2を介して、トランジスタ層1の複数のトランジスタの入力部である複数のドレイン電極Dと接続される。図10に示すように、メタル配線層11は、複数のスルーホールによって構成される層間接続導体であるスルーホール群3を介して、トランジスタ層1の複数のトランジスタの出力部である複数のソース電極Sと接続される。

[0031] このように、本実施形態では、上層にある2層目の配線層を、第1の実施形態と比べてより多くのメタル配線層20、21、22に分割している。そして、異なる種類の電極に接続されたこれらの配線層を、配列方向（図8の上下方向）に沿って交互に配置する。これにより、下層にある1層目のメタル配線層10、11において、スルーホール群2とスルーホール群3の間の配線長が短くなるため、1層目のメタル配線層10、11の配線抵抗による電圧降下分を低減することができる。また、1層目のメタル配線層10、11において、各々のスルーホール群2とスルーホール群3との間の配線には、各スルーホール群2、3を介して、これらの間に接続されたトランジスタ層1の各トランジスタの電流が流れる。このため、メタル配線層10、11の配線長が長い場合には、多くのトランジスタの電流がこの配線を通ることになる。これらの電流を合計した電流がスルーホール4、5を介してメタル配線層20、21、22に流れる。このため、スルーホール4、5付近の

メタル配線層 10、11 の電流密度が高くなる。しかし、スルーホール 4 とスルーホール 5 の間のメタル配線層 10、11 の配線長が短いので、電流密度を低減することができる。

[0032] 図 9 に示すように、ドレイン側のメタル配線層 20、22 からトランジスタ層 1 に流れる電流 I_d はスルーホール 4 を通り、メタル配線層 10 を通りスルーホール群 2 からトランジスタ層 1 へ流れる。スルーホール群 2 の上面の電位は、メタル配線層 10 の配線抵抗による電圧降下により、ドレイン側のスルーホール 4 A からの距離が長いメタル配線層 10 の中央部分に近いほど、低くなる。よって、ソース側のメタル配線層 21 において、メタル配線層 20、21、22 の配列方向（図 8 の上下方向）に直交する中心線 C に近いほどスルーホール群 2 の分布密度を高密度にし、両側のドレイン側のメタル配線層 20、22 に接続するスルーホール 4 A に近いほどスルーホール群 2 の分布密度を低くして、抵抗値を調整する。

[0033] 図 10 に示すように、トランジスタ層 1 からスルーホール群 3 を通り、メタル配線層 11 に流れる電流 I_s は、スルーホール 5 を通り、ドレイン側のメタル配線層 21 へ流れる。ドレイン側のメタル配線層 21 の下のメタル配線層 11 は、メタル配線層 21 に接続するスルーホール 5 B に近いほどスルーホール群 3 の分布密度を低くし、遠いほどスルーホール群 3 の分布密度を高くする。このようなスルーホール群 3 の分布密度の調整により、トランジスタ層 1 の電流密度を均一化できる。なお、上述の第 2 の実施形態では、入力端子用パッド 7 が設けられた 2 つのメタル配線層 20、22 の間に、出力端子用パッド 8 が設けられた 1 つのメタル配線層 21 を配置した場合の例を説明した。しかし、これとは反対に、出力端子用パッドが設けられた 2 つのメタル配線層の間に、入力端子用パッドが設けられた 1 つのメタル配線層を配置した場合でも、同様の方法でスルーホール群の分布密度を調整することにより、トランジスタ層 1 の電流密度を均一化できる。

[0034] （第 3 の実施形態）

次に、第 3 の実施形態について、図 11 を参照して説明する。

図 1 1 は、メタル配線層を 3 層で構成した第 3 の実施形態における半導体装置の平面図である。3 層目のドレイン側メタル配線層 3 0 と 3 層目のソース側メタル配線層 3 1 が向き合う方向に、ドレイン側の 2 層目のメタル配線層 2 0 及びソース側の 2 層目のメタル配線層 2 1 が延伸している。2 層目のメタル配線層 2 0、2 1 と交差するように 1 層目のメタル配線層 1 0、1 1 が並設されている。

[0035] トランジスタ層 1 の入力部である複数のドレイン電極 D は、複数のスルーホールによって構成される層間接続導体であるスルーホール群 2、メタル配線層 1 0、複数のスルーホールによって構成される層間接続導体であるスルーホール群 4、メタル配線層 2 0、スルーホール 3 5、メタル配線層 3 0 を介して入力端子用パッド 7 に接続している。トランジスタ層 1 の出力部である複数のソース電極 S は、複数のスルーホールによって構成される層間接続導体であるスルーホール群 3、メタル配線層 1 1、複数のスルーホールによって構成される層間接続導体であるスルーホール群 5、メタル配線層 2 1、スルーホール 3 6、メタル配線層 3 1 を介して出力端子用パッド 8 に接続する。

[0036] そして、トランジスタ層 1 における各トランジスタの電流密度が均一となるように、メタル配線層 3 0、3 1 が対向する位置のメタル配線層 1 0、1 1 において、スルーホール群 2、3 を構成するスルーホールの分布密度を低くし、この位置から遠いほど、スルーホール群 2、3 を構成するスルーホールの分布密度を高くする。更に、メタル配線層 3 0、3 1 が対向する位置のメタル配線層 2 0、2 1 においても同様に、スルーホール群 4、5 を構成するスルーホールの分布密度を低くし、この位置から遠いほど、スルーホール群 4、5 を構成するスルーホールの分布密度を高くする。本実施形態では、スルーホール群 2、3 及びスルーホール群 4、5 により抵抗値の調整を行うので、第 1、第 2 の実施形態と比べて、スルーホール群による抵抗値の調整可能範囲を大きくすることができる。このため、メタル配線層 1 0、1 1 及びメタル配線層 2 0、2 1 の抵抗による電圧降下が大きい場合にもスルーホ

ール群により抵抗値を調整することができる。

[0037] 上述の第1～第3の実施形態において、メタル配線層が2層または3層の場合の例で説明したが、メタル配線層は4層以上であっても同様に実施することができる。また、各メタル配線層に配置したスルーホールの数や形状は実施形態を解り易くするため模式的に示したものであり、上述の実施形態に限定されるものではない。

[0038] 上述の第1～第3の実施形態では、MOSトランジスタを例に説明した。しかし、MOSトランジスタに限定されるものではなく、バイポーラトランジスタでも良く、複数のトランジスタは絶縁体により分離されていても良い。

[0039] 上述の第1～第3の実施形態では、同一の半導体チップに一つの半導体装置を実装した例について説明した。しかし、同一の半導体チップに二つ以上の上述した半導体装置を実装した半導体集積回路であっても同様に実施することができる。

[0040] 上述の第1～第3の実施形態では、以下の効果を有する。

(1)トランジスタ層上の電流密度を均一化することにより、トランジスタ層の入力部または出力部に接続されるメタル配線層に対し、局所的な電流密度上昇を抑えることができ、エレクトロマイグレーションによる劣化を抑制できる。一般に、トランジスタ層の電流密度が均一でない場合、トランジスタ層において電流密度が高い領域に配置されたトランジスタに接続しているメタル配線層は電流密度が高くなるため、このメタル配線層はエレクトロマイグレーションにより寿命が低下する。一方、本実施形態では、トランジスタ層の電流密度を均一化することにより、メタル配線層のエレクトロマイグレーションに起因する寿命を長くすることができ、半導体装置としての信頼性を向上することができる。

[0041] (2)半導体装置において、エレクトロマイグレーションによる配線寿命の低下を抑え、チップ面積を縮小化できるので、半導体装置のコストを低減できる。一般に、エレクトロマイグレーションに起因する寿命を確保するために

は、メタル配線層の電流密度は許容値以下にする必要がある。しかし、トランジスタのコストを低減するため、チップサイズの縮小化が求められ、チップサイズの縮小化により電流密度が増加する。このため、許容電流密度の制限により、チップサイズの縮小化には限界があったが、本実施形態では、トランジスタ層上の電流密度を均一化できるため、トランジスタ層上のメタル配線層における最大電流密度を許容電流密度以下に抑え、トランジスタ層全体の平均電流密度を高くすることができ、チップ面積を縮小することが可能になる。

[0042] (3) トランジスタ層の電流密度を均一化することにより、ドレイン端子とソース端子間のメタル配線層とトランジスタを含んだ抵抗値を低減できる。ここで、ドレイン端子は図1の入力端子用パッド7に相当し、ソース端子は図1の出力端子用パッド8に相当する。トランジスタ層の電流密度が不均一の場合、電流値が高いメタル配線層の領域では電圧降下が大きく、トランジスタにかかる電圧が低下する。また、電流密度が不均一のため、有効に使用されないトランジスタがある。トランジスタ層の電流密度を均一化することにより、ドレイン端子とソース端子間の抵抗値を低減できる。

[0043] (4) スルーホール群の抵抗値が低くなるように、スルーホールの分布密度を高密度にする、あるいはスルーホール群の抵抗値が高くなるように、スルーホールの分布密度を低密度にすることにより電流密度の調整が可能である。このため、スルーホールの分布密度の変更を行うのみで、半導体製造工程における変更は不要であり、既存の半導体製造工程に容易に適用可能である。

[0044] (第4の実施形態)

次に、第1～第3の実施形態で示した半導体装置を負荷駆動装置に適用した例を説明する。図12は、負荷駆動装置91の回路構成を示す図である。同図において、第1～第3の実施形態で示した半導体装置はスイッチング素子92に相当する。

[0045] 図12に示すように、スイッチング素子92の入力端子には電源VBに接続されている。また、スイッチング素子92の出力端子には負荷94が接続

されている。更に、スイッチング素子 9 2 の制御端子にはゲート駆動回路 9 3 が接続されている。

[0046] ゲート駆動回路 9 3 よりスイッチング素子 9 2 の制御端子にゲート制御用の電圧を印加することにより、スイッチング素子 9 2 の出力電流をオン、オフ制御し、負荷 9 4 への電流を制御する。

[0047] スwitching素子 9 2 により、車載電磁アクチュエータなどの負荷を駆動する場合、スイッチング素子 9 2 は、半導体接合温度 175℃の高温環境下で、約 1 A の電流制御を行う。一般に、このような、高温、高電流で使用するスイッチング素子 9 2 では、メタル配線層のエレクトロマイグレーションによる信頼性故障が懸念される。しかし、第 1～第 3 の実施形態で示した半導体装置をスイッチング素子 9 2 として用いることにより、エレクトロマイグレーションに起因する故障を防ぐことができ、メタル配線層の電流密度を許容電流以下に抑えることが可能である。

[0048] また、トランジスタの面積を縮小すると平均電流密度が高くなるが、しかし、第 1～第 3 の実施形態で示した半導体装置をスイッチング素子 9 2 として用いることにより、メタル配線層が局所的に高い電流密度になることを抑えることができ、その分、半導体装置の面積を縮小することができる。

[0049] 車載電磁アクチュエータなどの負荷を駆動するスイッチング素子 9 2 のように大電流を流すトランジスタは、数 100 マイクロメートル以上の大きさを必要とし、半導体装置において大きな面積を占める。しかし、第 1～第 3 の実施形態で示した半導体装置をスイッチング素子として用いることにより、半導体装置の面積を縮小し、半導体装置のチップコストを低減することができる。

[0050] 以上説明した実施形態によれば、次の作用効果が得られる。

(1) 半導体装置は、ドレイン電極 D とソース電極 S とゲート電極 G とを有する複数のトランジスタが 2 次元状に配置されたトランジスタ層 1 と、トランジスタ層 1 の複数のトランジスタのドレイン電極 D を入力端子に電氣的に接続し、ソース電極 S を出力端子に電氣的に接続するための複数の配線層と

、複数の配線層およびトランジスタ層1の間をそれぞれ接続する複数の層間接続導体と、を備える。複数の配線層は、2層目の配線層として、入力端子用パッド7を介して入力端子に接続される入力側配線層であるメタル配線層20と、出力端子用パッド8を介して出力端子に接続される出力側配線層であるメタル配線層21とが、所定の配列方向に沿って配列されている配線層を有する。そして、複数の層間接続導体の抵抗値は、メタル配線層20、21の配列方向の位置に応じて互いに異なる。具体的には、複数の配線層は、メタル配線層20、21を含む2層目の配線層と、この配線層よりもトランジスタ層1側に設けられ、複数のメタル配線層10、11を有する1層目の配線層とを有する。複数の層間接続導体は、メタル配線層10、11とトランジスタ層1の複数のトランジスタのドレイン電極Dおよびソース電極Sとを接続する複数のスルーホール群2、3を有する。この複数のスルーホール群2、3の抵抗値は、メタル配線層20、21の配列方向の位置に応じて互いに異なる。これにより、2次元に広がって配置されたトランジスタの電流密度を均一にすることができる。

[0051] (2) 複数のスルーホール群2、3の抵抗値は、少なくともメタル配線層10、11の配線長に基づいて変化する。これにより、配線長による配線抵抗をスルーホール群2、3の各抵抗値により調整することができる。

[0052] (3) 複数の層間接続導体は、複数のスルーホール群2、3と、メタル配線層20、21とメタル配線層10、11とを接続するスルーホール4、5とを有する。メタル配線層10、11の配線長は、スルーホール4、5の位置を始点とする。これにより、スルーホール群2、3の各抵抗値の調整をスルーホール4、5の位置を基準に行うことができる。

[0053] (4) スルーホール群2、3の抵抗値は、入力側配線層であるメタル配線層20と出力側配線層であるメタル配線層21との境界に近いほど高い。これにより、スルーホール群2、3の上面の電位差をトランジスタ上の位置によらず均一にすることができる。

[0054] (5) 第2の実施形態では、1層目の配線層は、入力側配線層である2つの

メタル配線層 20、22 と、出力側配線層である 1 つのメタル配線層 21 とが、図 8 の上下方向に示す配列方向に沿って交互に配列されている。スルーホール群 2、3 の抵抗値は、2 つのメタル配線層 20、22 の間に配置された一つのメタル配線層 21 において配列方向に直交する中心線 C に近いほど低い。これにより、1 層目のメタル配線層が 3 つに分割された場合でも、スルーホール群 2、3 の上面の電位差を均一にすることができる。

[0055] (6) 複数のスルーホール群 2、3 は複数のスルーホールによってそれぞれ構成され、複数のスルーホール群 2、3 の抵抗値は、各スルーホール群 2、3 を構成するスルーホールの分布密度によって変化する。これにより、スルーホール群の抵抗値を調整することができる。

[0056] (7) メタル配線層 20、21 の配線抵抗はメタル配線層 10、11 の配線抵抗よりも低い。これにより、メタル配線層 10、11 の配線抵抗のみを考慮してスルーホールの抵抗値を調整することができる。

[0057] (8) 半導体装置を少なくとも一つ、同一の半導体チップに実装した半導体集積回路。これにより、2 つ以上の半導体装置を同一の半導体チップに実装した半導体集積回路が得られる。

[0058] (9) 半導体装置をスイッチング素子として、スイッチング素子のゲートに電圧を印加して、スイッチング素子に接続された負荷を駆動する負荷駆動装置。半導体装置をスイッチング素子として用いることにより、半導体装置の面積を縮小し、半導体装置のチップコストを低減することができる。

[0059] 本発明は、上記の実施形態に限定されるものではなく、本発明の特徴を損なわない限り、本発明の技術思想の範囲内で考えられるその他の形態についても、本発明の範囲内に含まれる。また、上述の実施形態と複数の変形例を組み合わせた構成としてもよい。

符号の説明

- [0060] 1 トランジスタ層
2、3 スルーホール群
7 入力端子用パッド

8 出力端子用パッド

10、11 1層目のメタル配線層

20、21 2層目のメタル配線層

30、31 3層目のメタル配線層

I_d 、 I_s 電流、

D ドレイン電極、

S ソース電極、

G ゲート電極

91 負荷駆動装置

92 スイッチング素子

93 ゲート駆動回路

94 負荷

請求の範囲

- [請求項1] 入力部と出力部と制御部とを有する複数のトランジスタが2次元状に配置されたトランジスタ層と、
前記複数のトランジスタの前記入力部を入力端子に電氣的に接続し、前記複数のトランジスタの前記出力部を出力端子に電氣的に接続するための複数の配線層と、
前記複数の配線層および前記トランジスタ層の間をそれぞれ接続する複数の層間接続導体と、を備え、
前記複数の配線層は、前記入力端子に接続される少なくとも1つの入力側配線層と前記出力端子に接続される少なくとも1つの出力側配線層とが所定の配列方向に沿って配列された第1配線層を有し、
前記複数の層間接続導体の抵抗値は、前記配列方向の位置に応じて互いに異なる半導体装置。
- [請求項2] 請求項1に記載の半導体装置において、
前記複数の配線層は、前記第1配線層と、前記第1配線層よりも前記トランジスタ層側に設けられた第2配線層とを有し、
前記複数の層間接続導体は、前記第2配線層と前記複数のトランジスタの前記入力部および前記出力部とを接続する複数の第1層間接続導体を有し、
前記複数の第1層間接続導体の抵抗値は、前記配列方向の位置に応じて互いに異なる半導体装置。
- [請求項3] 請求項2に記載の半導体装置において、
前記複数の第1層間接続導体の抵抗値は、少なくとも前記第2配線層の配線長に基づいて変化する半導体装置。
- [請求項4] 請求項3に記載の半導体装置において、
前記複数の層間接続導体は、前記複数の第1層間接続導体と、前記第1配線層と前記第2配線層とを接続する第2層間接続導体とを有し、
、

前記第2配線層の配線長は、前記第2層間接続導体の位置を始点とする半導体装置。

[請求項5] 請求項2に記載の半導体装置において、
前記第1層間接続導体の抵抗値は、前記入力側配線層と前記出力側配線層との境界に近いほど高い半導体装置。

[請求項6] 請求項2に記載の半導体装置において、
前記第1配線層は、2つの前記入力側配線層と1つの前記出力側配線層とが、または1つの前記入力側配線層と2つの前記出力側配線層とが、前記配列方向に沿って交互に配列されており、

前記第1層間接続導体の抵抗値は、2つの前記入力側配線層の間に配置された1つの前記出力側配線層において前記配列方向に直交する中心線、または2つの前記出力側配線層の間に配置された1つの前記入力側配線層において前記配列方向に直交する中心線に近いほど低い半導体装置。

[請求項7] 請求項2～6のいずれか1項に記載の半導体装置において、
前記複数の第1層間接続導体は、複数の接続導体によってそれぞれ構成され、

前記複数の第1層間接続導体の抵抗値は、各第1層間接続導体を構成する前記接続導体の分布密度によって変化する半導体装置。

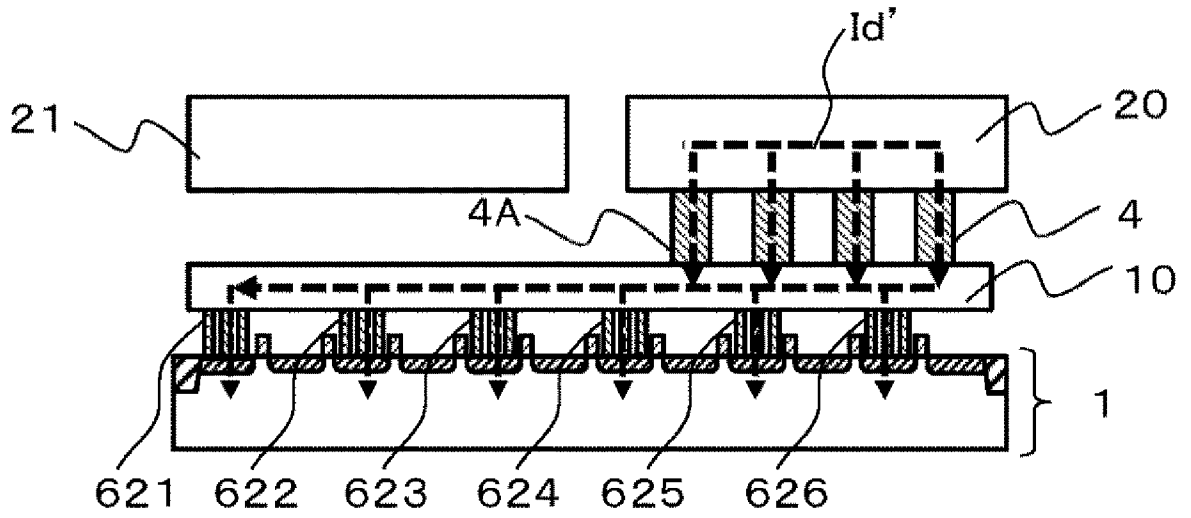
[請求項8] 請求項2～7のいずれか1項に記載の半導体装置において、
前記第1配線層の配線抵抗は前記第2配線層の配線抵抗よりも低い半導体装置。

[請求項9] 請求項1～8のいずれか1項に記載の半導体装置を少なくとも一つ、同一の半導体チップに実装した半導体集積回路。

[請求項10] 請求項1～8のいずれか1項に記載の半導体装置をスイッチング素子として、前記スイッチング素子の制御部に電圧を印加して、前記スイッチング素子に接続された負荷を駆動する負荷駆動装置。

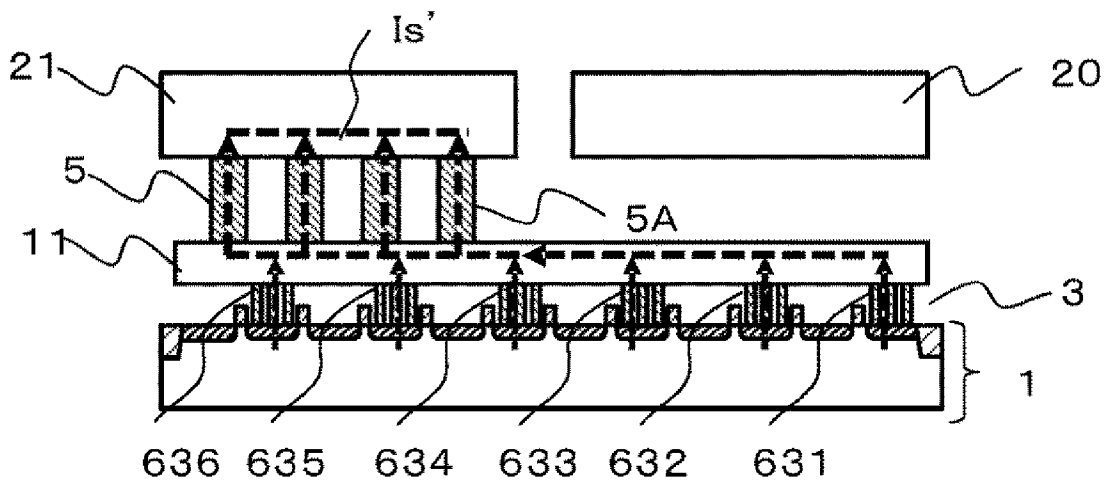
[図6]

【図6】



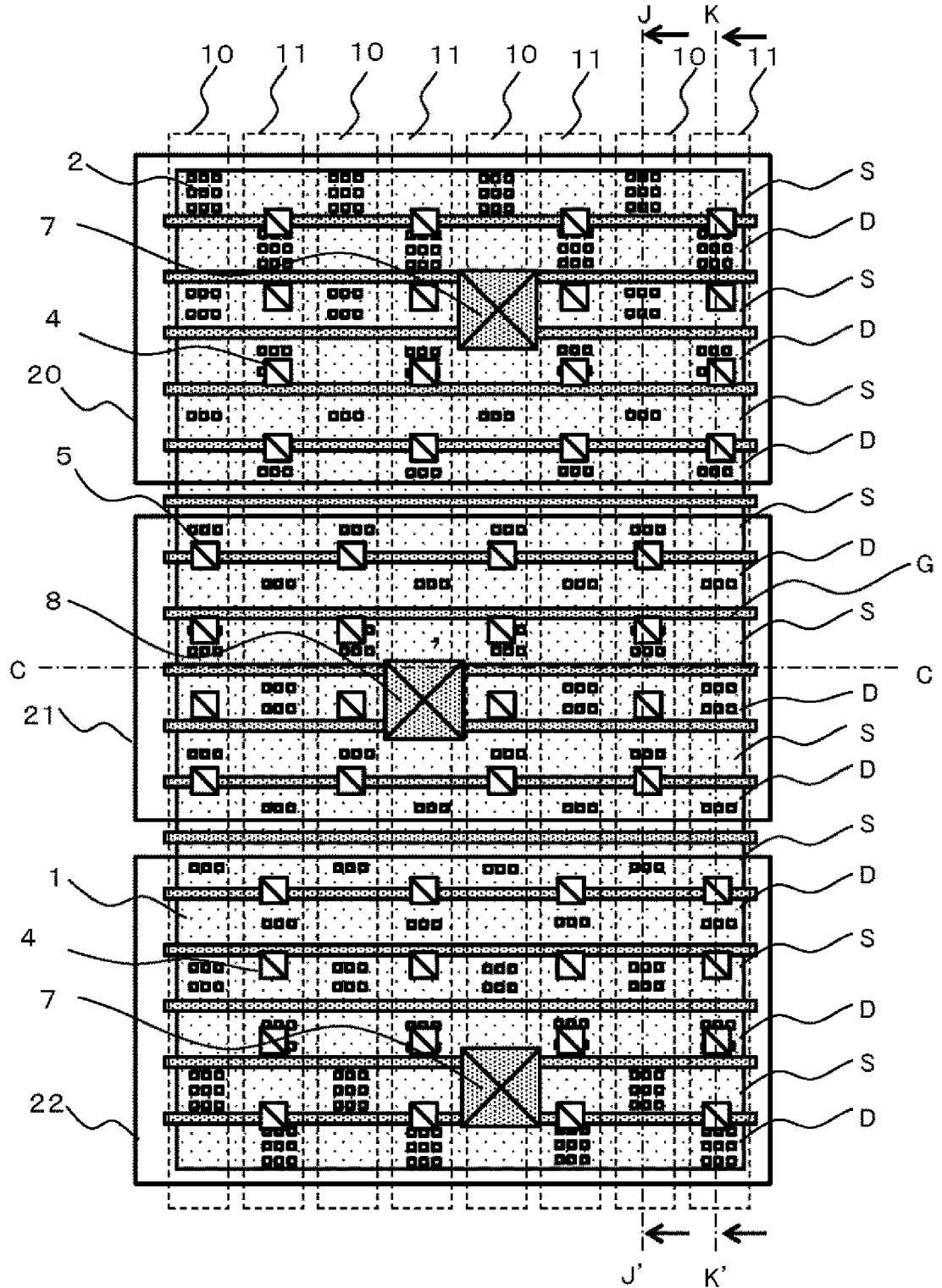
[図7]

【図7】



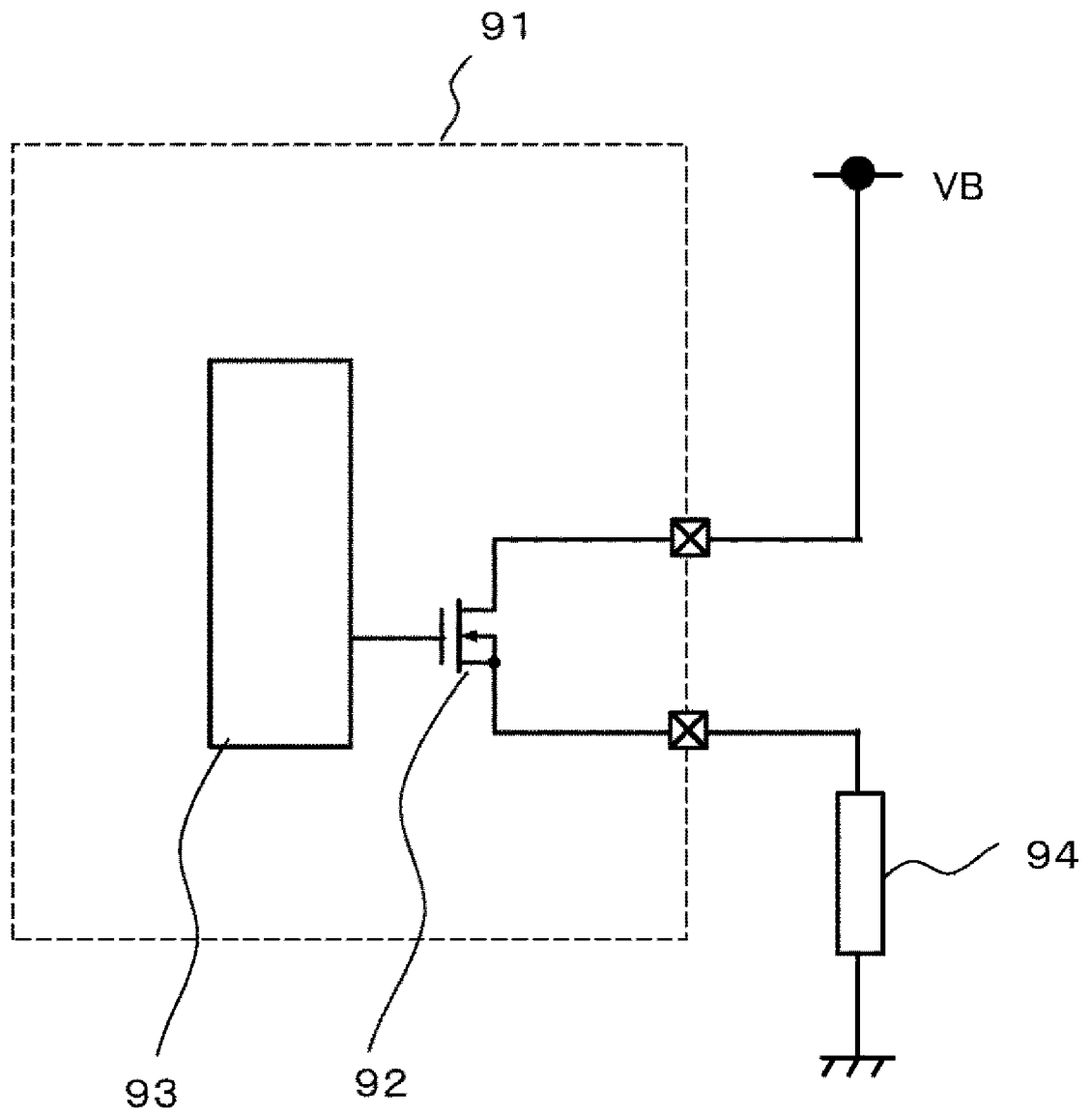
[図8]

【図8】



[図12]

【図12】



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/071658

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/336(2006.01)i, H01L21/28(2006.01)i, H01L21/3205(2006.01)i,
H01L21/768(2006.01)i, H01L23/522(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/336, H01L21/28, H01L21/3205, H01L21/768, H01L23/522, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-278677 A (Mitsumi Electric Co., Ltd.), 12 October 2006 (12.10.2006), paragraphs [0001] to [0046]; fig. 1 to 5 (Family: none)	1-10
Y	JP 2006-515956 A (Great Wall Semiconductor Corp.), 08 June 2006 (08.06.2006), fig. 1 to 4 & US 2005/0017299 A1 fig. 1 to 4 & WO 2004/034432 A2 & AU 2003284004 A1 & KR 10-2005-0075351 A	1-10

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 05 October 2016 (05.10.16)	Date of mailing of the international search report 18 October 2016 (18.10.16)
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/071658

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-246076 A (Sanyo Electric Co., Ltd.), 22 October 2009 (22.10.2009), fig. 1 to 4 (Family: none)	1-10
Y	JP 2000-216264 A (Mitsubishi Electric Corp.), 04 August 2000 (04.08.2000), paragraph [0019] & US 2002/0024141 A1 paragraph [0021]	8-10
A	JP 07-045829 A (Ricoh Co., Ltd.), 14 February 1995 (14.02.1995), entire text; all drawings (Family: none)	1-10
A	JP 2010-219504 A (Seiko Instruments Inc.), 30 September 2010 (30.09.2010), entire text; all drawings & US 2010/0213549 A1 & EP 2221875 A2 & CN 101814501 A & KR 10-2010-0096027 A & TW 201103124 A1	1-10

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/336(2006.01)i, H01L21/28(2006.01)i, H01L21/3205(2006.01)i, H01L21/768(2006.01)i, H01L23/522(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/336, H01L21/28, H01L21/3205, H01L21/768, H01L23/522, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2006-278677 A（ミツミ電機株式会社）2006.10.12, 段落[0001]-段落[0046], 図1-図5（ファミリーなし）	1-10
Y	JP 2006-515956 A（グレイト・ウォール・セミコンダクター・ コーポレーション）2006.06.08, 図1-図4 & US 2005/0017299 A1, 図1-図4 & WO 2004/034432 A2 & AU 2003284004 A1 & KR 10-2005-0075351 A	1-10

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

05.10.2016

国際調査報告の発送日

18.10.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小堺 行彦

5 F

5293

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-246076 A (三洋電機株式会社) 2009. 10. 22, 図 1-図 4 (ファミリーなし)	1-10
Y	JP 2000-216264 A (三菱電機株式会社) 2000. 08. 04, 段落[0019] & US 2002/0024141 A1, 段落[0021]	8-10
A	JP 07-045829 A (株式会社リコー) 1995. 02. 14, 全文全図 (ファミリーなし)	1-10
A	JP 2010-219504 A (セイコーインスツル株式会社) 2010. 09. 30, 全文全図 & US 2010/0213549 A1 & EP 2221875 A2 & CN 101814501 A & KR 10-2010-0096027 A & TW 201103124 A1	1-10