

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 2 月 4 日(04.02.2016)



(10) 国際公開番号

WO 2016/017496 A1

- (51) 国際特許分類:
G11C 11/412 (2006.01) G11C 14/00 (2006.01)
G11C 13/00 (2006.01)
- (21) 国際出願番号: PCT/JP2015/070806
- (22) 国際出願日: 2015 年 7 月 22 日(22.07.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-157136 2014 年 7 月 31 日(31.07.2014) JP
- (71) 出願人: 株式会社フローディア (FLOADIA CORPORATION) [JP/JP]; 〒1870031 東京都小平市小川東町 1 丁目 3 0 番 9 号 Tokyo (JP).
- (72) 発明者: 谷口 泰弘 (TANIGUCHI Yasuhiro); 〒1870031 東京都小平市小川東町 1 丁目 3 0 番 9 号 株式会社フローディア内 Tokyo (JP). 品川裕 (SHINAGAWA Yutaka); 〒1870031 東京都小平市小川東町 1 丁目 3 0 番 9 号 株式会社フローディア内 Tokyo (JP). 葛西 秀男 (KASAI Hideo); 〒1870031 東京都小平市小川東町 1 丁目 3 0 番 9

号 株式会社フローディア内 Tokyo (JP). 櫻井良多郎 (SAKURAI Ryotaro); 〒1870031 東京都小平市小川東町 1 丁目 3 0 番 9 号 株式会社フローディア内 Tokyo (JP). 戸谷 達郎 (TOYA Tatsuro); 〒1870031 東京都小平市小川東町 1 丁目 3 0 番 9 号 株式会社フローディア内 Tokyo (JP). 川嶋泰彦 (KAWASHIMA Yasuhiko); 〒1870031 東京都小平市小川東町 1 丁目 3 0 番 9 号 株式会社フローディア内 Tokyo (JP). 奥山 幸祐 (OKUYAMA Kosuke); 〒1870031 東京都小平市小川東町 1 丁目 3 0 番 9 号 株式会社フローディア内 Tokyo (JP).

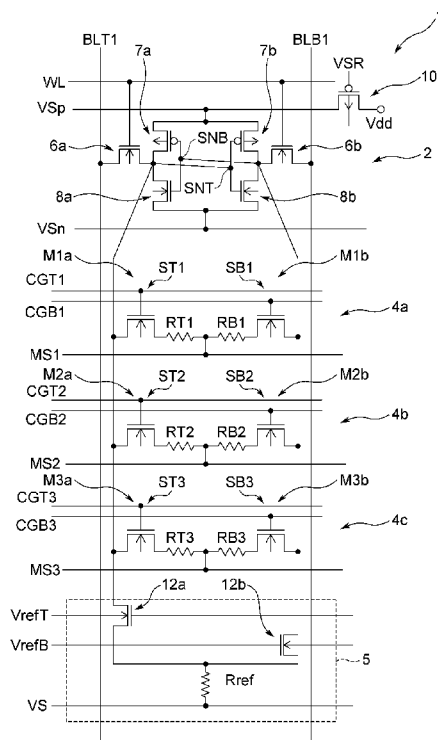
(74) 代理人: 吉田 正義 (YOSHIDA Tadanori); 〒1600023 東京都新宿区西新宿六丁目 1 5 番 1 号 ラ・トゥール新宿 3 0 4 号 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY,

[続葉有]

(54) Title: NON-VOLATILE SRAM MEMORY CELL, AND NON-VOLATILE SEMICONDUCTOR STORAGE DEVICE

(54) 発明の名称: 不揮発性SRAMメモリセル、および不揮発性半導体記憶装置



(57) Abstract: The invention proposes a non-volatile SRAM memory cell and a non-volatile semiconductor storage device in which, by simultaneously turning on both a first switching transistor (ST1) and a second switching transistor (SB1), complementary SRAM data held in a SRAM (2) can be written to a non-volatile memory portion comprising a first memory cell (M1a) and a second memory cell (M1b), and by turning on only one of the first switching transistor (ST1) and the second switching transistor (SB1), it is possible to electrically connect only a first variable-resistance type memory (RT1) to a first storage node (SNT), or to electrically connect only a second variable-resistance type memory (RB1) to a second storage node (SNB), and therefore, depending on the usage stage, the memory cells can be made to function as independent cells, individual data can also be written to either the first memory cell (M1a) or the second memory cell (M1b), and the memory capacity can be increased.

(57) 要約: 第 1 スイッチトランジスタ (ST1) および第 2 スイッチトランジスタ (SB1) の両方を同時にオン動作させることで、SRAM (2) に保持された相補的な SRAM データを第 1 メモリセル (M1a) および第 2 メモリセル (M1b) の不揮発メモリ部に対して書き込むことができるとともに、第 1 スイッチトランジスタ (ST1) および第 2 スイッチトランジスタ (SB2) のうち、いずれか一方だけをオン動作させることで、第 1 抵抗変化型メモリ (RT1) だけを第 1 ストレージノード (SNT) に対して電氣的に接続させたり、または第 2 抵抗変化型メモリ (RB1) だけを第 2 ストレージノード (SNB) に対して電氣的に接続させたりできるので、使用状況に応じて独立型セルとして機能させ、第 1 メモリセル M1a または第 2 メモリセル M1b の一方に個別的なデータをも書き込み、メモリ容量を増やすことができる、不揮発性 SRAM メモリセル、および不揮発性半導体記憶装置を提案する。

WO 2016/017496 A1



MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー

ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

不揮発性S R A Mメモリセル、および不揮発性半導体記憶装置

技術分野

[0001] 本発明は、不揮発性半導体記憶装置に関し、例えばS R A M (Static Random Access Memory) に対して複数の不揮発メモリ部が並列接続された不揮発性S R A Mメモリセルに適用して好適なものである。

背景技術

[0002] 近年、S R A Mに対して複数の不揮発メモリ部が並列接続された不揮発性S R A Mメモリセルが知られている（例えば、特許文献1 参照）。この場合、図1 3に示すように、従来の不揮発性S R A Mメモリセル100は、S R A M2と、複数の不揮発メモリ部104a, 104b, 104cとにより構成されており、S R A M2の第1ストレージノードSNTおよび第2ストレージノードSNBに対して、各不揮発メモリ部104a, 104b, 104cがそれぞれ接続された構成を有する。

[0003] S R A M2は、N型M O S (Metal-Oxide-Semiconductor) トランジスタからなる第1アクセストランジスタ6aおよび第2アクセストランジスタ6bと、P型M O S トランジスタからなる第1ロードトランジスタ7aおよび第2ロードトランジスタ7bと、N型M O S トランジスタからなる第1ドライブトランジスタ8aおよび第2ドライブトランジスタ8bとを備え、合計6個のM O S トランジスタで構成されている。

[0004] この場合、S R A M2は、一方の第1ロードトランジスタ7aの一端と、第1ドライブトランジスタ8aの一端とが接続された構成を有し、直列接続された第1ロードトランジスタ7aおよび第1ドライブトランジスタ8a間に第1ストレージノードSNTを有している。また、S R A M2は、他方の第2ロードトランジスタ7bの一端と、第2ドライブトランジスタ8bの一端とが接続された構成を有し、直列接続された第2ロードトランジスタ7bおよび第2ドライブトランジスタ8b間に第2ストレージノードSNBを有している。そして、第1ロードトランジスタ

7aおよび第2ロードトランジスタ7bの他端は電源線VSpに接続され、第1ドライブトランジスタ8aおよび第2ドライブトランジスタ8bの他端は基準電圧線VSnに接続されている。

[0005] 第1アクセストランジスタ6aは、一方の第1ストレージノードSNTと、他方の第2ロードトランジスタ7bおよび第2ドライブトランジスタ8bのゲートとに一端が接続されているとともに、他端が第1ビット線BLT1に接続されている。また、第2アクセストランジスタ6bは、他方の第2ストレージノードSNBと、一方の第1ロードトランジスタ7aおよび第1ドライブトランジスタ8aのゲートとに一端が接続されているとともに、他端が第2ビット線BLB1に接続されている。第1アクセストランジスタ6aおよび第2アクセストランジスタ6bは、各ゲートが共通のワード線WLに接続されており、第1ビット線BLT1または第2ビット線BLB1と、ワード線WLとの電圧差によりオンオフ動作し得るようになされている。

[0006] このような構成でなるSRAM2には、外部データ書き込み動作によって、外部データをHighレベルおよびLowレベルの電位として第1ストレージノードSNTおよび第2ストレージノードSNBに印加することにより、外部データを書き込むことができ、当該外部データをSRAMデータとして第1ストレージノードSNTおよび第2ストレージノードSNBに保持し得る。

[0007] この場合、SRAM2には、対を構成した第1メモリセルM100aおよび第2メモリセルM100bでなる不揮発メモリ部104aと、同じく対を構成した第1メモリセルM200aおよび第2メモリセルM200bでなる不揮発メモリ部104bと、同じく対を構成した第1メモリセルM300aおよび第2メモリセルM300bでなる不揮発メモリ部104cとが並列接続されている。これら不揮発メモリ部104a, 104b, 104cは、いずれも同一構成を有しており、各不揮発メモリ部104a, 104b, 104c毎に、対をなす第1メモリセルM100a (M200a, M300a) および第2メモリセルM100b (M200b, M300b) により2セル/1ビットの相補型セルを構成している。

[0008] ここで、不揮発メモリ部104a, 104b, 104cにそれぞれ設けられた第1メモリセルM100a, M200a, M300aおよび第2メモリセルM100b, M200b, M300bは、同一構成を

有していることから、1行目の不揮発メモリ部104aに着目して以下説明する。
この場合、一方の第1メモリセルM100aでは、第1スイッチトランジスタ107aの一端と、第1抵抗変化型メモリRT1の一端とが接続されており、これら第1スイッチトランジスタ107aおよび第1抵抗変化型メモリRT1が直列接続されている。
また、他方の第2メモリセルM100bでも同様に、第2スイッチトランジスタ107bの一端と、第2抵抗変化型メモリRB1の一端とが接続されており、これら第2スイッチトランジスタ107bおよび第2抵抗変化型メモリRB1が直列接続されている。

[0009] 因みに、第1抵抗変化型メモリRT1, RT2, RT3および第2抵抗変化型メモリRB1, RB2, RB3は、電圧が印加されると、抵抗値が変化する金属酸化物を利用したメモリであり、抵抗値の変化を「1」または「0」のデータとして保持する方式のメモリである。ここで、1行目の不揮発メモリ部104aでは、第1メモリセルM100aにおける第1抵抗変化型メモリRT1の他端と、第2メモリセルM100bにおける第2抵抗変化型メモリRB1の他端とが接続されているとともに、これら第1抵抗変化型メモリRT1および第2抵抗変化型メモリRB1の各他端が共通のメモリソース線MS1に接続されている。また、他の行でも同様に、第1メモリセルM200a (M300a) における第1抵抗変化型メモリRT2 (RT3) の他端と、第2メモリセルM200b (M300b) における第2抵抗変化型メモリRB2 (RB3) の他端とが接続されているとともに、これら第1抵抗変化型メモリRT2 (RT3) および第2抵抗変化型メモリRB2 (RB3) の各他端が共通のメモリソース線MS2 (MS3) に接続されている。

[0010] さらに、第1メモリセルM100aおよび第2メモリセルM100bでは、第1スイッチトランジスタ107aおよび第2スイッチトランジスタ107bに共通のスイッチゲート線CG1が接続されており、1本のスイッチゲート線CG1から第1スイッチトランジスタ107aおよび第2スイッチトランジスタ107bの各ゲートに同じ電圧が印加され得る。また、他の行の第1メモリセルM200a (M300a) および第2メモリセルM200b (M300b) でも同様に、第1スイッチトランジスタ108a (109a) および第2スイッチトランジスタ108b (109b) に共通のスイッチゲート線CG2 (CG3

）が接続されており、行毎に、1本のスイッチゲート線CG2（CG3）から同じ行の第1スイッチトランジスタ108a（109a）および第2スイッチトランジスタ108b（109b）の各ゲートに共通の電圧が印加され得る。

[0011] このような構成を有する不揮発性SRAMメモリセル100は、例えばSRAM2に保持されたSRAMデータを、1行目の不揮発メモリ部104aにおける第1メモリセルM100aおよび第2メモリセルM100bに書き込む場合、例えばVddの電圧が1行目のスイッチゲート線CG1に印加されるとともに、0[V]の電圧がその他の行のスイッチゲート線CG2, CG3に印加される。これにより、1行目の不揮発メモリ部104aでは、スイッチゲート線CG1に接続された第1スイッチトランジスタ107aおよび第2スイッチトランジスタ107bが両方ともオン動作し、SRAM2における第1ストレージノードSNTが、一方の第1スイッチトランジスタ107aを介して第1抵抗変化型メモリRT1に対して電氣的に接続され、第2ストレージノードSNBが、他方の第2スイッチトランジスタ107bを介して第2抵抗変化型メモリRB1に対して電氣的に接続され、相補的なSRAMデータを第1メモリセルM100aおよび第2メモリセルM100bに書き込み得る。

先行技術文献

特許文献

[0012] 特許文献1：特開2013-190893号公報

発明の概要

発明が解決しようとする課題

[0013] しかしながら、かかる構成でなる不揮発性SRAMメモリセル100では、2セル/1ビットの相補型セルを構成する対の第1メモリセルM100a（M200a, M300a）および第2メモリセルM100b（M200b, M300b）に対して相補的なデータしか書き込みできないため、複数の不揮発メモリ部104a, 104b, 104cにそれぞれ第1メモリセルM100a（M200a, M300a）および第2メモリセルM100b（M200b, M300b）を有しているにもかかわらず、第1メモリセルM100a（M200a, M300a）および第2メモリセルM100b（M200b, M300b）にそれぞれ独立したデータを保持し得なか

った。その一方で、このような従来の不揮発性SRAMメモリセル100では、不揮発メモリ部104a, 104b, 104cに対して相補的なデータの書き込みを行うだけでなく、使用状況に応じて不揮発メモリ部104a, 104b, 104cにて第1メモリセルM100a, M200a, M300aおよび第2メモリセルM100b, M200b, M300bにそれぞれ個別的なデータをも書き込み、必要に応じてメモリ容量を増やすことができるような新たな回路構成の開発も望まれている。

[0014] そこで、本発明は以上の点を考慮してなされたもので、不揮発メモリ部に対して相補的なデータを書き込めるとともに、使用状況に応じて不揮発メモリ部に個別的なデータをも書き込み、メモリ容量を増やすことができる不揮発性SRAMメモリセル、および不揮発性半導体記憶装置を提案することを目的とする。

課題を解決するための手段

[0015] かかる課題を解決するため本発明の不揮発性SRAMメモリセルは、第1ストレージノードと、該第1ストレージノードと相補的な第2ストレージノードとを有したSRAM (Static Random Access Memory) と、前記SRAMと並列接続された複数の不揮発メモリ部とを備え、各前記不揮発メモリ部は、第1メモリに第1スイッチトランジスタを介して前記第1ストレージノードが電氣的に接続可能な第1メモリセルと、第2メモリに第2スイッチトランジスタを介して前記第2ストレージノードが電氣的に接続可能な第2メモリセルとを有し、前記第1スイッチトランジスタおよび前記第2スイッチトランジスタが独立にオンオフ動作することを特徴とする。

[0016] また、本発明の不揮発性半導体記憶装置は、請求項1～10のうちいずれか1項記載の不揮発性SRAMメモリセルが行列状に配置され、一方に並ぶ複数の前記不揮発性SRAMメモリセルで前記第1ビット線および前記第2ビット線を共有していることを特徴とする。

[0017] 因みに、上記SRAMは、一端同士が接続した一方の第1ロードトランジスタおよび第1ドライブトランジスタ間に第1ストレージノードを有するとともに、一端同士が接続した他方の第2ロードトランジスタおよび第2ドライブト

ランジスタ間に第2ストレージノードを有し、前記第1ロードトランジスタおよび前記第2ロードトランジスタの他端が電源線に接続され、前記第1ドライブトランジスタおよび前記第2ドライブトランジスタの他端が基準電圧線に接続された構成を有していることが望ましい。

[0018] また、このSRAMでは、さらに他方の前記第2ロードトランジスタおよび前記第2ドライブトランジスタのゲートと、一方の前記第1ストレージノードとに一端が接続されているとともに、他端が第1ビット線に接続され、ゲートがワード線に接続された第1アクセストランジスタを有し、かつ、一方の前記第1ロードトランジスタおよび前記第1ドライブトランジスタのゲートと、他方の前記第2ストレージノードとに一端が接続されているとともに、他端が第2ビット線に接続され、ゲートが前記ワード線に接続された第2アクセストランジスタを有することが望ましい。

発明の効果

[0019] 本発明によれば、第1スイッチトランジスタおよび第2スイッチトランジスタの両方を同時にオン動作させることで、第1メモリを第1ストレージノードに対して電氣的に接続させるとともに、第2メモリも第2ストレージノードに対して電氣的に接続させることができ、SRAMに保持された相補的なSRAMデータを第1メモリセルおよび第2メモリセルに書き込むことができる。また、第1スイッチトランジスタおよび第2スイッチトランジスタのうち、いずれか一方だけをオン動作させることで、第1メモリだけを第1ストレージノードに対して電氣的に接続させたり、または第2メモリだけを第2ストレージノードに対して電氣的に接続させたりできるので、使用状況に応じて独立型セルとして機能させ、第1メモリセルまたは第2メモリセルの一方に個別的なデータをも書き込め、メモリ容量を増やすことができる。

図面の簡単な説明

[0020] [図1]本発明の不揮発性SRAMメモリセルの回路構成を示す概略図である。
[図2]行列状に配置された不揮発性SRAMメモリセルにおけるバックグラウンド動作の説明に供する概略図である。

[図3]不揮発メモリ部を独立型セルとして機能させたときのS R A M書き込み動作の説明に供する概略図である。

[図4]第1メモリセルの書き込み状態および消去状態での参照電流とメモリ側電流との関係を示すグラフである。

[図5]不揮発メモリ部を相補型セルとして機能させたときのS R A M書き込み動作の説明に供する概略図である。

[図6]不揮発メモリ部を独立型セルとして機能させたときのメモリ書き込み動作の説明に供する概略図である。

[図7]不揮発メモリ部を相補型セルとして機能させたときのメモリ書き込み動作の説明に供する概略図である。

[図8]不揮発メモリ部を独立型セルとして機能させたときの不揮発データの消去動作の説明に供する概略図である。

[図9]不揮発メモリ部を相補型セルとして機能させたときの不揮発データの消去動作の説明に供する概略図である。

[図10]不揮発性S R A Mメモリセルにおいて、2セル/1ビットの相補型セルとして用いる場合と、1セル/1ビットの独立型セルとして用いる場合と、相補型セルおよび独立型セルが混在した場合についての説明に供する概略図である。

[図11]第1共有スイッチトランジスタおよび第2共有スイッチトランジスタを設けた不揮発性S R A Mメモリセルの回路構成を示す概略図である。

[図12]他の実施の形態による不揮発性S R A Mメモリセルの回路構成を示す概略図である。

[図13]従来の不揮発性S R A Mメモリセルの回路構成を示す概略図である。

発明を実施するための形態

[0021] 以下図面に基づいて本発明の実施の形態を詳述する。

[0022] (1) 不揮発性S R A Mメモリセルの回路構成

図13との対応部分に同一符号を付して示す図1において、1は不揮発性半導体記憶装置にて行列状に配置される不揮発性S R A Mメモリセルを示す。

なお、ここでは、不揮発性半導体記憶装置の全体図は省略し、行列状に配置される複数の不揮発性SRAMメモリセル1のうち、1つの不揮発性SRAMメモリセル1に着目して以下説明する。

[0023] 本発明の不揮発性SRAMメモリセル1は、SRAM2と、複数の不揮発メモリ部4a, 4b, 4cと、ノード制御部5とを有している。この場合、不揮発性SRAMメモリセル1は、SRAM2の第1ストレージノードSNTおよび第2ストレージノードSNBに対して、複数の不揮発メモリ部4a, 4b, 4cが並列接続された構成を有するとともに、第1ストレージノードSNTおよび第2ストレージノードSNBと、不揮発メモリ部4a, 4b, 4cとにノード制御部5が接続された構成を有する。なお、SRAM2は、図13にて説明したSRAM2と同一構成を有することから、ここではその説明は省略する。

[0024] この場合、SRAM2の第1ロードトランジスタ7aおよび第2ロードトランジスタ7bの他端に接続された電源線Vspには、例えばP型MOSトランジスタとなる電源制御トランジスタ10が設けられている。實際上、電源制御トランジスタ10は、一端が電源線Vspに接続されているとともに、ゲートが電源制御ゲート線VSRに接続された構成を有し、電源制御ゲート線VSRからゲートへ印加される電圧に応じてオンオフ動作し得る。このような電源制御トランジスタ10は、他端にVddの電源電圧が印加されており、電源制御ゲート線VSRからゲートへ所定電圧が印加されると、オフ動作して電源線VspからSRAM2へ印加する電圧をHi-Zまたは0[V]とし、SRAM2への電源電圧の遮断をし、SRAM2のラッチ機能を停止させ得るようになされている。

[0025] ここで、不揮発メモリ部4a, 4b, 4cは、全て同一構成を有しており、それぞれ第1メモリセルM1a, M2a, M3aと、第2メモリセルM1b, M2b, M3bとの2セルで構成されている。1行目の不揮発メモリ部4aに着目して説明すると、不揮発メモリ部4aには、SRAM2の一方の第1ストレージノードSNTが、第1メモリセルM1aにおける第1スイッチトランジスタST1の一端に接続されているとともに、SRAM2の他方の第2ストレージノードSNBが、第2メモリセルM1bにおける第2スイッチトランジスタSB1の一端に接続されている。

[0026] この実施の形態の場合、第1メモリセルM1aは、N型MOSトランジスタでなる第1スイッチトランジスタST1と、第1メモリとしての第1抵抗変化型メモリRT1とを有しており、第1スイッチトランジスタST1の他端と、第1抵抗変化型メモリRT1の一端とが接続されている。また、第2メモリセルM1bも、第1メモリセルM1aと同様に、N型MOSトランジスタでなる第2スイッチトランジスタSB1と、第2メモリとしての第2抵抗変化型メモリRB1とを有しており、第2スイッチトランジスタSB1の他端と、第2抵抗変化型メモリRB1の一端とが接続されている。なお、この実施の形態の場合、第1スイッチトランジスタST1（ST2, ST3）に直列接続された第1抵抗変化型メモリRT1（RT2, RT3）と、第2スイッチトランジスタSB1（SB2, SB3）に直列接続された第2抵抗変化型メモリRB1（RB2, RB3）は、電圧が印加されると抵抗値が変化し得、例えば抵抗値が低い状態を「1」とし、一方、抵抗値が高い状態を「0」としてデータを保持する方式のメモリとする。

[0027] 1行目の不揮発メモリ部4aでは、第1メモリセルM1aにおける第1抵抗変化型メモリRT1の他端と、第2メモリセルM1bにおける第2抵抗変化型メモリRB1の他端とが接続されているとともに、これら第1抵抗変化型メモリRT1および第2抵抗変化型メモリRB1の各他端が共通のメモリソース線MS1に接続されている。また、他の行の不揮発メモリ部4b（4c）でも同様に、第1メモリセルM2a（M3a）における第1抵抗変化型メモリRT2（RT3）の他端と、第2メモリセルM2b（M3b）における第2抵抗変化型メモリRB2（RB3）の他端とが接続されているとともに、これら第1抵抗変化型メモリRT2（RT3）および第2抵抗変化型メモリRB2（RB3）の各他端が共通のメモリソース線MS2（MS3）に接続されている。

[0028] 不揮発メモリ部4aは、第1スイッチトランジスタST1のゲートに第1スイッチゲート線CGT1が接続されているとともに、第1スイッチゲート線CGT1とは異なる別の第2スイッチゲート線CGB1が、第2スイッチトランジスタSB1のゲートに接続されている。これにより、不揮発メモリ部4aは、第1スイッチゲート線CGT1および第2スイッチゲート線CGB1により、第1スイッチトランジスタST1および第2スイッチトランジスタSB1に別々のスイッチゲート電圧を印加し得、ゲ

ートと一端との電位差により第1スイッチトランジスタST1および第2スイッチトランジスタSB1をそれぞれ独立にオンオフ動作し得るように構成されている。

[0029] 不揮発性SRAMメモリセル1は、SRAM2と、不揮発メモリ部4a, 4b, 4cとの電気的な接続状態を、第1スイッチトランジスタST1, ST2, ST3および第2スイッチトランジスタSB1, SB2, SB3により遮断できるため、第1ビット線BLT1および第2ビット線BLB1を利用して外部からSRAM2へ外部データを書き込む外部データ書き込み動作や、第1ビット線BLT1および第2ビット線BLB1を利用したSRAMデータの読み出し動作（以下、これらをまとめてSRAM2へのアクセス動作とも呼ぶ）のときに、第1スイッチトランジスタST1, ST2, ST3および第2スイッチトランジスタSB1, SB2, SB3をオフ動作させることにより、不揮発メモリ部4a, 4b, 4cをSRAM2から電気的に切り離し、一般的なSRAM2として使用することができる。

[0030] また、不揮発メモリ部4aは、第1スイッチトランジスタST1および第2スイッチトランジスタSB1をいずれもオン動作させて、第1メモリセルM1aの第1抵抗変化型メモリRT1を第1ストレージノードSNTに電気的に接続し得るとともに、第2メモリセルM1bの第2抵抗変化型メモリRB1も第2ストレージノードSNBに電気的に接続し得る。さらに、これに加えて、この不揮発メモリ部4aは、第1スイッチゲート線CGT1および第2スイッチゲート線CGB1によってそれぞれ異なるスイッチゲート電圧を第1スイッチトランジスタST1および第2スイッチトランジスタSB1の各ゲートに印加し得ることから、他方の第2メモリセルM1bの第2スイッチトランジスタSB1だけをオフ動作させて、第2メモリセルM1bの第2抵抗変化型メモリRB1と第2ストレージノードSNBとの電気的な接続を遮断しつつ、一方の第1メモリセルM1aの第1スイッチトランジスタST1だけをオン動作させ、第1メモリセルM1aの第1抵抗変化型メモリRT1のみを第1ストレージノードSNTに電気的に接続させることもできる。

[0031] また、不揮発メモリ部4aは、これとは逆に、一方の第1メモリセルM1aの第1スイッチトランジスタST1をオフ動作させて、第1メモリセルM1aの第1抵抗変

化型メモリRT1と第1ストレージノードSNTとの電氣的な接続を遮断しつつ、他方の第2メモリセルM1bの第2スイッチトランジスタSB1だけオン動作させ、第2メモリセルM1bの第2抵抗変化型メモリRB1のみを第2ストレージノードSNBに電氣的に接続させることもできる。

[0032] 同様に、他の行の不揮発メモリ部4b (4c) でも、第1スイッチゲート線CGT2 (CGT3) および第2スイッチゲート線CGB2 (CGB3) によってそれぞれ異なるスイッチゲート電圧を第1スイッチトランジスタST2 (ST3) および第2スイッチトランジスタSB2 (SB3) のゲートに印加し得ることから、第1メモリセルM2a (M3a) および第2メモリセルM2b (M3b) のうち、第1スイッチトランジスタST2 (SB3) および第2スイッチトランジスタSB2 (SB3) のいずれか一方だけをオン動作させ得る。

[0033] 次に、SRAM2の第1ストレージノードSNTおよび第2ストレージノードSNBと、不揮発メモリ部4a, 4b, 4cとに接続されたノード制御部5について以下説明する。この場合、ノード制御部5は、例えばN型MOSトランジスタでなる第1ノード制御トランジスタ12aおよび第2ノード制御トランジスタ12bと、抵抗素子Rrefとで構成されている。第1ノード制御トランジスタ12aは、一端が、SRAM2の第1ストレージノードSNTと、不揮発メモリ部4a, 4b, 4cの第1スイッチトランジスタST1, ST2, ST3の一端とに接続されており、他端が抵抗素子Rrefの一端に接続されている。また、第1ノード制御トランジスタ12aは、ゲートが第1ノード制御ゲート線VrefTに接続されており、当該第1ノード制御ゲート線VrefTから印加される電圧によってオンオフ動作し得る。

[0034] 一方、第2ノード制御トランジスタ12bは、一端が、SRAM2の第2ストレージノードSNBと、不揮発メモリ部4a, 4b, 4cの第2スイッチトランジスタSB1, SB2, SB3の一端とに接続されており、他端が抵抗素子Rrefの一端に接続されている。また、第2ノード制御トランジスタ12bは、ゲートが第2ノード制御ゲート線VrefBに接続されており、当該第2ノード制御ゲート線VrefBから印加される電圧によってオンオフ動作し得る。なお、第1ノード制御トランジスタ12aおよび第2ノード制御トランジスタ12bの他端に接続された抵抗素子Rrefには

、他端にノード制御ソース線VSが接続されている。

[0035] 以上の構成を有した本発明の不揮発性SRAMメモリセル1は、ノード制御部5を用いることで、各不揮発メモリ部4a, 4b, 4cを、2セル/1ビットの相補型セルとして機能させたり、或いは不揮発メモリ部4a, 4b, 4cを、2セル/2ビットの独立型セルとして機能させたりすることもでき、使用状況に応じて選択的に相補型セルまたは独立型セルとして使用し得るように構成されている。

[0036] ここで、図2は、Ry行およびCx列で行列状に配置された本発明の不揮発性SRAMメモリセル1を、●および○により示した不揮発性半導体記憶装置21を示す。図2中、行列状に配置した不揮発性SRAMメモリセル1のうち、●で示す1bは、例えばSRAM2に対する外部データの書き込みや、SRAM2に保持したSRAMデータの読み出しを行うため、当該SRAM2にアクセスしている3行目R3の不揮発性SRAMメモリセルを示す。また、図2中、行列状に配置した不揮発性SRAMメモリセル1のうち、○で示す1aは、SRAM2にアクセスしていない不揮発性SRAMメモリセルを示す。

[0037] 図2に示すように、不揮発性SRAMメモリセル1bにおいてSRAM2へアクセス動作しているときでも、他の不揮発性SRAMメモリセル1aでは、当該不揮発性SRAMメモリセル1bと同じ列に配置され、第1ビット線BLT1および第2ビット線BLB1を共有する不揮発性SRAMメモリセル1aも含め、不揮発メモリ部4a, 4b, 4cで保持された不揮発データをSRAM2に書き込むSRAM書き込み動作や、SRAM2で保持されたSRAMデータをいずれかの不揮発メモリ部4a, 4b, 4cに書き込むメモリ書き込み動作、不揮発メモリ部4a, 4b, 4cに保持している不揮発データを消去する不揮発データの消去動作をバックグラウンドにて実行し得るようになされている。

[0038] 以下、これら不揮発メモリ部4a, 4b, 4cを相補型セルまたは独立型セルとして機能させた際に、バックグラウンドにて実行可能なSRAM書き込み動作や、メモリ書き込み動作、メモリ消去動作（以下、これらをバックグラウンド動作と呼ぶ）について順に説明する。

[0039] （2）SRAM書き込み動作

(2 - 1) 不揮発メモリ部を独立型セルとして機能させた場合

図3は、1行目の不揮発メモリ部4aを独立型セルとして機能させ、例えば不揮発メモリ部4aの第2メモリセルM1bに保持された不揮発データをSRAM2の第2ストレージノードSNBに書き込む際の各電圧値の一例を、図1に示した不揮発性SRAMメモリセル1の各箇所に示した回路図である。この場合、この場合、ワード線WLに0[V]が印加され、SRAM2の第1アクセストランジスタ6aおよび第2アクセストランジスタ6bをオフ動作させ、SRAM2および第1ビット線BLT1の電気的な接続と、SRAM2および第2ビット線BLB1の電気的な接続とを遮断する。電源制御トランジスタ10は、電源制御ゲート線VSRからゲートにVddの電圧が印加されることによりオフ動作し、他端に印加されているVddとなる電源電圧の電源線VSpへの印加を遮断して、SRAM2のラッチ機能を停止させる。

[0040] この際、第1スイッチゲート線CGT1, CGT2, CGT3および第2スイッチゲート線CGB1, CGB2, CGB3には0 [V] が印加され、第1スイッチトランジスタST1, ST2, ST3および第2スイッチトランジスタSB1, SB2, SB3の各ゲートに0 [V] を印加し、これら全ての第1スイッチトランジスタST1, ST2, ST3および第2スイッチトランジスタSB1, SB2, SB3をオフ動作させ得る。また、この際、第1ノード制御ゲート線VrefTおよび第2ノード制御ゲート線VrefBにはVddの電圧が印加され、第1ノード制御トランジスタ12aおよび第2ノード制御トランジスタ12bのゲートにVddが印加され得る。

[0041] これにより第1ノード制御トランジスタ12aおよび第2ノード制御トランジスタ12bは、いずれもオン動作し、0 [V] のノード制御ソース線VSにSRAM2の第1ストレージノードSNTおよび第2ストレージノードSNBを接続させて、これらの第1ストレージノードSNTおよび第2ストレージノードSNBの電位を0 [V] にさせる。かくして、SRAM2では、第1ストレージノードSNTおよび第2ストレージノードSNBの電位が0 [V] となり、データが書き込まれていない初期状態となり得る。

[0042] ここで、例えば1行目の不揮発メモリ部4aのうち、第2メモリセルM1bに保持

されている「1」または「0」を示す不揮発データだけをSRAM2の第2ストレージノードSNBに書き込む場合には、不揮発メモリ部4aに配置された第2スイッチゲート線CGB1にVddの電圧が印加され、この第2スイッチゲート線CGB1に印加された電圧によって第2スイッチトランジスタSB1だけをオン動作させ得る。これにより、不揮発メモリ部4aでは、第1スイッチトランジスタST1によって第1抵抗変化型メモリRT1および第1ストレージノードSNT間の電氣的な接続を遮断しつつ、第2スイッチトランジスタSB1によって第2抵抗変化型メモリRB1および第2ストレージノードSNB間だけを電氣的に接続し得る。

[0043] また、この際、ノード制御部5では、第1ノード制御ゲート線VrefTにVddの電圧が印加され続けるが、第2ノード制御ゲート線VrefBに0 [V] が印加され得る。これにより、第1ノード制御ゲート線VrefTからゲートにVddが印加された第1ノード制御トランジスタ12aは、オン動作し続け、一方、第2ノード制御ゲート線VrefBからゲートに0 [V] が印加された第2ノード制御トランジスタ12bは、オフ動作し得る。かくして、不揮発性SRAMメモリセル1では、不揮発データが書き込まれない第1ストレージノードSNTが第1ノード制御トランジスタ12aおよび抵抗素子Rrefを介してノード制御ソース線VSに電氣的に接続され、不揮発データが書き込まれる第2ストレージノードSNBが不揮発メモリ部4aの第2スイッチトランジスタSB1を介して第2抵抗変化型メモリRB1に電氣的に接続され得る。

[0044] その後、不揮発性SRAMメモリセル1では、Vddの電圧が印加されている電源制御ゲート線VSRに0 [V] が印加され、当該電源制御ゲート線VSRに接続されている電源制御トランジスタ10をオン動作させ得る。これにより電源線VSpは、電源制御トランジスタ10にて遮断されていたVddの電源電圧が印加され、SRAM2のラッチ機能を回復させてゆく。このとき、第2ストレージノードSNBの電位は、第2ストレージノードSNBから不揮発メモリ部4aの第2スイッチトランジスタSB1を介して第2抵抗変化型メモリRB1に流れるメモリ側電流Imemと、第1ストレージノードSNTから第1ノード制御トランジスタ12aを介して抵抗素子Rrefに流れる参照電流Irefとの大小によって、第1ストレージノード

SNTの電位よりも高電位または低電位に変化してゆく。

[0045] ここでは、図4に示すように、例えば、第2抵抗変化型メモリRB1の抵抗値が高いとき、第2メモリセルM1bに「0」の不揮発データを保持している状態（以下、これを書き込み状態とも呼ぶ）であるとし、一方、第2抵抗変化型メモリRB1の抵抗値が低いとき、第2メモリセルM1bに「1」の不揮発データを保持している状態（以下、これを消去状態とも呼ぶ）であるとし、以下、第1ストレージノードSNTおよび第2ストレージノードSNBの電位の変化について説明する。ここで、第2メモリセルM1bに「1」の不揮発データを保持しており、第2抵抗変化型メモリRB1の抵抗値が抵抗素子Rrefの抵抗値よりも低くなっている場合には、図3に示したように、第2ストレージノードSNB側のメモリ側電流 I_{mem} が、抵抗値の低い第2抵抗変化型メモリRB1に流れ易くなるため、0[V]のメモリソース線MS1によって第2ストレージノードSNBの電位が下がる。

[0046] これにより、SRAM2では、第2ストレージノードSNBに接続された第1ロードトランジスタ7aのゲートの電位も下がるため、当該第1ロードトランジスタ7aがオン動作し、電源線VSpの電源電圧Vddが第1ロードトランジスタ7aを介して第1ストレージノードSNTに印加され、当該第1ストレージノードSNTがHighレベルの電位となり得る。一方、Highレベルの第1ストレージノードSNTにゲートが接続された第2ドライブトランジスタ8bは、オン動作し、基準電圧線VSnの0[V]を第2ストレージノードSNBに印加し、当該第2ストレージノードSNBがLowレベルの電位となり得る。かくして、SRAM2では、メモリ側電流 I_{mem} が参照電流 I_{ref} よりも大きいとき、第2抵抗変化型メモリRB1に接続された第2ストレージノードSNBがLowレベルの電位にラッチされ、第2メモリセルM1bに保持されていた「1」の不揮発データが、Lowレベルの電位として第2ストレージノードSNBに書き込まれ得る。最後に、Vddの電圧が印加されている第2スイッチゲート線CGB1および第1ノード制御ゲート線VrefTにそれぞれ0[V]が印加され、第2スイッチトランジスタSB1および第1ノード制御トランジスタ12aをオフ動作させることで、一方の第2メモリセルM1bの不揮発データだけをSRAM2に書き込むSRAM書き込み動作を終了し得る。

[0047] これに対して、第2メモリセルM1bに「0」の不揮発データを保持しており、第2抵抗変化型メモリRB1の抵抗値が抵抗素子Rrefの抵抗値よりも高くなっている場合には、第2ストレージノードSNB側のメモリ側電流Imemが抵抗値の高い第2抵抗変化型メモリRB1に流れ難くなり、その結果、第1ストレージノードSNTから第1ノード制御トランジスタ12aを介して抵抗素子Rrefに流れる参照電流Irefの方が大きくなり、第1ストレージノードSNTの電位が下がる。これにより、SRAM2では、第1ストレージノードSNTに接続された第2ロードトランジスタ7bのゲートの電位も下がるため、当該第2ロードトランジスタ7bがオン動作し、電源線VSpの電源電圧Vddが第2ロードトランジスタ7bを介して第2ストレージノードSNBに印加され、当該第2ストレージノードSNBがHighレベルの電位となり得る。かくして、SRAM2では、参照電流Irefがメモリ側電流Imemよりも大きいとき、第2抵抗変化型メモリRB1に接続された第2ストレージノードSNBがHighレベルの電位にラッチされ、第2メモリセルM1bにて保持されていた「0」の不揮発データが、Highレベルの電位として第2ストレージノードSNBに書き込まれ得る。

[0048] なお、Highレベルの第2ストレージノードSNBにゲートが接続された第1ドライブトランジスタ8aは、オン動作し、基準電圧線VSnの0[V]を第1ストレージノードSNTに印加し、当該第1ストレージノードSNTをLowレベルの電位にラッチさせ得る。最後に、Vddの電圧が印加されている第2スイッチゲート線CGB1および第1ノード制御ゲート線VrefTにそれぞれ0[V]が印加され、第2スイッチトランジスタSB1および第1ノード制御トランジスタ12aをオフ動作させることで、一方の第2メモリセルM1bの不揮発データだけをSRAM2に書き込むSRAM書き込み動作を終了し得る。

[0049] このように、本発明の不揮発性SRAMメモリセル1は、ノード制御部5が設けられたことにより、SRAM2からの参照電流Irefを、第1ビット線BLT1および第2ビット線BLB1に供給せずに、当該ノード制御部5を介してノード制御ソース線VSに供給し得る。これにより、本発明の不揮発性SRAMメモリセル1において上述したSRAM書き込み動作は、ワード線WLに0[V]が印加

され、当該ワード線WLに接続された第1アクセストランジスタ6aおよび第2アクセストランジスタ6bをオフ動作させて、SRAM2と、第1ビット線BLT1および第2ビット線BLB1との電氣的な接続が遮断された状態で行え、不揮発性SRAMメモリセル1内のみで実行し得る。

[0050] かくして、不揮発性半導体記憶装置では、例えば行列状に配置された複数の不揮発性SRAMメモリセル1のうち、第1アクセストランジスタ6aおよび第2アクセストランジスタ6bがオン動作して第1ビット線BLT1および第2ビット線BLB1とSRAM2とが電氣的に接続され、SRAM2にアクセスしている状態の不揮発性SRAMメモリセルがあっても、同時期に、他の行の不揮発性SRAMメモリセル1では、SRAM2と第1ビット線BLT1および第2ビット線BLB1との電氣的な接続を遮断できることから、SRAM書き込み動作をバックグラウンド動作として実行し得る。

[0051] (2-2) 不揮発メモリ部を相補型セルとして機能させた場合

図5は、1行目の不揮発メモリ部4aを相補型セルとして機能させ、例えば不揮発メモリ部4aの第1メモリセルM1aおよび第2メモリセルM1bに保持された相補的な不揮発データをSRAM2に書き込む際の各電圧値の一例を、図1に示した不揮発性SRAMメモリセル1の各箇所に示した回路図である。この場合、ワード線WLに0[V]が印加され、SRAM2の第1アクセストランジスタ6aおよび第2アクセストランジスタ6bをオフ動作させ、SRAM2および第1ビット線BLT1の電氣的な接続と、SRAM2および第2ビット線BLB1の電氣的な接続とを遮断する。電源制御トランジスタ10は、電源制御ゲート線VSRからゲートにVddが印加されることによりオフ動作し、他端に印加されている電源電圧Vddの電源線VSpへの印加を遮断して、SRAM2のラッチ機能を停止させる。

[0052] この際、第1スイッチゲート線CGT1, CGT2, CGT3および第2スイッチゲート線CGB1, CGB2, CGB3には0[V]が印加され、第1スイッチトランジスタST1, ST2, ST3および第2スイッチトランジスタSB1, SB2, SB3の各ゲートに0[V]が印加され、これら第1スイッチトランジスタST1, ST2, ST3および第2スイッチトランジスタSB1, SB2, SB3の全てをオフ動作させ得る。また、この際、第1ノード制御ゲ

ート線VrefTおよび第2ノード制御ゲート線VrefBにはVddが印加され、第1ノード制御トランジスタ12aおよび第2ノード制御トランジスタ12bのゲートにVddが印加され得る。

[0053] これにより第1ノード制御トランジスタ12aおよび第2ノード制御トランジスタ12bは、いずれもオン動作し、0 [V] のノード制御ソース線VSにSRAM2の第1ストレージノードSNTおよび第2ストレージノードSNBを接続させ、これら第1ストレージノードSNTおよび第2ストレージノードSNBの電位を0 [V] にさせる。かくして、SRAM2では、第1ストレージノードSNTおよび第2ストレージノードSNBが0 [V] となり、データが書き込まれていない初期状態となり得る。次いで、Vddの電圧が印加されている第1ノード制御ゲート線VrefTおよび第2ノード制御ゲート線VrefBに0 [V] を印加することにより、第1ノード制御トランジスタ12aおよび第2ノード制御トランジスタ12bをオフ動作させる。

[0054] ここで、例えば1行目の不揮発メモリ部4aの第1メモリセルM1aおよび第2メモリセルM1bに保持されている相補的な不揮発データを、SRAM2に書き込む場合には、不揮発メモリ部4aに配置された第1スイッチゲート線CGT1および第2スイッチゲート線CGB1にそれぞれVddの電圧が印加され、当該第1スイッチゲート線CGT1にゲートが接続された第1スイッチトランジスタST1と、当該第2スイッチゲート線CGB1にゲートが接続された第2スイッチトランジスタSB1とをそれぞれオン動作させ得る。これにより、不揮発メモリ部4aでは、第1スイッチトランジスタST1によって第1抵抗変化型メモリRT1が第1ストレージノードSNTと電氣的に接続されるとともに、第2スイッチトランジスタSB1によって第2抵抗変化型メモリRB1が第2ストレージノードSNBと電氣的に接続される。

[0055] 次いで、不揮発性SRAMメモリセル1では、Vddの電圧が印加されていた電源制御ゲート線VSRに0 [V] が印加され、当該電源制御ゲート線VSRに接続された電源制御トランジスタ10をオン動作させ得る。これにより電源線VSpは、電源制御トランジスタ10にて遮断されていたVddの電源電圧が印加され、SRAM2のラッチ機能を回復させてゆく。このとき、第2ストレージノードSNB

の電位は、第1ストレージノードSNTから不揮発メモリ部4aの第1スイッチトランジスタST1を介して第1抵抗変化型メモリRT1に流れるメモリ側電流と、第2ストレージノードSNBから不揮発メモリ部4aの第2スイッチトランジスタSB1を介して第2抵抗変化型メモリRB1に流れるメモリ側電流との大小によって、第1ストレージノードSNTの電位よりも高電位または低電位に変化してゆく。

[0056] この際、例えば第1メモリセルM1aに「0」の不揮発データが記憶され、第2メモリセルM1bに「1」の不揮発データが保持されている場合、「1」の不揮発データが保持された第2メモリセルM1bは、第2抵抗変化型メモリRB1の抵抗値が第1抵抗変化型メモリRT1の抵抗値よりも低くなっている。このため、不揮発性SRAMメモリセル1では、一方の第1ストレージノードSNT側のメモリ側電流が、抵抗値の高い第1抵抗変化型メモリRT1に流れ難くなり、他方の第2ストレージノードSNB側のメモリ側電流が、抵抗値の低い第2抵抗変化型メモリRB1に流れ易くなるため、0[V]のメモリソース線MS1に対して電氣的に接続された第2ストレージノードSNBの電位が下がる。

[0057] これにより、SRAM2では、第2ストレージノードSNBに接続された第1ロードトランジスタ7aのゲートの電位も下がるため、当該第1ロードトランジスタ7aがオン動作し、電源線VSpの電源電圧Vddが第1ロードトランジスタ7aを介して第1ストレージノードSNTに印加され、当該第1ストレージノードSNTがHighレベルの電位となり得る。一方、Highレベルの第1ストレージノードSNTにゲートが接続された第2ドライブトランジスタ8bは、オン動作し、基準電圧線VS_nの0[V]を第2ストレージノードSNBに印加し、当該第2ストレージノードSNBをLowレベルの電圧とし得る。

[0058] かくして、SRAM2では、第2抵抗変化型メモリRB1を流れるメモリ側電流が、第1抵抗変化型メモリRT1を流れるメモリ側電流よりも大きくなり、第2抵抗変化型メモリRB1に接続された第2ストレージノードSNBをLowレベルの電位にラッチし、第2メモリセルM1bに保持されていた「1」の不揮発データが、Lowレベルの電位として第2ストレージノードSNBに書き込まれ得る。また、これに応じて、SRAM2では、第1抵抗変化型メモリRT1に接続された第1ストレ

ジノードSNTをHighレベルの電位にラッチし、第1メモリセルM1aに保持されていた「0」の不揮発データが、Highレベルの電位として第1ストレージノードSNTに書き込まれ得る。

[0059] 最後に、Vddの電圧が印加されている第1スイッチゲート線CGT1および第2スイッチゲート線CGB1にそれぞれ0[V] が印加され、第1スイッチトランジスタST1および第2スイッチトランジスタSB1をオフ動作することで、不揮発メモリ部4aの相補的な不揮発データをSRAM2へ書き込むSRAM書き込み動作を終了し得る。

[0060] そして、このような不揮発性SRAMメモリセル1が行列状に配置された不揮発性半導体記憶装置では、上述した「(2-1) 不揮発メモリ部を独立型セルとして機能させた場合」と同様に、各不揮発性SRAMメモリセル1が、第1アクセストランジスタ6aおよび第2アクセストランジスタ6bをオフ動作させていることで、第1ビット線BLT1および第2ビット線BLB1との電気的な接続が遮断された状態のまま、SRAM書き込み動作を実行し得る。かくして、行列状に配置された複数の不揮発性SRAMメモリセル1のうち、第1ビット線BLT1および第2ビット線BLB1と電気的に接続され、SRAM2にアクセスしている状態の不揮発性SRAMメモリセルがあっても、同時期に、他の行の不揮発性SRAMメモリセル1では、SRAM2と第1ビット線BLT1および第2ビット線BLB1との電気的な接続を遮断できることから、SRAM書き込み動作をバックグラウンド動作として実行し得る。

[0061] (3) メモリ書き込み動作

(3-1) 不揮発メモリ部を独立型セルとして機能させた場合

図6は、1行目の不揮発メモリ部4aを独立型セルとして機能させ、例えばSRAM2の一方の第1ストレージノードSNTに保持されたHighレベルまたはLowレベルの電位のSRAMデータを、不揮発メモリ部4aの第1メモリセルM1aにだけ書き込む際の各電圧値の一例を、図1に示した不揮発性SRAMメモリセル1の各箇所に示した回路図である。この場合、ワード線WLに0[V]が印加され、SRAM2の第1アクセストランジスタ6aおよび第2アクセストランジスタ

6bをオフ動作させ、SRAM2および第1ビット線BLT1の電気的な接続と、SRAM2および第2ビット線BLB1の電気的な接続とを遮断する。電源制御トランジスタ10は、電源制御ゲート線VSRからゲートに0[V]が印加されることによりオン動作しており、他端に印加されているVddの電源電圧を電源線VSpへ印加し、SRAM2をラッチさせている。

[0062] この際、第1ノード制御ゲート線VrefTおよび第2ノード制御ゲート線VrefBには0[V]が印加されており、第1ノード制御トランジスタ12aおよび第2ノード制御トランジスタ12bは、いずれもオフ動作し、SRAM2との電気的な接続を遮断している。また、この際、不揮発メモリ部4aに配置された第1スイッチゲート線CGT1にだけVddが印加されており、他の第1スイッチゲート線CGT2, CGT3や、第2スイッチゲート線CGB1, CGB2, CGB3には0[V]が印加され得る。これにより、Vddの電圧が印加された第1スイッチゲート線CGT1に接続された不揮発メモリ部4aの第1スイッチトランジスタST1だけをオン動作させ、それ以外の第1スイッチトランジスタST2, ST3および第2スイッチトランジスタSB1, SB2, SB3をオフ動作させ得る。

[0063] かくして、不揮発性SRAMメモリセル1では、SRAM2の第1ストレージノードSNTと、1行目の不揮発メモリ部4aにおいて第1スイッチトランジスタST1に接続された第1抵抗変化型メモリRT1とを電気的に接続させ、当該第1ストレージノードSNTの電位によって当該第1抵抗変化型メモリRT1の抵抗値を変化させ得る。因みに、この場合、SRAMデータが書き込まれる不揮発メモリ部4aの第1抵抗変化型メモリRT1は、予め低抵抗状態に設定されており、データの初期化が行われている。

[0064] 實際上、この際、SRAM2の第1ストレージノードSNTがHighレベルの電位であった場合には、第1ストレージノードSNTから第1スイッチトランジスタST1を介して第1抵抗変化型メモリRT1にHighレベルの電位が伝わり、低抵抗状態であった第1抵抗変化型メモリRT1を高抵抗状態に変化させ、第1メモリセルM1aに「0」の不揮発データが書き込まれた状態とし得る。一方、SRAM2の第1ストレージノードSNTがLowレベルの電位であった場合には、第1ストレージ

ノードSNTから第1スイッチトランジスタST1を介して第1抵抗変化型メモリRT1にLowレベルの電位が伝わり、低抵抗状態であった第1抵抗変化型メモリRT1をそのままの低抵抗状態とし、第1メモリセルM1aに「1」の不揮発データが書き込まれた状態とし得る。

[0065] ここで、この実施の形態の場合、第1抵抗変化型メモリRT1や第2抵抗変化型メモリRB1は、図7に示すように、Vdd未満の電圧値で高抵抗から低抵抗へと遷移し得るように構成されており、例えば低抵抗状態を消去状態（「1」の不揮発データを保持している状態）としている。これにより、上述では、第1ストレージノードSNTから第1スイッチトランジスタST1を介して第1抵抗変化型メモリRT1にHighレベルの電位が伝わると、低抵抗状態であった第1抵抗変化型メモリRT1が高抵抗状態に変化し、第1メモリセルM1aに「0」の不揮発データが書き込まれた状態となり得る。

[0066] なお、不揮発メモリ部4aでは、この際、第2スイッチトランジスタSB1がオフ動作して、SRAM2の第2ストレージノードSNBと、第2抵抗変化型メモリRB1との電気的な接続が遮断されていることから、第2メモリセルM1bに対して第2ストレージノードSNBのSRAMデータが書き込まれずに、一方の第1メモリセルM1aにだけ第1ストレージノードSNTのSRAMデータを書き込むことができ、独立型セルとして機能し得る。

[0067] 因みに、この場合でも、不揮発性半導体記憶装置では、例えば行列状に配置された複数の不揮発性SRAMメモリセル1のうち、第1アクセストランジスタ6aおよび第2アクセストランジスタ6bがオン動作して第1ビット線BLT1および第2ビット線BLB1とSRAM2とが電気的に接続され、SRAM2にアクセスしている状態の不揮発性SRAMメモリセルがあっても、同時期に、他の行の不揮発性SRAMメモリセル1では、SRAM2と第1ビット線BLT1および第2ビット線BLB1との電気的な接続を遮断できることから、メモリ書き込み動作をバックグラウンド動作として実行し得る。

[0068] （3 - 2）不揮発メモリ部を相補型セルとして機能させた場合

例えば、1行目の不揮発メモリ部4aを相補型セルとして機能させたい場合に

は、1行目の第1スイッチゲート線CGT1および第2スイッチゲート線CGB1にそれぞれVddの電圧を印加し、第1スイッチトランジスタST1および第2スイッチトランジスタSB1をオン動作させればよい。これにより、不揮発性SRAMメモリセル1では、SRAM2の第1ストレージノードSNTと、1行目の不揮発メモリ部4aにおいて第1スイッチトランジスタST1に接続された第1抵抗変化型メモリRT1とを電氣的に接続させ、当該第1ストレージノードSNTの電位によって当該第1抵抗変化型メモリRT1の抵抗値を変化させ得る。また、この際、不揮発性SRAMメモリセル1では、SRAM2の第2ストレージノードSNBと、1行目の不揮発メモリ部4aにおいて第2スイッチトランジスタSB1に接続された第2抵抗変化型メモリRB1とについても電氣的に接続させることができるので、当該第2ストレージノードSNBの電位によって当該第2抵抗変化型メモリRB1の抵抗値を変化させ得る。かくして、不揮発メモリ部4aには、SRAM2に保持された相補的なSRAMデータが第1メモリセルM1aおよび第2メモリセルM1bに書き込まれ得る。

[0069] 因みに、この場合でも、不揮発性半導体記憶装置では、例えば行列状に配置された複数の不揮発性SRAMメモリセル1のうち、第1アクセストランジスタ6aおよび第2アクセストランジスタ6bがオン動作して第1ビット線BLT1および第2ビット線BLB1とSRAM2とが電氣的に接続され、SRAM2にアクセスしている状態の不揮発性SRAMメモリセルがあっても、同時期に、他の行の不揮発性SRAMメモリセル1では、SRAM2と第1ビット線BLT1および第2ビット線BLB1との電氣的な接続を遮断できることから、メモリ書き込み動作をバックグラウンド動作として実行し得る。

[0070] (4) 不揮発メモリ部における不揮発データの消去動作

(4 - 1) 不揮発メモリ部を独立型セルとして機能させた場合

図8は、1行目の不揮発メモリ部4aを独立型セルとして機能させ、例えば不揮発メモリ部4aの第1メモリセルM1aに保持された不揮発データだけを消去する際の各電圧値の一例を、図1に示した不揮発性SRAMメモリセル1の各箇所を示した回路図である。この場合、ワード線WLに0[V]が印加され、SRA

M2の第1アクセストランジスタ6aおよび第2アクセストランジスタ6bをオフ動作させ、SRAM2および第1ビット線BLT1の電気的な接続と、SRAM2および第2ビット線BLB1の電気的な接続とを遮断する。電源制御トランジスタ10は、電源制御ゲート線VSRからゲートにVddが印加されることによりオフ動作し、他端に印加されている電源電圧Vddの電源線VSpへの印加を停止して、SRAM2のラッチ機能を停止させる。

[0071] この際、第1ノード制御ゲート線VrefTにはVddの電圧が印加され、第2ノード制御ゲート線VrefBには0[V]が印加され得る。これにより、不揮発データを消去する第1メモリセルM1aに接続された第1ノード制御トランジスタ12aのみをオン動作させ、不揮発データを消去しない第2メモリセルM1bに接続された第2ノード制御トランジスタ12bをオフ動作させ得る。また、この際、ノード制御ソース線VSには0[V]が印加されており、当該ノード制御ソース線VSに対して抵抗素子Rrefおよび第1ノード制御トランジスタ12aを介して第1ストレージノードSNTを接続させることにより、当該第1ストレージノードSNTの電位を0[V]とし得る。

[0072] さらに、不揮発データを消去する不揮発メモリ部4aの第1メモリセルM1aでは、第1スイッチゲート線CGT1にVdd/2の電圧が印加されており、第1スイッチゲート線CGT1に接続された第1スイッチトランジスタST1をオン動作させ得る。一方、不揮発データを消去しない不揮発メモリ部4aの第2メモリセルM1bや、他の行の不揮発メモリ部4b, 4cでは、第1スイッチゲート線CGT2, CGT3や、第2スイッチゲート線CGB1, CGB2, CGB3に0[V]が印加され、第1スイッチトランジスタST2, ST3および第2スイッチトランジスタSB1, SB2, SB3をオフ動作させ得る。

[0073] また、この際、不揮発データを消去する不揮発メモリ部4aでは、メモリソース線MS1に $2 \times Vdd$ の電圧が印加され得る。ここで、第1抵抗変化型メモリRT1および第2抵抗変化型メモリRB1は、高抵抗状態から低抵抗状態に移るのに必要な電圧が、低抵抗状態から高抵抗状態に移るときの電圧よりも大きく選定されており、例えばVddよりも大きく $2 \times Vdd$ 未満で高抵抗状態から低

抵抗状態への遷移が起こるように構成されている。

[0074] これにより、この実施の形態の場合、第1抵抗変化型メモリRT1は、例えば、高抵抗状態にあるとき、メモリソース線MS1から $2 \times V_{dd}$ の電圧が印加されてゆくと、 V_{dd} よりも大きく $2 \times V_{dd}$ 未満で高抵抗状態から低抵抗状態への遷移が起こり、第1メモリセルM1aを不揮発データの消去状態（すなわち、「1」の不揮発データ）へと変化させ得る。

[0075] 因みに、図6では、第1抵抗変化型メモリRT1を基準として、SRAM2側からの電圧をプラスとし、メモリソース線MS1側からの電圧をマイナスとして示しているが、第1抵抗変化型メモリRT1が $2 \times V_{dd}$ 未満で高抵抗状態から低抵抗状態へ遷移する際、第1スイッチトランジスタST1のゲートに $V_{dd}/2$ の電圧が印加されていることから、第1抵抗変化型メモリRT1に流れ込む電流の上限値が一定以上にならないように抑制し得るようになされている。これにより、第1抵抗変化型メモリRT1は、高抵抗状態から低抵抗状態へ遷移する際に生じる急激な電流上昇による破損防止が図られている。

[0076] かくして、不揮発メモリ部4aでは、スイッチゲート電圧によって第1スイッチトランジスタST1だけがオン動作することで、対となる第2メモリセルM1bにて保持された不揮発データをそのまま維持しつつ、例えば高抵抗状態にある第1抵抗変化型メモリRT1のみを低抵抗状態へと遷移させ、第1メモリセルM1aの不揮発データだけを消去状態へと変化させ、独立型セルとして機能させることができる。因みに、この実施の形態の場合、第1抵抗変化型メモリRT1が低抵抗状態にあるときには、既に消去状態にあることから、低抵抗状態のままとなる。

[0077] 因みに、この場合でも、不揮発性半導体記憶装置では、例えば行列状に配置された複数の不揮発性SRAMメモリセル1のうち、第1アクセストランジスタ6aおよび第2アクセストランジスタ6bがオン動作して第1ビット線BLT1および第2ビット線BLB1とSRAM2とが電氣的に接続され、SRAM2にアクセスしている状態の不揮発性SRAMメモリセル1があっても、同時期に、他の行の不揮発性SRAMメモリセル1では、SRAM2と第1ビット線BLT1および

第2ビット線BLB1との電氣的な接続を遮断できることから、不揮発データの消去動作をバックグラウンド動作として実行し得る。

[0078] (4 - 2) 不揮発メモリ部を相補型セルとして機能させた場合

図9は、1行目の不揮発メモリ部4aを相補型セルとして機能させ、例えば不揮発メモリ部4aの第1メモリセルM1aおよび第2メモリセルM1bに保持された相補的な不揮発データを消去する際の各電圧値の一例を、図1に示した不揮発性SRAMメモリセル1の各箇所に示した回路図である。この場合、不揮発性SRAMメモリセル1では、上述した手順に従いSRAM2のラッチ機能を停止させた状態で、第1ノード制御ゲート線VrefTおよび第2ノード制御ゲート線VrefBにVddの電圧が印加され得る。これにより、不揮発性SRAMメモリセル1では、不揮発データを消去する第1メモリセルM1aおよび第2メモリセルM1bに接続された第1ノード制御トランジスタ12aおよび第2ノード制御トランジスタ12bをオン動作させる。

[0079] また、この際、ノード制御ソース線VSには0[V]が印加されており、当該ノード制御ソース線VSに対して抵抗素子Rrefおよび第1ノード制御トランジスタ12aを介して第1ストレージノードSNTが接続されるとともに、同じくノード制御ソース線VSに対して抵抗素子Rrefおよび第2ノード制御トランジスタ12bを介して第2ストレージノードSNBが接続され、これら第1ストレージノードSNTおよび第2ストレージノードSNBの電位をそれぞれ0[V]にする。

[0080] さらに、不揮発データを消去する不揮発メモリ部4aの第1メモリセルM1aおよび第2メモリセルM1bでは、第1スイッチゲート線CGT1および第2スイッチゲート線CGB1にそれぞれVdd/2の電圧が印加され、第1スイッチゲート線CGT1に接続された第1スイッチトランジスタST1と、第2スイッチゲート線CGB1に接続された第2スイッチトランジスタSB1との両方をオン動作させる。なお、不揮発データを消去しない他の行の不揮発メモリ部4b, 4cでは、第1スイッチゲート線CGT2, CGT3や、第2スイッチゲート線CGB2, CGB3に0[V]が印加され、第1スイッチトランジスタST2, ST3および第2スイッチトランジスタSB2, SB3をそれぞれオフ動作させ得る。

[0081] また、この際、不揮発データを消去する不揮発メモリ部4aでは、メモリソース線MS1に $2 \times V_{dd}$ の電圧が印加され得る。これにより、第1抵抗変化型メモリRT1および第2抵抗変化型メモリRB1は、例えば、どちらか一方が高抵抗状態にあるとき、メモリソース線MS1から $2 \times V_{dd}$ の電圧が印加されてゆくと、 V_{dd} よりも大きく $2 \times V_{dd}$ 未満で高抵抗状態から低抵抗状態への遷移が起こり、高抵抗状態にある方の不揮発データを消去状態（すなわち、「1」の不揮発データ）へと変化させ得る。

[0082] かくして、不揮発メモリ部4aでは、スイッチゲート電圧によって第1スイッチトランジスタST1および第2スイッチトランジスタSB1の両方をオン動作させることもできるので、第1メモリセルM1aおよび第2メモリセルM1bの両方の不揮発データを消去状態へと変化させることができる。

[0083] 因みに、この場合でも、不揮発性半導体記憶装置1では、例えば行列状に配置された複数の不揮発性SRAMメモリセル1のうち、第1アクセストランジスタ6aおよび第2アクセストランジスタ6bがオン動作して第1ビット線BLT1および第2ビット線BLB1とSRAM2とが電氣的に接続され、SRAM2にアクセスしている状態の不揮発性SRAMメモリセルがあっても、同時期に、他の行の不揮発性SRAMメモリセル1では、SRAM2と第1ビット線BLT1および第2ビット線BLB1との電氣的な接続を遮断できることから、不揮発データの消去動作をバックグラウンド動作として実行し得る。

[0084] （5）動作および効果

以上の構成において、不揮発性SRAMメモリセル1では、SRAM2に対して複数の不揮発メモリ部4a, 4b, 4cを並列接続させるようにした。SRAM2では、一端同士が接続した一方の第1ロードトランジスタ7aおよび第1ドライブトランジスタ8a間に第1ストレージノードSNTを有するとともに、一端同士が接続した他方の第2ロードトランジスタ7bおよび第2ドライブトランジスタ8b間に第2ストレージノードSNBを有し、第1ロードトランジスタ7aおよび第2ロードトランジスタ7bの他端が電源線VSpに接続され、第1ドライブトランジスタ8aおよび第2ドライブトランジスタ8bの他端が基準電圧線VSnに接続させる

ようにした。

[0085] また、SRAM2には、他方の第2ロードトランジスタ7bおよび第2ドライブトランジスタ8bのゲートと、一方の第1ストレージノードSNTとに一端が接続されているとともに、他端が第1ビット線BLT1に接続され、ゲートがワード線WLに接続された第1アクセストランジスタ6aを設けるようにした。さらに、SRAM2には、一方の第1ロードトランジスタ7aおよび第1ドライブトランジスタ8aのゲートと、他方の第2ストレージノードSNBとに一端が接続されているとともに、他端が第2ビット線BLB1に接続され、ゲートがワード線WLに接続された第2アクセストランジスタ6bを設けるようにした。

[0086] 一方、各不揮発メモリ部4a, 4b, 4cは全て同一構成を有しており、例えば1行目の不揮発メモリ部4aは、第1抵抗変化型メモリRT1と直列接続された第1スイッチトランジスタST1の一端に、第1ストレージノードSNTが接続された第1メモリセルM1aと、第2抵抗変化型メモリRB1と直列接続された第2スイッチトランジスタSB1の一端に、第2ストレージノードSNBが接続された第2メモリセルM1bとを設けるようにした。

[0087] また、これに加えて、不揮発メモリ部4aでは、第1スイッチゲート線CGT1が第1スイッチトランジスタST1に接続されているとともに、第1スイッチゲート線CGT1とは異なる第2スイッチゲート線CGB1が第2スイッチトランジスタSB1に接続されており、第1スイッチトランジスタST1および第2スイッチトランジスタSB1が独立にオンオフ動作するようにした。

[0088] これにより、不揮発メモリ部4aでは、第1スイッチトランジスタST1および第2スイッチトランジスタSB1の両方を同時にオン動作させることで、第1抵抗変化型メモリRT1を第1ストレージノードSNTに対して電氣的に接続させるとともに、第2抵抗変化型メモリRB1も第2ストレージノードSNBに対して電氣的に接続させることができ、SRAM2に保持された相補的なSRAMデータを第1メモリセルM1aおよび第2メモリセルM1bに書き込むことができる。また、同様にして、不揮発メモリ部4aでは、第1メモリセルM1aおよび第2メモリセルM1bを相補型セルとして機能させ、相補的な不揮発データをSRAM2に書き込

んだり、或いは相補的な不揮発データを同時に消去することもできる。

[0089] これに加えて、この不揮発メモリ部4aでは、第1スイッチトランジスタST1および第2スイッチトランジスタSB1のうち、いずれか一方だけをオン動作させることで、第1抵抗変化型メモリRT1だけを第1ストレージノードSNTに対して電氣的に接続させたり、または第2抵抗変化型メモリRB1だけを第2ストレージノードSNBに対して電氣的に接続させたりできるので、使用状況に応じて独立型セルとして機能させ、第1メモリセルM1aまたは第2メモリセルM1bの一方に個別的なデータをも書き込み、メモリ容量を増やすことができる。また、同様にして、不揮発メモリ部4aでは、第1メモリセルM1aおよび第2メモリセルM1bを独立型セルとして機能させ、個別的な不揮発データ的一方だけをS R A M2に書き込んだり、或いは個別的な不揮発データ的一方だけを消去することもできる。

[0090] 實際上、このような不揮発性S R A Mメモリセル1では、相補型セルとして機能し得る他、独立型セルとして機能させる場合、例えば複数の不揮発メモリ部4a, 4b, 4cのうち、所定の不揮発メモリ部4aの第1スイッチトランジスタST1または第2スイッチトランジスタSB1のいずれか一方のみをオン動作させることで、第1メモリセルM1aの不揮発データ、または第2メモリセルM1bの不揮発データのうちいずれか一方だけを、オン動作した第1スイッチトランジスタST1または第2スイッチトランジスタSB1に接続された、第1ストレージノードSNTまたは第2ストレージノードSNBに書き込むことができる。

[0091] また、實際上、不揮発性S R A Mメモリセル1では、相補型セルとして機能させる他、独立型セルとして機能させる場合、例えば複数の不揮発メモリ部4a, 4b, 4cのうち、所定の不揮発メモリ部4aの第1スイッチトランジスタST1または第2スイッチトランジスタSB1のいずれか一方のみをオン動作させることで、第1ストレージノードSNTおよび第1抵抗変化型メモリRT1間、または第2ストレージノードSNBおよび第2抵抗変化型メモリRB1間のうちいずれか一方だけを電氣的に接続させ、第1ストレージノードSNTまたは第2ストレージノードSNBのいずれか一方のS R A Mデータだけを第1メモリセルM1aまたは第2メモリセ

ルM1bに書き込むことができる。

[0092] さらに、不揮発性SRAMメモリセル1では、相補型セルとして機能させる他、独立型セルとして機能させる場合、例えば不揮発メモリ部4aにおいて第1スイッチトランジスタST1または第2スイッチトランジスタSB1のいずれか一方のみをオン動作させることで、第1ストレージノードSNTまたは第2ストレージノードSNBのいずれか一方だけにメモリソース線MS1を電氣的に接続させることで、接続された第1ストレージノードSNTまたは第2ストレージノードSNBの電圧と、メモリソース線MS1の電圧とにより生じる電位差により第1メモリセルM1aまたは第2メモリセルM1bの不揮発データを消去することができる。

[0093] ここで、図10に示すように、不揮発性SRAMメモリセル1（図示せず）が行列状に配置された不揮発性半導体記憶装置21aでは、複数の不揮発性SRAMメモリセル1のうち、ある領域にある不揮発性SRAMメモリセル1を独立型セルとして機能させた独立型セル群22とし、残りの領域にある不揮発性SRAMメモリセル1を相補型セルとして機能させた相補型セル群23とすることもできる。かくして、不揮発性半導体記憶装置1では、高速動作および高信頼性を優先した相補型セル群23と、メモリ容量の増大を優先した独立型セル群22との両立を図ることができ、使用状況に応じた最適な使用形態を実現し得る。

[0094] また、不揮発性半導体記憶装置21aは、行列状に配置された複数の不揮発性SRAMメモリセル1全てを独立型セルとして機能させた独立型セル群22でなる不揮発性半導体記憶装置21bへと使用形態を変更させたり、さらには、使用状況に応じて、不揮発性SRAMメモリセル1全てを相補型セルとして機能させた相補型セル群23でなる不揮発性半導体記憶装置21cへと使用形態を変更させることもできる。

[0095] これに加えて、本発明の不揮発性SRAMメモリセル1では、SRAM2と不揮発メモリ部4a, 4b, 4cとにノード制御部5が接続された構成を有しており、当該ノード制御部5による切替操作によってノード制御ソース線VSに対して第1ストレージノードSNTおよびまたは第2ストレージノードSNBを選択的に接続

させるようにした。

[0096] このような不揮発性SRAMメモリセル1では、例えば不揮発メモリ部4aにおける第1メモリセルM1aまたは第2メモリセルM1bのいずれか一方の不揮発データを、SRAM2に書き込む際、第1アクセストランジスタ6aをオフ動作させてSRAM2と第1ビット線BLT1との電気的な接続が遮断されるとともに、第2アクセストランジスタ6bをオフ動作させてSRAM2と第2ビット線BLB1との電気的な接続が遮断された状態とする。

[0097] この状態にて不揮発性SRAMメモリセル1では、不揮発データが書き込まれる第1ストレージノードSNTまたは第2ストレージノードSNBから、この不揮発データをSRAM2に書き込む第1抵抗変化型メモリRT1または第2抵抗変化型メモリRB1へ流れるメモリ側電流 I_{mem} と、不揮発データが書き込まれない第2ストレージノードSNBまたは第1ストレージノードSNTからノード制御部5へ流れる参照電流 I_{ref} との大小により、不揮発データが書き込まれる第1ストレージノードSNTまたは第2ストレージノードSNBが高電位または低電位となり、その結果、SRAM2に不揮発データを書き込むことができる。

[0098] 具体的に、SRAM2に不揮発データを書き込む第1抵抗変化型メモリRT1または第2抵抗変化型メモリRB1が低抵抗状態（例えば「1」の不揮発データを保持した状態）にあるとき、メモリ側電流 I_{mem} が参照電流 I_{ref} よりも大きくなり、不揮発データが書き込まれる一方の第1ストレージノードSNTまたは第2ストレージノードSNBの電位が、不揮発データが書き込まれない他方の第2ストレージノードSNBまたは第1ストレージノードSNTの電位よりも低くなる。

[0099] 一方、SRAM2に不揮発データを書き込む第1抵抗変化型メモリRT1または第2抵抗変化型メモリRB1が高抵抗状態（例えば「0」の不揮発データを保持した状態）にあるとき、メモリ側電流 I_{mem} が参照電流 I_{ref} よりも小さくなり、不揮発データが書き込まれる一方の第1ストレージノードSNTまたは第2ストレージノードSNBの電位が、不揮発データが書き込まれない他方の第2ストレージノードSNBまたは第1ストレージノードSNTの電位よりも高くなる。

[0100] かくして、第1ビット線BLT1および第2ビット線BLB1を共有している他の不

揮発性SRAMメモリセル1にて、第1ビット線BLT1および第2ビット線BLB1を用いてSRAM2にアクセスしている状態でも、他の不揮発性SRAMメモリセル1では、第1ビット線BLT1および第2ビット線BLB1との電氣的な接続を遮断した状態で、第1メモリセルM1aまたは第2メモリセルM1bに保持された不揮発データをSRAM2に書き込むSRAM書き込み動作を実行でき、かくして、当該SRAM書き込み動作をバックグラウンドにて実行できる。

[0101] 因みに、このような不揮発性SRAMメモリセル1が行列状に配置された不揮発性半導体記憶装置21では、不揮発性SRAMメモリセル1の各不揮発メモリ部4a, 4b, 4cにて第1メモリセルM1a, M2a, M3aおよびまたは第2メモリセルM1b, M2b, M3bに、SRAM2におけるSRAMデータが書き込まれた状態になっているか否かを検証する検証動作を行うこともできる。この場合、不揮発性SRAMメモリセル1では、上述した「(2) SRAM書き込み動作」の「(2-1) 不揮発メモリ部を独立型セルとして機能させた場合」および「(2-2) 不揮発メモリ部を相補型セルとして機能させた場合」に従って、例えば不揮発メモリ部4aの第1メモリセルM1aおよびまたは第2メモリセルM1bに保持された不揮発データをSRAM2に書き込むSRAM書き込み動作までをバックグラウンドにて予め実行しておく。その後、不揮発性SRAMメモリセル1では、第1ビット線BLT1および第2ビット線BLB1からSRAM2の第1ストレージノードSNTおよびまたは第2ストレージノードSNBの電位を読み出し、この読み出し結果を基に、所望する「1」または「0」の不揮発データが不揮発メモリ部4aに書き込まれているか否かを検証できる。

[0102] このように、例えば他の行の不揮発性SRAMメモリセル1にて第1ビット線BLT1および第2ビット線BLB1を介したSRAM2へのアクセス動作が行われている最中でも、検証動作を行う不揮発性SRAMメモリセル1では、第1ビット線BLT1および第2ビット線BLB1を用いて検証結果であるSRAM2のSRAMデータを読み出す直前のSRAM書き込み動作までを予めバックグラウンドにて実行することができる。

[0103] よって、検証動作を行う不揮発性SRAMメモリセル1では、他の行の不揮

発性SRAMメモリセル1にて行われている第1ビット線BLT1および第2ビット線BLB1を介したSRAM2へのアクセス終了後、SRAM2の第1ストレージノードSNTおよびまたは第2ストレージノードSNBへ既書き込まれている検証結果を読み出すだけで良いことから、検証結果を迅速に得ることができる。

[0104] (6) 第1共有スイッチトランジスタおよび第2共有スイッチトランジスタを設けた場合

図1との対応部分に同一符号を付して示す図11において、31は他の実施の形態による不揮発性SRAMメモリセルを示し、上述した図1の不揮発性SRAMメモリセル1とは、第1共有スイッチトランジスタ38aおよび第2共有スイッチトランジスタ38bが設けられている点と、SRAM2および第1共有スイッチトランジスタ38a間と、SRAM2および第2共有スイッチトランジスタ38b間とにノード制御部35が配置されている点と、各不揮発メモリ部4a, 4b, 4cにて第1スイッチトランジスタST1, ST2, ST3および第2スイッチトランジスタSB1, SB2, SB3で1つのスイッチゲート線CG1, CG2, CG3を共有している点とが相違している。

[0105] このような不揮発性SRAMメモリセル31では、例えばスイッチゲート線CG1, CG2, CG3のうち、1行目のスイッチゲート線CG1にのみVddの電圧を印加し、他の残りのスイッチゲート線CG2, CG3に0[V]を印加することで、不揮発メモリ部4aの第1スイッチトランジスタST1および第2スイッチトランジスタSB1を同時にオン動作させることになる。

[0106] ここで、一方の第1共有スイッチトランジスタ38aのゲートに接続された第1共有スイッチゲート線CGTにVddの電圧を印加し、他方の第2共有スイッチトランジスタ38bのゲートに接続された第2共有スイッチゲート線CGBに0[V]を印加することで、一方の第1共有スイッチトランジスタ38aのみをオン動作させ、他方の第2共有スイッチトランジスタ38bをオフ動作させることができる。

[0107] これにより、不揮発性SRAMメモリセル31では、例えば不揮発メモリ部4aの第1メモリセルM11aにある第1抵抗変化型メモリRT1のみを第1ストレージノードSNTに対し電氣的に接続させ、この第1抵抗変化型メモリRT1と対をなす第

2抵抗変化型メモリRB1と第2ストレージノードSNBとの電氣的な接続を遮断させることができる。よって、このような不揮発性SRAMメモリセル31でも、上述した実施の形態である不揮発性SRAMメモリセル1と同様に、不揮発メモリ部4aを独立型セルとして機能させることができる。

[0108] また、第1共有スイッチトランジスタ38aのゲートに接続された第1共有スイッチゲート線CGTと、第2共有スイッチトランジスタ38bのゲートに接続された第2共有スイッチゲート線CGBとにいずれもVddの電圧を印加することで、第1共有スイッチトランジスタ38aおよび第2共有スイッチトランジスタ38bの両方を同時にオン動作させることもできる。

[0109] これにより、不揮発性SRAMメモリセル31では、不揮発メモリ部4aの第1メモリセルM11aにある第1抵抗変化型メモリRT1を第1ストレージノードSNTに対して電氣的に接続させることができるとともに、この第1抵抗変化型メモリRT1と対をなす第2抵抗変化型メモリRB1も第2ストレージノードSNBに対して電氣的に接続させることができる。よって、このような不揮発性SRAMメモリセル31でも、上述した実施の形態である不揮発性SRAMメモリセル1と同様に、不揮発メモリ部4aを相補型セルとして機能させることができる。

[0110] なお、この実施の形態による不揮発性SRAMメモリセル31にて実行されるSRAM書き込み動作や、メモリ書き込み動作、不揮発データの消去動作については、上述した不揮発性SRAMメモリセル1と同様の原理で行うことができるため、ここではその説明は省略する。

[0111] 以上の構成において、不揮発メモリ部4aでは、第1スイッチトランジスタST1および第2スイッチトランジスタSB1の両方を同時にオン動作させることで、第1抵抗変化型メモリRT1を第1ストレージノードSNTに対して電氣的に接続させるとともに、第2抵抗変化型メモリRB1も第2ストレージノードSNBに対して電氣的に接続させることができ、SRAM2に保持された相補的なSRAMデータを不揮発メモリ部4aに書き込むことができる。また、同様にして、不揮発メモリ部4aでは、第1メモリセルM11aおよび第2メモリセルM11bを相補型セルとして機能させ、相補的な不揮発データをSRAM2に書き込んだり、或い

は相補的な不揮発データを同時に消去することもできる。

[0112] これに加えて、この不揮発メモリ部4aでも、第1スイッチトランジスタST1および第2スイッチトランジスタSB1のうち、いずれか一方だけをオン動作させることで、第1抵抗変化型メモリRT1だけを第1ストレージノードSNTに対して電氣的に接続させたり、または第2抵抗変化型メモリRB1だけを第2ストレージノードSNBに対して電氣的に接続させたりできるので、使用状況に応じて独立型セルとして機能させ、不揮発メモリ部4aに個別的なデータをも書き込み、メモリ容量を増やすことができる。同様にして、不揮発メモリ部4aでは、第1メモリセルM11aおよび第2メモリセルM11bを独立型セルとして機能させ、個別的な不揮発データの一方だけをSRAM2に書き込んだり、或いは個別的な不揮発データの一方だけを消去することもできる。

[0113] 因みに、このような不揮発SRAMメモリセル31も上述した実施の形態と同様に、第1ビット線BLT1および第2ビット線BLB1を共有している一の不揮発性SRAMメモリセル31にて、第1ビット線BLT1および第2ビット線BLB1を用いてSRAM2にアクセスしている状態でも、他の不揮発SRAMメモリセル31では、第1ビット線BLT1および第2ビット線BLB1とSRAM2との電氣的な接続を遮断できることから、SRAM書き込み動作や、メモリ書き込み動作、不揮発データの消去動作をバックグラウンドにて実行できる。

[0114] (7) 他の実施の形態による不揮発性SRAMメモリセル

上述した実施の形態においては、第1メモリおよび第2メモリとして、抵抗値の変化に基づいて「1」または「0」のいずれかの不揮発データを保持し得る第1抵抗変化型メモリRT1, RT2, RT3および第2抵抗変化型メモリRB1, RB2, RB3について適用した場合について述べたが本発明はこれに限らず、「1」または「0」のいずれかの不揮発データを保持し得る構成を有すれば、例えばフローティングゲート型や、離散トラップ型メモリ等その他種々の第1メモリおよび第2メモリを適用してもよい。

[0115] 例えば、図1との対応部分に同一符号を付して示す図12において、41は他の実施の形態による不揮発性SRAMメモリセルを示し、第1メモリとして

第1フローティングゲートFT1, FT2, FT3が設けられているとともに、第2メモリとして第2フローティングゲートFB1, FB2, FB3が設けられた構成を有する。このような場合でも、不揮発メモリ部44a (44b, 44c) は、第1スイッチトランジスタST1 (ST2, ST3) のゲートに第1スイッチゲート線CGT1 (CGT2, CGT3) が接続されているとともに、第1スイッチゲート線CGT1 (CGT2, CGT3) とは異なる別の第2スイッチゲート線CGB1 (CGB2, CGB3) が、第2スイッチトランジスタSB1 (SB2, SB3) のゲートに接続されている。

[0116] これにより、不揮発メモリ部44a (44b, 44c) は、第1スイッチゲート線CGT1 (CGT2, CGT3) および第2スイッチゲート線CGB1 (CGB2, CGB3) により、第1スイッチトランジスタST1 (ST2, ST3) および第2スイッチトランジスタSB1 (SB2, SB3) に別々のスイッチゲート電圧を印加し得、ゲートと一端との電圧差により第1スイッチトランジスタST1 (ST2, ST3) および第2スイッチトランジスタSB1 (SB2, SB3) をそれぞれ独立にオンオフ動作し得るように構成されている。

[0117] 以上の構成においても、上述した実施の形態と同様に、例えば不揮発メモリ部44aにて、第1スイッチトランジスタST1および第2スイッチトランジスタSB1の両方を同時にオン動作させることで、第1フローティングゲートFT1を第1ストレージノードSNTに対して電氣的に接続させることができるとともに、第2フローティングゲートFB1も第2ストレージノードSNBに対して電氣的に接続させることができ、SRAM2に保持された相補的なSRAMデータを不揮発メモリ部44aに対して同時に書き込むことができる。

[0118] これに加えて、この不揮発メモリ部44aでも、第1スイッチトランジスタST1および第2スイッチトランジスタSB1のうち、いずれか一方だけをオン動作させることができるので、第1フローティングゲートFT1だけを第1ストレージノードSNTに対して電氣的に接続させたり、または第2フローティングゲートFB1だけを第2ストレージノードSNBに対して電氣的に接続させたりでき、使用状況に応じて独立型セルとして機能させ、不揮発メモリ部44aに個別的なデータをも書き込み、メモリ容量を増やすことができる。

[0119] 因みに、このような不揮発SRAMメモリセル41も上述し実施の形態と同様に、第1ビット線BLT1および第2ビット線BLB1を共有している一の不揮発性SRAMメモリセル41にて、第1ビット線BLT1および第2ビット線BLB1を用いてSRAM2にアクセスしている状態でも、他の不揮発SRAMメモリセル41では、第1ビット線BLT1および第2ビット線BLB1とSRAM2との電氣的な接続を遮断できることから、SRAM書き込み動作や、メモリ書き込み動作、不揮発データの消去動作をバックグラウンドにて実行できる。

[0120] (8) 他の実施の形態

なお、上述した第1抵抗変化型メモリおよび第2抵抗変化型メモリとして、バイポーラ型の第1抵抗変化型メモリRT1, RT2, RT3および第2抵抗変化型メモリRB1, RB2, RB3を適用した場合について説明したが、本発明はこれに限らず、ユニポーラ型の第1抵抗変化型メモリおよび第2抵抗変化型メモリを適用してもよい。

[0121] また、上述した「(2) SRAM書き込み動作」の「(2-1) 不揮発メモリ部を独立型セルとして機能させた場合」での説明では、ノード制御部5を設け、参照電流Irefをノード制御部5に供給させるようにしたが、本発明はこれに限らず、ノード制御部5を設けなくとも、第1アクセストランジスタ6aまたは第2アクセストランジスタ6bをオン動作させて第1ビット線BLT1または第2ビット線BLB1のいずれか一方に参照電流Irefを供給するようにしてもよい。この場合、第1ビット線BLT1および第2ビット線BLB1を用いるため、バックグラウンド動作としてSRAM書き込み動作を実行し得ないものの、上述した「(2-1) 不揮発メモリ部を独立型セルとして機能させた場合」と同様に独立型セルとして機能させることができる。

[0122] また、上述した実施の形態において、抵抗素子として、所定の抵抗値を有する非変化する抵抗素子Rrefを用いるようにした場合について述べたが、本発明はこれに限らず、抵抗変化型の抵抗素子を設けたり、或いは、第1ノード制御トランジスタ12aおよび第2制御トランジスタ12bに生じる抵抗を抵抗素子として見なしてもよい。

[0123] また、上述した実施の形態においては、SRAMとして、6個のトランジスタで構成されたSRAM2を適用した場合について述べたが、本発明はこれに限らず、例えば4個のトランジスタと2個の抵抗素子とで構成されたSRAM等のように、第1ストレージノードおよび第2ストレージノードを有し、ラッチする機能を有する種々のSRAMを適用してもよい。

[0124] なお、ここで4個のトランジスタと2個の抵抗素子とで構成されたSRAMは、図1に示したSRAM2の第1ロードトランジスタ7aおよび第2ロードトランジスタ7bの替わりに、抵抗素子を設けた構成を有しており、SRAM2と同様に第1ストレージノードおよび第2ストレージノードを有し、ラッチ機能を有するものである。

符号の説明

- [0125] 1, 31, 41 不揮発性SRAMメモリセル
21, 21a, 21b, 21c 不揮発性半導体記憶装置
2 SRAM
4a, 4c, 4b, 44a, 44b, 44c 不揮発メモリ部
5 ノード制御部
M1a, M2a, M3a 第1メモリセル
M1b, M2b, M3b 第2メモリセル
ST1, ST2, ST3 第1スイッチトランジスタ
SB1, SB2, SB3 第2スイッチトランジスタ
RT1, RT2, RT3 第1抵抗変化型メモリ（第1メモリ）
RB1, RB2, RB3 第2抵抗変化型メモリ（第2メモリ）
BLT1 第1ビット線
BLB1 第2ビット線
6a 第1アクセストランジスタ
6b 第2アクセストランジスタ
7a 第1ロードトランジスタ
7b 第2ロードトランジスタ

8a 第1ドライブトランジスタ

8b 第2ドライブトランジスタ

FT1, FT2, FT3 第1フローティングゲート（第1メモリ）

FB1, FB2, FB3 第2フローティングゲート（第2メモリ）

請求の範囲

- [請求項1] 第1ストレージノードと、該第1ストレージノードと相補的な第2ストレージノードとを有したS R A M (Static Random Access Memory) と、
- 前記S R A Mと並列接続された複数の不揮発メモリ部とを備え、
- 各前記不揮発メモリ部は、
- 第1メモリに第1スイッチトランジスタを介して前記第1ストレージノードが電氣的に接続可能な第1メモリセルと、第2メモリに第2スイッチトランジスタを介して前記第2ストレージノードが電氣的に接続可能な第2メモリセルとを有し、
- 前記第1スイッチトランジスタおよび前記第2スイッチトランジスタが独立にオンオフ動作する
- ことを特徴とする不揮発性S R A Mメモリセル。
- [請求項2] 第1スイッチゲート線が前記第1スイッチトランジスタに接続されているとともに、前記第1スイッチゲート線とは異なる第2スイッチゲート線が前記第2スイッチトランジスタに接続されており、
- 前記第1スイッチトランジスタは、前記第1スイッチゲート線からゲートに印加される電圧に基づいてオンオフ動作し、前記第2スイッチトランジスタは、前記第2スイッチゲート線からゲートに印加される電圧に基づいてオンオフ動作する
- ことを特徴とする請求項1記載の不揮発性S R A Mメモリセル。
- [請求項3] 各前記不揮発メモリ部には、前記第1スイッチトランジスタの一端に第1共有スイッチトランジスタを介して前記第1ストレージノードが接続されているとともに、前記第2スイッチトランジスタの一端に第2共有スイッチトランジスタを介して前記第2ストレージノードが接続されている
- ことを特徴とする請求項1記載の不揮発性S R A Mメモリセル。
- [請求項4] 複数の前記不揮発メモリ部のうち、所定の前記不揮発メモリ部の前

記第1スイッチトランジスタまたは前記第2スイッチトランジスタのいずれか一方のみをオン動作させ、前記第1メモリセルの不揮発データ、または前記第2メモリセルの不揮発データのうちいずれか一方だけを、オン動作した前記第1スイッチトランジスタまたは前記第2スイッチトランジスタに接続された、前記S R A Mの前記第1ストレージノードまたは前記第2ストレージノードに書き込む

ことを特徴とする請求項1～3のうちいずれか1項記載の不揮発性S R A Mメモリセル。

[請求項5]

複数の前記不揮発メモリ部のうち、所定の前記不揮発メモリ部の前記第1スイッチトランジスタまたは前記第2スイッチトランジスタのいずれか一方のみをオン動作させ、前記第1ストレージノードおよび前記第1メモリ間、または前記第2ストレージノードおよび前記第2メモリ間のうちいずれか一方だけを電氣的に接続させ、前記第1ストレージノードまたは前記第2ストレージノードのいずれか一方のS R A Mデータだけを前記第1メモリセルまたは前記第2メモリセルに書き込む

ことを特徴とする請求項1～3のうちいずれか1項記載の不揮発性S R A Mメモリセル。

[請求項6]

前記第1メモリは、一端に前記第1スイッチトランジスタが接続されているとともに、他端にメモリソース線が接続された構成を有し、前記第2メモリは、一端に前記第2スイッチトランジスタが接続されているとともに、他端に前記メモリソース線が接続された構成を有しており、

前記不揮発メモリ部は、前記第1スイッチトランジスタまたは前記第2スイッチトランジスタのいずれか一方のみをオン動作させることで、前記第1ストレージノードまたは前記第2ストレージノードのいずれか一方だけに前記メモリソース線を接続させて、接続された前記第1ストレージノードまたは前記第2ストレージノードの電圧と、前記メモリソース線の電圧とにより生じる電位差により前記第1メモリセル

または前記第2メモリセルの不揮発データを消去する

ことを特徴とする請求項1～3のうちいずれか1項記載の不揮発性SRAMメモリセル。

[請求項7] 前記SRAMと前記不揮発メモリ部とに接続されたノード制御部を備えており、

前記ノード制御部は、

切替操作によってノード制御ソース線に対して前記第1ストレージノードおよびまたは前記第2ストレージノードを選択的に接続させる

ことを特徴とする請求項1～6のうちいずれか1項記載の不揮発性SRAMメモリセル。

[請求項8] 前記SRAMと前記不揮発メモリ部とに接続されたノード制御部を備えており、

前記第1メモリセルまたは前記第2メモリセルのいずれか一方の不揮発データを、前記SRAMに書き込む際には、前記SRAMに設けた第1アクセストランジスタをオフ動作させて前記SRAMと第1ビット線との電気的な接続が遮断されるとともに、前記SRAMに設けた第2アクセストランジスタをオフ動作させて前記SRAMと第2ビット線との電気的な接続が遮断された状態とし、

前記不揮発データが書き込まれる前記第1ストレージノードまたは前記第2ストレージノードから、該不揮発データを前記SRAMに書き込む前記第1メモリまたは前記第2メモリへ流れるメモリ側電流が、前記不揮発データが書き込まれない前記第2ストレージノードまたは前記第1ストレージノードから前記ノード制御部へ流れる参照電流よりも大きいときには、前記不揮発データが書き込まれる一方の前記第1ストレージノードまたは前記第2ストレージノードの電位が、該不揮発データが書き込まれない他方の前記第2ストレージノードまたは前記第1ストレージノードの電位よりも低くなり、

前記メモリ側電流が前記参照電流よりも小さいときには、前記不揮

発データが書き込まれる一方の前記第1ストレージノードまたは前記第2ストレージノードの電位が、該不揮発データが書き込まれない他方の前記第2ストレージノードまたは前記第1ストレージノードの電位よりも高くなる

ことを特徴とする請求項4記載の不揮発性SRAMメモリセル。

[請求項9]

前記ノード制御部は、

前記第1ストレージノードと、各前記不揮発メモリ部の前記第1スイッチトランジスタの一端とに接続された第1ノード制御トランジスタと、

前記第2ストレージノードと、各前記不揮発メモリ部の前記第2スイッチトランジスタの一端とに接続された第2ノード制御トランジスタと、

前記第1ノード制御トランジスタおよび前記ノード制御ソース線間と、前記第2ノード制御トランジスタおよび前記ノード制御ソース線間とに設けられ、規定値以上の電流を流す抵抗素子とを備えており、

第1ノード制御ゲート線が前記第1ノード制御トランジスタに接続されているとともに、前記第1ノード制御ゲート線とは異なる第2ノード制御ゲート線が前記第2ノード制御トランジスタに接続されており、前記第1ノード制御トランジスタおよび前記第2ノード制御トランジスタが独立にオンオフ動作する

ことを特徴とする請求項7または8記載の不揮発性SRAMメモリセル。

[請求項10]

前記SRAMに設けた第1アクセストランジスタをオフ動作させて前記SRAMと第1ビット線との電気的な接続を遮断するとともに、前記SRAMに設けた第2アクセストランジスタをオフ動作させて前記SRAMと第2ビット線との電気的な接続を遮断した状態で、

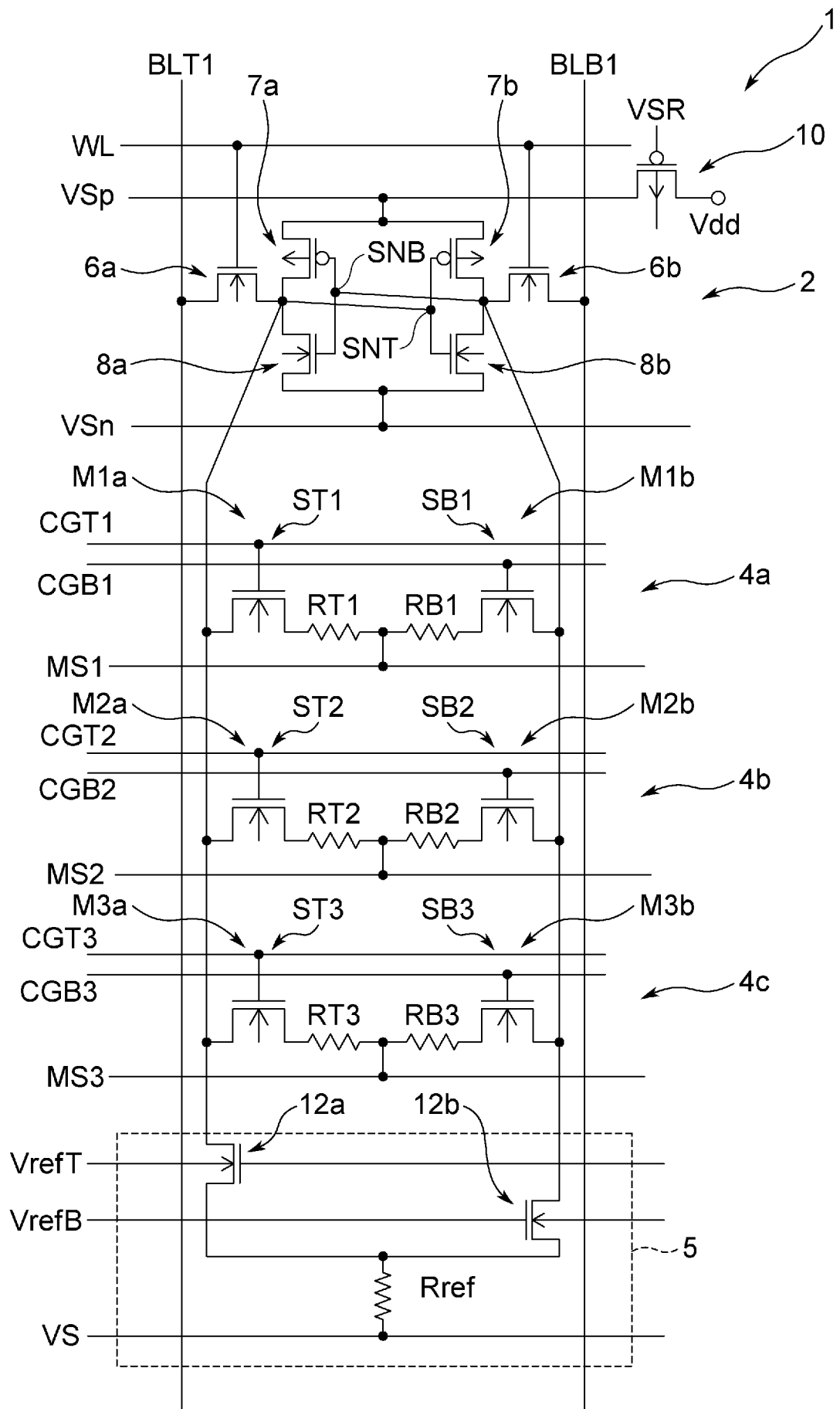
前記第1ストレージノードおよび前記第2ストレージノードへの電源電圧の印加を停止し、前記ノード制御部を介して前記ノード制御ソー

ス線に前記第1ストレージノードおよび前記第2ストレージノードを接続させることで、前記第1ストレージノードおよび前記第2ストレージノードの電位を下げて初期状態とする

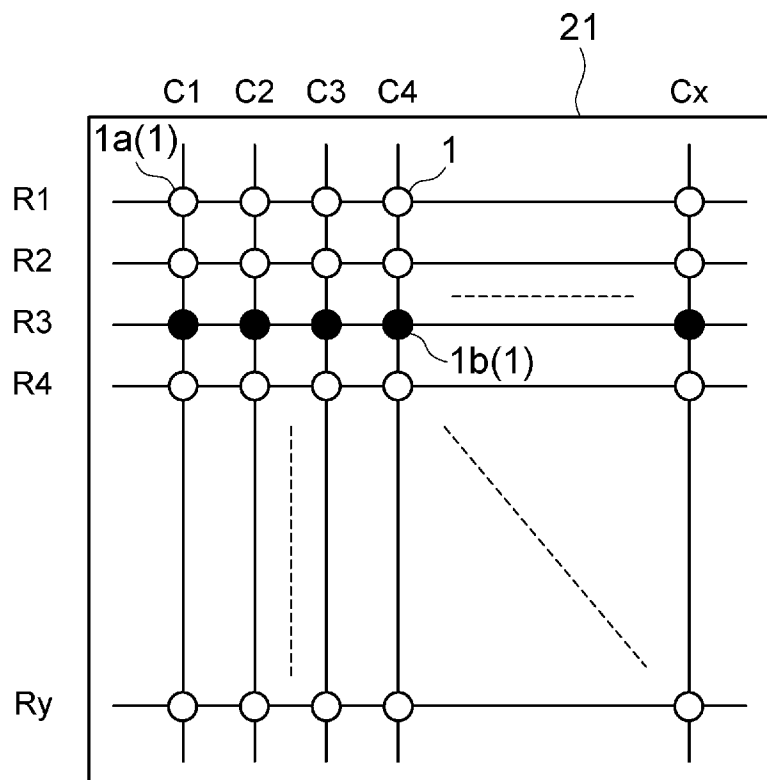
ことを特徴とする請求項7～9のうちいずれか1項記載の不揮発性SRAMメモリセル。

[請求項11] 請求項1～10のうちいずれか1項記載の不揮発性SRAMメモリセルが行列状に配置され、一方に並ぶ複数の前記不揮発性SRAMメモリセルで前記第1ビット線および前記第2ビット線を共有していることを特徴とする不揮発性半導体記憶装置。

[図1]

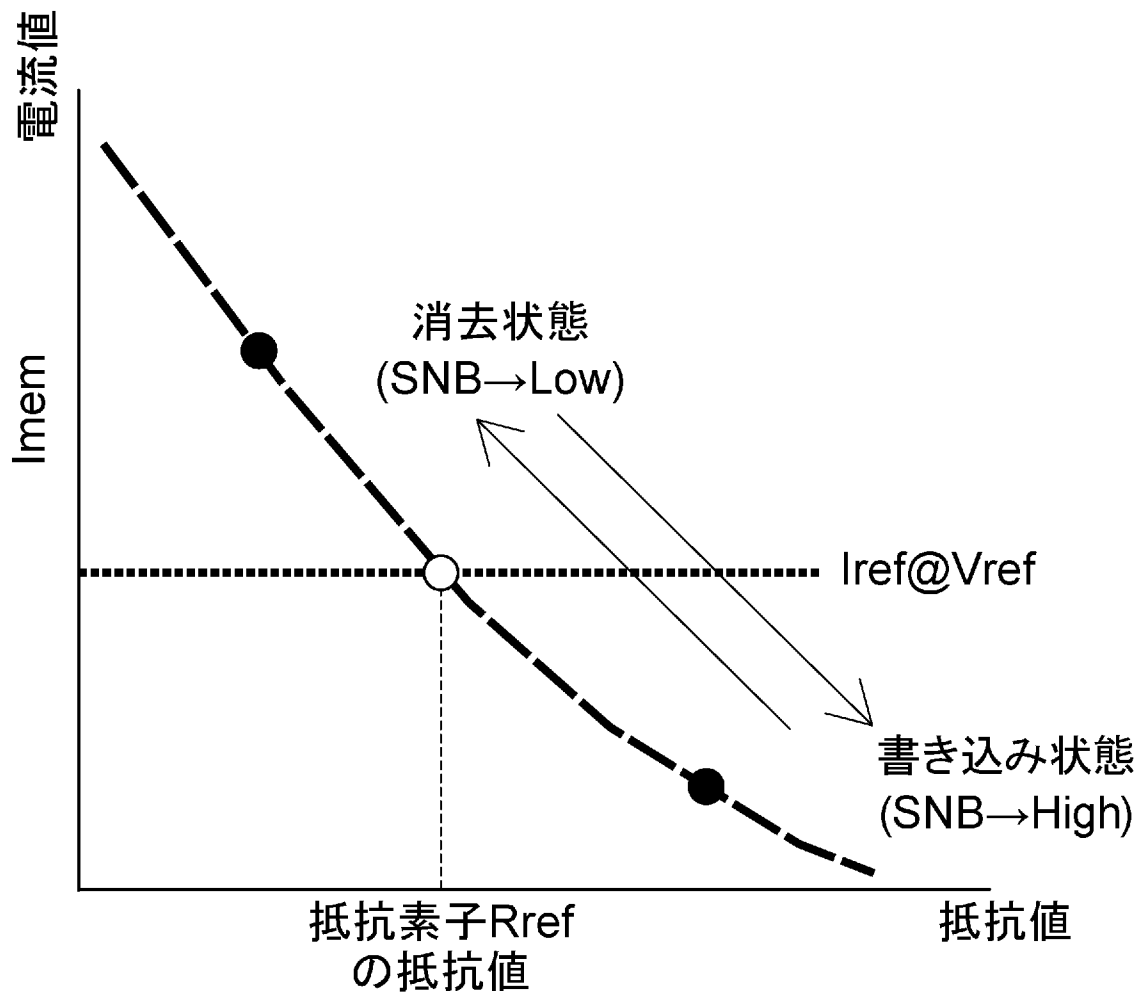


[図2]



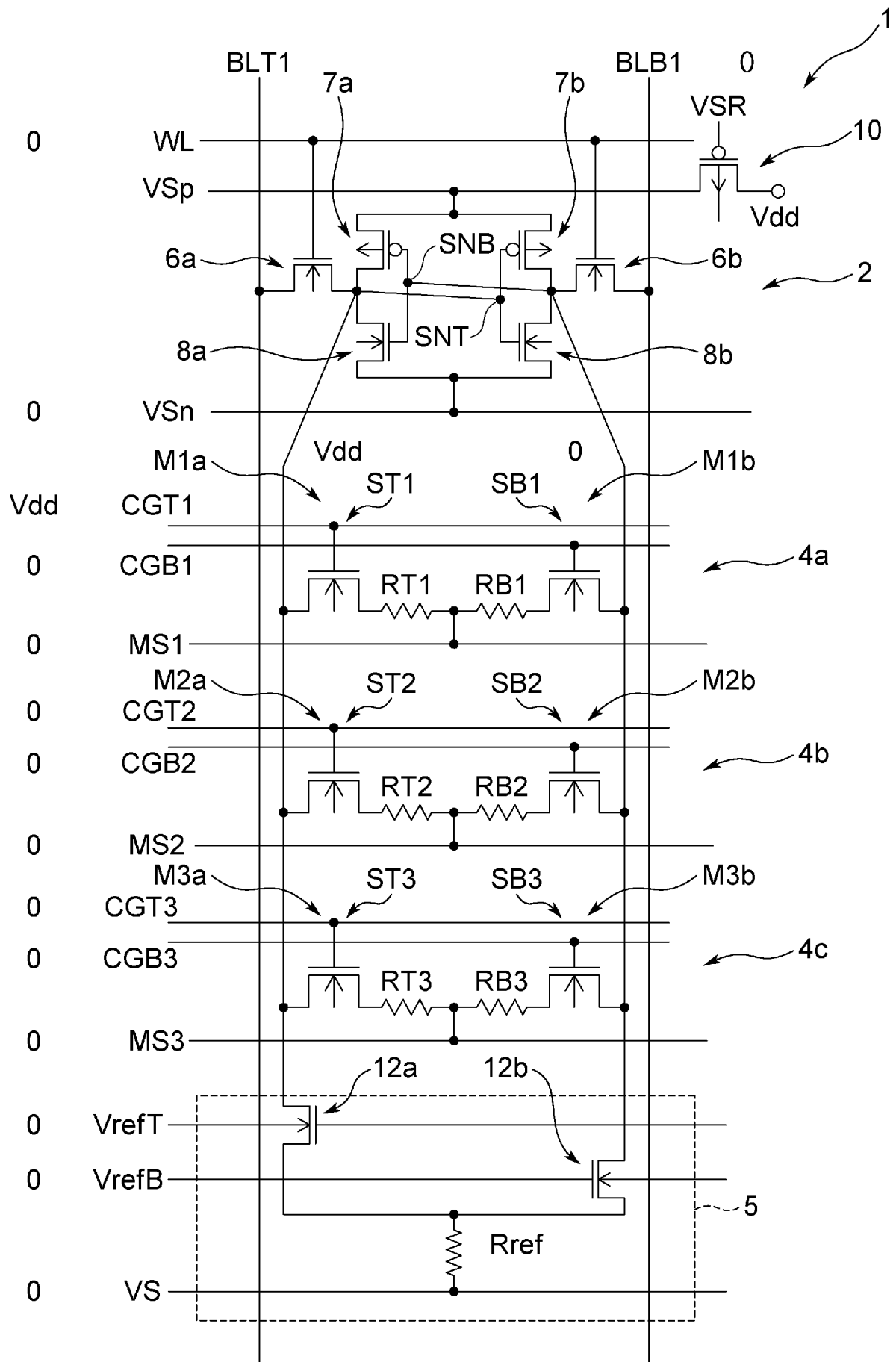
The diagram illustrates a 1T1R1C1B1 array structure and its associated sense amplifier and reference circuit. The array consists of three rows of memory cells, labeled 4a, 4b, and 4c. Each row contains a series of access transistors (M1a, M1b, M2a, M2b, M3a, M3b) and storage nodes (ST1, ST2, ST3, SB1, SB2, SB3). The access transistors are controlled by word lines (WL) and bit lines (BLT1, BLB1). The storage nodes are connected to bit lines (BLT1, BLB1) and sense amplifiers (SNB, SNT). The sense amplifiers are controlled by sense lines (VS_p, VS_n). The reference circuit (5) includes a reference current source (I_{ref}) and a reference resistor (R_{ref}), which are connected to the sense lines (VS_p, VS_n) and the bit lines (BLT1, BLB1). The reference circuit is controlled by reference voltages (V_{refT}, V_{refB}) and a reference current (I_{ref}).

[図4]

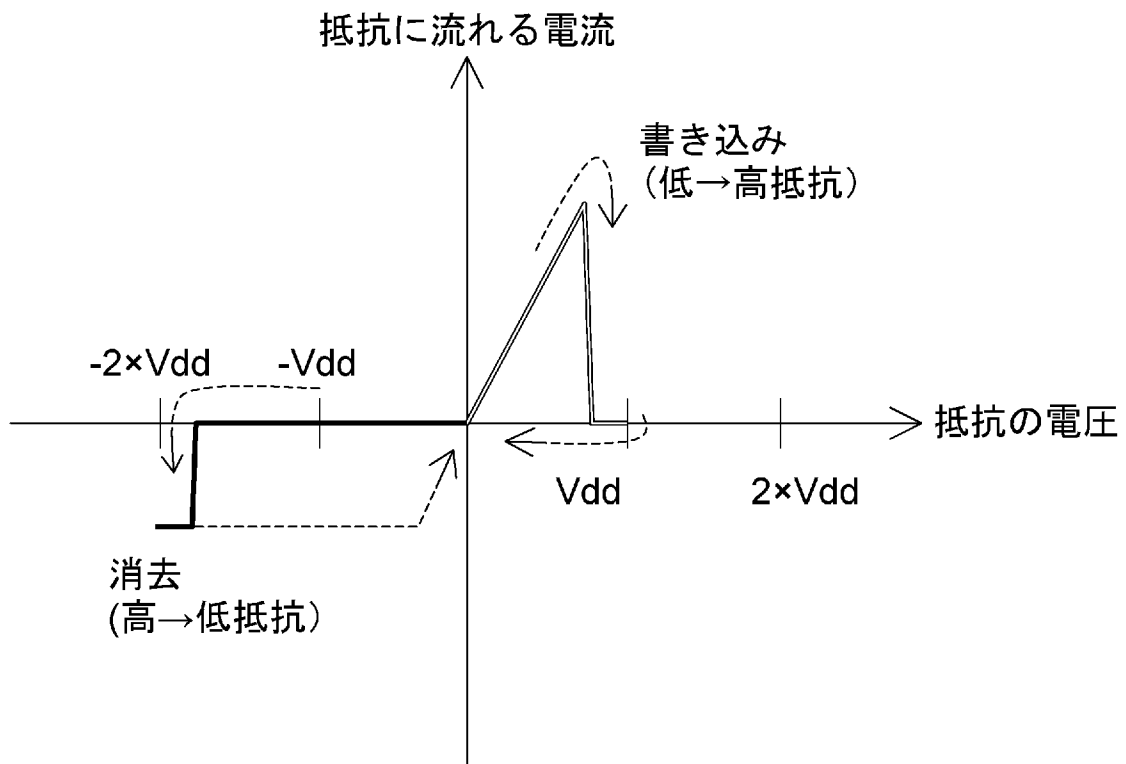


[illegible]

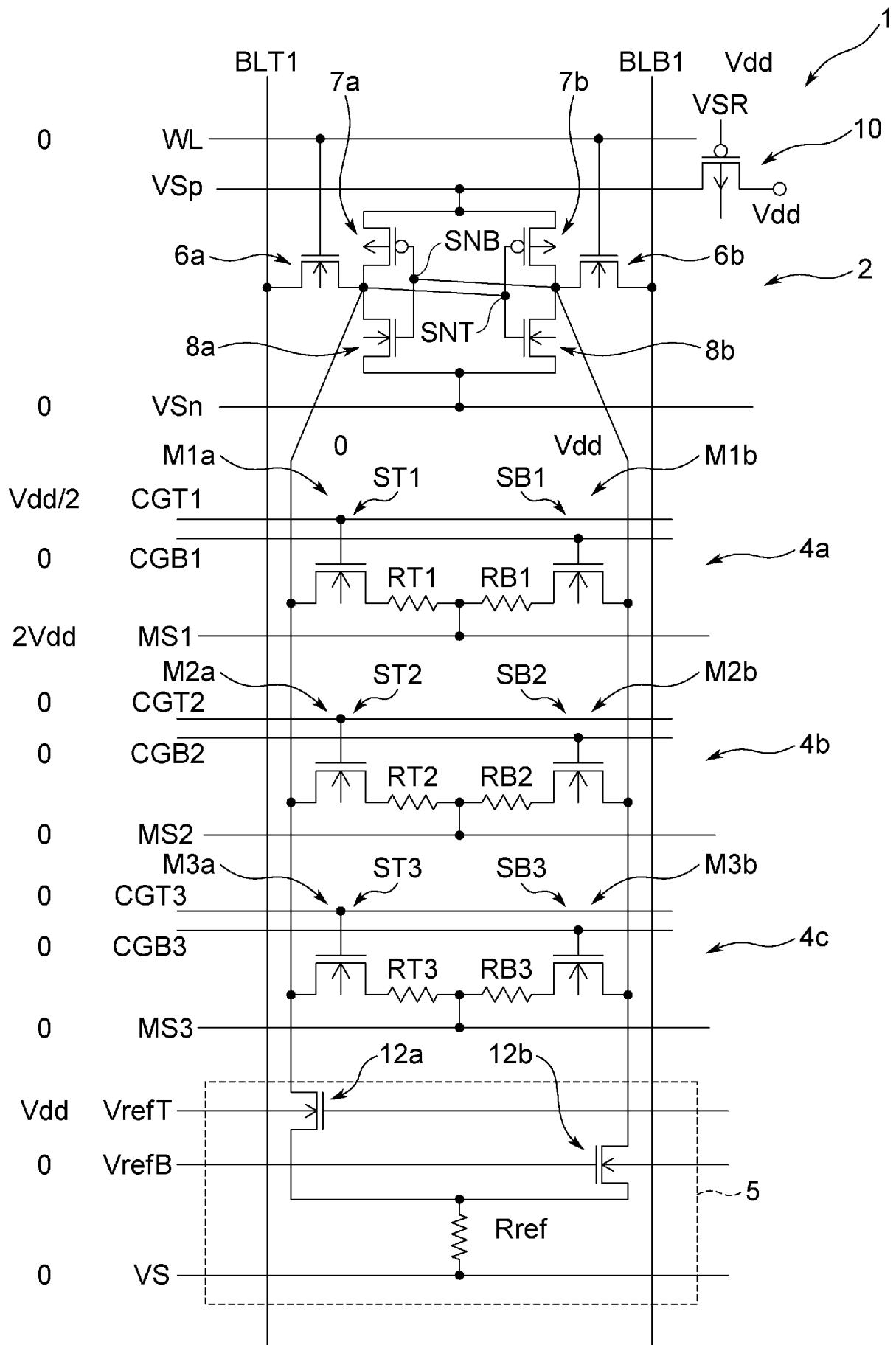
[図6]



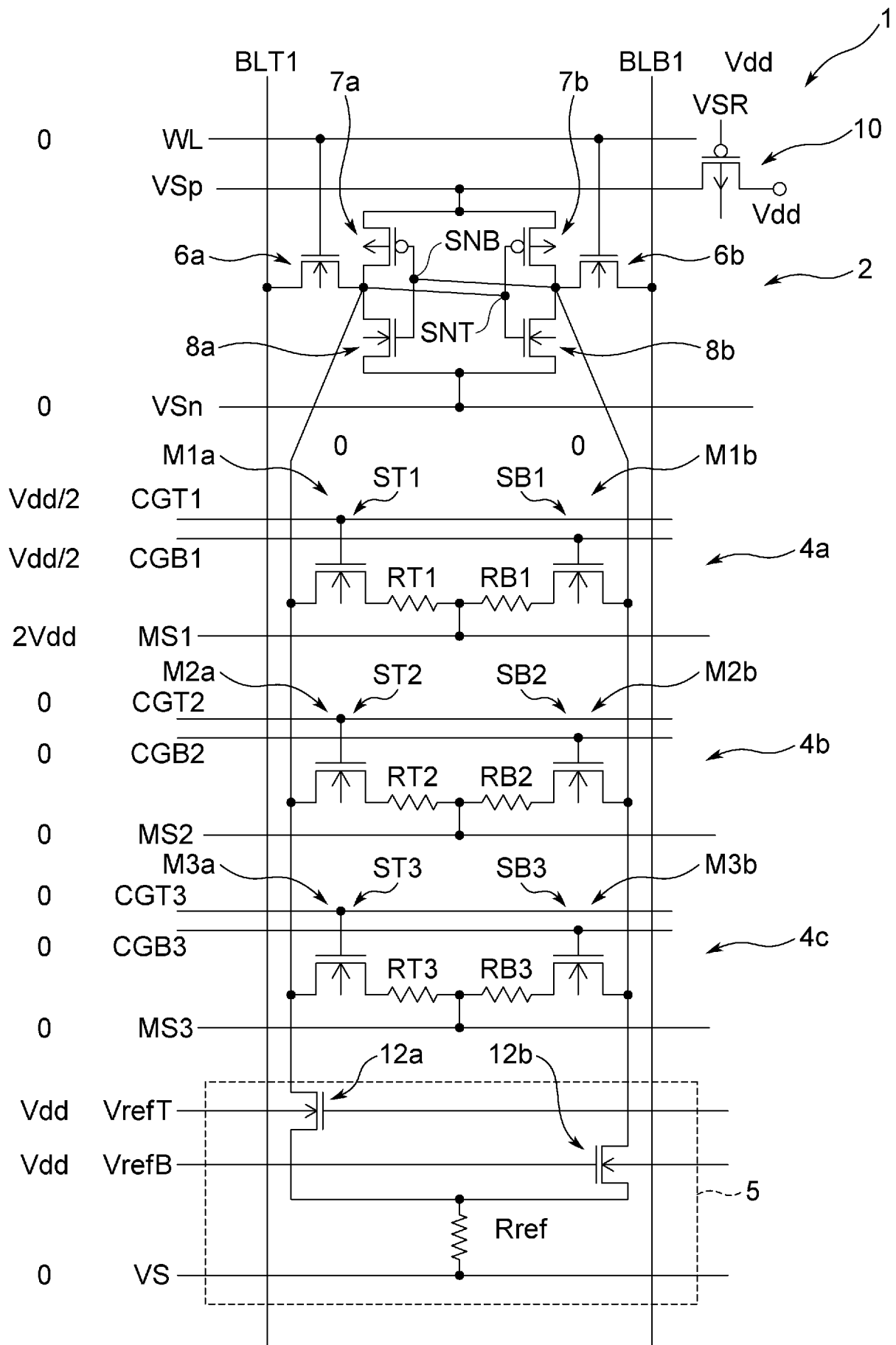
[図7]



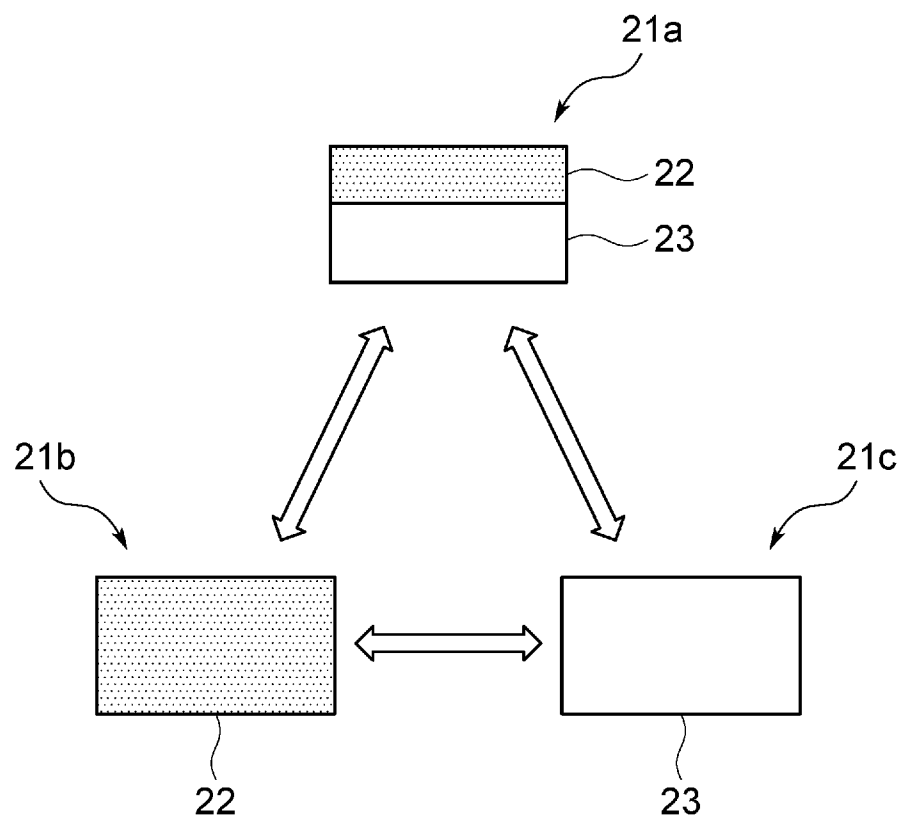
[図8]

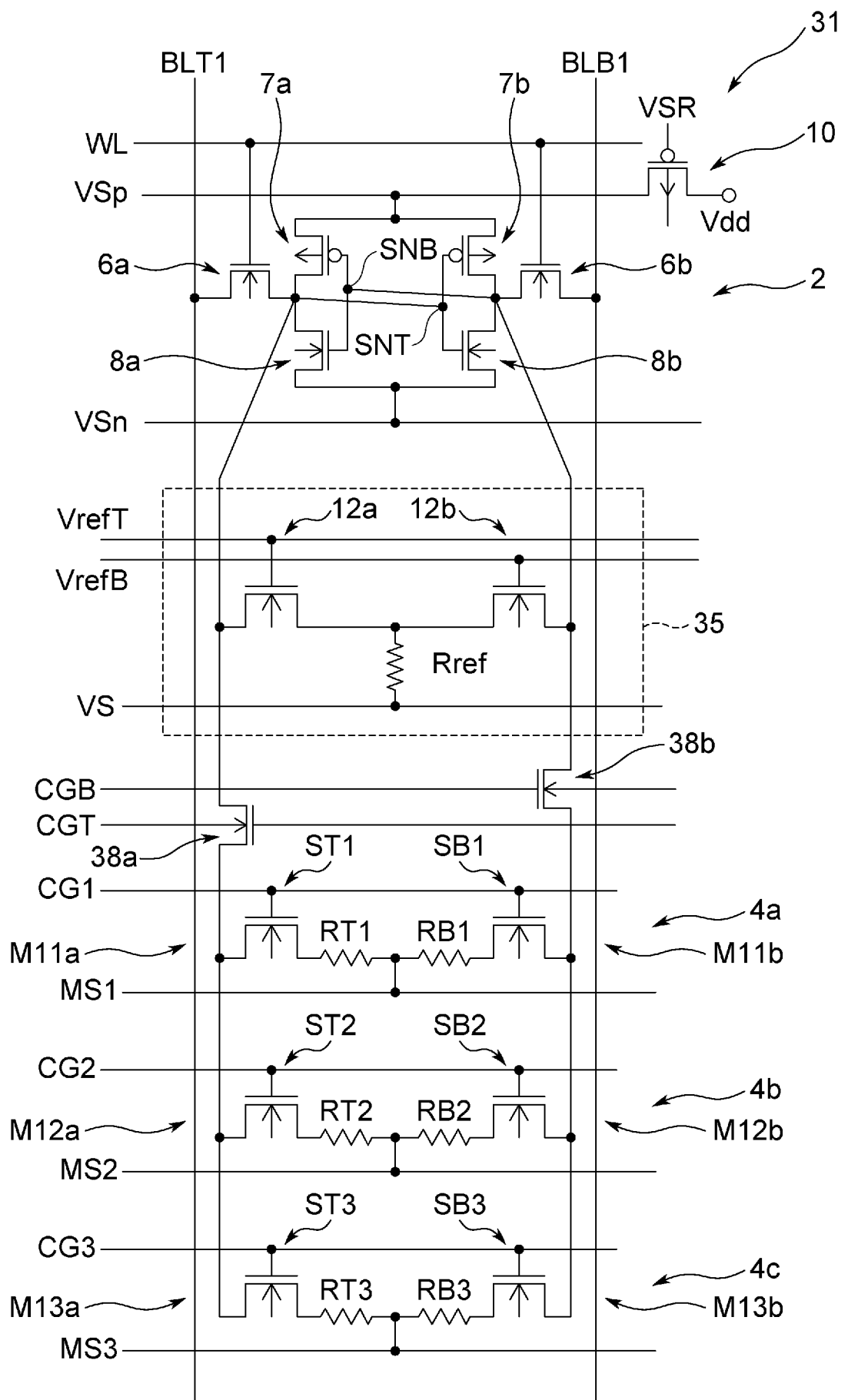


[図9]

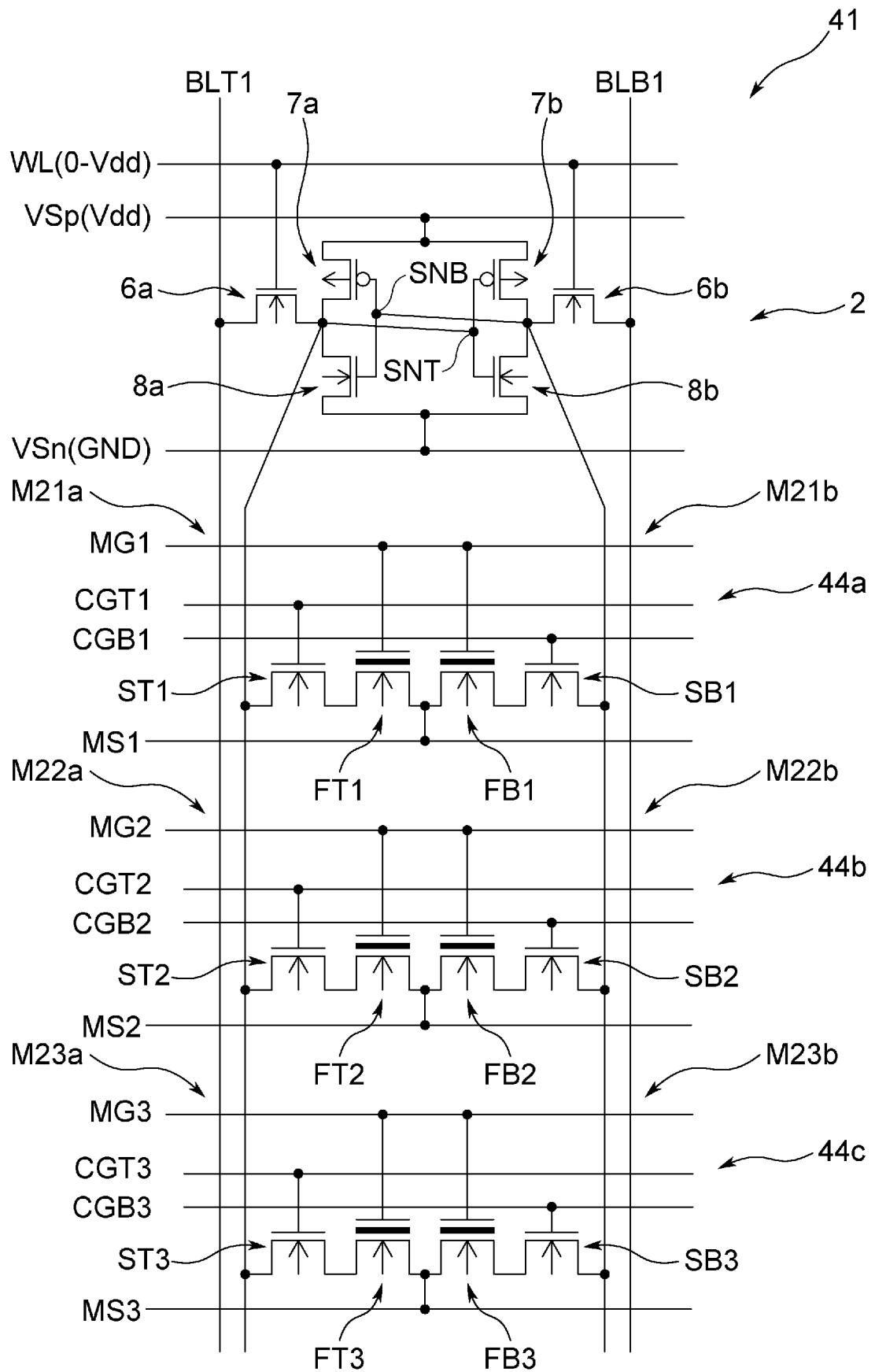


[図10]

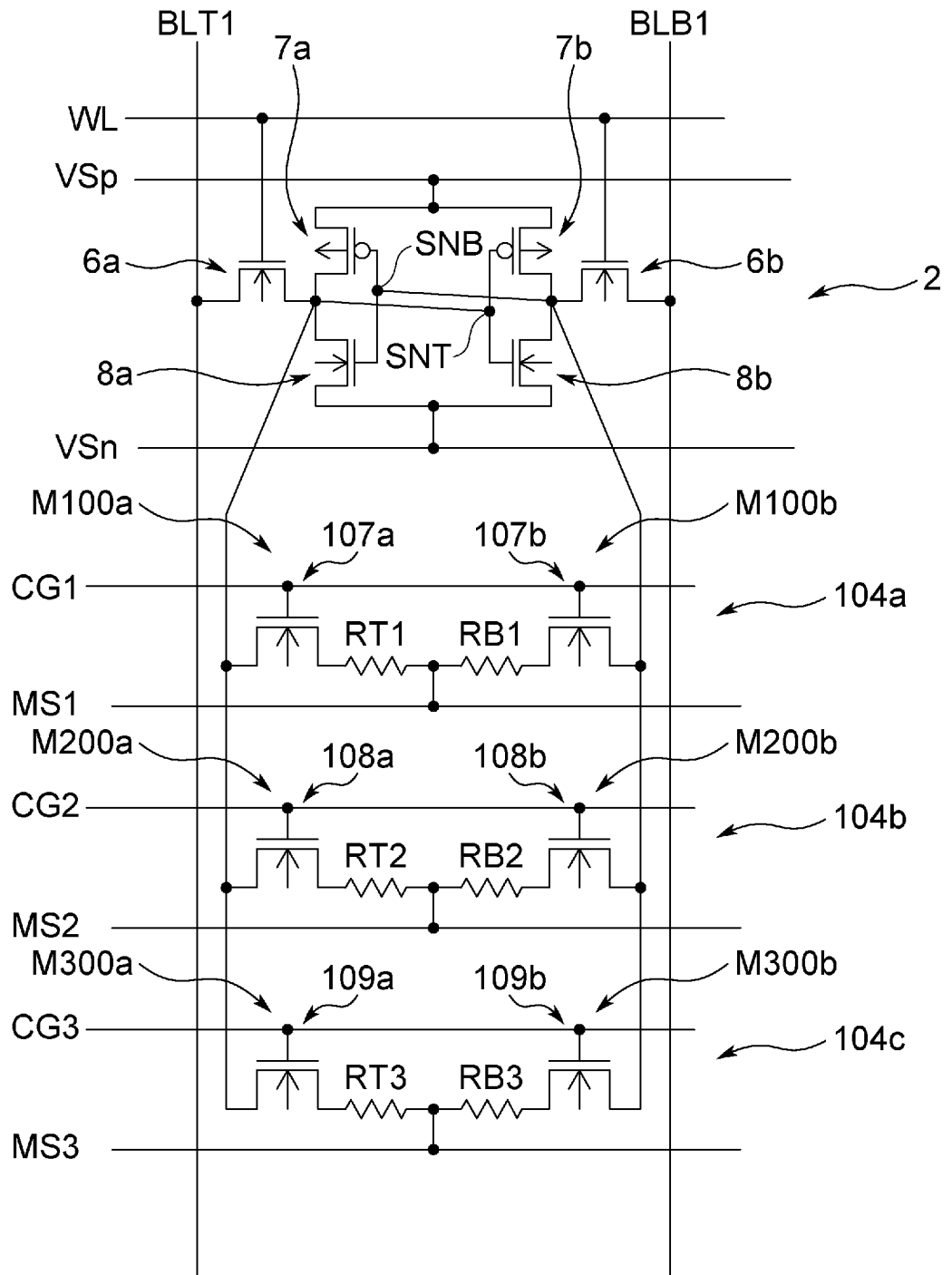




[図12]



100



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/070806

A. CLASSIFICATION OF SUBJECT MATTER <i>G11C11/412(2006.01)i, G11C13/00(2006.01)i, G11C14/00(2006.01)i</i>										
According to International Patent Classification (IPC) or to both national classification and IPC										
B. FIELDS SEARCHED										
Minimum documentation searched (classification system followed by classification symbols) <i>G11C11/412, G11C13/00, G11C14/00</i>										
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched <table border="0"> <tr> <td><i>Jitsuyo Shinan Koho</i></td> <td><i>1922-1996</i></td> <td><i>Jitsuyo Shinan Toroku Koho</i></td> <td><i>1996-2015</i></td> </tr> <tr> <td><i>Kokai Jitsuyo Shinan Koho</i></td> <td><i>1971-2015</i></td> <td><i>Toroku Jitsuyo Shinan Koho</i></td> <td><i>1994-2015</i></td> </tr> </table>			<i>Jitsuyo Shinan Koho</i>	<i>1922-1996</i>	<i>Jitsuyo Shinan Toroku Koho</i>	<i>1996-2015</i>	<i>Kokai Jitsuyo Shinan Koho</i>	<i>1971-2015</i>	<i>Toroku Jitsuyo Shinan Koho</i>	<i>1994-2015</i>
<i>Jitsuyo Shinan Koho</i>	<i>1922-1996</i>	<i>Jitsuyo Shinan Toroku Koho</i>	<i>1996-2015</i>							
<i>Kokai Jitsuyo Shinan Koho</i>	<i>1971-2015</i>	<i>Toroku Jitsuyo Shinan Koho</i>	<i>1994-2015</i>							
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)										
C. DOCUMENTS CONSIDERED TO BE RELEVANT										
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.								
Y A	JP 2013-190893 A (Rohm Co., Ltd.), 26 September 2013 (26.09.2013), entire text; all drawings & US 2013/0247057 A1	1, 2, 5, 11 3, 4, 6-10								
Y	JP 2014-107406 A (Floodia Corp.), 09 June 2014 (09.06.2014), paragraphs [0076] to [0094]; fig. 9; claims 9 to 10 & WO 2014/083997 A1	1, 2, 5, 11								
A	JP 62-298998 A (Seiko Instruments Inc.), 26 December 1987 (26.12.1987), entire text; fig. 1 (Family: none)	1-11								
☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.										
<table border="0"> <tr> <td> * Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed </td> <td> "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family </td> </tr> </table>			* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family						
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family									
Date of the actual completion of the international search 08 September 2015 (08.09.15)		Date of mailing of the international search report 15 September 2015 (15.09.15)								
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.								

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. G11C11/412(2006.01)i, G11C13/00(2006.01)i, G11C14/00(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. G11C11/412, G11C13/00, G11C14/00			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2015年 日本国実用新案登録公報 1996-2015年 日本国登録実用新案公報 1994-2015年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
Y A	JP 2013-190893 A（ローム株式会社）2013.09.26, 全文、全図 & US 2013/0247057 A1	1, 2, 5, 11 3, 4, 6-10	
Y	JP 2014-107406 A（株式会社フローディア）2014.06.09, 段落[0076]-[0094], 第9図, 請求項9-10 & WO 2014/083997 A1	1, 2, 5, 11	
A	JP 62-298998 A（セイコー電子工業株式会社）1987.12.26, 全文, 第1図（ファミリーなし）	1-11	
☐ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 08.09.2015		国際調査報告の発送日 15.09.2015	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 滝谷 亮一 電話番号 03-3581-1101 内線 3565	5U 3135