

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2012年2月23日(23.02.2012)

PCT

(10) 国際公開番号
WO 2012/023271 A1

- (51) 国際特許分類:
H04N 5/376 (2011.01) H04N 5/357 (2011.01)
- (21) 国際出願番号: PCT/JP2011/004560
- (22) 国際出願日: 2011年8月11日(11.08.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-181947 2010年8月16日(16.08.2010) JP
特願 2011-160863 2011年7月22日(22.07.2011) JP
- (71) 出願人(米国を除く全ての指定国について): 株式会社ニコン(NIKON CORPORATION) [JP/JP]; 〒1008331 東京都千代田区有楽町一丁目12番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 有井 卓 (ARII, Taku) [JP/JP]; 〒1008331 東京都千代田区有楽町一丁目12番1号株式会社ニコン内 Tokyo (JP). 手塚 洋二郎 (TEZUKA, Yojiro) [JP/JP]; 〒1008331 東京都千代田区有楽町一丁目12番1号株式会社ニコン内 Tokyo (JP). 元花 竜士

(MOTOHANA, Ryoji) [JP/JP]; 〒1008331 東京都千代田区有楽町一丁目12番1号株式会社ニコン内 Tokyo (JP). 中山 智史 (NAKAYAMA, Satoshi) [JP/JP]; 〒1008331 東京都千代田区有楽町一丁目12番1号株式会社ニコン内 Tokyo (JP). 船水 航 (FUNAMIZU, Wataru) [JP/JP]; 〒1008331 東京都千代田区有楽町一丁目12番1号株式会社ニコン内 Tokyo (JP). 山中 秀記 (YAMANA-KA, Hideki) [JP/JP]; 〒1008331 東京都千代田区有楽町一丁目12番1号株式会社ニコン内 Tokyo (JP).

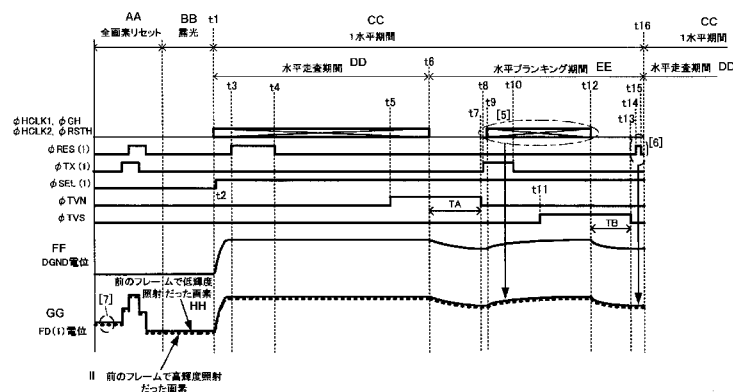
- (74) 代理人: 古谷 史旺, 外 (FURUYA, Fumio et al.); 〒1600023 東京都新宿区西新宿1丁目19番5号第2明宝ビル9階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST,

[続葉有]

(54) Title: IMAGE CAPTURING DEVICE

(54) 発明の名称: 撮像装置

[図4]



AA RESET ALL PIXELS
BB EXPOSE
CC 1 HORIZONTAL PERIOD
DD HORIZONTAL SCANNING PERIOD
EE HORIZONTAL BLANKING PERIOD
FF DGND POTENTIAL
GG FD(1) POTENTIAL
HH PIXEL SUBJECTED TO LOW-BRILLIANCE IRRADIATION IN PREVIOUS FRAME
II PIXEL SUBJECTED TO HIGH-BRILLIANCE IRRADIATION IN PREVIOUS FRAME

(57) Abstract: Disclosed is an image capturing device provided with a plurality of pixels; a vertical drive unit; vertical signal lines; a sample holding unit wherein signals corresponding to the signals of the respective vertical signal lines are sampled and held in accordance with a sampling control signal, and supplied to horizontal signal lines in accordance with horizontal drive signals; a horizontal drive unit for supplying the horizontal drive signals to the sample holding unit; and a horizontal drive control unit for supplying a plurality of types of pulse signals relating to the reading of signals from the sample holding unit to the horizontal signal lines. The horizontal drive control unit supplies dummy pulse signals (ϕGH , $\phi HCLK1$, $\phi HCLK2$, $\phi RSTH$) to the horizontal drive unit during at least a partial period ($t9-t12$) in the period from the starting point ($t6$) of a horizontal blanking period to the last signal sampling time ($t13$) determined by the sampling control signal.

(57) 要約: 撮像装置は、複数の画素と、垂直駆動部と、垂直信号線と、各垂直信号線の信号に応じた信号を

サンプリング制御信号に従ってサンプリングして保持するとともに、水平駆動信号に従って水平信号線へ供給するサンプルホールド部と、前記サンプルホールド部に水平駆動信号を供給する水平駆動部と、サンプルホールド部から水平信号線への信号の読み出しに關与する複数種のパルス信号を供給する水平駆動制御部と、を備える。前記水平駆動制御部は、各水平ブランキング期間の開始時点 $t6$ から、前記サンプリング制御信号により定まる最後の信号サンプリング時点 $t13$ までの期間中の、少なくとも一部の期間 $t9-t12$ において、ダミーパルス信号 ϕGH , $\phi HCLK1$, $\phi HCLK2$, $\phi RSTH$ を水平駆動部に供給する。

WO 2012/023271 A1



SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.

GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：撮像装置

技術分野

[0001] 本発明は、撮像装置に関する。

背景技術

[0002] 例えば、下記特許文献 1 に開示された固体撮像素子では、2次元に配置された複数の画素が、光電変換部、前記光電変換部から転送された電荷を電圧に変換する電荷電圧変換部、前記光電変換部から前記電荷電圧変換部に電荷を転送する転送部、前記電荷電圧変換部の電圧に応じた信号を出力する増幅部、及び、前記電荷電圧変換部の電圧をリセットするリセット部をそれぞれ有している。

[0003] このような固体撮像素子では、2次元に配置された複数の画素に対して、画素行毎に、当該画素を駆動する複数種の駆動信号（例えば、転送部をオンオフする 2 値の信号、リセット部をオンオフする 2 値の信号）を供給する垂直走査回路を備えている（例えば、下記特許文献 1）。この垂直走査回路は、一般的に、シフトレジスタ及びその他のデジタル回路と、それらの回路によって得た信号を必要な駆動能力等を持つ信号に変換して前記駆動信号として出力するバッファ回路等の出力回路と、を有している。

[0004] また、このような固体撮像素子では、複数の画素の各列に対応して設けられ、対応する列の画素の出力信号が供給される垂直信号線と、前記各垂直信号線の信号に応じた信号をサンプリング制御信号に従ってサンプリングして保持するとともに、当該保持された信号を水平走査信号に従って水平信号線へ供給するサンプルホールド部と、前記サンプルホールド部に前記水平走査信号を供給する水平走査部と、を備えている。

[0005] このような固体撮像素子を用いた撮像装置では、前記固体撮像素子を制御する制御部として、前記サンプルホールド部から前記水平信号線への信号の読み出しに関与する複数種のパルス信号を供給する水平駆動制御部を有する

制御部が用いられている。

先行技術文献

特許文献

[0006] 特許文献1：特開平 1 1 - 1 2 2 5 3 2 号公報

発明の概要

発明が解決しようとする課題

[0007] しかしながら、前述したような従来の撮像装置では、前回の撮影画像が高輝度の被写体であった場合に、次回の撮影画像に前回の被写体像が写り込んでしまう残像現象が発生することがあった。

[0008] 本発明は、このような事情に鑑みてなされたもので、残像現象を低減することができる撮像装置を提供することを目的とする。

課題を解決するための手段

[0009] 前記課題を解決するための手段として、以下の各態様を提示する。第1の態様による撮像装置は、光電変換部、前記光電変換部から転送された電荷を電圧に変換する電荷電圧変換部、前記光電変換部から前記電荷電圧変換部に電荷を転送する転送部、前記電荷電圧変換部の電圧に応じた画素信号を出力する増幅部、及び、前記電荷電圧変換部の電圧をリセットするリセット部をそれぞれが有し、2次元に配置された複数の画素と、前記複数の画素に対して当該画素を駆動させる駆動信号を供給する垂直駆動部と、前記複数の画素の各列に対応して設けられ、前記画素信号が供給される垂直信号線と、前記各垂直信号線に供給された前記画素信号をサンプリング制御信号に従ってサンプリングして保持するとともに、水平駆動信号に従って水平信号線へ供給するサンプルホールド部と、前記サンプルホールド部に前記水平駆動信号を供給する水平駆動部と、前記サンプルホールド部から前記水平信号線への前記画素信号の読み出しに関与する複数種のパルス信号を供給する水平駆動制御部と、を備えたものである。そして、前記垂直駆動部のうち、前記リセット部を制御する回路は、前記水平駆動部と同じ電源で作動される。前記水平

駆動制御部は、各水平読み出し期間において、前記複数種のパルス信号を前記水平駆動部に供給する。前記水平駆動制御部は、各水平ブランキング期間の開始時点から、前記サンプリング制御信号により定まる信号サンプリング時点のうち当該水平ブランキング期間における最後の信号サンプリング時点までの期間中の、少なくとも一部の期間において、ダミーパルス信号を前記水平駆動部に供給する。

[0010] 第2の態様による撮像装置は、前記第1の態様において、前記ダミーパルス信号は、前記複数種のパルス信号のうちの1種以上のパルス信号と同じ信号であるものである。

[0011] 第3の態様による撮像装置は、前記第2の態様において、前記1種以上のパルス信号は、前記水平駆動部に供給され前記水平駆動部に前記水平駆動信号を生成させるための少なくとも1種のパルス信号を含むものである。

[0012] 第4の態様による撮像装置は、前記第3の態様において、前記水平駆動部はシフトレジスタ部を含み、前記少なくとも1種のパルス信号は、前記シフトレジスタ部を駆動する駆動クロック信号を含むものである。

[0013] 第5の態様による撮像装置は、前記第1乃至第4のいずれかの態様において、前記水平駆動制御部は、前記信号サンプリング時点において、前記ダミーパルス信号を停止させるものである。

[0014] 第6の態様による撮像装置は、前記第1乃至第5のいずれかの態様において、前記各水平ブランキング期間における前記信号サンプリング時点は、前記画素で光電変換された光情報を含む光信号をサンプリングする第2のサンプリング時点、及び、前記光信号から差し引くべきノイズ成分を含む差分用信号をサンプリングする第1のサンプリング時点とを含み、各水平ブランキング期間における前記第1のサンプリング時点の直前に前記1種以上のパルス信号及び前記ダミーパルス信号のいずれかが停止された時点から当該水平ブランキング期間における前記第1のサンプリング時点までの期間の長さ、各水平ブランキング期間における前記第2のサンプリング時点の直前に前記1種以上のパルス信号及び前記ダミーパルス信号のいずれかが停止された

時点から前記第2のサンプリング時点までの期間の長さとは、同一であるものである。

[0015] 第7の態様による撮像装置は、前記第1乃至第6のいずれかの態様において、前記垂直駆動部は、前記各水平ブランキング期間において、当該水平ブランキング期間における最後の信号サンプリング時点から当該水平ブランキング期間の終了時点までの期間のうちの少なくとも一部の期間において、前記リセット部にリセット動作を行わせるように、前記リセット部を制御する駆動信号を、前記リセット部に供給するものである。

[0016] 第8の態様による撮像装置は、光電変換部、前記光電変換部から転送された電荷を電圧に変換する電荷電圧変換部、前記光電変換部から前記電荷電圧変換部に電荷を転送する転送部、前記電荷電圧変換部の電圧に応じた画素信号を出力する増幅部、及び、前記電荷電圧変換部の電圧をリセットするリセット部をそれぞれが有し、2次元に配置された複数の画素と、前記複数の画素に対して当該画素を駆動させる駆動信号を供給する垂直駆動部と、前記複数の画素の各列に対応して設けられ、前記画素信号が供給される垂直信号線と、前記各垂直信号線の信号に応じた前記画素信号をサンプリング制御信号に従ってサンプリングして保持するとともに、当該保持された信号を水平駆動信号に従って水平信号線へ供給するサンプルホールド部と、を備えたものである。そして、この撮像装置では、前記垂直駆動部は、前記各水平ブランキング期間において、当該水平ブランキング期間における最後の信号サンプリング時点から当該水平ブランキング期間の終了時点までの期間のうちの少なくとも一部の期間において、前記リセット部にリセット動作を行わせるように、前記リセット部を制御する駆動信号を、前記リセット部に供給する。

[0017] 第9の態様による撮像装置は、前記第8の態様において、前記サンプルホールド部に前記水平駆動信号を供給する水平駆動部と、前記サンプルホールド部から前記水平信号線への信号の読み出しに関与する複数種のパルス信号を供給する水平駆動制御部と、を備えたものである。そして、前記垂直駆動部のうち、前記リセット部を制御する回路は、前記水平駆動部と同じ電源で

作動されるものである。

[0018] 第10の態様による撮像装置は、前記第1乃至第9のいずれかの態様において、前記複数の画素は、前記光電変換部が列方向に順次並んだ2以上の所定数の画素毎に、前記電荷電圧変換部、前記増幅部及び前記リセット部を共有したものである。

図面の簡単な説明

[0019] [図1]本発明の第1の実施の形態による撮像装置を示す概略ブロック図である。

[図2]図1中の固体撮像素子の概略構成を示す回路図である。

[図3]図1中の1つの画素の寄生容量等を示す回路図である。

[図4]本発明の第1の実施の形態による撮像装置の動作を示すタイミングチャートである。

[図5]比較例による撮像装置の動作を示すタイミングチャートである。

[図6]図4に示すタイミングチャートの一部を時間的に拡大して示すタイミングチャートである。

[図7]フローティング容量部の電位と垂直信号線の電位との関係を模式的に示す図である。

[図8]本発明の第2の実施の形態による撮像装置の固体撮像素子の概略構成を示す回路図である。

[図9]本発明の第2の実施の形態による撮像装置において順次行われる各動作期間を示す図である。

[図10]図9中の全画素リセット期間、露光期間、及び、1行目の画素ブロックの下側の画素の読み出し期間を示すタイミングチャートである。

[図11]図9中の1行目の画素ブロックの上側の画素の読み出し期間を示すタイミングチャートである。

発明を実施するための形態

[0020] 以下、本発明による撮像装置について、図面を参照して説明する。

[0021] [第1の実施の形態]

図 1 は、本発明の第 1 の実施の形態による撮像装置 1 を示す概略ブロック図である。本実施の形態による撮像装置 1 は、電子カメラとして構成されている。

[0022] 図 1 は、本実施の形態による撮像装置 1 には、撮影レンズ 2 が装着される。この撮影レンズ 2 は、レンズ制御部 2 a によってフォーカスや絞りが駆動される。この撮影レンズ 2 の像空間には、固体撮像素子 3 の撮像面が配置される。

[0023] 固体撮像素子 3 は、撮像制御部 4 から出力される制御信号によって駆動され、信号を出力する。固体撮像素子 3 から出力される信号は、信号処理部 5、及び A/D 変換部 6 を介して処理された後、メモリ 7 に一旦蓄積される。メモリ 7 は、バス 8 に接続される。バス 8 には、レンズ制御部 2 a、撮像制御部 4、マイクロプロセッサ 9、焦点演算部 10、記録部 11、画像圧縮部 12 及び画像処理部 13 などにも接続される。マイクロプロセッサ 9 には、リリース釦などの操作部 9 a が接続される。また、上記の記録部 11 には記録媒体 11 a が着脱自在に装着される。

[0024] 撮像制御部 4 は、図面には示していないがタイミングジェネレータ等で構成され、固体撮像素子 3 の垂直走査回路 22（図 2 参照）及び水平走査回路 23（図 2 参照）等に後述する制御信号 ϕ_{GH} 、 ϕ_{HCLK1} 、 ϕ_{HCLK2} 、 ϕ_{HSTR} 、 ϕ_{RSTH} 、 ϕ_{VCLK1} 、 ϕ_{VCLK2} 、 ϕ_{VSTR} 、 ϕ_{TVS} 、 ϕ_{TVN} などを供給して、固体撮像素子 3 を制御する。

[0025] 図 2 は、図 1 中の固体撮像素子 3 の概略構成を示す回路図である。

[0026] 本実施の形態では、固体撮像素子 3 は、一般的な CMOS 型固体撮像素子と同様に、2 次元状に配置された複数の画素 21（図 1 では、 2×2 個の画素 21 のみを示す。）と、垂直走査回路（垂直駆動部）22 と、水平走査回路（水平駆動部）23 と、画素 21 の各列に対応して設けられ対応する列の画素 21 の出力信号（画素信号）が供給される垂直信号線 24 と、各垂直信号線 24 に接続された定電流源 25 とを有している。なお、画素 21 の数が限定されるものではないことは、言うまでもない。

[0027] 各画素21は、一般的なCMOS型固体撮像素子と同様に、入射光に応じた電荷を生成し蓄積する光電変換部としてのフォトダイオードPDと、フォトダイオードPDから転送された電荷を電圧に変換する電荷電圧変換部としてのフローティング容量部FDと、フォトダイオードPDからフローティング容量部FDに電荷を転送する電荷転送部としての転送トランジスタTXと、フローティング容量部FDの電圧に応じた画素信号を出力する増幅部としての増幅トランジスタAMPと、フローティング容量部FDの電圧をリセットするリセット部としてのリセットトランジスタRESと、当該画素21を選択するための選択部としての選択トランジスタSELとを有し、図2に示すように接続されている。なお、本実施の形態では、画素21のトランジスタAMP, TX, RES, SELは、全てnMOSトランジスタである。各画素21は第1の電源により作動するようになっており、各増幅トランジスタAMPも前記第1の電源により作動するようになっている。図2において、AVDDは前記第1の電源の電源電位、AGNDは前記第1の電源のグラウンド電位である。

[0028] 実際には、図3に示すように、各画素21において、フローティング容量部FD（増幅トランジスタAMPのゲート）と駆動信号 ϕ_{RES} の駆動信号線との間には、寄生容量CRESが存在する。図3は、図1中の1つの画素21の寄生容量CRES等を示す回路図である。

[0029] 再び図2を参照すると、転送トランジスタTXのゲートは、画素行毎に、垂直走査回路22からの転送駆動信号 ϕ_{TX} を導く駆動信号線に、接続されている。リセットトランジスタRESのゲートは、画素行毎に、垂直走査回路22からの駆動信号 ϕ_{RES} を導く駆動信号線に、接続されている。選択トランジスタSELのゲートは、画素行毎に、垂直走査回路22からの駆動信号 ϕ_{SEL} を導く駆動信号線に、接続されている。

[0030] フォトダイオードPDは、入射光の光量（被写体光）に応じて信号電荷を生成する。転送トランジスタTXは、転送パルス（駆動信号） ϕ_{TX} のハイレベル期間にオンし、フォトダイオードPDに蓄積された信号電荷をフロー

ティング容量部FDに転送する。リセットトランジスタRESは、リセットパルス（駆動信号） ϕRES のハイレベル期間にオンし、フローティング容量部FDをリセットする。

[0031] 増幅トランジスタAMPは、そのドレインが前記第1の電源の電源電位AVDDに接続され、そのゲートがフローティング容量部FDに接続され、そのソースが選択トランジスタSELのドレインに接続され、定電流源25を構成し各垂直信号線24に対応して設けられたトランジスタTDを負荷とするソースフォロア回路を構成している。各トランジスタTDのドレインは各垂直信号線24に接続され、各トランジスタTDのソースは前記第1の電源のグランド電位AGNDに接続されている。各トランジスタTDのゲートは共通に接続され、そこには、前記第1の電源の電源電位AVDDとグランド電位AGNDとの間に接続された抵抗RL及びトランジスタTSからなる定電流設定回路によって得た一定電圧が、与えられている。これにより、定電流源25は、垂直信号線24に対応する画素21の選択トランジスタSELがオンされたときに、当該垂直信号線24に電流を流す。この電流は、当該画素21の増幅トランジスタAMPのソースフォロアバイアス電流である。

[0032] 増幅トランジスタAMPは、フローティング容量部FDの電圧値に応じて、選択トランジスタSELを介して垂直信号線24に電圧を出力する。選択トランジスタSELは、選択パルス（駆動信号） ϕSEL のハイレベル期間にオンし、増幅トランジスタAMPのソースを垂直信号線24に接続する。

[0033] 垂直走査回路22は、撮像制御部4からのそれぞれパルス信号からなる垂直駆動制御信号としての、2相の垂直駆動クロック信号 $\phi VCLK1$ 、 $\phi VCLK2$ 及び垂直スタートパルス信号 $\phi VSTR$ を受けて、画素21の行毎に、選択パルス ϕSEL 、リセットパルス ϕRES 及び転送パルス ϕTX をそれぞれ出力する。図2において、nは、n行目の画素の信号であることを示している。本実施の形態では、垂直走査回路22は、信号生成回路30と、バッファ回路B1～B3とから構成されている。信号生成回路30は、シフトレジスタ及びその他のデジタル回路を含んでおり、撮像制御部4からの

前記垂直駆動制御信号を受けて、画素行毎に、選択パルス ϕ SEL、リセットパルス ϕ RES及び転送パルス ϕ TXにそれぞれ対応する信号を生成する。したがって、信号生成回路30には、垂直走査回路22におけるバッファ回路B1～B3以外のデジタル回路が全て含まれている。バッファ回路B1～B3は、画素行毎に設けられている。各バッファ回路B1は、各画素行に対応するもの毎に、リセットパルス ϕ RESに対応する信号生成回路30からの信号を必要な駆動能力等を持つリセットパルス ϕ RESに変換して、これを出力する。各バッファ回路B2は、各画素行に対応するもの毎に、転送パルス ϕ TXに対応する信号生成回路30からの信号を必要な駆動能力等を持つ転送パルス ϕ TXに変換して、これを出力する。各バッファ回路B3は、各画素行に対応するもの毎に、選択パルス ϕ SELに対応する信号生成回路30からの信号を必要な駆動能力等を持つ選択パルス ϕ SELに変換して、これを出力する。本実施の形態では、バッファ回路B1～B3が、画素21を駆動する3種類の駆動信号 ϕ RES、 ϕ TX、 ϕ SELを出力する駆動出力回路を構成している。

[0034] 本実施の形態では、垂直走査回路22の信号生成回路30及びバッファ回路B1～B3は、前記第1の電源（グラウンド電位AGND及び電源電位AVDD）とは異なる別系統の第2の電源により作動するようになっている。図2において、DVDDは前記第2の電源の電源電位、DGNDは前記第2の電源のグラウンド電位である。

[0035] 水平走査回路23は、撮像制御部4からのそれぞれパルス信号からなる水平駆動制御信号 ϕ GH、 ϕ HCLK1、 ϕ HCLK2、 ϕ HSTRを受けて、列毎に水平走査信号（水平駆動信号） ϕ Hを出力する。図2において、mは、m列目の画素の信号であることを示している。本実施の形態では、水平走査回路23は、撮像制御部4から2相の水平駆動クロック信号 ϕ HCLK1、 ϕ HCLK2及び水平スタートパルス信号 ϕ HSTRを受けて駆動されるシフトレジスタ部31と、各列毎に設けられたアンドゲート32で構成され撮像制御部4からのゲート制御信号 ϕ GHに従ってシフトレジスタ部31

の各段の出力信号をゲートすることで、水平走査信号 ϕH を生成するゲート部33と、を有している。各アンドゲート32の一方の入力端子は共通に接続され、そこにゲート制御信号 ϕGH が入力される。各アンドゲート32の他方の入力端子には、それぞれシフトレジスタ部31の各段の出力信号が入力される。ゲート制御信号 ϕGH は、水平走査信号 ϕH のパルス幅等を設定するためのパルス信号である。各アンドゲート32の出力端子から、各列の水平走査信号 ϕH が出力される。以上の説明からわかるように、水平駆動制御信号 ϕGH 、 $\phi HCLK1$ 、 $\phi HCLK2$ 、 $\phi HSTR$ は、水平走査回路23に供給され水平走査回路23に水平走査信号 ϕH を生成させるためパルス信号となっている。

[0036] 水平走査回路23は、垂直走査回路22と同じく、前記第2の電源（グラウンド電位 $DGND$ 及び電源電位 $DVDD$ ）により作動するようになっている。

[0037] また、この固体撮像素子3は、各垂直信号線24の信号に応じた信号をサンプリング制御信号 ϕTVN 、 ϕTVS に従ってサンプリングして保持するとともに、当該保持された信号を水平走査信号 ϕH に従って水平信号線26N、26Sへ供給するサンプルホールド部27を、備えている。本実施の形態では、サンプルホールド部27は、各垂直信号線24に対応して設けられた光信号用蓄積容量 CS 及び暗信号用蓄積容量 CN と、画素21で光電変換された光情報を含む光信号を光信号用サンプリング制御信号 ϕTVS に従って光信号用蓄積容量 CS に蓄積させる光信号用サンプリングスイッチ TVS と、前記光信号から差し引くべきノイズ成分を含む差分用信号としてのいわゆる暗信号を暗信号用サンプリング制御信号 ϕTVN に従って暗信号用蓄積容量 CN に蓄積させる暗信号用サンプリングスイッチ TVN と、光信号用蓄積容量 CS に蓄積された光信号を水平走査信号 ϕH に従って光信号用水平信号線26Sに供給する光信号用水平転送スイッチ THS と、暗信号用蓄積容量 CN に蓄積された暗信号を水平走査信号 ϕH に従って暗信号用水平信号線26Nに供給する暗信号用水平転送スイッチ THN とを有している。水平信号

線 2 6 S, 2 6 N には、出力アンプ A P S, A P N がそれぞれ接続されている。本実施の形態では、スイッチ T V S, T V N, T H S, T H N は、全て n M O S トランジスタである。

[0038] 各光信号用サンプリングスイッチ T V S のゲートは共通に接続され、そこには撮像制御部 4 から光信号用サンプリング制御信号 ϕ T V S が供給される。光信号用サンプリング制御信号 ϕ T V S に応じて光信号用サンプリングスイッチ T V S がオンすると、垂直信号線 2 4 の光信号が、対応する光信号用蓄積容量 C S に蓄積される。そして、光信号用サンプリングスイッチ T V S がオフする時点（すなわち、 ϕ T V S の立ち下がり時点）での垂直信号線 2 4 の信号のレベルによって、光信号用蓄積容量 C S に蓄積される光信号のレベルが決定される。すなわち、光信号用サンプリング制御信号 ϕ T V S の立ち下がり時点が光信号のサンプリング時点となる。

[0039] 各暗信号用サンプリングスイッチ T V N のゲートは共通に接続され、そこには撮像制御部 4 から暗信号用サンプリング制御信号 ϕ T V N が供給される。暗信号用サンプリング制御信号 ϕ T V N に応じて暗信号用サンプリングスイッチ T V N がオンすると、垂直信号線 2 4 の暗信号が、対応する暗信号用蓄積容量 C N に蓄積される。そして、暗信号用サンプリングスイッチ T V N がオフする時点（すなわち、 ϕ T V N の立ち下がり時点）での垂直信号線 2 4 の信号のレベルによって、暗信号用蓄積容量 C N に蓄積される暗信号のレベルが決定される。すなわち、暗信号用サンプリング制御信号 ϕ T V N の立ち下がり時点が暗信号のサンプリング時点となる。

[0040] 各列毎に、光信号用水平転送スイッチ T H S 及び暗信号用水平転送スイッチ T H N のゲートが共通に接続され、そこには水平走査回路 2 3 から対応する列の水平走査信号 ϕ H が供給される。各列の水平走査信号 ϕ H に応じて、各列の水平転送スイッチ T H S, T H N がオンすると、対応する列の光信号用蓄積容量 C S 及び暗信号用蓄積容量 C N にそれぞれ蓄積されていた光信号及び暗信号が、光信号用水平信号線 2 6 S 及び暗信号用水平信号線 2 6 N にそれぞれ出力され、それぞれ出力アンプ A P S, A P N を介して、図 1 中の

信号処理部5へ出力される。出力アンプAPS, APNは、前記第1の電源（グラウンド電位AGND及び電源電位AVDD）により作動するようになっている。

[0041] さらに、この固体撮像素子3は、水平信号線26S, 26Nをそれぞれ水平線リセット制御信号 ϕ RSTHに従って所定電位VREFにリセットするための水平線リセットトランジスタRSTS, RSTNを、有している。本実施の形態では、水平線リセットトランジスタRSTS, RSTNは、全てnMOSトランジスタである。水平線リセットトランジスタRSTS, RSTNのゲートが共通に接続され、そこには撮像制御部4から水平線リセット制御信号 ϕ RSTHが供給される。水平線リセット制御信号 ϕ RSTHに応じて、水平線リセットトランジスタRSTS, RSTNがオンすると、水平信号線26S, 26Nがそれぞれ所定電位VREFにリセットされる。水平線リセット制御信号 ϕ RSTHは、水平駆動制御信号 ϕ GH, ϕ HCLK1, ϕ HCLK2, ϕ HSTRと同様に、サンプルホールド部27から水平信号線26S, 26Nへの信号の読み出しに関与するパルス信号となっている。

[0042] 図面には示していないが、信号処理部5は、出力アンプAPS, APNの出力間の差分を、差動アンプ等によって得る。これにより相関2重サンプリングが実現され、この外部信号処理部から、画像信号として、固定パターンノイズ等が除去された光情報信号が得られる。なお、このような差分を得る差動アンプ等を固体撮像素子3に搭載してもよい。

[0043] 本実施の形態では、撮像制御部4における、サンプルホールド部27から水平信号線26S, 26Nへの信号の読み出しに関与するパルス信号 ϕ GH, ϕ HCLK1, ϕ HCLK2, ϕ HSTR, ϕ RSTHを供給する機能をなす部分が、水平駆動制御部を構成している。本実施の形態では、この水平駆動制御部（すなわち、撮像制御部4）は、各水平ブランキング期間の開始時点から、サンプリング制御信号 ϕ TVN, ϕ TVSにより定まる信号サンプリング時点のうち当該水平ブランキング期間における最後の信号サンプリ

ング時点までの期間中の、少なくとも一部の期間において、ダミーパルス信号として、複数種のパルス信号 ϕGH 、 $\phi HCLK1$ 、 $\phi HCLK2$ 、 $\phi HSTR$ 、 $\phi RSTH$ のうちの1種以上のパルス信号 ϕGH 、 $\phi HCLK1$ 、 $\phi HCLK2$ 、 $\phi RSTH$ と同じ信号を、水平走査回路23に供給するように、構成されている。この点は、図4を参照して後に詳述する。

[0044] なお、図4及び以下の説明では、パルス信号 ϕGH 、 $\phi HCLK1$ 、 $\phi HCLK2$ 、 $\phi RSTH$ にそれぞれ対応するダミーパルス信号にも、それぞれ同じ符号 ϕGH 、 $\phi HCLK1$ 、 $\phi HCLK2$ 、 $\phi RSTH$ を付す。信号 ϕGH 、 $\phi HCLK1$ 、 $\phi HCLK2$ 、 $\phi RSTH$ のうち、水平走査期間（水平読み出し期間）内の部分が本来のパルス信号（サンプルホールド部27から水平信号線26S、26Nへの信号の読み出しに関与するパルス信号）である一方、水平ブランキング期間内の部分がダミーパルス信号である。

[0045] 図4は、本実施の形態による撮像装置1の読み出し動作の一例を示すタイミングチャートである。図4において、内部に×を付した四角で示す期間は、制御信号 ϕGH 、 $\phi HCLK1$ 、 $\phi HCLK2$ 、 $\phi RSTH$ が、高周波数で繰り返してパルス信号として発生している期間を示している。その期間中は、これらの制御信号 ϕGH 、 $\phi HCLK1$ 、 $\phi HCLK2$ 、 $\phi RSTH$ は、その期間の一部の期間を時間的に拡大して示すと、図6に示す波形と同一となっている。図6から理解できるように、これらの制御信号 ϕGH 、 $\phi HCLK1$ 、 $\phi HCLK2$ 、 $\phi RSTH$ は、同じ周波数を持っているが、パルス幅や位相は図6に示すように設定されている。なお、図面には示していないが、水平スタートパルス信号 $\phi HSTR$ は、ローレベルを定常状態とし、後述する各水平走査期間の開始時においてのみハイレベルのワンパルスとなるようになっている。図4において、内部に×を付した四角で示す期間以外の期間は、図面には明示していないが、制御信号 ϕGH 、 $\phi HCLK1$ 、 $\phi HCLK2$ 、 $\phi RSTH$ は、それぞれ停止されて、ハイレベル又はローレベルに固定されている。

[0046] 本実施の形態では、図4に示すように、全画素リセットが行われた後、×

カニカルシャッタ（図示せず）が所定の露光期間だけ開かれて各画素 21 のフォトダイオード PD の電荷蓄積層に電荷が蓄積された後、1 行ずつに対応する 1 水平期間が順次行われていくことで、1 行ずつ順次選択され、各 1 行について順次同じ動作が行われていく。図 4 は、主として、全画素リセット期間、露光期間及び 1 行目の画素 21 に関する 1 水平期間が行われ、引き続いて 2 行目の画素 21 に関する 1 水平期間が行われる場合の動作を示している。なお、全画素リセット期間においては、全行のリセットパルス ϕ_{RES} が同時に一旦ハイレベルにされるとともに、全行の ϕ_{TX} が同時に一旦ハイレベルにされる。

[0047] これらの点は、以下に説明する図 5 についても同様である。図 5 は、本実施の形態による撮像装置 1 と比較される比較例による撮像装置の読み出し動作を示すタイミングチャートである。図 5 において、図 4 中の信号等と同一又は対応する信号等には同一符号を付している。

[0048] この比較例による撮像装置が本実施の形態による撮像装置 1 と異なる所は、撮像制御部 4 の制御及び垂直走査回路 22 の制御のみである。

[0049] 具体的は、本実施の形態では、1 行目の水平期間の水平ブランキング期間中の期間 $t_9 - t_{12}$ においてダミーパルス信号 ϕ_{GH} , ϕ_{HCLK1} , ϕ_{HCLK2} , ϕ_{RSTH} が供給されており（図 4 中の [5] 参照）、他の水平期間についても同様であるのに対し、この比較例では、図 5 に示すように、1 行目の水平期間の水平ブランキング期間中の期間 $t_9 - t_{12}$ においても、それらのパルス信号 ϕ_{GH} , ϕ_{HCLK1} , ϕ_{HCLK2} , ϕ_{RSTH} が停止されたままにされ、他の水平期間についても同様である。また、本実施の形態では、1 行目の水平期間の水平ブランキング期間中の期間 $t_{14} - t_{15}$ において、リセットパルス $\phi_{RES}(1)$ がハイレベルにされ（図 4 中の [6] 参照）、他の水平期間についても同様であるのに対し、この比較例では、図 5 に示すように、1 行目の水平期間の水平ブランキング期間中の期間 $t_{14} - t_{15}$ においても、リセットパルス $\phi_{RES}(1)$ がローレベルのままにされ、他の水平期間についても同様である。これらの相違に伴い

、本実施の形態と比較例とでは、図4及び図5に示すように、前記第2の電源のグランド電位DGNDとリセットパルス ϕRES の電位が異なる。図2及び図3から理解できるように、リセットパルス ϕRES のローレベルは、グランド電位DGNDから供給される。

[0050] 本実施の形態と前記比較例との相違が以上の点のみであるので、理解を容易にするため、先に、前記比較例による撮像装置の読み出し動作について、図5を参照して説明する。

[0051] 期間 $t_1 - t_{16}$ は、1行目の画素21に関する1水平期間である。そのうち、期間 $t_1 - t_6$ が水平走査期間（水平読み出し期間）であり、期間 $t_6 - t_{16}$ が水平ブランキング期間である。この比較例では、水平走査期間 $t_1 - t_6$ において、高周波数のパルス信号 ϕGH 、 $\phi HCLK1$ 、 $\phi HCLK2$ 、 $\phi RSTH$ が供給される一方、水平ブランキング期間 $t_6 - t_{16}$ において、パルス信号 ϕGH 、 $\phi HCLK1$ 、 $\phi HCLK2$ 、 $\phi RSTH$ が停止される。

[0052] 時点 t_1 後の期間 $t_3 - t_4$ において、リセットパルス $\phi RES(1)$ はハイレベルにされてリセットトランジスタRESがオンされる。一方、水平期間 $t_1 - t_{16}$ のうちの残りの期間 $t_1 - t_3$ 、 $t_4 - t_{16}$ においてリセットパルス $\phi RES(1)$ はローレベルにされて1行目のリセットトランジスタRESがオフされる。時点 t_1 後でかつ時点 t_3 前の時点 t_2 から始まる期間 $t_2 - t_{16}$ において、選択パルス $\phi SEL(1)$ がハイレベルにされて1行目の選択トランジスタがオンされる。1行目の選択トランジスタSELのオンにより、1行目の増幅トランジスタAMPのソースは垂直信号線24に接続される。

[0053] 期間 $t_4 - t_8$ においては、1行目の選択トランジスタSELがオンし、同時に1行目のリセットトランジスタRESがオフすることで、1行目の画素21の増幅トランジスタAMPのゲート電圧が、フローティング状態となり、1行目の画素21のリセットレベルが垂直信号線24に現れる。このとき、時点 t_4 後の時点 t_5 から始まり時点 t_8 の前の時点 t_7 で終わる期間

$t_5 - t_7$ において、暗信号用サンプリングパルス（制御信号） ϕ_{TVN} がハイレベルに変化し、暗信号用サンプリングスイッチ TVN がオンする。これにより、1行目の画素21の暗信号が、暗信号用蓄積容量 C_N に蓄積される。この動作は、1行目の各列の画素21に対して同時並列に実行される。そして、暗信号用サンプリングスイッチ TVN がオフする時点（すなわち、 ϕ_{TVN} の立ち下がり時点 t_7 ）での垂直信号線24の信号のレベルによって、暗信号用蓄積容量 C_N に蓄積される暗信号のレベルが決定される。すなわち、暗信号用サンプリング制御信号 ϕ_{TVN} の立ち下がり時点 t_7 が暗信号のサンプリング時点となる。

[0054] 次に、期間 $t_8 - t_{10}$ において、1行目の転送パルス $\phi_{TX}(1)$ がハイレベルに変化し、1行目の転送トランジスタ TX がオンする。1行目の転送トランジスタ TX のオンにより、1行目の画素21のフォトダイオード PD で光電変換され蓄積されていた信号電荷が、対応するフローティング容量部 FD に転送される。これによって、フローティング容量部 FD の電圧は転送されてきた電荷量に応じた電圧となり、この電圧が増幅トランジスタ AMP のゲート電極に印加される。その結果、1行目の画素21の光情報を含んだレベルが、垂直信号線24に現れる。このとき、期間 $t - t_{10}$ の後の期間 $t_{11} - t_{13}$ において、光信号用サンプリングパルス（制御信号） ϕ_{TVS} がハイレベルに変化し、光信号用サンプリングスイッチ TVS がオンする。これにより、1行目の画素21の光信号が、光信号用蓄積容量 C_S に蓄積される。この動作は、1行目の各列の画素21に対して同時並列に実行される。そして、光信号用サンプリングスイッチ TVS がオフする時点 t_{13} （すなわち、 ϕ_{TVS} の立ち下がり時点）での垂直信号線24の信号のレベルによって、光信号用蓄積容量 C_S に蓄積される光信号のレベルが決定される。すなわち、光信号用サンプリング制御信号 ϕ_{TVS} の立ち下がり時点 t_{13} が光信号のサンプリング時点となる。

[0055] このようにして、水平期間 $t_1 - t_{16}$ において、1行目の画素21の出力信号のサンプリングが行われ、各列毎に、暗信号用蓄積容量 C_N には1行

目の画素 21 の暗信号が蓄積され、光信号用蓄積容量 C_S には 1 行目の画素 21 の光信号が蓄積される。

[0056] 水平期間 $t_1 - t_{16}$ の次の水平期間の水平走査期間において、水平走査回路 23 からの水平走査信号 ϕ_H による水平走査によって暗信号用水平転送スイッチ T_{HN} 及び光信号用水平転送スイッチ T_{HS} が各垂直信号線 24 に対応するもの毎に順次オンされ、蓄積容量 C_N , C_S にそれぞれ蓄積されていた暗信号及び光信号が各垂直信号線 24 に対応するもの毎に順次暗信号用水平信号線 26N 及び光信号用水平信号線 26S にそれぞれ読み出され、出力アンプ A_{PN} , A_{PS} をそれぞれ介して信号処理部 5 へ出力される。信号処理部 5 は、出力アンプ A_{PS} , A_{PN} の出力間の差分を、差動アンプ等によって得る。これにより、相関二重サンプリング (CDS) が行われ、信号処理部 5 から、画像信号として、固定パターンノイズ等が除去された光情報信号が得られる。

[0057] そして、時点 t_{16} 以降の水平期間において、1 行目に関して水平走査期間 $t_1 \sim t_{16}$ で行われたのと同様の動作が 2 行目について行われ、それ以降においても同様の動作を繰り返す。

[0058] ところで、この比較例では、前述したように、水平走査期間 $t_1 - t_{16}$ において、高周波数のパルス信号 ϕ_{GH} , ϕ_{HCLK1} , ϕ_{HCLK2} , ϕ_{RSTH} が供給される一方、水平ブランキング期間 $t_{16} - t_{16}$ において、パルス信号 ϕ_{GH} , ϕ_{HCLK1} , ϕ_{HCLK2} , ϕ_{RSTH} が停止される。高周波数のパルス信号 ϕ_{GH} , ϕ_{HCLK1} , ϕ_{HCLK2} , ϕ_{RSTH} が供給されている間は、IR ドロップ (配線等の抵抗成分による電位降下) によって、DGND 電位 (リセットトランジスタ RES のオフ電位) がプラス側に変動し、リセットトランジスタ RES のゲートの寄生容量 C_{RES} によるカップリングによって、1 行目の画素 21 のフローティング容量部 FD (1) も同様に動く (図 5 中の [1] 参照)。

[0059] パルス信号 ϕ_{GH} , ϕ_{HCLK1} , ϕ_{HCLK2} , ϕ_{RSTH} の停止後の期間 $t_{16} - t_{16}$ では、DGND 電位が時間を掛けて 0V に戻ろうとし、リ

セットトランジスタRESのゲートの寄生容量CRESによるカップリングによって、1行目の画素21のフローティング容量部FD(1)の電位も同様に元の電位に下がろうとする(図5中の[2]参照)。

[0060] したがって、暗信号のサンプリング時点 t_7 から光信号のサンプリング時点にかけて、1行目の画素21のフローティング容量部FD(1)も下がっていく。このため、暗信号としてサンプリングした電位(時点 t_7 の電位)よりも、光信号としてサンプリングした電位(時点 t_{13} の電位)の方が低くなる(図5中の[3]参照)。よって、前述したCDSの結果、プラス出力となる。以上の点は、他の行の画素21についても同様であるので、画面全体で白浮きとなる。

[0061] そして、前のフレームの照射光量に応じて、今回のフレームの読み出し時のフローティング容量部FDの電位が異なり、前のフレームで高輝度照射であった画素21の今回のフレームの読み出し時のフローティング容量部FDの電位は、前のフレームで低輝度照射であった画素21の今回のフレームの読み出し時のフローティング容量部FDの電位よりも低くなる(図5中の[3]参照)。これは、全画素リセットでは、フローティング容量部FDを完全にはリセットしきれないためである。

[0062] したがって、前のフレームで低輝度照射であった画素21の暗信号電位(t_7 時点のフローティング容量部FD(1)の電位)をVDL、前のフレームで低輝度照射であった画素21の光信号電位(t_{13} 時点のフローティング容量部FD(1)の電位)をVSL、前のフレームが高輝度照射であった画素21の暗信号電位(t_7 時点のフローティング容量部FD(1)の電位)をVDH、前のフレームが高輝度照射であった画素21の光信号電位(t_{13} 時点のフローティング容量部FD(1)の電位)をVSHとすると、 $VDL > VSL$ 、 $VDH > VSH$ 、 $VDL > VDH$ 、 $VSL > VSH$ の関係が成立する。

[0063] フローティング容量部FDの電位は、増幅トランジスタAMPのゲート電位である。選択トランジスタSELがオンし、増幅トランジスタAMPのソ

ースが垂直信号線24に接続されていれば、増幅トランジスタAMPの増幅特性に従った増幅作用を受けた電位が垂直信号線24に現れる。図7は、選択トランジスタSELがオンした状態におけるフローティング容量部FDの電位と垂直信号線電位との関係を模式的に示す図である。増幅トランジスタAMPが理想的な完全な線形特性を持っていないことを反映して、フローティング容量部FDの電位と垂直信号線電位との関係は、完全な線形関係ではなく非線形性を有している。

[0064] 図7に示すように、前述したフローティング容量部FDの電位 V_{DL} 、 V_{SL} 、 V_{DH} 、 V_{SH} にそれぞれ対応して、垂直信号線電位の V_{DL}' 、 V_{SL}' 、 V_{DH}' 、 V_{SH}' が得られる。図7から、 $\Delta V_H = \Delta V_L$ であるとしても、前述した非線形性の影響を受けて $\Delta V_H' > \Delta V_L'$ となってしまうことが理解できる。ただし、 $V_{DL} - V_{SL} = \Delta V_L$ 、 $V_{DH} - V_{SH} = \Delta V_H$ 、 $V_{DL}' - V_{SL}' = \Delta V_L'$ 、 $V_{DH}' - V_{SH}' = \Delta V_H'$ である。

[0065] したがって、前のフレームで低輝度照射であった画素21の今回の前述したCDSの結果としての画像は、画面全体で白浮きの度合いが小さい一方、前のフレームが高輝度照射であった画素21の今回の前述したCDSの結果としての画像は、画面全体で白浮きの度合いが大きい。その結果、前のフレームでの高輝度照射であった画素21が周囲の画素21（前のフレームでの低輝度照射であった画素21）に対して白く浮いて見え、残像現象が生ずる。

[0066] 以上が、前記比較例における残像現象の発生原理である。このような残像現象の発生原理の究明の結果として、本発明者は、(i) ΔV_H 、 ΔV_L を小さくすること、及び、(ii) 前のフレームで高輝度照射であった画素21の今回のフレームの読み出し時のフローティング容量部FDの電位と、前のフレームで低輝度照射であった画素21の今回のフレームの読み出し時のフローティング容量部FDの電位との間の差（以下、「読み出し時のFD電位差」と呼ぶ。）を小さくすること、の少なくとも一方を採用することで、前記

比較例に比べて残像現象を低減させることができることを見出した。前記 (i) を採用すれば、前記 (ii) を採用しなくても、 $\Delta V_L'$ と $\Delta V_H'$ との差が小さくなる (図 7 参照) ので、前記比較例に比べて残像現象を低減させることができる。前記 (ii) を採用すれば、 V_{DL} と V_{DH} との差及び V_{SL} と V_{SH} との差が小さくなり、ひいては $\Delta V_L'$ と $\Delta V_H'$ との差が小さくなる (図 7 参照) ので、前記比較例に比べて残像現象を低減させることができる。前記 (i) , (ii) を両方とも採用すれば、より残像現象を低減させることができる。

[0067] 本実施の形態では、前述したように、前記比較例と異なり、1 行目の水平期間の水平ブランキング期間中の期間 $t_9 - t_{12}$ においてダミーパルス信号 ϕ_{GH} , ϕ_{HCLK1} , ϕ_{HCLK2} , ϕ_{RSTH} が供給されており (図 4 中の [5] 参照) 、他の水平期間についても同様である。この高周波数のパルス信号 ϕ_{GH} , ϕ_{HCLK1} , ϕ_{HCLK2} , ϕ_{RSTH} が供給されている間は、IR ドロップによって、DGND 電位 (リセットトランジスタ RES のオフ電位) がプラス側に変動する。したがって、本実施の形態によれば、期間 $t_9 - t_{12}$ においてダミーパルス信号 ϕ_{GH} , ϕ_{HCLK1} , ϕ_{HCLK2} , ϕ_{RSTH} を供給することで、図 4 から理解できるように、前記 (i) が採用されることになる。したがって、本実施の形態によれば、前記比較例に比べて残像現象を低減させることができる。

[0068] ダミーパルス信号 ϕ_{GH} , ϕ_{HCLK1} , ϕ_{HCLK2} , ϕ_{RSTH} は、期間 $t_9 - t_{12}$ に限定されるものではなく、期間 $t_6 - t_{13}$ の少なくとも一部の期間であればよく、他の水平期間についても同様である。もっとも、ダミーパルス信号 ϕ_{GH} , ϕ_{HCLK1} , ϕ_{HCLK2} , ϕ_{RSTH} は、本実施の形態のように、信号サンプリング時点 t_7 , t_{13} において停止させることが好ましい。この場合、ダミーパルス信号 ϕ_{GH} , ϕ_{HCLK1} , ϕ_{HCLK2} , ϕ_{RSTH} により引き起こされるノイズ成分が、サンプリングした信号に混入するのを防止することができ、これにより SN 比を向上させることができる。

[0069] また、暗信号のサンプリング時点 t_7 （第1のサンプリング時点）の直前にパルス信号 ϕ_{GH} , ϕ_{HCLK1} , ϕ_{HCLK2} , ϕ_{RSTH} が停止された時点 t_6 から時点 t_7 までの期間 $t_6 - t_7$ の長さ T_A と、光信号のサンプリング時点 t_{13} （第2のサンプリング時点）の直前にパルス信号 ϕ_{GH} , ϕ_{HCLK1} , ϕ_{HCLK2} , ϕ_{RSTH} が停止された時点 t_{12} から時点 t_{13} までの期間 $t_{12} - t_{13}$ の長さ T_B とが、同一であることが好ましい。この場合には、 ΔV_H , ΔV_L をより小さくすることができ、残像現象をより低減することができる。

[0070] なお、供給するダミーパルス信号としては、信号 ϕ_{GH} , ϕ_{HCLK1} , ϕ_{HCLK2} , ϕ_{RSTH} の全てではなく、そのうちの1つ以上の任意の信号を供給するだけでもよい。また、供給するダミーパルス信号としては、複数種のパルス信号 ϕ_{GH} , ϕ_{HCLK1} , ϕ_{HCLK2} , ϕ_{HSTR} , ϕ_{RSTH} のうちの1種以上のパルス信号 ϕ_{GH} , ϕ_{HCLK1} , ϕ_{HCLK2} , ϕ_{RSTH} と同じ信号に限らず、例えば、任意の繰り返しパルス信号であってもよい。これらの場合にも、同様の残像低減効果を得ることができる。なお、前記繰り返しパルス信号は、例えば、水平走査回路23においてパルス信号 ϕ_{GH} , ϕ_{HCLK1} , ϕ_{HCLK2} , ϕ_{HSTR} , ϕ_{RSTH} のうちの1種以上のパルス信号が供給される箇所に、供給すればよい。

[0071] また、本実施の形態では、前述したように、前記比較例と異なり、1行目の水平期間の水平ブランキング期間中の期間 $t_{14} - t_{15}$ において、1行目のリセットパルス $\phi_{RES}(1)$ がハイレベルにされ（図4中の[6]参照）、他の水平期間についても同様である。したがって、本実施の形態によれば、1行目のフローティング容量部 $FD(1)$ のリセットがより完全に近づく結果、前記(ii)が採用されることになる（図4中の[7]参照）。このため、本実施の形態によれば、この点からも、前記比較例に比べて残像現象を低減させることができる。

[0072] 期間 $t_{14} - t_{15}$ において1行目のリセットパルス $\phi_{RES}(1)$ がハイレベルにする代わりに、期間 $t_{13} - t_{16}$ のうちの少なくとも一部の任

意の期間においてリセットパルス $\phi RES(1)$ がハイレベルにしてもよい。この場合にも、同様の残像低減効果を得ることができる。

[0073] なお、期間 $t_{14} - t_{15}$ においては、1行目のリセットパルス $\phi RES(1)$ をハイレベルにする一方で他の行のリセットパルス ϕRES はローレベルのままとしてもよいが、期間 $t_{14} - t_{15}$ 及び他の各水平期間における期間 $t_{14} - t_{15}$ に相当する期間においては、全行のリセットパルス ϕRES をハイレベルにして、全行のリセットトランジスタ RES をオンにすることが好ましい。この場合、読み出し時の FD 電位差をより小さくして、残像現象をより低減させることができる。

[0074] なお、本実施の形態では、前述したように、前記(i)，(ii)の両方を採用しているが、本発明ではいずれか一方のみを採用してもよい。すなわち、本実施の形態において、期間 $t_9 - t_{12}$ においてダミーパルス信号 ϕGH ， $\phi HCLK1$ ， $\phi HCLK2$ ， $\phi RSTH$ を供給せず、他の水平期間においても同様にしてもよい。また、本実施の形態において、期間 $t_{14} - t_{15}$ において、リセットパルス $\phi RES(1)$ をローレベルとし、他の水平期間においても同様にしてもよい。

[0075] 先に図4を参照して説明した動作は、主に、静止画撮像モードで行われる読み出し動作に関するものである。連写撮像モードの場合、先に説明した読み出し動作と同様の動作が連続的に行われる。また、動画撮像モードにおいては、その動作開始時に全画素リセットが行われた後に、メカニカルシャッタを開いたまま、フレームの読み出しが繰り返して行われる。このとき、各フレームの読み出しは、基本的に図4中の t_1 以降の動作が全行（あるいは、間引きした行）に関して行われるが、いわゆるローリングシャッタ動作が行われる。

[0076] [第2の実施の形態]

図8は、本発明の第2の実施の形態による撮像装置の固体撮像素子53の概略構成を示す回路図であり、図2に対応している。図2では 2×2 個の画素21を示しているのに対し、図7では、 4×2 個の画素（ 2×2 個の画素

ブロックBL)を示している。図8において、図2中の要素と同一又は対応する要素には同一符号を付し、その重複する説明は省略する。

[0077] 本実施の形態による撮像装置が前記第1の実施の形態による撮像装置1と異なる所は、図2に示す固体撮像素子3に代えて、図8に示す固体撮像素子53が用いられている点である。

[0078] 固体撮像素子53が固体撮像素子3と異なる所は、列方向に隣り合う2つの画素21毎に、当該2つの画素21が1組のフローティング容量部FD、増幅トランジスタAMP、リセットトランジスタRES及び選択トランジスタSELを共有している点と、垂直走査回路22が、図4に示すような制御信号 ϕ_{SEL} 、 ϕ_{RET} 、 ϕ_{TX} に代えて、後述する図10及び図11に示すような制御信号 ϕ_{SEL} 、 ϕ_{RET} 、 ϕ_{TXA} 、 ϕ_{TXB} を出力するように構成され、それらの信号を出力するバッファ回路B1～B4を有している点のみである。バッファ回路B4は、バッファ回路B1～B3と同じく、DVDD及びDGNDにより作動するようになっている。

[0079] 図8では、1組のフローティング容量部FD、増幅トランジスタAMP、リセットトランジスタRES及び選択トランジスタSELを共有する2つの画素21を、画素ブロックBLとして示している。また、図8では、画素ブロックBL内の下側の画素21のフォトダイオードPD及び転送トランジスタTXをそれぞれ符号PDA、TXAで示し、画素ブロックBL内の上側の画素21のフォトダイオードPD及び転送トランジスタTXをそれぞれ符号PDB、TXBで示し、両者を区別している。また、転送トランジスタTXAのゲートに供給される制御信号を ϕ_{TXA} とし、転送トランジスタTXBのゲート電極に供給される制御信号を ϕ_{TXB} とし、両者を区別している。なお、図2ではn等は画素行を示しているが、図8ではn等は画素ブロックBLの行を示している。画素ブロックBLの1行は、画素21の2行に相当している。

[0080] 図9は、本発明の第2の実施の形態による撮像装置において順次行われる各動作期間を示す図である。図10は、図9中の全画素リセット期間、露光

期間、及び、1行目の画素ブロックBLの下側の画素21の読み出し期間（1水平期間）を示すタイミングチャートである。図11は、図9中の1行目の画素ブロックBLの上側の画素21の読み出し期間（1水平期間）を示すタイミングチャートである。図9及び図11において、図4中の要素と同一又は対応する要素には同一符号を付し、その重複する説明は省略する。

[0081] 本実施の形態では、図9に示すように、全画素リセットが行われた後、メカニカルシャッタ（図示せず）が所定の露光期間だけ開かれて各画素21のフォトダイオードPDA、PDBの電荷蓄積層に電荷が蓄積された後、1行目の画の素ブロックBLの下側の画素21の読み出し期間（1水平期間）、1行目の画素ブロックBLの下側の画素21の読み出し期間（1水平期間）、2行目の画の素ブロックBLの下側の画素21の読み出し期間（1水平期間）、2行目の画素ブロックBLの下側の画素21の読み出し期間（1水平期間）が順次行われ、更に、3行目の画素ブロックについても同様の読み出し期間が順次行われる。なお、本実施の形態では、図10に示すように、全画素リセット期間において、前記第1の実施の形態において全画素行の ϕTX がハイレベルにされる代わりに、全画素ブロック行の ϕTXA 、 ϕTXB がハイレベルにされる。

[0082] 図10において、図4中の時点 $t_1 \sim t_{16}$ にそれぞれ対応する時点には同じ符号 $t_1 \sim t_{16}$ をそれぞれ付している。図11において、図中の時点 $t_1 \sim t_{16}$ にそれぞれ対応する時点には符号 $t_1' \sim t_{16}'$ をそれぞれ付している。1行目の画の素ブロックBLの下側の画素21の読み出し期間の終了時点 t_{16} と、1行目の画の素ブロックBLの上側の画素21の読み出し期間の開始時点 t_1' とは、同一時点である。本実施の形態では、図10に示すように、1行目の画の素ブロックBLの下側の画素21の読み出し期間中の期間 $t_8 - t_{10}$ においては、 $\phi TXA(1)$ はハイレベルにされる一方で、 $\phi TXB(1)$ はローレベルのままにされる。また、図11に示すように、1行目の画の素ブロックBLの上側の画素21の読み出し期間中の期間 $t_8' - t_{10}'$ においては、 $\phi TXA(1)$ はローレベルのままに

される一方で、 $\phi T \times B(1)$ はハイレベルにされる。

[0083] 本実施の形態によっても、前記第1の実施の形態と同様の利点を得られる。なお、前記第1の実施の形態に関して説明した種々の変形と同様の変形を、本実施の形態に適用してもよい。また、本実施の形態では、列方向に隣り合う2つの画素21毎に、当該2つの画素21が1組のフローティング容量部FD、増幅トランジスタAMP、リセットトランジスタRES及び選択トランジスタSELを共有しているが、本発明では、例えば、列方向に隣り合う3つ以上の所定数の画素21毎に、当該所定数の画素21が1組のフローティング容量部FD、増幅トランジスタAMP、リセットトランジスタRES及び選択トランジスタSELを共有するようにしてもよい。

[0084] 以上の詳細な説明により、実施形態の特徴点および利点は明らかになるであろう。これは、特許請求の範囲が、その精神および権利範囲を逸脱しない範囲で前述のような実施形態の特徴点および利点にまで及ぶことを意図するものである。また、当該技術分野において通常の知識を有する者であれば、あらゆる改良および変更に容易に想到できるはずであり、発明性を有する実施形態の範囲を前述したものに限定する意図はなく、実施形態に開示された範囲に含まれる適当な改良物および均等物によることも可能である。

符号の説明

- [0085]
- 1 撮像装置
 - 3, 53 固体撮像素子
 - 4 撮像制御部
 - 21 画素
 - 22 垂直走査回路
 - 23 水平走査回路
 - 24 垂直信号線
 - 27 サンプルホールド部

請求の範囲

[請求項1]

光電変換部、前記光電変換部から転送された電荷を電圧に変換する電荷電圧変換部、前記光電変換部から前記電荷電圧変換部に電荷を転送する転送部、前記電荷電圧変換部の電圧に応じた画素信号を出力する増幅部、及び、前記電荷電圧変換部の電圧をリセットするリセット部をそれぞれが有し、2次元に配置された複数の画素と、

前記複数の画素に対して当該画素を駆動させる駆動信号を供給する垂直駆動部と、

前記複数の画素の各列に対応して設けられ、前記画素信号が供給される垂直信号線と、

前記各垂直信号線に供給された前記画素信号をサンプリング制御信号に従ってサンプリングして保持するとともに、水平駆動信号に従って水平信号線へ供給するサンプルホールド部と、

前記サンプルホールド部に前記水平駆動信号を供給する水平駆動部と、

前記サンプルホールド部から前記水平信号線への前記画素信号の読み出しに関与する複数種のパルス信号を供給する水平駆動制御部と、
を備え、

前記垂直駆動部のうち、前記リセット部を制御する回路は、前記水平駆動部と同じ電源で作動され、

前記水平駆動制御部は、各水平読み出し期間において、前記複数種のパルス信号を前記水平駆動部に供給し、

前記水平駆動制御部は、各水平ブランキング期間の開始時点から、前記サンプリング制御信号により定まる信号サンプリング時点のうち当該水平ブランキング期間における最後の信号サンプリング時点までの期間中の、少なくとも一部の期間において、ダミーパルス信号を前記水平駆動部に供給する、

ことを特徴とする撮像装置。

- [請求項2] 前記ダミーパルス信号は、前記複数種のパルス信号のうちの1種以上のパルス信号と同じ信号であることを特徴とする請求項1記載の撮像装置。
- [請求項3] 前記1種以上のパルス信号は、前記水平駆動部に供給され前記水平駆動部に前記水平駆動信号を生成させるための少なくとも1種のパルス信号を含むことを特徴とする請求項2記載の撮像装置。
- [請求項4] 前記水平駆動部はシフトレジスタ部を含み、
前記少なくとも1種のパルス信号は、前記シフトレジスタ部を駆動する駆動クロック信号を含むことを特徴とする請求項3記載の撮像装置。
- [請求項5] 前記水平駆動制御部は、前記信号サンプリング時点において、前記ダミーパルス信号を停止させることを特徴とする請求項1乃至4のいずれかに記載の撮像装置。
- [請求項6] 前記各水平ブランキング期間における前記信号サンプリング時点は、前記画素で光電変換された光情報を含む光信号をサンプリングする第2のサンプリング時点、及び、前記光信号から差し引くべきノイズ成分を含む差分用信号をサンプリングする第1のサンプリング時点とを含み、
各水平ブランキング期間における前記第1のサンプリング時点の直前に前記1種以上のパルス信号及び前記ダミーパルス信号のいずれかが停止された時点から当該水平ブランキング期間における前記第1のサンプリング時点までの期間の長さと、各水平ブランキング期間における前記第2のサンプリング時点の直前に前記1種以上のパルス信号及び前記ダミーパルス信号のいずれかが停止された時点から前記第2のサンプリング時点までの期間の長さとが、同一である、
ことを特徴とする請求項1乃至5のいずれかに記載の撮像装置。
- [請求項7] 前記垂直駆動部は、前記各水平ブランキング期間において、当該水平ブランキング期間における最後の信号サンプリング時点から当該水

平ブランキング期間の終了時点までの期間のうちの少なくとも一部の期間において、前記リセット部にリセット動作を行わせるように、前記リセット部を制御する駆動信号を、前記リセット部に供給することを特徴とする請求項 1 乃至 6 のいずれかに記載の撮像装置。

[請求項8]

光電変換部、前記光電変換部から転送された電荷を電圧に変換する電荷電圧変換部、前記光電変換部から前記電荷電圧変換部に電荷を転送する転送部、前記電荷電圧変換部の電圧に応じた画素信号を出力する増幅部、及び、前記電荷電圧変換部の電圧をリセットするリセット部をそれぞれが有し、2次元に配置された複数の画素と、

前記複数の画素に対して当該画素を駆動させる駆動信号を供給する垂直駆動部と、

前記複数の画素の各列に対応して設けられ、前記画素信号が供給される垂直信号線と、

前記各垂直信号線の信号に応じた前記画素信号をサンプリング制御信号に従ってサンプリングして保持するとともに、当該保持された信号を水平駆動信号に従って水平信号線へ供給するサンプルホールド部と、

を備え、

前記垂直駆動部は、前記各水平ブランキング期間において、当該水平ブランキング期間における最後の信号サンプリング時点から当該水平ブランキング期間の終了時点までの期間のうちの少なくとも一部の期間において、前記リセット部にリセット動作を行わせるように、前記リセット部を制御する駆動信号を、前記リセット部に供給する、

ことを特徴とする撮像装置。

[請求項9]

前記サンプルホールド部に前記水平駆動信号を供給する水平駆動部と、

前記サンプルホールド部から前記水平信号線への信号の読み出しに関与する複数種のパルス信号を供給する水平駆動制御部と、

を備え、

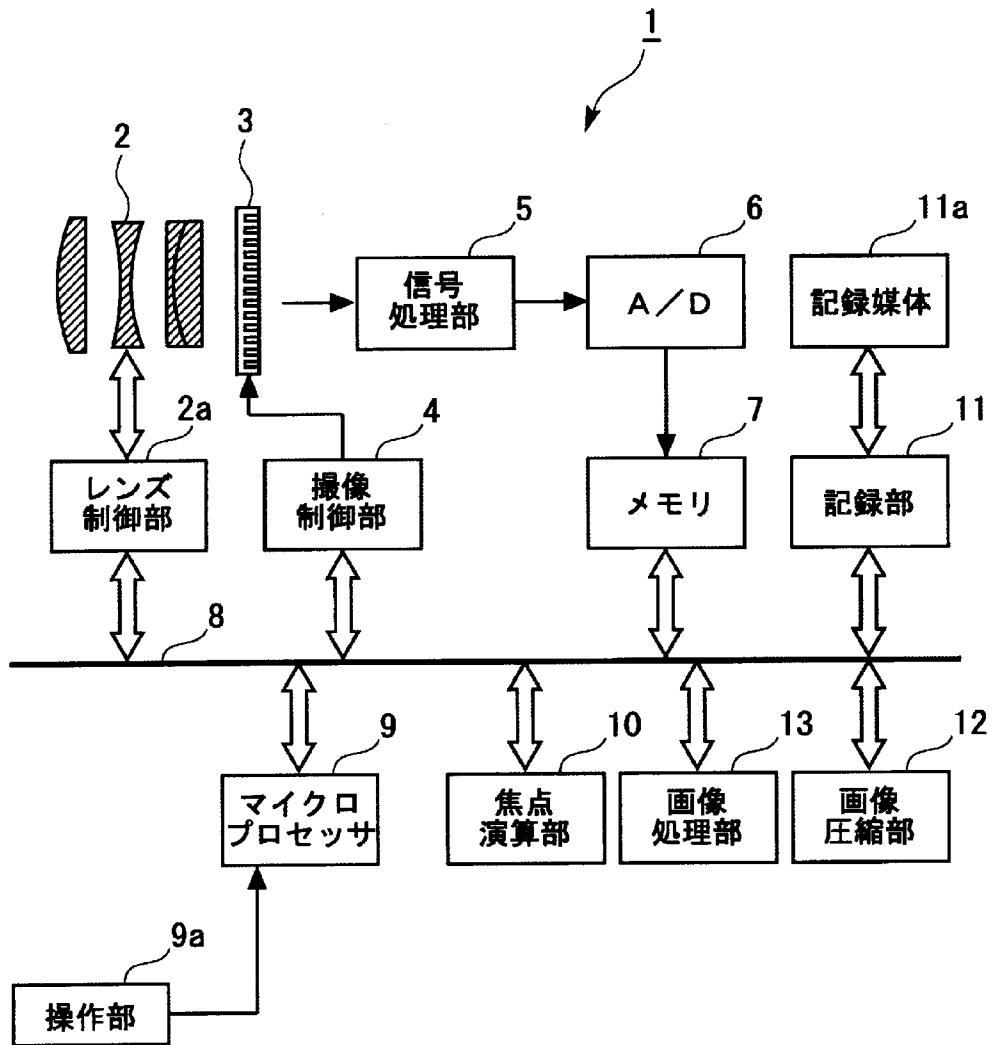
前記垂直駆動部のうち、前記リセット部を制御する回路は、前記水平駆動部と同じ電源で作動される、

ことを特徴とする請求項 8 記載の撮像装置。

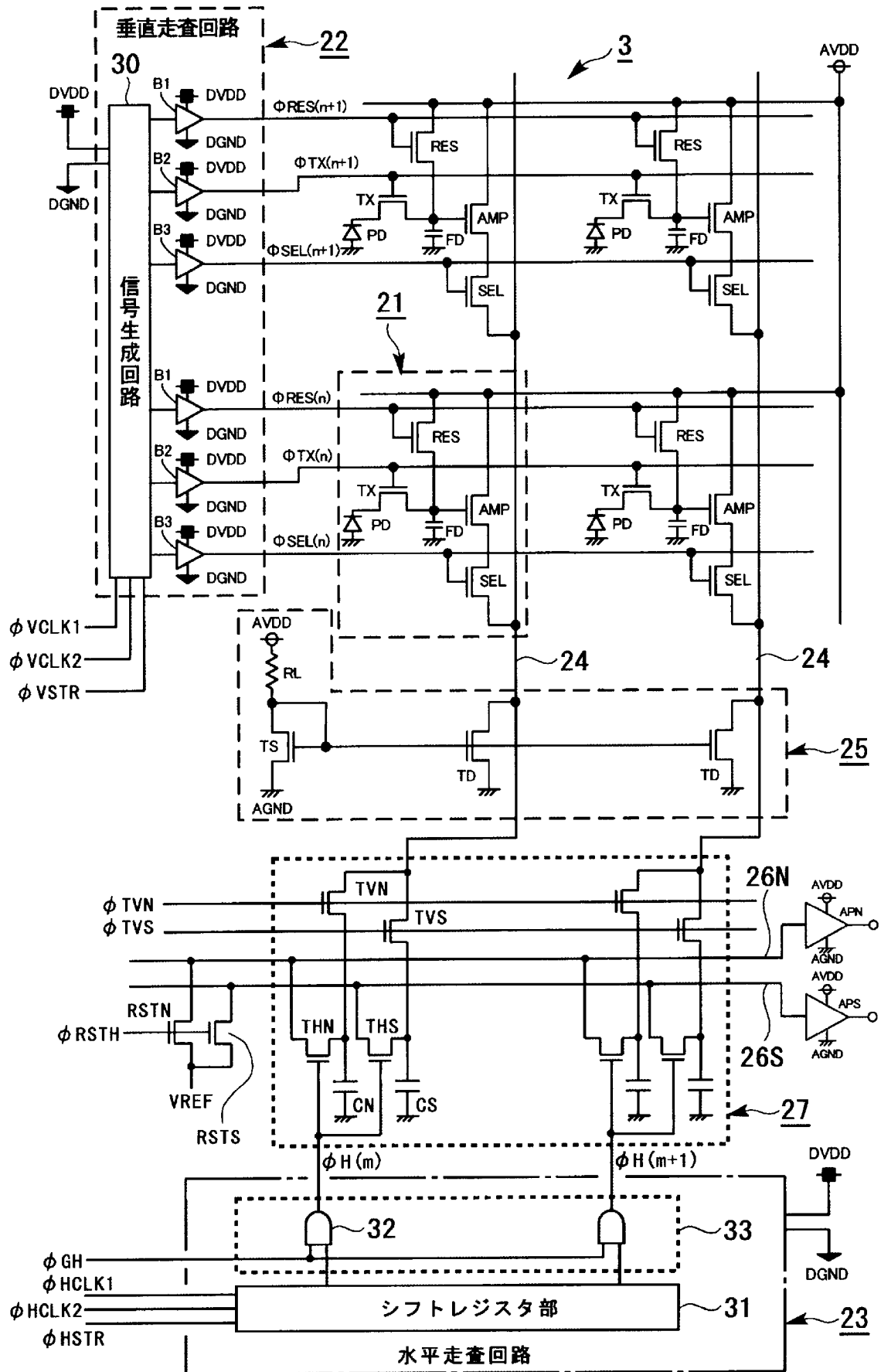
[請求項10]

前記複数の画素は、前記光電変換部が列方向に順次並んだ 2 以上の所定数の画素毎に、前記電荷電圧変換部、前記増幅部及び前記リセット部を共有したことを特徴とする請求項 1 乃至 9 のいずれかに記載の撮像装置。

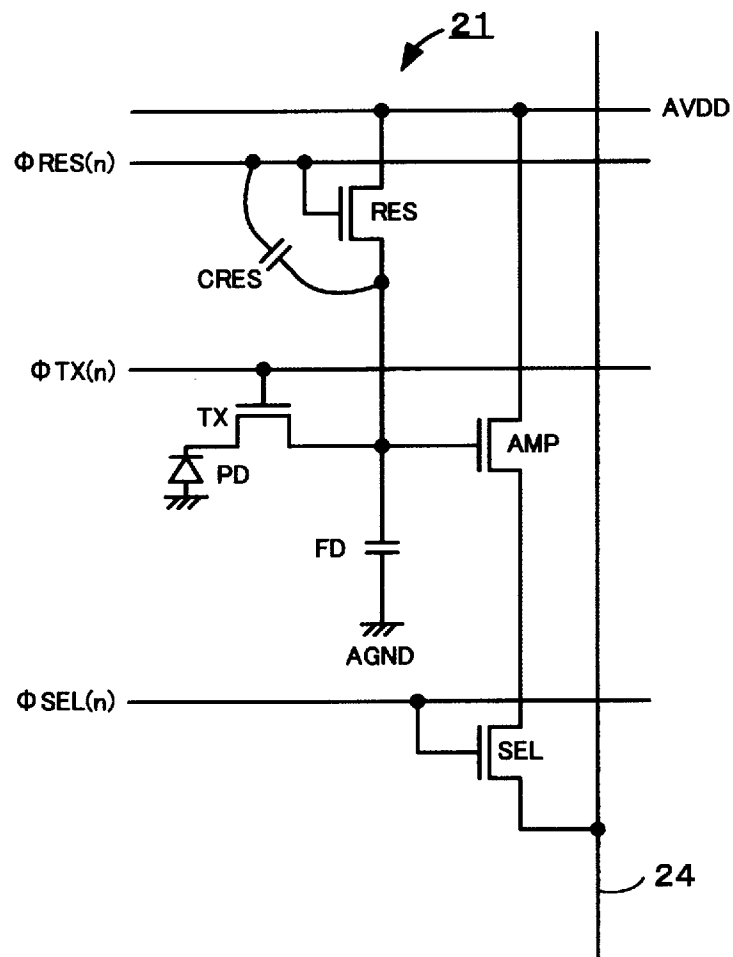
[図1]



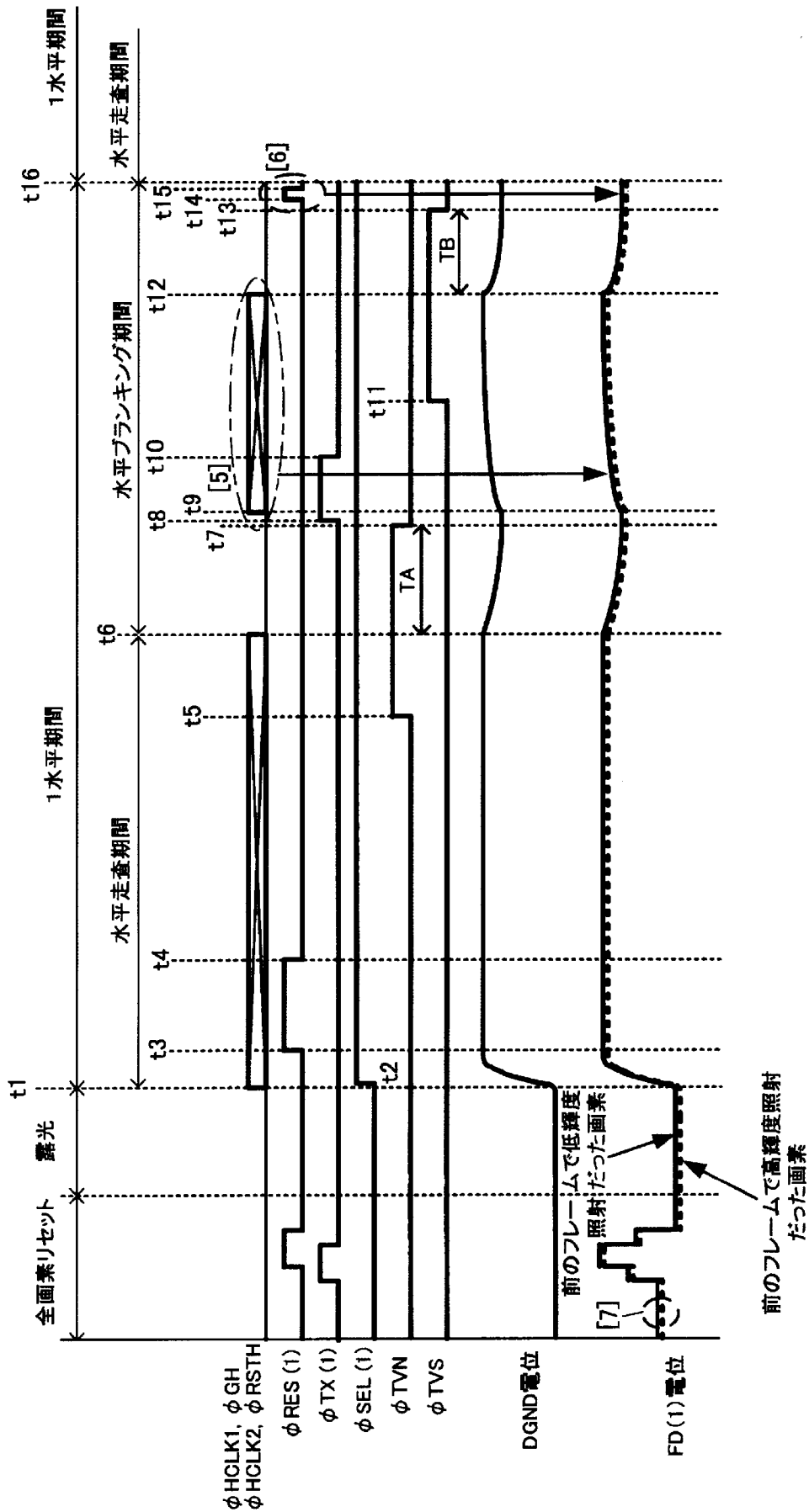
[図2]



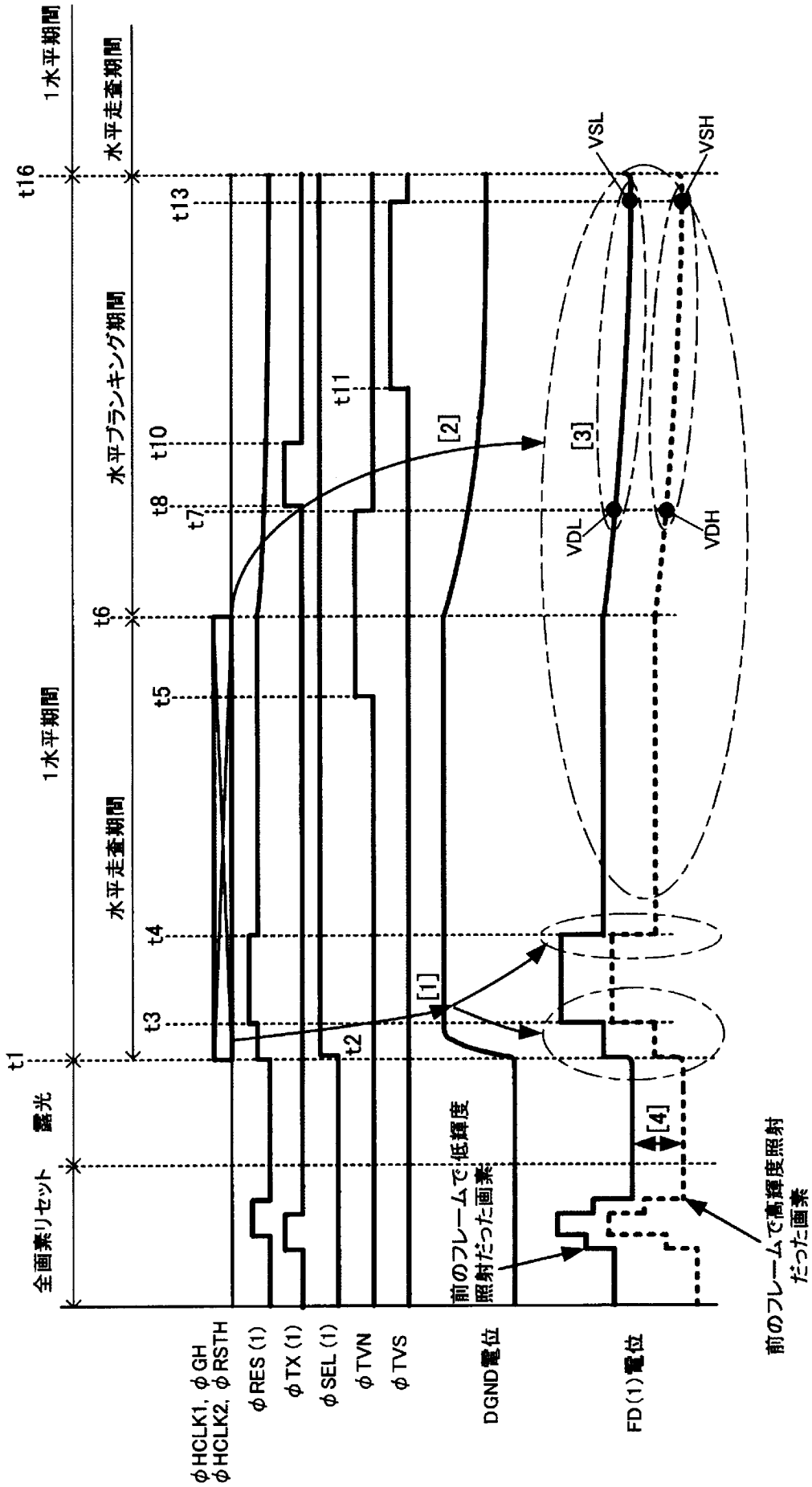
[図3]



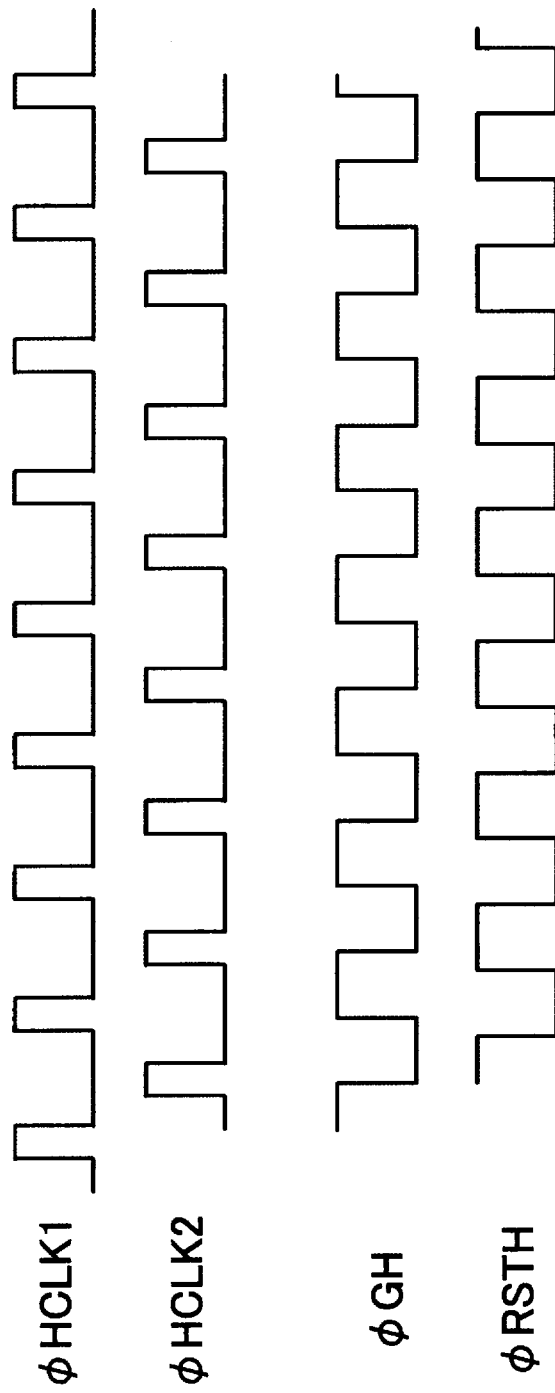
[図4]



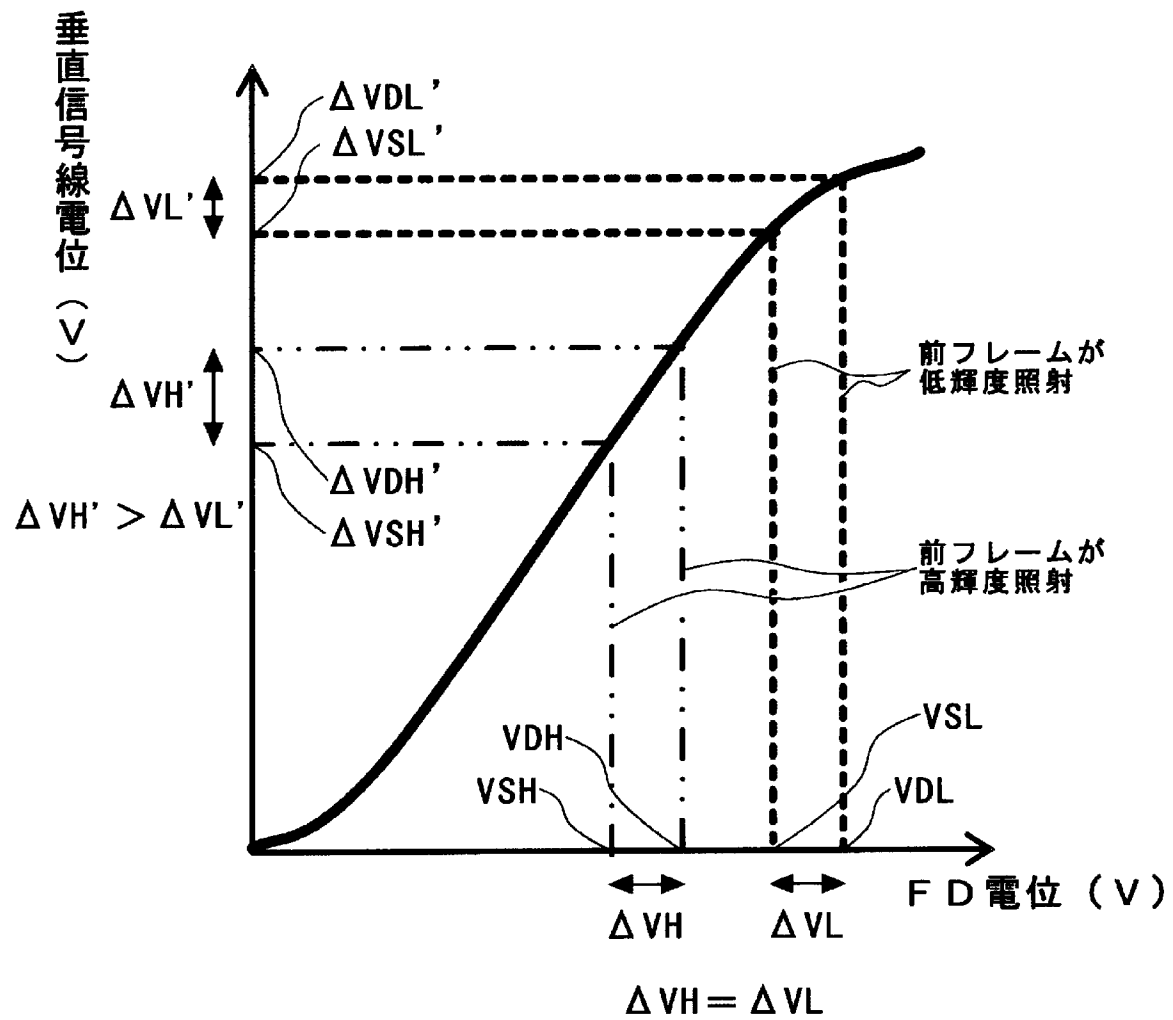
[図5]



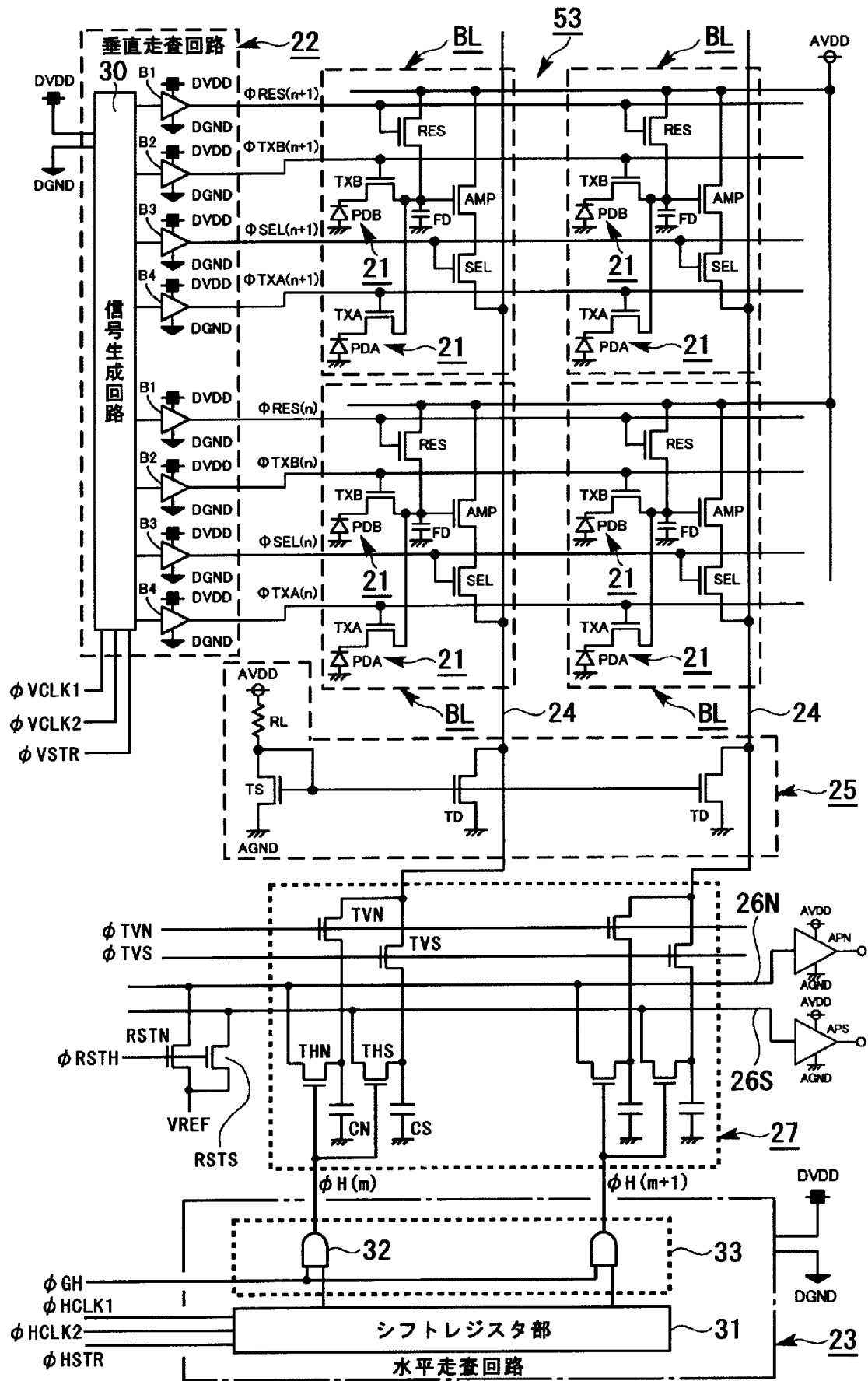
[図6]



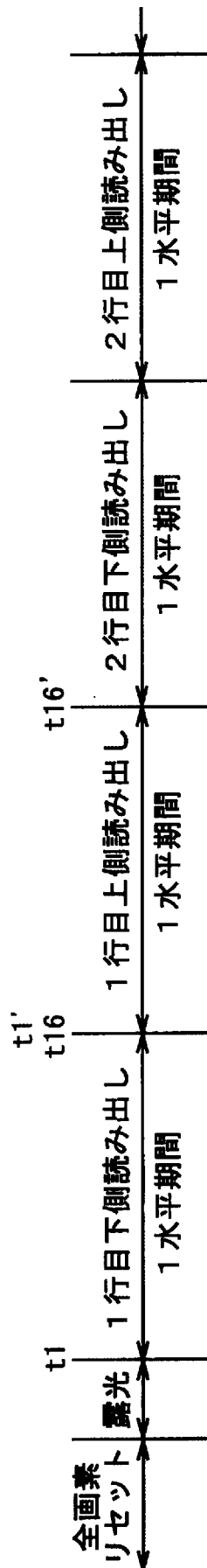
[図7]



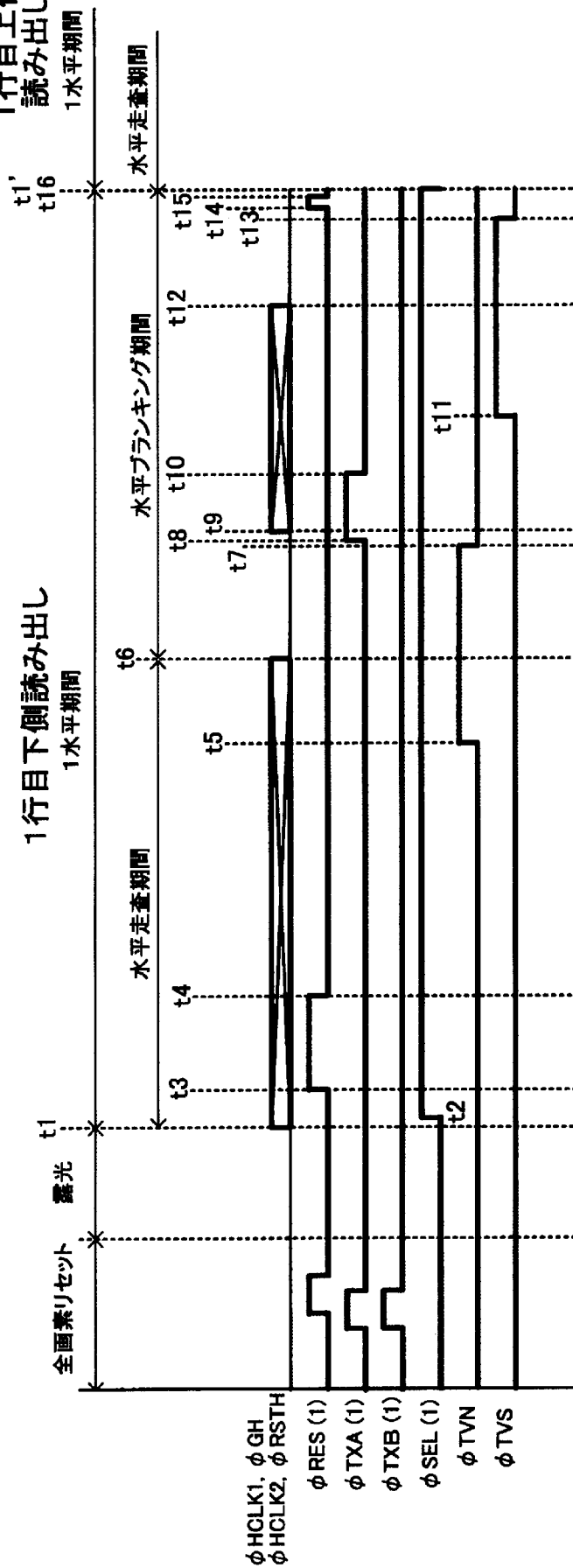
[図8]



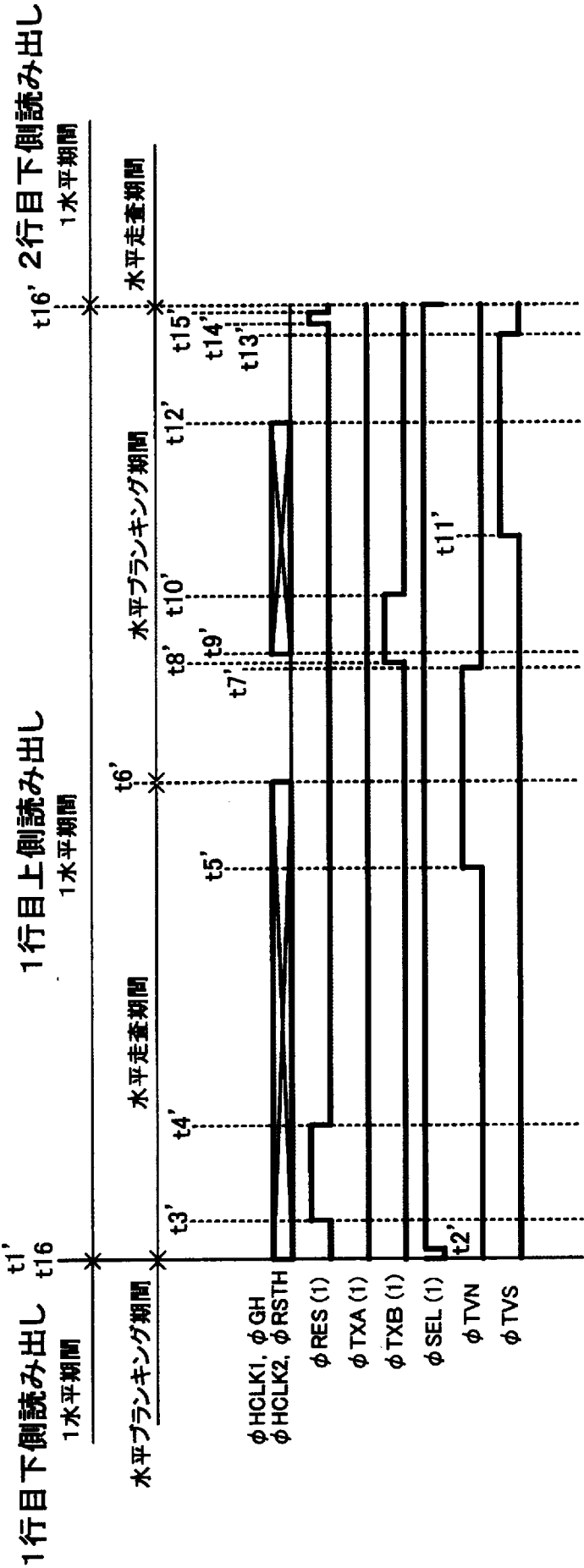
[図9]



1行目上側読み出し



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/004560

A. CLASSIFICATION OF SUBJECT MATTER

H04N5/376(2011.01) i, H04N5/357(2011.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/376, H04N5/357

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	WO 2006/090633 A1 (Matsushita Electric Industrial Co., Ltd.), 31 August 2006 (31.08.2006), paragraphs [0019] to [0021], [0069] to [0070]; fig. 4 & US 2009/0009643 A1	1-4, 7-10 5 6
Y	JP 2009-44458 A (Nikon Corp.), 26 February 2009 (26.02.2009), paragraph [0047]; fig. 3 & US 2010/0134671 A1	5
A	JP 2010-11246 A (Nikon Corp.), 14 January 2010 (14.01.2010), paragraphs [0023] to [0024]; fig. 1 (Family: none)	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
24 August, 2011 (24.08.11)

Date of mailing of the international search report
06 September, 2011 (06.09.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H04N5/376(2011.01)i, H04N5/357(2011.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H04N5/376, H04N5/357

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	WO 2006/090633 A1 (松下電器産業株式会社) 2006.08.31, 段落 1 9 - 2 1, 6 9 - 7 0、図 4 & US 2009/0009643 A1	1-4, 7-10 5 6
Y	JP 2009-44458 A (株式会社ニコン) 2009.02.26, 段落 4 7、図 3 & US 2010/0134671 A1	5
A	JP 2010-11246 A (株式会社ニコン) 2010.01.14, 段落 2 3 - 2 4、図 1 (ファミリーなし)	1-10

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 4 . 0 8 . 2 0 1 1

国際調査報告の発送日

0 6 . 0 9 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

若林 治男

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 8 1

5 P

4 1 9 0