

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成25年11月7日 (2013.11.7)

【公開番号】特開2012-58860(P2012-58860A)

【公開日】平成24年3月22日 (2012.3.22)

【年通号数】公開・登録公報2012-012

【出願番号】特願2010-199381(P2010-199381)

【国際特許分類】

G 0 6 F 12/06 (2006.01)

G 1 1 C 16/02 (2006.01)

G 0 6 F 12/00 (2006.01)

【 F I 】

G 0 6 F 12/06 5 2 5 A

G 1 1 C 17/00 6 0 1 D

G 1 1 C 17/00 6 1 1 A

G 1 1 C 17/00 6 1 3

G 1 1 C 17/00 6 1 1 E

G 0 6 F 12/00 5 5 0 E

G 0 6 F 12/00 5 9 7 U

G 0 6 F 12/06 5 2 3 C

【手続補正書】

【提出日】平成25年9月20日 (2013.9.20)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数のメモリセルを有し、前記複数のメモリセルに対して書き込み、読み出し及び消去の少なくともいずれか 1 つの第 1 動作を行う第 1 の不揮発性半導体メモリと、

複数のメモリセルを有し、前記複数のメモリセルに対して書き込み、読み出し及び消去の少なくともいずれか 1 つの第 2 動作を行う第 2 の不揮発性半導体メモリと、

前記第 1 の不揮発性半導体メモリ及び前記第 2 の不揮発性半導体メモリの前記第 1 動作及び前記第 2 動作を制御するコントローラとを具備し、

前記第 1 動作は、所定電流以上の電流を消費する第 1 サブ動作及び第 2 サブ動作を含み、

前記第 2 動作は、所定電流以上の電流を消費する第 3 サブ動作及び第 4 サブ動作を含み、

前記第 1 の不揮発性半導体メモリは、前記コントローラから第 1 制御信号を受け取ると、前記第 1 動作の前記第 1 サブ動作を実行した後、前記第 1 動作を中断し、

前記コントローラは前記第 1 動作が中断されたことを認知すると、第 2 制御信号を前記第 2 の不揮発性半導体メモリに送信し、

前記第 2 の不揮発性半導体メモリは、前記コントローラから前記第 2 制御信号を受け取ると、前記第 2 動作の前記第 3 サブ動作を実行した後、前記第 2 動作を中断し、

前記コントローラは前記第 2 動作が中断されたことを認知すると、第 3 制御信号を前記第 1 の不揮発性半導体メモリに送信し、

前記第 1 の不揮発性半導体メモリは、前記コントローラから前記第 3 制御信号を受け取

ると、前記第 1 動作を再開して前記第 2 サブ動作を実行し、

前記コントローラは前記第 2 サブ動作が実行されたことを認知すると、第 4 制御信号を前記第 2 の不揮発性半導体メモリに送信し、

前記第 2 の不揮発性半導体メモリは、前記コントローラから前記第 4 制御信号を受け取ると、前記第 2 動作を再開して前記第 4 サブ動作を実行することを特徴とするメモリシステム。

【請求項 2】

前記第 1 サブ動作は前記所定電流以上の電流を消費する第 1 高電流動作と前記第 1 高電流動作より小さい電流を消費する第 1 低電流動作とを含み、前記第 2 サブ動作は前記所定電流以上の電流を消費する第 2 高電流動作と前記第 2 高電流動作より小さい電流を消費する第 2 低電流動作とを含み、

前記第 3 サブ動作は前記所定電流以上の電流を消費する第 3 高電流動作と前記第 3 高電流動作より小さい電流を消費する第 3 低電流動作とを含み、前記第 4 サブ動作は前記所定電流以上の電流を消費する第 4 高電流動作と前記第 4 高電流動作より小さい電流を消費する第 4 低電流動作とを含み、

前記第 2 高電流動作と前記第 1 低電流動作とが並行して実行され、前記第 3 高電流動作と前記第 2 低電流動作とが並行して実行され、前記第 4 高電流動作と前記第 3 低電流動作とが並行して実行されることを特徴とする請求項 1 に記載のメモリシステム。

【請求項 3】

前記第 1 動作及び第 2 動作は書き込みであり、前記第 1 サブ動作及び前記第 3 サブ動作はメモリセルにデータを書き込むプログラムであり、前記第 2 サブ動作及び前記第 4 サブ動作は前記プログラムが正常に行われたか否かを検証するプログラムベリファイであることを特徴とする請求項 1 に記載のメモリシステム。

【請求項 4】

前記第 1 動作及び前記第 2 動作は読み出しであり、前記第 1 サブ動作及び前記第 3 サブ動作は第 1 ワード線に接続されたメモリセルの読み出しであり、前記第 2 サブ動作及び前記第 4 サブ動作は前記第 1 ワード線に隣接する第 2 ワード線に接続されたメモリセルの読み出しであることを特徴とする請求項 1 に記載のメモリシステム。

【請求項 5】

複数のメモリセルを有するメモリセルアレイと、

前記メモリセルアレイに対して書き込み、読み出し及び消去の少なくともいずれか 1 つの第 1 動作を行う第 1 制御回路とを備える第 1 の不揮発性半導体メモリと、

複数のメモリセルを有するメモリセルアレイと、

前記メモリセルアレイに対して書き込み、読み出し及び消去の少なくともいずれか 1 つの第 2 動作を行う第 2 制御回路とを備える第 2 の不揮発性半導体メモリと、

前記第 1 の不揮発性半導体メモリ及び前記第 2 の不揮発性半導体メモリにそれぞれ設けられ、前記第 1 の不揮発性半導体メモリ及び前記第 2 の不揮発性半導体メモリがレディ状態であるか否かを検出する検出回路とを具備し、

前記検出回路は、前記第 1 と第 2 の不揮発性半導体メモリの内、一方にレディを検出後他方にレジュームコマンドを発行することを特徴とするメモリシステム。

【請求項 6】

複数のメモリセルを有するメモリセルアレイと、

前記メモリセルアレイに対して書き込み、読み出し及び消去の少なくともいずれか 1 つの第 1 動作を行う第 1 制御回路とを備える第 1 の不揮発性半導体メモリと、

複数のメモリセルを有するメモリセルアレイと、

前記メモリセルアレイに対して書き込み、読み出し及び消去の少なくともいずれか 1 つの第 2 動作を行う第 2 制御回路とを備える第 2 の不揮発性半導体メモリと、

前記第 1 の不揮発性半導体メモリ及び前記第 2 の不揮発性半導体メモリにそれぞれ設けられ、前記第 1 の不揮発性半導体メモリ及び前記第 2 の不揮発性半導体メモリがレディ状態であるか否かを検出する検出回路とを具備し、

前記検出回路が前記第 1 の不揮発性半導体メモリ及び前記第 2 の不揮発性半導体メモリが共にレディ状態であることを検出したとき、

前記第 1 制御回路は、第 1 待機時間の経過後に前記第 1 動作を開始し、

前記第 2 制御回路は、前記第 1 待機時間と異なる第 2 待機時間の経過後に前記第 2 動作を開始することを特徴とするメモリシステム。

【請求項 7】

前記第 1 動作は所定電流以上の電流を消費する第 1 高電流動作と前記第 1 高電流動作より小さい電流を消費する第 1 低電流動作とを含み、

前記第 2 動作は所定電流以上の電流を消費する第 2 高電流動作と前記第 2 高電流動作より小さい電流を消費する第 2 低電流動作とを含み、

前記第 2 待機時間は、前記第 1 動作が含む前記第 1 高電流動作が終了する時間に設定され、前記第 1 低電流動作と前記第 2 高電流動作とが並行して実行されることを特徴とする請求項 6 に記載のメモリシステム。