

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成25年11月7日(2013.11.7)

【公開番号】特開2012-58860(P2012-58860A)

【公開日】平成24年3月22日(2012.3.22)

【年通号数】公開・登録公報2012-012

【出願番号】特願2010-199381(P2010-199381)

【国際特許分類】

G 06 F 12/06 (2006.01)

G 11 C 16/02 (2006.01)

G 06 F 12/00 (2006.01)

【F I】

G 06 F 12/06 5 2 5 A

G 11 C 17/00 6 0 1 D

G 11 C 17/00 6 1 1 A

G 11 C 17/00 6 1 3

G 11 C 17/00 6 1 1 E

G 06 F 12/00 5 5 0 E

G 06 F 12/00 5 9 7 U

G 06 F 12/06 5 2 3 C

【手続補正書】

【提出日】平成25年9月20日(2013.9.20)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数のメモリセルを有し、前記複数のメモリセルに対して書き込み、読み出し及び消去の少なくともいずれか1つの第1動作を行う第1の不揮発性半導体メモリと、

複数のメモリセルを有し、前記複数のメモリセルに対して書き込み、読み出し及び消去の少なくともいずれか1つの第2動作を行う第2の不揮発性半導体メモリと、

前記第1の不揮発性半導体メモリ及び前記第2の不揮発性半導体メモリの前記第1動作及び前記第2動作を制御するコントローラとを具備し、

前記第1動作は、所定電流以上の電流を消費する第1サブ動作及び第2サブ動作を含み、

前記第2動作は、所定電流以上の電流を消費する第3サブ動作及び第4サブ動作を含み、

前記第1の不揮発性半導体メモリは、前記コントローラから第1制御信号を受け取ると、前記第1動作の前記第1サブ動作を実行した後、前記第1動作を中断し、

前記コントローラは前記第1動作が中断されたことを認知すると、第2制御信号を前記第2の不揮発性半導体メモリに送信し、

前記第2の不揮発性半導体メモリは、前記コントローラから前記第2制御信号を受け取ると、前記第2動作の前記第3サブ動作を実行した後、前記第2動作を中断し、

前記コントローラは前記第2動作が中断されたことを認知すると、第3制御信号を前記第1の不揮発性半導体メモリに送信し、

前記第1の不揮発性半導体メモリは、前記コントローラから前記第3制御信号を受け取

ると、前記第1動作を再開して前記第2サブ動作を実行し、

前記コントローラは前記第2サブ動作が実行されたことを認知すると、第4制御信号を前記第2の不揮発性半導体メモリに送信し、

前記第2の不揮発性半導体メモリは、前記コントローラから前記第4制御信号を受け取ると、前記第2動作を再開して前記第4サブ動作を実行することを特徴とするメモリシステム。

【請求項2】

前記第1サブ動作は前記所定電流以上の電流を消費する第1高電流動作と前記第1高電流動作より小さい電流を消費する第1低電流動作とを含み、前記第2サブ動作は前記所定電流以上の電流を消費する第2高電流動作と前記第2高電流動作より小さい電流を消費する第2低電流動作とを含み、

前記第3サブ動作は前記所定電流以上の電流を消費する第3高電流動作と前記第3高電流動作より小さい電流を消費する第3低電流動作とを含み、前記第4サブ動作は前記所定電流以上の電流を消費する第4高電流動作と前記第4高電流動作より小さい電流を消費する第4低電流動作とを含み、

前記第2高電流動作と前記第1低電流動作とが並行して実行され、前記第3高電流動作と前記第2低電流動作とが並行して実行され、前記第4高電流動作と前記第3低電流動作とが並行して実行されることを特徴とする請求項1に記載のメモリシステム。

【請求項3】

前記第1動作及び第2動作は書き込みであり、前記第1サブ動作及び前記第3サブ動作はメモリセルにデータを書き込むプログラムであり、前記第2サブ動作及び前記第4サブ動作は前記プログラムが正常に行われたか否かを検証するプログラムベリファイであることを特徴とする請求項1に記載のメモリシステム。

【請求項4】

前記第1動作及び前記第2動作は読み出しであり、前記第1サブ動作及び前記第3サブ動作は第1ワード線に接続されたメモリセルの読み出しであり、前記第2サブ動作及び前記第4サブ動作は前記第1ワード線に隣接する第2ワード線に接続されたメモリセルの読み出しであることを特徴とする請求項1に記載のメモリシステム。

【請求項5】

複数のメモリセルを有するメモリセルアレイと、

前記メモリセルアレイに対して書き込み、読み出し及び消去の少なくともいずれか1つの第1動作を行う第1制御回路とを備える第1の不揮発性半導体メモリと、

複数のメモリセルを有するメモリセルアレイと、

前記メモリセルアレイに対して書き込み、読み出し及び消去の少なくともいずれか1つの第2動作を行う第2制御回路とを備える第2の不揮発性半導体メモリと、

前記第1の不揮発性半導体メモリ及び前記第2の不揮発性半導体メモリにそれぞれ設けられ、前記第1の不揮発性半導体メモリ及び前記第2の不揮発性半導体メモリがレディ状態であるか否かを検出する検出回路とを具備し、

前記検出回路は、前記第1と第2の不揮発性半導体メモリの内、一方にレディを検出後他方にレジュームコマンドを発行することを特徴とするメモリシステム。

【請求項6】

複数のメモリセルを有するメモリセルアレイと、

前記メモリセルアレイに対して書き込み、読み出し及び消去の少なくともいずれか1つの第1動作を行う第1制御回路とを備える第1の不揮発性半導体メモリと、

複数のメモリセルを有するメモリセルアレイと、

前記メモリセルアレイに対して書き込み、読み出し及び消去の少なくともいずれか1つの第2動作を行う第2制御回路とを備える第2の不揮発性半導体メモリと、

前記第1の不揮発性半導体メモリ及び前記第2の不揮発性半導体メモリにそれぞれ設けられ、前記第1の不揮発性半導体メモリ及び前記第2の不揮発性半導体メモリがレディ状態であるか否かを検出する検出回路とを具備し、

前記検出回路が前記第1の不揮発性半導体メモリ及び前記第2の不揮発性半導体メモリが共にレディ状態であることを検出したとき、

前記第1制御回路は、第1待機時間の経過後に前記第1動作を開始し、

前記第2制御回路は、前記第1待機時間と異なる第2待機時間の経過後に前記第2動作を開始することを特徴とするメモリシステム。

【請求項7】

前記第1動作は所定電流以上の電流を消費する第1高電流動作と前記第1高電流動作より小さい電流を消費する第1低電流動作とを含み、

前記第2動作は所定電流以上の電流を消費する第2高電流動作と前記第2高電流動作より小さい電流を消費する第2低電流動作とを含み、

前記第2待機時間は、前記第1動作が含む前記第1高電流動作が終了する時間に設定され、前記第1低電流動作と前記第2高電流動作とが並行して実行されることを特徴とする請求項6に記載のメモリシステム。