

PCT

WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro



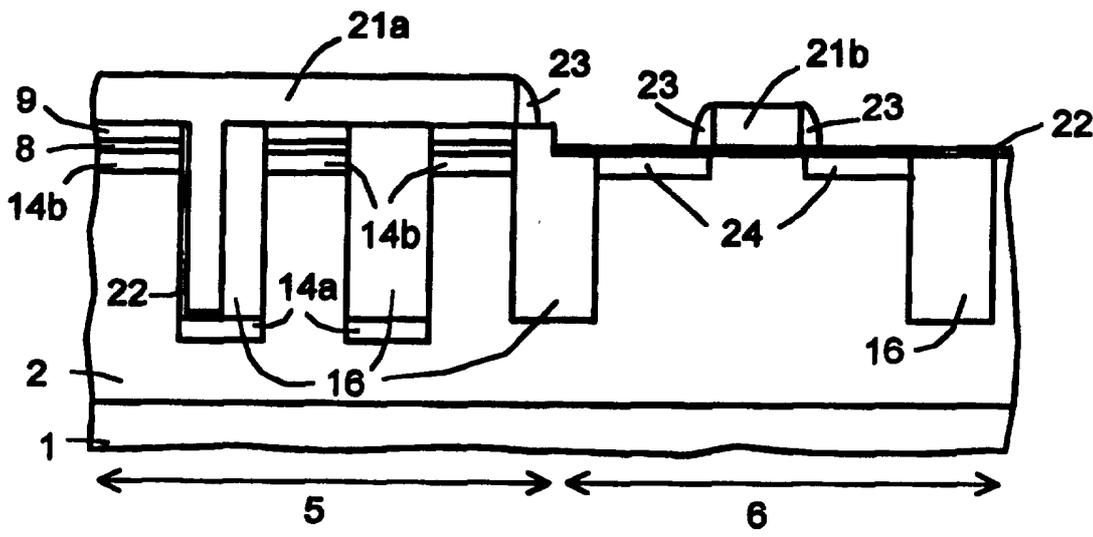
INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation ⁶ : H01L 27/112, 21/8246	A1	(11) Internationale Veröffentlichungsnummer: WO 96/33513 (43) Internationales Veröffentlichungsdatum: 24. Oktober 1996 (24.10.96)
--	-----------	--

<p>(21) Internationales Aktenzeichen: PCT/DE96/00614</p> <p>(22) Internationales Anmeldedatum: 9. April 1996 (09.04.96)</p> <p>(30) Prioritätsdaten: 195 14 834.7 21. April 1995 (21.04.95) DE</p> <p>(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE).</p> <p>(72) Erfinder; und (75) Erfinder/Anmelder (nur für US): HOFMANN, Franz [DE/DE]; Herbergstrasse 25B, D-80995 München (DE). RISCHE, Lothar [DE/DE]; Tizianstrasse 27, D-85579 Neubiberg (DE). KRAUTSCHNEIDER, Wolfgang [DE/DE]; Am Oberfeld 50, D-83104 Hohenthann (DE). RÖSNER, Wolfgang [DE/DE]; Heinzelmännchenstrasse 2, D-81739 München (DE).</p>	<p>(81) Bestimmungsstaaten: BR, CN, JP, KR, RU, US, europäisches Patent (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>Veröffentlicht <i>Mit internationalem Recherchenbericht. Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist. Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i></p>
--	--

(54) Title: READ-ONLY STORAGE CELL ARRANGEMENT AND PROCESS FOR ITS PRODUCTION

(54) Bezeichnung: FESTWERTSPEICHERZELLENANORDNUNG UND VERFAHREN ZU DEREN HERSTELLUNG



(57) Abstract

In a read-only storage cell arrangement with first storage cells comprising a vertical MOS transistor and second storage cells comprising no vertical MOS transistor, the storage cells are arranged along opposite sides of strip-like, parallel insulating trenches (16). The width and spacing of the insulating trenches (16) are preferably equal so that the storage cell arrangement can be made with $2F^2$ of space required per storage cell, in which F is the minimum structural size in the technology applied.

(57) Zusammenfassung

In einer Festwertspeicherzellenanordnung mit ersten Speicherzellen, die einen vertikalen MOS-Transistor umfassen, und mit zweiten Speicherzellen, die keinen vertikalen MOS-Transistor umfassen, sind die Speicherzellen entlang gegenüberliegenden Flanken von streifenförmigen, parallel verlaufenden Isolationsgräben (16) angeordnet. Breite und Abstand der Isolationsgräben (16) sind vorzugsweise gleich, so daß die Speicherzellenanordnung mit einem Platzbedarf pro Speicherzelle von $2F^2$ realisierbar ist, wobei F die minimale Strukturgröße in der jeweiligen Technologie ist.

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AM	Armenien	GB	Vereinigtes Königreich	MX	Mexiko
AT	Österreich	GE	Georgien	NE	Niger
AU	Australien	GN	Guinea	NL	Niederlande
BB	Barbados	GR	Griechenland	NO	Norwegen
BE	Belgien	HU	Ungarn	NZ	Neuseeland
BF	Burkina Faso	IE	Irland	PL	Polen
BG	Bulgarien	IT	Italien	PT	Portugal
BJ	Benin	JP	Japan	RO	Rumänien
BR	Brasilien	KE	Kenya	RU	Russische Föderation
BY	Belarus	KG	Kirgisistan	SD	Sudan
CA	Kanada	KP	Demokratische Volksrepublik Korea	SE	Schweden
CF	Zentrale Afrikanische Republik	KR	Republik Korea	SG	Singapur
CG	Kongo	KZ	Kasachstan	SI	Slowenien
CH	Schweiz	LI	Liechtenstein	SK	Slowakei
CI	Côte d'Ivoire	LK	Sri Lanka	SN	Senegal
CM	Kamerun	LR	Liberia	SZ	Swasiland
CN	China	LT	Litauen	TD	Tschad
CS	Tschechoslowakei	LU	Luxemburg	TG	Togo
CZ	Tschechische Republik	LV	Lettland	TJ	Tadschikistan
DE	Deutschland	MC	Monaco	TT	Trinidad und Tobago
DK	Dänemark	MD	Republik Moldau	UA	Ukraine
EE	Estland	MG	Madagaskar	UG	Uganda
ES	Spanien	ML	Mali	US	Vereinigte Staaten von Amerika
FI	Finnland	MN	Mongolei	UZ	Usbekistan
FR	Frankreich	MR	Mauretanien	VN	Vietnam
GA	Gabon	MW	Malawi		

Beschreibung

5 Festwertspeicherzellenanordnung und Verfahren zu deren Herstellung.

10 Für viele elektronische Systeme werden Speicher benötigt; in die Daten in digitaler Form fest eingeschrieben sind. Derartige Speicher werden unter anderem als Festwertspeicher, Lesespeicher oder Read-Only-Memory bezeichnet.

15 Für große Datenmengen, wie insbesondere die digitale Abspeicherung von Musik, werden als Lesespeicher vielfach Kunststoffscheiben, sogenannte Compact Discs, verwendet, die mit Aluminium beschichtet sind. In der Beschichtung weisen diese Scheiben zweierlei punktartige Vertiefungen auf, die den logischen Werten Null und Eins zugeordnet werden. In der Anordnung dieser Vertiefungen ist die Information digital abgespeichert.

20

Zum Lesen der auf einer Compact Disc gespeicherten Daten wird die Scheibe in einem Lesegerät mechanisch rotiert. Die punktartigen Vertiefungen werden über eine Laserdiode und eine Photozelle abgetastet. Typische Abtastraten sind dabei 2 x 40
25 kHz. Auf einer Kunststoffscheibe können ca. 5 Gbit-Informationen gespeichert werden.

30 Das Lesegerät umfaßt bewegte Teile, die mechanisch verschleifen, die vergleichsweise viel Volumen benötigen, die nur einen langsamen Datenzugriff erlauben und großen Stromverbrauch aufweisen. Darüber hinaus ist das Lesegerät empfindlich gegen Erschütterungen und daher für mobile Systeme nur begrenzt geeignet.

35 Zur Speicherung kleinerer Datenmengen werden vielfach Festwertspeicher auf Halbleiterbasis, insbesondere Silizium, verwendet. Beim Auslesen der Speicherzellenanordnung werden die

einzelnen Speicherzellen über eine Wortleitung ausgewählt. Die Gateelektrode der MOS-Transistoren ist jeweils mit einer Wortleitung verbunden. Der Eingang jedes MOS-Transistors ist mit einer Referenzleitung verbunden, der Ausgang mit einer Bitleitung. Beim Lesevorgang wird bewertet, ob ein Strom durch den Transistor fließt oder nicht. Entsprechend werden die logischen Werte Null und Eins zugeordnet.

Technisch wird die Speicherung von Null und Eins bei diesen Festwertspeichern dadurch bewirkt, daß in Speicherzellen, in denen der dem Zustand „kein Stromfluß durch den Transistor“ zugeordnete logische Wert gespeichert ist, kein MOS-Transistor hergestellt wird oder keine leitende Verbindung zur Bitleitung realisiert wird. Alternativ können die beiden logischen Werte durch MOS-Transistoren realisiert werden, die durch unterschiedliche Implantationen im Kanalgebiet unterschiedliche Einsatzspannungen aufweisen.

Diese bekannten Siliziumspeicher weisen meist einen planaren Aufbau auf. Damit wird pro Speicherzelle ein minimaler Flächenbedarf erforderlich, der bei etwa 6 bis $8 F^2$ liegt, wobei F die in der jeweiligen Technologie kleinste herstellbare Strukturgröße ist. Planare Festwertsiliziumspeicher sind damit bei einer $0,4 \mu\text{m}$ -Technologie auf Speicherdichten um $0,9$ Bit/ μm^2 begrenzt.

Aus US-PS 4 954 854 ist bekannt, in einem Festwertspeicher vertikale MOS-Transistoren zu verwenden. Dazu wird die Oberfläche des Siliziumsubstrats mit lochartigen Gräben versehen, an die am Boden ein Sourcegebiet angrenzt, an die an der Substratoberfläche ein den Gräben umgebendes Draingebiet angrenzt und entlang deren Flanken ein Kanalgebiet angeordnet ist. Die Oberfläche des Grabens wird mit einem Gatedielektrikum versehen und der Graben mit einer Gateelektrode aufgefüllt. Null und Eins werden in dieser Anordnung dadurch unterschieden, daß für einen der logischen Werte kein Graben geätzt und kein Transistor hergestellt wird. Benachbarte

Speicherzellen sind durch Isolationsstrukturen, die seitlich davon angeordnet sind, gegeneinander isoliert.

5 Der Erfindung liegt das Problem zugrunde, eine Festwertspeicherzellenanordnung auf Halbleiterbasis anzugeben, bei der eine erhöhte Speicherdichte erzielt wird und die mit wenigen Herstellungsschritten und hoher Ausbeute herstellbar ist. Desweiteren soll ein Verfahren zur Herstellung einer solchen Speicherzellenanordnung angegeben werden.

10

Das Problem wird erfindungsgemäß gelöst durch eine Festwertspeicherzellenanordnung gemäß Anspruch 1 sowie ein Verfahren zu deren Herstellung gemäß Anspruch 3. Weitere Ausgestaltungen der Erfindung ergeben sich aus den Unteransprüchen.

15

In der erfindungsgemäßen Festwertspeicherzellenanordnung ist in einem Halbleitersubstrat, vorzugsweise aus monokristallinem Silizium oder in einer Siliziumschicht eines SOI-Substrates, ein Zellenfeld mit Speicherzellen vorgesehen. Dabei ist ein erster logischer Wert jeweils in ersten Speicherzellen, ein zweiter logischer Wert jeweils in zweiten Speicherzellen gespeichert. Die ersten Speicherzellen umfassen einen zur Hauptfläche des Halbleitersubstrates vertikalen MOS-Transistor. Die zweiten Speicherzellen umfassen dagegen keinen MOS-Transistor.

20
25

Die Programmierung der Festwertspeicherzellenanordnung erfolgt bei der Herstellung dadurch, daß an vorbestimmten Orten für erste Speicherzellen vertikale MOS-Transistoren realisiert werden, während vorbestimmte Stellen für zweite Speicherzellen maskiert sind, so daß hier keine MOS-Transistoren entstehen.

30

Im Zellenfeld sind mehrere, im wesentlichen parallel verlaufende, streifenförmige Isolationsgräben vorgesehen. Die Isolationsgräben verlaufen über das gesamte Zellenfeld. Die Speicherzellen sind jeweils an gegenüberliegenden Flanken der

35

Isolationsgräben angeordnet. Dabei überlappt die Fläche der Speicherzellen die jeweilige Flanke.

Am Boden der Isolationsgräben und an der Hauptfläche des Halbleitersubstrats jeweils zwischen benachbarten Isolationsgräben sind streifenförmige, dotierte Gebiete angeordnet, die entgegengesetzt zum Halbleitersubstrat dotiert sind. Die streifenförmigen, dotierten Gebiete verlaufen parallel zu den Isolationsgräben über das gesamte Zellenfeld. Die vertikalen MOS-Transistoren der ersten Speicherzellen werden so realisiert, daß jeweils ein am Boden eines Isolationsgrabens verlaufendes streifenförmiges, dotiertes Gebiet und ein zwischen dem Isolationsgraben und dem benachbarten Isolationsgraben an der Hauptfläche angeordnetes streifenförmiges, dotiertes Gebiet die Source/Drain-Gebiete des MOS-Transistors bilden. Gatedielektrikum und Gateelektrode des MOS-Transistors sind in einem Loch angeordnet, das an die Flanke des Isolationsgrabens angrenzt und sich bis in den Isolationsgraben hinein erstreckt. Dieses Loch ist mit Gatedielektrikum und Gateelektrode ausgefüllt.

An der Hauptfläche sind Wortleitungen angeordnet, die quer zu den Isolationsgräben verlaufen. Die Wortleitungen sind jeweils mit Gateelektroden von unterhalb der jeweiligen Wortleitung angeordneten vertikalen MOS-Transistoren verbunden.

Die streifenförmigen, dotierten Gebiete, die am Boden der Isolationsgräben und jeweils zwischen benachbarten Isolationsgräben an der Hauptfläche des Halbleitersubstrats angeordnet sind, werden zum Auslesen der Speicherzellen als Bit- bzw. Referenzleitung verwendet. Die zu bewertende Speicherzelle wird über die Wortleitung ausgewählt. Es wird bewertet, ob zwischen den zugehörigen streifenförmigen dotierten Gebieten ein Strom fließt oder nicht. Ist die Speicherzelle eine erste Speicherzelle, so bilden die zugehörigen streifenförmigen, dotierten Gebiete die Source/Drain-Gebiete eines vertikalen MOS-Transistors, dessen Gateelektrode mit der Wortlei-

tung verbunden ist, so daß in diesem Fall ein Strom fließt. Ist die Speicherzelle jedoch eine zweite Speicherzelle, so befindet sich an dieser Stelle kein Loch, kein Gatedielektrikum und keine Gateelektrode. Die Wortleitung verläuft lediglich an der Hauptfläche des Halbleitersubstrats über einen Isolator. Es kann daher kein Strom zwischen den zugehörigen streifenförmigen dotierten Gebieten fließen.

Vorzugsweise wird der Abstand zwischen benachbarten Isolationsgräben so gewählt, daß er im wesentlichen gleich der Breite der Isolationsgräben ist. In den ersten Speicherzellen erstreckt sich das Loch in diesem Fall vorzugsweise jeweils bis zur halben Breite des Isolationsgrabens. Die Speicherzellenfläche erstreckt sich senkrecht zum Verlauf der Isolationsgräben jeweils von der Mitte des Isolationsgrabens bis zur Mitte des Abstands zum benachbarten Isolationsgraben. Wird die Breite der Isolationsgräben entsprechend der minimalen Strukturbreite F in der jeweiligen Technologie gewählt und die Breite der Wortleitungen und Abstand der Wortleitungen ebenfalls entsprechend der minimalen Strukturbreite F in der jeweiligen Technologie gewählt, so ergibt sich für die Speicherzelle ein Platzbedarf von $2 F^2$. Legt man eine minimale Strukturbreite von $F = 0,4 \mu\text{m}$ zugrunde, so wird in der Festwertspeicherzellenanordnung eine Speicherdichte von etwa $3,1 \text{ Bit}/\mu\text{m}^2$ erzielt.

Zur Herstellung der erfindungsgemäßen Festwertspeicherzellenanordnung wird vorzugsweise zunächst an der Hauptfläche des Halbleitersubstrats im Bereich des Zellenfeldes ein dotiertes Gebiet erzeugt. Anschließend wird vorzugsweise eine Ätzstopschicht (Polysilizium oder Nitrid) aufgebracht. Dann werden unter Verwendung einer Grabenmaske Gräben geätzt, wobei die streifenförmigen, dotierten Gebiete zwischen benachbarten Isolationsgräben an die Hauptfläche durch Strukturierung des dotierten Gebietes entstehen. Durch Ionenimplantation werden die am Boden der Gräben angeordneten streifenförmigen dotierten Gebiete gebildet. Dabei ist die Hauptfläche zwischen be-

nachbarten Gräben durch die Grabenmaske geschützt. Um eine zusätzliche Dotierung der Seitenwände der Gräben durch gestreute Ionen zu vermeiden, ist es vorteilhaft, vor der Ionenimplantation die Seitenwände der Gräben mit Spacern, zum Beispiel aus SiO_2 , zu versehen.

Nach der Implantation zur Bildung der streifenförmigen, dotierten Gebiete am Boden der Gräben werden die Gräben mit isolierendem Material, zum Beispiel SiO_2 , aufgefüllt.

10 Nach Auffüllen der Gräben erfolgt die Herstellung der Speicherzellen, wobei die Festwertspeicherzellenanordnung programmiert wird. Dazu wird eine Photolackmaske erzeugt, die die Hauptfläche des Halbleitersubstrats nur an den Stellen
15 unbedeckt läßt, an denen ein Loch für eine erste Speicherzelle entstehen soll. In einem anisotropen Trockenätzprozeß werden die Löcher an der Flanke der Isolationsgräben geätzt. Dabei wird an der Flanke die Halbleiteroberfläche freigelegt. Das Loch erstreckt sich in den Isolationsgraben hinein. Parallel zum Isolationsgraben ist das Loch vorzugsweise entsprechend der Breite der Wortleitungen begrenzt. Das Loch reicht bis auf die Oberfläche des streifenförmigen dotierten Gebietes am Boden des Isolationsgrabens. Die Halbleiteroberfläche im Loch wird mit einem Gatedielektrikum versehen. Anschließend wird das Loch mit einer Gateelektrode aufgefüllt.

Es liegt im Rahmen der Erfindung, unter der Grabenmaske eine Ätzstoppschicht vorzusehen, die vor der Grabenätzung entsprechend der Grabenmaske strukturiert wird. Die Ätzstoppschicht
30 wird aus einem solchen Material erzeugt, daß das isolierende Material der Isolationsgräben selektiv zur Ätzstoppschicht ätzbar ist. Die strukturierte Ätzstoppschicht wirkt bei der Lochätzung gemeinsam mit der Photolackmaske als Ätzmaske. Daher kann die Breite der Isolationsgräben entsprechend der minimalen Strukturbreite F eingestellt werden. Die Löcher in
35 der Photolackmaske weisen ebenfalls lineare Abmessungen entsprechend der minimalen Strukturbreite F auf. Die Photolack-

maske wird in Bezug auf die Isolationsgräben so justiert, daß die Mitte der Löcher jeweils um eine halbe Breite der Isolationsgräben bezüglich der Mitte der Isolationsgräben versetzt angeordnet wird. Dabei wird ausgenutzt, daß die Justiergenauigkeit größer als die minimale Strukturbreite F ist. In der 5 0,4 μm -Technologie beträgt die minimale Strukturgröße $F = 0,4 \mu\text{m}$, die Justierung erfolgt auf besser als $F/3 = 0,13 \mu\text{m}$ genau.

10 Da die Ätzstoppschicht und die Photolackmaske gemeinsam als Ätzmaske wirken, wird die Breite des geätzten Loches um den Überlapp von Ätzstoppschicht und Photolackmaske reduziert. Auf diese Weise ist es möglich, in einer F -Technologie ein Loch von einem $\frac{1}{2} F$ Breite zu ätzen.

15

Es liegt im Rahmen der Erfindung, bei der Herstellung der Isolationsgräben im Zellenfeld gleichzeitig Isolationsgräben in einer Peripherie der Speicherzellenanordnung, die eine Ansteuerschaltung für die Speicherzellenanordnung umfaßt, zu 20 bilden. Dazu sind Photolackmasken erforderlich, die die Peripherie während den Dotierungsschritten zur Bildung der streifenförmigen dotierten Gebiete im Zellenfeld abdecken. Ferner muß die Ätzstoppschicht, falls vorhanden, in der Peripherie entfernt werden, ehe in der Peripherie MOS-Transistoren zur 25 Ansteuerung der Speicherzellenanordnung gebildet werden.

Im folgenden wird die Erfindung anhand eines Ausführungsbeispiels und der Figuren näher erläutert.

30 Figur 1 zeigt ein Substrat mit einem dotierten Gebiet im Zellenfeld.

Figur 2 zeigt das Substrat mit einer Grabenmaske nach der Ätzung von Gräben.

35

Figur 3 zeigt das Substrat nach Bildung von streifenförmigen, dotierten Gebieten am Boden der Gräben.

Figur 4 zeigt das Substrat nach dem Auffüllen der Gräben mit isolierendem Material.

5 Figur 5 zeigt das Substrat nach einer Lochätzung zur Bildung erster Speicherzellen.

Figur 6 zeigt das Substrat nach Bildung eines Gateoxids und Erzeugung einer dotierten Polysiliziumschicht.

10

Figur 7 zeigt das Substrat nach Strukturierung der dotierten Polysiliziumschicht in Wortleitungen und Gateelektroden für MOS-Transistoren in der Peripherie sowie nach Erzeugung von Source/Drain-Gebieten für die MOS-
15 Transistoren der Peripherie.

Figur 8 zeigt eine Aufsicht auf ein Zellenfeld einer erfindungsgemäßen Festwertspeicherzellenanordnung.

20 In einem Substrat 1 aus zum Beispiel p-dotiertem monokristallinem Silizium mit einer Dotierstoffkonzentration von $5 \times 10^{15} \text{ cm}^{-3}$ wird eine p-dotierte Wanne 2 mit einer Dotierstoffkonzentration von $2 \times 10^{17} \text{ cm}^{-3}$ durch Implantation und anschließendes Tempern erzeugt (siehe Figur 1). In einem CVD-
25 TEOS Verfahren wird ein Streuoxid von 20 nm ganzflächig abgeschieden (nicht dargestellt). Anschließend wird auf einer Hauptfläche 3 des Substrats 1 eine Photolackmaske 4 erzeugt, die einen Bereich für ein Zellenfeld 5 und eine Peripherie 6 definiert. Die Photolackmaske 4 bedeckt den Bereich für die
30 Peripherie 6 während die Hauptfläche 3 im Bereich für das Zellenfeld 5 freiliegt.

Durch Implantation mit 50 keV, $5 \times 10^{15} \text{ cm}^{-2}$ wird ein n⁺-dotiertes Gebiet 7 erzeugt, das eine Dotierstoffkonzentration
35 von $1 \times 10^{21} \text{ cm}^{-3}$ aufweist und das sich an der Hauptfläche 3 über den Bereich für das Zellenfeld 5 erstreckt.

Die Photolackmaske 4 wird entfernt und es folgt ein Temper-
schritt zum Aktivieren der Dotierstoffe. Das n⁺-dotierte Ge-
biet 7 weist eine Tiefe von etwa 200 nm auf. Die p-dotierte
Wanne 2 weist eine Tiefe von 2 µm auf.

5

Das Streuoxid wird naßchemisch entfernt und es wird ganzflä-
chig eine SiO₂-Schicht 8 in einer Dicke von zum Beispiel 60
nm durch thermische Oxidation erzeugt. Auf die SiO₂-Schicht 8
wird eine Ätzstopschicht 9 aufgebracht, die zum Beispiel aus
10 Si₃N₄ oder Polysilizium in einem CVD-Verfahren abgeschieden
wird. Die Ätzstopschicht 9 wird in einer Dicke von zum Bei-
spiel 100 nm erzeugt.

Anschließend wird zur Bildung einer Grabenmaske 10 in einem
15 TEOS-Verfahren eine 300 nm dicke SiO₂-Schicht abgeschieden
und mit Hilfe photolithographischer Verfahren durch anisotro-
pes Trockenätzen zum Beispiel mit CHF₃, O₂ strukturiert
(siehe Figur 2).

20 Durch anisotropes Trockenätzen werden anschließend die Ätz-
stopschicht 9 und die SiO₂-Schicht 8 entsprechend der Graben-
maske 10 strukturiert. Das Ätzen der Ätzstopschicht 9 erfolgt
mit CHF₃, O₂, falls diese aus Si₃N₄ besteht, und mit HBr, Cl₂
falls diese aus Polysilizium besteht. Die SiO₂-Schicht 8 wird
25 mit CHF₃, O₂ geätzt. Nach Entfernen einer Photolackmaske, die
zur Strukturierung der Grabenmaske 10 aufgebracht wurde, wird
eine Grabenätzung durchgeführt. Die Grabenätzung erfolgt in
einem anisotropen Trockenätzprozeß mit zum Beispiel HBr, He,
O₂, NF₃. Dabei werden Gräben 160 erzeugt, die eine Tiefe von
30 zum Beispiel 0,6 µm aufweisen. Die Gräben 160 erstrecken sich
über einen Block des Zellenfeldes 5. Sie weisen eine Länge
von zum Beispiel 250 µm und eine Breite von zum Beispiel 0,4
µm auf. Im Zellenfeld 5 sind benachbarte Gräben 160 in einem
Abstand von 0,4 µm angeordnet. Die Gräben 160 verlaufen im
35 wesentlichen parallel. Im Block des Zellenfeldes 5 werden zum
Beispiel 64 parallele Gräben erzeugt.

Gleichzeitig werden in der Peripherie Gräben 160a, die für eine Shallow Trench-Isolation in Standardlogikprozessen benötigt werden, erzeugt. Die Gräben 160a in der Peripherie 6 weisen Abmessungen von zum Beispiel 0,4 µm Breite auf.

5

Durch konforme Abscheidung einer TEOS-SiO₂-Schicht in einer Dicke von 60 nm und anschließendes anisotropes Trockenätzen mit CHF₃, O₂ werden an senkrechten Flanken, insbesondere der Gräben 160 und der Grabenmaske 10 SiO₂-Spacer 11 erzeugt

10

(siehe Figur 3).

Anschließend wird ganzflächig in einem TEOS-Verfahren eine Streuoxidschicht 12 in einer Dicke von 20 nm abgeschieden. Es wird eine Photolackmaske 13 erzeugt, die die Peripherie 6 abdeckt und das Zellenfeld 5 unbedeckt läßt. Es wird eine Ionenimplantation durchgeführt, bei der am Boden der Gräben 160 n⁺-dotierte, streifenförmige Gebiete 14a gebildet werden. Die Photolackmaske 13 wird gestrippt und die dotierten Gebiete werden durch einen Tempersschritt aktiviert. In den streifenförmigen, dotierten Gebieten 14a wird eine Dotierstoffkonzentration von zum Beispiel 10²¹ cm⁻³ eingestellt. An der Hauptfläche 3 des Halbleitersubstrats 1 sind zwischen benachbarten Gräben 160 bei der Grabenätzung streifenförmige, dotierte Gebiete 14b durch Strukturierung des n⁺-dotierten Gebietes 7 entstanden.

15

20

25

Anschließend wird die Grabenmaske 10 entfernt. Die Entfernung der Grabenmaske 10 erfolgt zum Beispiel mit HF-Dampf (Excalibur-Anlage) oder in einem HF-Dip. Beim Entfernen der Grabenmaske 10 wird auch die Streuoxidschicht 12 und die SiO₂-Spacer 11 entfernt. Dabei werden in den Gräben 160 die Oberflächen der p-dotierten Wanne 2 freigelegt. Um die Qualität dieser Kristalloberflächen zu verbessern, wird durch thermische Oxidation eine SiO₂-Schicht in einer Dicke von 20 nm erzeugt. Diese SiO₂-Schicht ist in den Figuren der Übersichtlichkeit halber nicht dargestellt.

30

35

Anschließend werden die Gräben 160 durch Abscheidung einer TEOS-SiO₂-Schicht in einer Dicke von zum Beispiel 800 nm aufgefüllt. Durch Rückätzen mit CHF₃, O₂ werden die Anteile der TEOS-SiO₂-Schicht oberhalb der Hauptfläche 3 entfernt. Das Rückätzen stoppt auf der Ätzstoppschicht 9. In diesem Prozeßschritt sind die Gräben 160 mit einer Grabenfüllung 15 aus SiO₂ versehen worden. Die Gräben 160 und die Grabenfüllung 15 bilden zusammen Isolationsgräben 16 (siehe Figur 4). In einem Temperschritt bei zum Beispiel 900°C während zum Beispiel 10 min wird die Grabenfüllung 15 verdichtet. Dadurch verändern sich die Ätzeigenschaften des SiO₂.

Es wird eine Photolackmaske 17 erzeugt, die das Zellenfeld 5 abdeckt. Unter Verwendung der Photolackmaske 17 als Ätzmaske wird die Ätzstoppschicht 9 im Bereich der Peripherie 6 und im Bereich der Kontakte zu den Bitleitungen am Rand des Zellenfeldes entfernt. Anschließend wird eine Implantation mit zum Beispiel $8 \times 10^{12} \text{ cm}^{-2}$ Bor durchgeführt, über die die Schwellenspannung von später im Bereich der Peripherie herzustellenden MOS-Transistoren eingestellt wird. Schließlich wird die SiO₂-Schicht 8 im Bereich der Peripherie 6 entfernt. Die Photolackmaske 17 wird gestrippt.

Es wird ganzflächig eine Photolackmaske 18 erzeugt (siehe Figur 5), die die Information, die in der Festwertspeicherzellenanordnung gespeichert werden soll, enthält. Die Photolackmaske 18 weist Öffnungen 19 auf an Orten, an denen im Zellenfeld 5 erste Speicherzellen gebildet werden sollen. Orte, an denen im Zellenfeld 5 zweite Speicherzellen gebildet werden sollen, sind dagegen von der Photolackmaske 18 bedeckt. Die Öffnungen 19 der Photolackmaske weisen einen im wesentlichen quadratischen Querschnitt parallel zur Hauptfläche 3 auf mit einer Seitenlänge von einer minimalen Strukturbreite zum Beispiel $F = 0,4 \mu\text{m}$. Die Photolackmaske 18 wird so justiert, daß die Mitten der Öffnungen 19 um eine halbe Strukturbreite F in Bezug auf die Mitte der Isolationsgräben 16 versetzt angeordnet ist. Dabei wird ausgenutzt, daß die Justierung genauer

als die minimale Strukturbreite in einer Technologie ist. Die Peripherie 6 wird von der Photolackmaske 18 abgedeckt.

In einem anisotropen Trockenätzprozeß, der selektiv zur Ätzstopschicht 9 die Grabenfüllung 15 angreift, werden Löcher 20 in die Isolationsgräben 16 geätzt. Besteht die Ätzstopschicht aus Si_3N_4 , so erfolgt die Ätzung mit C_2F_6 , C_3F_8 . Besteht die Ätzstopschicht 9 aus Polysilizium, so erfolgt die Ätzung mit HBr , Cl_2 , He . Die Ätzung wird fortgesetzt, bis 700 nm SiO_2 entfernt sind. Die Löcher 20 reichen dann bis auf die Oberfläche des streifenförmigen, dotierten Gebietes 14a, das am Boden des jeweiligen Isolationsgrabens 16 angeordnet ist. Da die strukturierte Ätzstopschicht 9 und die Photolackmaske 18 gemeinsam als Ätzmaske wirken, ist die Breite des Lochs 20 senkrecht zum Verlauf der Isolationsgräben 16 geringer als die minimale Strukturbreite F in der jeweiligen Technologie. An einer Seitenwand und am Boden des Loches 20 ist die Halbleiteroberfläche freigelegt.

Anschließend wird die Photolackmaske 18 entfernt. In einem HF-Dip werden Ätzprodukte, die sich an den Wänden der Löcher 20 beim anisotropen Ätzen niedergeschlagen haben, entfernt. Zur Verbesserung der Halbleiteroberfläche wird anschließend ein thermisches sacrificial Oxid zum Beispiel von 10 nm erzeugt und anschließend naßchemisch entfernt.

Durch thermische Oxidation wird eine Gateoxidschicht 22 auf freiliegenden Halbleiteroberflächen in den Löchern 20 sowie in der Peripherie 6 erzeugt. Die Gateoxidschicht 22 wird in einer Dicke von zum Beispiel 10 nm erzeugt (siehe Figur 6). Anschließend wird eine dotierte Polysiliziumschicht 21 in einer Dicke von 400 nm erzeugt. Die dotierte Polysiliziumschicht 21 wird zum Beispiel undotiert abgeschieden und durch Implantation oder Diffusion, zum Beispiel nach POCl -Belegung, n-dotiert. Alternativ wird die dotierte Polysiliziumschicht 21 durch insitu-dotierte Abscheidung erzeugt. Die dotierte Polysiliziumschicht 21 füllt die Löcher 20 vollständig aus.

Mit Hilfe photolithographischer Verfahren wird die dotierte Polysiliziumschicht 21 so strukturiert, daß im Bereich des Zellenfeldes 5 Wortleitungen 21a und im Bereich der Peripherie 6 Gateelektroden 21b entstehen (siehe Figur 7). Der in den Löchern 20 angeordnete Teil der dotierten Polysiliziumschicht 21 wirkt als Gateelektrode für vertikale Transistoren, die aus den dotierten streifenförmigen Gebieten 14a, 14b, die an das jeweilige Loch 20 angrenzen, den dazwischen angeordneten Teil der p-dotierten Wanne 2 und der Gateoxidschicht 22 gebildet werden. Die Schwellenspannung dieser vertikalen MOS-Transistoren ist über die Dotierung der p-dotierten Wanne 2 vorgegeben.

Die Wortleitungen 21a verlaufen im wesentlichen senkrecht zu den Isolationsgräben 16. Sie weisen eine Breite von einer minimalen Strukturbreite F auf und sind im Abstand von zum Beispiel $F = 0,4 \mu\text{m}$ angeordnet. Durch den Abstand benachbarter Wortleitungen 21a sind entlang einer Flanke eines Isolationsgrabens 16 benachbarte Speicherzellen gegeneinander isoliert. Im Bereich des Zellenfeldes 5 sind zum Beispiel 64 Wortleitungen 21a parallel nebeneinander angeordnet. Die Gateelektroden der vertikalen MOS-Transistoren sind herstellungsbedingt mit der jeweiligen Wortleitung 21a verbunden.

Zur Fertigstellung der Festwertspeicherzellenanordnung werden in der Peripherie 6 laterale MOS-Transistoren erzeugt. Dazu werden durch konforme Abscheidung und anisotrope Ätzung einer SiO_2 -Schicht an senkrechten Flanken der Wortleitungen 21a sowie der Gateelektroden 21b SiO_2 -Spacer 23 erzeugt. Durch Implantation mit zum Beispiel Arsen bei einer Energie von 50 keV und einer Dosis von $5 \times 10^{15} \text{ cm}^{-2}$ werden in der Peripherie 6 Source/Drain-Gebiete 24 gebildet. Da die Source/Drain-Gebiete 24 der MOS-Transistoren in der Peripherie 6 vom gleichen Leitfähigkeitstyp dotiert sind wie die Gateelektrode 21b und die Wortleitungen 21a, kann diese Implantation ohne zusätzliche Maske erfolgen.

Zur Herstellung der lateralen MOS-Transistoren in der Peripherie 6 können weitere, aus der MOS-Technik bekannte Verfahrensschritte wie LDD-Profil, HDD-Profil, Salicide-Technik und
5 ähnliches durchgeführt werden.

Unter Verwendung zusätzlicher Masken und Prozesse kann auch ein P-MOS-Transistor in der Peripherie hergestellt werden.

10 Schließlich wird ganzflächig eine planarisierende Zwischenoxidschicht zum Beispiel aus Bor-Phosphor-Silikat-Glas abgeschieden, in der Kontaktlöcher geöffnet werden. Kontaktlöcher werden unter anderem zu den Wortleitungen 21a, zu den streifenförmigen dotierten Gebieten 14a, die am Boden der
15 Isolationsgräben 16 angeordnet sind und zu den streifenförmigen, dotierten Gebieten 14b, die an der Hauptfläche 3 zu den benachbarten Isolationsgräben 16 angeordnet sind, geöffnet. Die Kontaktlöcher werden zum Beispiel mit Wolfram aufgefüllt. Es folgt die Erzeugung einer Metallisierungsebene zum Beispiel durch Abscheidung und Strukturierung einer Aluminiumschicht. Schließlich wird eine Passivierungsschicht aufgebracht. Diese Standardschritte sind nicht im einzelnen dargestellt.

25 In der erfindungsgemäß hergestellten Festwertspeicherzellenanordnung erfolgt die Bewertung der Speicherzelle nach dem „virtual ground“-Prinzip. Jedes der streifenförmigen, dotierten Gebiete 14a, 14b ist zwei Reihen von Speicherzellen zugeordnet. Ein Paar der streifenförmigen, dotierten Gebiete 14a,
30 14b, das aus benachbart angeordneten dotierten Gebieten an der Hauptfläche 14a und am Boden 14b zusammengesetzt ist, ist dabei eindeutig einer Reihe Speicherzellen zugeordnet. Beim Auslesen der Festwertspeicherzellenanordnung wird daher nach Auswahl über die Wortleitung 21a der Stromfluß zwischen einem
35 streifenförmigen dotierten Gebiet 14a am Boden eines Isolationsgrabens und einem benachbarten streifenförmigen dotierten Gebiet 14b an der Hauptfläche 3 bewertet. Die streifenförmigen

gen, dotierten Gebiete 14a, 14b am Boden der Isolationsgräben und an der Hauptfläche 3 wirken je nach Beschaltung als Referenz- oder Bitleitung.

5 Figur 8 zeigt eine Aufsicht auf das Zellenfeld 5 der erfindungsgemäßen Festwertspeicherzellenanordnung. Die Festwertspeicherzellenanordnung umfaßt im Zellenfeld 5 erste Speicherzellen 25 sowie zweite Speicherzellen 26. Die Zellengröße der ersten Speicherzellen 25 und der zweiten Speicherzellen
10 26 sind in Figur 8 als strichpunktierte Linie eingetragen. Die ersten Speicherzellen 25 sind jeweils durch eine punktierte Linie hervorgehoben. In den ersten Speicherzellen 25 ist jeweils ein erster logischer Wert, in den zweiten Speicherzellen 26 ein zweiter logischer Wert gespeichert.

15

Der erste logische Wert wird in den ersten Speicherzellen 25 dadurch eingeschrieben, daß im Bereich der ersten Speicherzellen 25 durch Ätzung des Loches 20 und Bildung von Gateoxid 22 und Gateelektrode 21 ein vertikaler MOS-Transistor gebildet wird, dessen Gateelektrode mit einer der Wortleitungen
20 21a verbunden ist.

Der zweite logische Wert wird in den zweiten Speicherzellen 26 dadurch eingeschrieben, daß im Bereich der zweiten Speicherzellen 26 kein Loch geätzt wird und damit im weiteren
25 Herstellungsverfahren kein vertikaler MOS-Transistor entsteht. Die über die zweiten Speicherzellen 26 verlaufenden Wortleitungen 21a sind damit im Bereich der zweiten Speicherzellen 26 nicht mit einer vertikalen Gateelektrode verbunden.
30 Dadurch kann bei Auswahl einer zweiten Speicherzelle 26 über die entsprechenden streifenförmigen dotierten Gebiete 14a, 14b kein Strom fließen.

Die erfindungsgemäße Festwertspeicherzellenanordnung kann mit
35 neun Masken hergestellt werden, wobei gleichzeitig mit dem Zellenfeld 5 laterale N-MOS Transistoren in der Peripherie 6 hergestellt werden. Der Flächenbedarf einer Speicherzelle 25,

16

26 beträgt in diesem Ausführungsbeispiel $2F^2$, wobei F die in der jeweiligen Lithographie kleinste herstellbare Strukturgröße ist.

5

Patentansprüche

1. Festwertspeicherzellenanordnung,

- 5 - bei der an einer Hauptfläche (3) eines Halbleitersubstrats (1) ein Zellenfeld (5) mit Speicherzellen (25, 26) vorgesehen ist,
- 10 - bei der das Halbleitersubstrat (1) mindestens im Bereich des Zellenfeldes (5) von einem ersten Leitfähigkeitstyp dotiert ist,
- 15 - bei der die Speicherzellen erste Speicherzellen (25), in denen ein erster logischer Wert gespeichert ist und die mindestens einen zur Hauptfläche (3) vertikalen MOS-Transistor aufweisen, und zweite Speicherzellen (26), in denen ein zweiter logischer Wert gespeichert ist und die keinen MOS-Transistor aufweisen, umfassen,
- 20 - bei der im Zellenfeld (5) mehrere, im wesentlichen parallel verlaufende streifenförmige Isolationsgräben (16) vorgesehen sind,
- 25 - bei der am Boden der Isolationsgräben (16) und an der Hauptfläche (3) zwischen benachbarten Isolationsgräben (16) jeweils streifenförmige, dotierte Gebiete (14a, 14b) angeordnet sind, die von einem zweiten, vom ersten entgegengesetzten Leitfähigkeitstyp dotiert sind und die im wesentlichen parallel zu den Isolationsgräben (16) verlaufen,
- 30 - bei der die Speicherzellen jeweils an gegenüberliegenden Flanken der Isolationsgräben (16) angeordnet sind,
- 35 - bei der die ersten Speicherzellen (25) jeweils ein Loch (20) umfassen, das sich von einer Flanke eines der Isolationsgräben (16) in den Isolationsgraben (16) hinein erstreckt, dessen Oberfläche mit einem Gatedielektrikum (22)

versehen ist und das mit einer Gateelektrode (21) aufgefüllt ist, so daß die an die Flanke angrenzenden, streifenförmigen dotierten Gebiete (14a, 14b) die Source/Drain-Gebiete des vertikalen MOS-Transistors bilden,

5

- bei der Wortleitungen (21a) vorgesehen sind, die quer zu den Isolationsgräben (16) verlaufen und die jeweils mit Gateelektroden von vertikalen MOS-Transistoren verbunden sind, die unterhalb der jeweiligen Wortleitung (21a) angeordnet sind.

10

2. Festwertspeicherzellenanordnung nach Anspruch 1,

- bei der der Abstand zwischen benachbarten Isolationsgräben (16) im wesentlichen gleich der Breite der Isolationsgräben (16) ist,

15

- bei der sich in den ersten Speicherzellen (25) das Loch (20) jeweils bis zur halben Breite des Isolationsgrabens (16) erstreckt.

20

3. Verfahren zur Herstellung einer Festwertspeicherzellenanordnung,

- bei dem an einer Hauptfläche (3) eines Halbleitersubstrats (1) ein Zellenfeld (5) mit ersten Speicherzellen (25), in denen ein erster logischer Wert gespeichert ist und die mindestens einen zur Hauptfläche (3) vertikalen MOS-Transistor umfassen, und zweiten Speicherzellen (26), in denen ein zweiter logischer Wert gespeichert ist und die keinen MOS-Transistor umfassen, gebildet wird,

25

30

- bei dem das Halbleitersubstrat (1) mindestens im Bereich des Zellenfeldes (5) von einem ersten Leitfähigkeitstyp dotiert ist,

35

- bei dem mehrere im wesentlichen parallel verlaufende, streifenförmige Isolationsgräben (16) erzeugt werden,
- 5 - bei dem am Boden der Isolationsgräben (16) und an der Hauptfläche (3) zwischen benachbarten Isolationsgräben (16) jeweils streifenförmige, dotierte Gebiete (14a, 14b) gebildet werden, die von einem zweiten, zum ersten entgegengesetzten Leitfähigkeitstyp dotiert sind,
- 10 - bei dem die Speicherzellen jeweils an gegenüberliegenden Flanken der Isolationsgräben (16) gebildet werden, wobei entlang einer Flanke benachbarte Speicherzellen gegeneinander isoliert werden,
- 15 - bei dem zur Bildung vertikaler Transistoren Löcher (20) geöffnet werden, die jeweils an eine Flanke eines der Isolationsgräben (16) angrenzen und bis auf das am Boden des Isolationsgrabens (16) verlaufende dotierte Gebiet (14a) reichen und deren Oberfläche mit einem Gatedielektrikum
20 (22) und einer Gateelektrode (21) versehen wird.

4. Verfahren nach Anspruch 3,

- 25 - bei dem zur Bildung der Isolationsgräben (16) und der streifenförmigen dotierten Gebiete (14a, 14b) an der Hauptfläche des Halbleitersubstrats (1) ein vom zweiten Leitfähigkeitstyp dotiertes Gebiet (7) erzeugt wird, das sich über das gesamte Zellenfeld (5) erstreckt,
- 30 - bei dem eine Grabenmaske erzeugt wird, die die Anordnung der Isolationsgräben (16) definiert,
- 35 - bei dem in einem anisotropen Trockenätzprozeß unter Verwendung der Grabenmaske (10) als Ätzmaske Gräben (160) geätzt werden, wobei die an der Hauptfläche (3) zwischen benachbarten Isolationsgräben (16) angeordneten, streifenförmigen dotierten Gebiete (14b) durch Strukturierung des vom zwei-

ten Leitfähigkeitstyp dotierten Gebietes (7) gebildet werden,

- 5 - bei dem die am Boden der Gräben angeordneten streifenförmigen dotierten Gebiete (14a) durch Ionenimplantation gebildet werden, wobei die Grabenmaske (10) als Implantationsmaske wirkt,
- 10 - bei dem nach Entfernen der Grabenmaske (10) die Isolationsgräben (16) durch Auffüllen der Gräben (160) mit isolierendem Material (15) fertiggestellt werden.

5. Verfahren nach Anspruch 4,

- 15 - bei dem vor der Ionenimplantation zur Bildung der am Boden der Gräben angeordneten streifenförmigen dotierten Gebiete (14a) die Seitenwände der Gräben mit maskierenden Spacern (11) bedeckt werden, die vor dem Auffüllen der Gräben entfernt werden.

20

6. Verfahren nach Anspruch 4 oder 5,

- 25 - bei dem unter der Grabenmaske (10) eine Ätzstoppschicht (9) erzeugt wird, zu der das isolierende Material der Isolationsgräben (16) selektiv ätzbar ist,
- bei dem die Ätzstoppschicht vor der Grabenätzung entsprechend der Grabenmaske (10) strukturiert wird,
- 30 - bei dem nach Fertigstellung der Isolationsgräben (16) eine Photolackmaske (18) erzeugt wird, die die Anordnung der ersten Speicherzellen (25) definiert,
- 35 - bei dem in einem anisotropen Trockenätzprozeß, bei dem die Photolackmaske (18) und die strukturierte Ätzstoppschicht (9) gemeinsam als Ätzmaske wirken, die Löcher (20) für die vertikalen MOS-Transistoren geöffnet werden.

7. Verfahren nach Anspruch 6,

- 5 - bei dem die Isolationsgräben (16) mit SiO_2 gefüllt werden,
- bei dem die Ätzstopschicht (9) mindestens eines der Materialien Si_3N_4 , amorphes Silizium und Polysilizium enthält,
- 10 - bei dem das Halbleitersubstrat (1) mindestens im Bereich des Zellenfeldes (5) monokristallines Silizium umfaßt.

8. Verfahren nach einem der Ansprüche 4 bis 7,

- 15 - bei dem die laterale Ausdehnung des vom zweiten Leitfähigkeitstyp dotierten Gebietes (7) durch eine Photolackmaske (4) definiert wird, die gleichzeitig ein Gebiet für die Peripherie (6) abdeckt,
- 20 - bei dem mit der Grabenmaske (10) auch Gräben (160a) in der Peripherie (6) geätzt werden,
- bei dem die Peripherie (6) bei der Ionenimplantation zur Bildung der streifenförmigen dotierten Gebiete (14a) am Boden der Gräben (160) maskiert wird,
- 25 - bei dem die Gräben (160a) in der Peripherie (6) mit isolierendem Material (15) aufgefüllt werden.

1/4

FIG 1

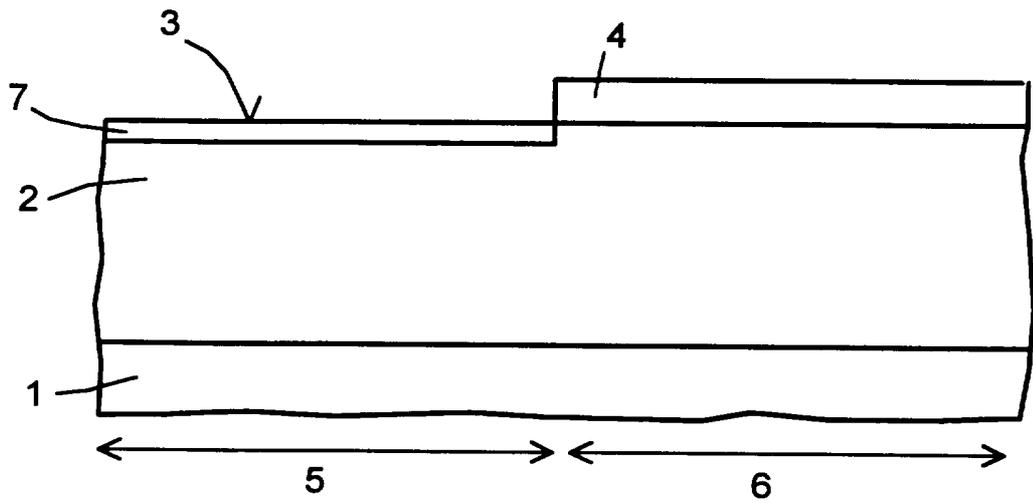


FIG 2

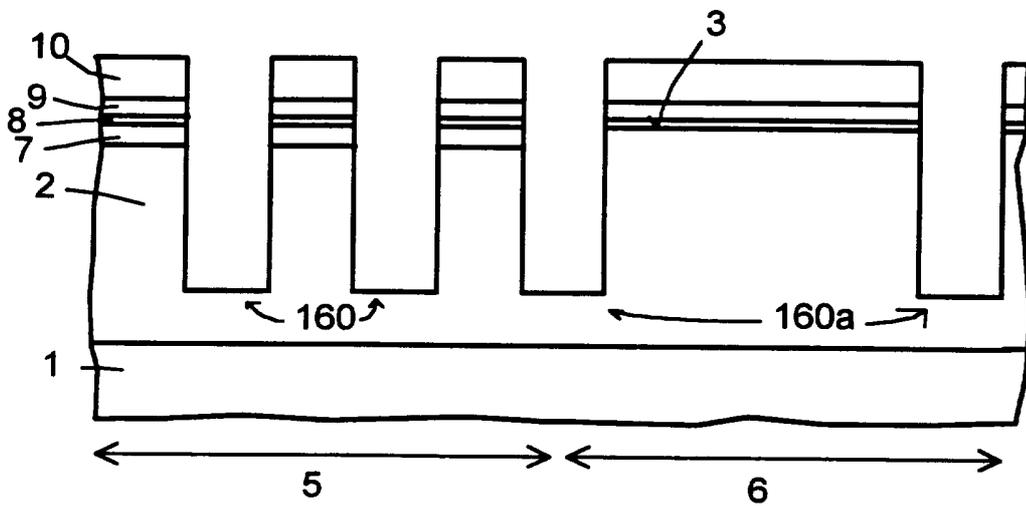


FIG 3

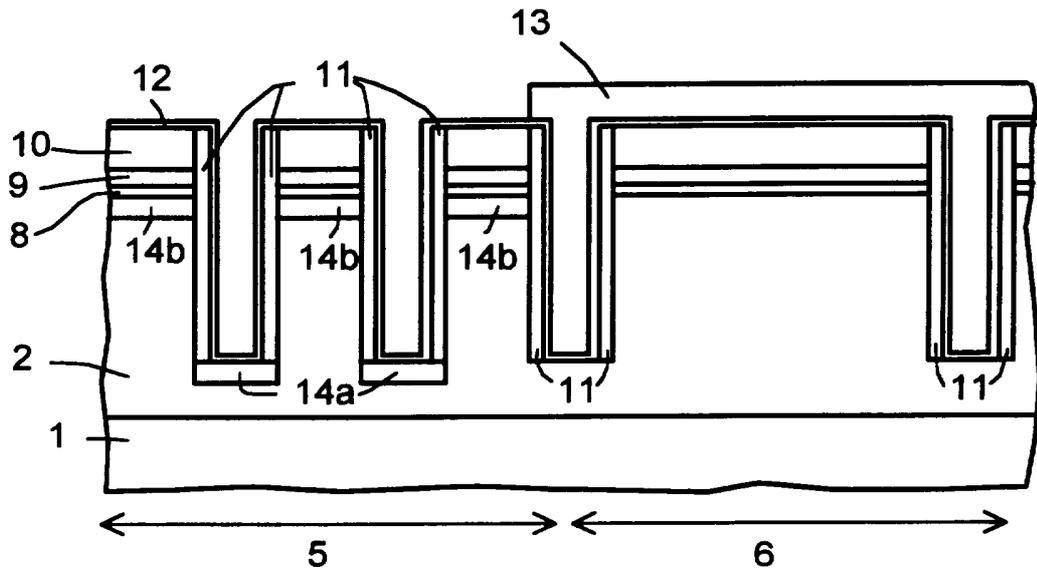


FIG 4

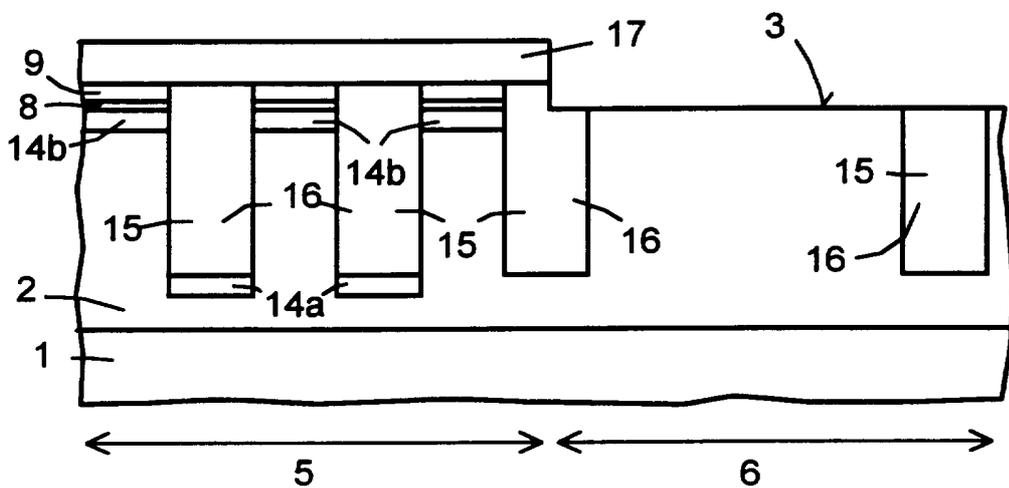


FIG 5

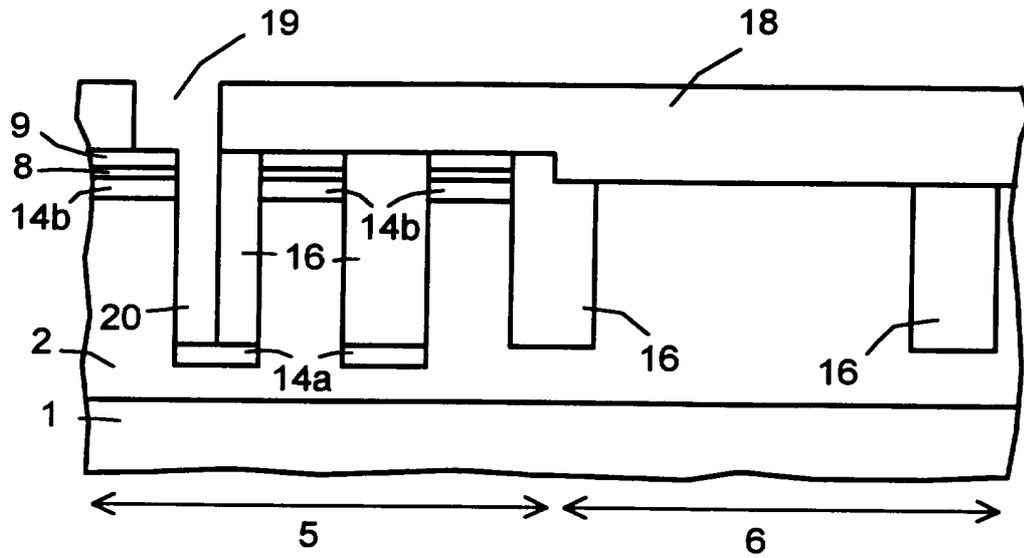


FIG 6

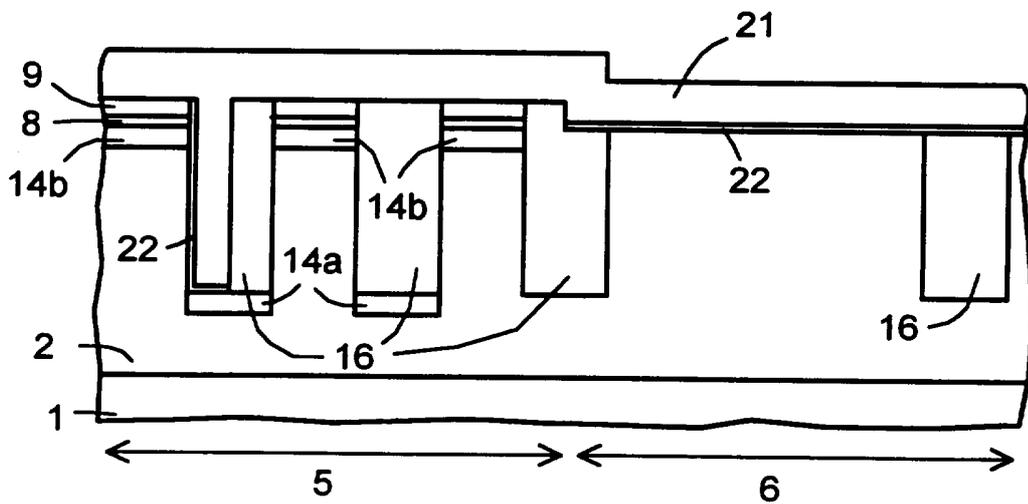


FIG 7

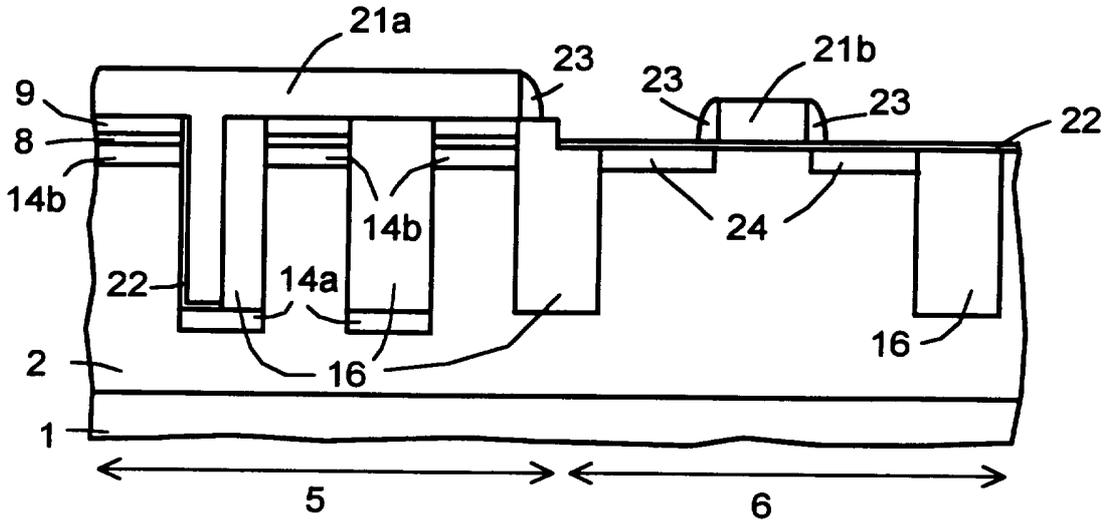
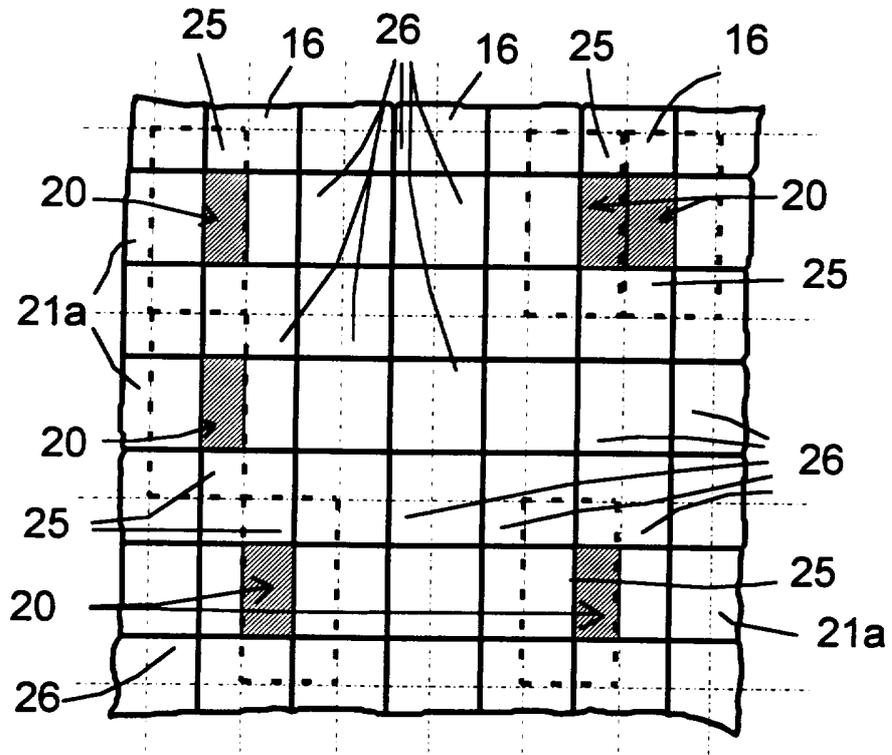


FIG 8



INTERNATIONAL SEARCH REPORT

International Application No

PC1/DE 96/00614

A. CLASSIFICATION OF SUBJECT MATTER
 IPC 6 H01L27/112 H01L21/8246

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
 IPC 6 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	GB,A,2 017 406 (TEXAS INSTRUMENTS INC) 3 October 1979 see page 12, line 85 - page 14, line 19; figures 21-23D ---	1
A	DE,A,42 14 923 (MITSUBISHI ELECTRIC CORP) 3 December 1992 see claims 1,5; figures 3,11 ---	1
A	US,A,4 663 644 (SHIMIZU SHINJI) 5 May 1987 see column 9, line 3 - column 10, line 14; figures 8C-8E,15 -----	3

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *&* document member of the same patent family

Date of the actual completion of the international search

27 August 1996

Date of mailing of the international search report

17. 09. 96

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+ 31-70) 340-2040, Tx. 31 651 epo nl,
 Fax (+ 31-70) 340-3016

Authorized officer

Fransen, L

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 96/00614

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
GB-A-2017406	03-10-79	US-A- 4294001	13-10-81
		US-A- 4290184	22-09-81
		US-A- 4384399	24-05-83
		US-A- 4198693	15-04-80
		US-A- 4230504	28-10-80
		US-A- 4385432	31-05-83
		DE-A- 2909197	04-10-79
		FR-A- 2420824	19-10-79
		JP-A- 54130887	11-10-79
		US-A- 4342100	27-07-82
		US-A- 4390971	28-06-83
DE-A-4214923	03-12-92	JP-A- 4354159	08-12-92
		US-A- 5300804	05-04-94
US-A-4663644	05-05-87	JP-A- 60136378	19-07-85

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 96/00614

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
 IPK 6 H01L27/112 H01L21/8246

Nach der internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchiertes Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
 IPK 6 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	GB,A,2 017 406 (TEXAS INSTRUMENTS INC) 3.Oktober 1979 siehe Seite 12, Zeile 85 - Seite 14, Zeile 19; Abbildungen 21-23D ---	1
A	DE,A,42 14 923 (MITSUBISHI ELECTRIC CORP) 3.Dezember 1992 siehe Ansprüche 1,5; Abbildungen 3,11 ---	1
A	US,A,4 663 644 (SHIMIZU SHINJI) 5.Mai 1987 siehe Spalte 9, Zeile 3 - Spalte 10, Zeile 14; Abbildungen 8C-8E,15 -----	3

Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

Siehe Anhang Patentfamilie

- * Besondere Kategorien von angegebenen Veröffentlichungen :
- *A* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
- *E* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
- *L* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
- *O* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
- *P* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist
- *T* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
- *X* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderscher Tätigkeit beruhend betrachtet werden
- *Y* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderscher Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist
- *Z* Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche 27. August 1996	Absenddatum des internationalen Recherchenberichts 17. 09. 96
Name und Postanschrift der Internationale Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+ 31-70) 340-2040, Tx. 31 651 epo nl, Fax (+ 31-70) 340-3016	Bevollmächtigter Bediensteter Fransen, L

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCI/DE 96/00614

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
GB-A-2017406	03-10-79	US-A- 4294001	13-10-81
		US-A- 4290184	22-09-81
		US-A- 4384399	24-05-83
		US-A- 4198693	15-04-80
		US-A- 4230504	28-10-80
		US-A- 4385432	31-05-83
		DE-A- 2909197	04-10-79
		FR-A- 2420824	19-10-79
		JP-A- 54130887	11-10-79
		US-A- 4342100	27-07-82
		US-A- 4390971	28-06-83
DE-A-4214923	03-12-92	JP-A- 4354159	08-12-92
		US-A- 5300804	05-04-94
US-A-4663644	05-05-87	JP-A- 60136378	19-07-85