

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-54760

(P2011-54760A)

(43) 公開日 平成23年3月17日(2011.3.17)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/74 (2006.01)	H O 1 L 29/74 E	2 C 1 6 2
H O 1 L 33/08 (2010.01)	H O 1 L 33/00 1 2 O	5 C 0 5 1
B 4 1 J 2/44 (2006.01)	B 4 1 J 3/21 L	5 F 0 0 5
B 4 1 J 2/45 (2006.01)	H O 4 N 1/036 A	5 F 0 4 1
B 4 1 J 2/455 (2006.01)	H O 1 L 27/15 B	
審査請求 未請求 請求項の数 11 O L (全 32 頁) 最終頁に続く		

(21) 出願番号 特願2009-202379 (P2009-202379)
 (22) 出願日 平成21年9月2日 (2009.9.2)

(71) 出願人 591044164
 株式会社沖データ
 東京都港区芝浦四丁目11番22号
 (71) 出願人 500002571
 株式会社沖デジタルイメージング
 群馬県高崎市西横手町1番地1
 (74) 代理人 100086807
 弁理士 柿本 恭成
 (74) 代理人 100091362
 弁理士 阿仁屋 節雄
 (74) 代理人 100145872
 弁理士 福岡 昌浩
 (72) 発明者 南雲 章
 東京都八王子市東浅川町550番地の1
 株式会社沖デジタルイメージング内
 最終頁に続く

(54) 【発明の名称】 半導体複合装置、この製造方法、光プリントヘッド及び画像形成装置

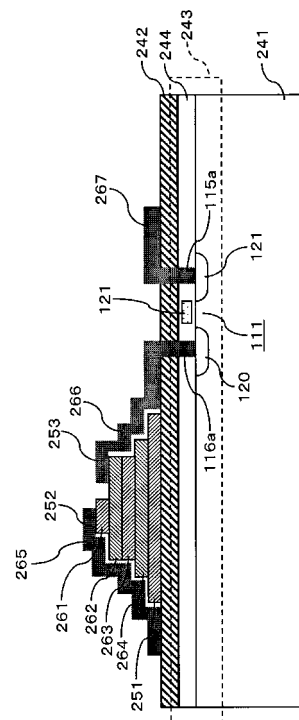
(57) 【要約】

【課題】 製造工程を簡略化して低コスト化を図る。

【解決手段】 半導体複合装置は、シフトレジスタと、これにより時分割駆動される半導体薄膜からなる発光サイリスタアレイとにより構成されている。この製造方法は、例えば、シフトレジスタを構成する複数の回路構成素子243が形成されたシリコン基板241を用意する。シフトレジスタにより駆動される複数の発光サイリスタ261～264が配列された結晶構造を持った半導体薄膜からなる発光サイリスタアレイを、パッシベーション膜242を介してシリコン基板241上に貼着する。フォトリソグラフィ法により、複数の回路構成素子243間を電氣的に接続してシフトレジスタを形成すると共に、そのシフトレジスタ及び複数の発光サイリスタ261～264間を電氣的に接続するメタル配線265～267を形成する。

【選択図】 図1

本発明の実施例1の半導体複合装置の配線構造



【特許請求の範囲】

【請求項 1】

駆動回路を構成する複数の回路構成素子が形成された基板と、
前記基板上に絶縁膜を介して貼着され、前記駆動回路により駆動される複数の被駆動素子が配列された結晶構造を持った半導体薄膜からなる被駆動素子アレイと、
前記複数の回路構成素子間を電氣的に接続して前記駆動回路を形成すると共に、前記駆動回路及び前記複数の被駆動素子間を電氣的に接続する配線と、
を有することを特徴とする半導体複合装置。

【請求項 2】

駆動回路を構成する複数の回路構成素子が形成された基板と、
前記基板上に絶縁膜を介して貼着され、前記駆動回路により駆動される複数の被駆動素子が配列された結晶構造を持った半導体薄膜からなる被駆動素子アレイと、
前記半導体薄膜中に拡散され、前記被駆動素子の主要部を形成する不純物拡散領域と、
前記複数の回路構成素子間を電氣的に接続して前記駆動回路を形成すると共に、前記駆動回路及び前記複数の被駆動素子間を電氣的に接続する配線と、
を有することを特徴とする半導体複合装置。

10

【請求項 3】

前記被駆動素子は、スイッチ素子であることを特徴とする請求項 1 又は 2 記載の半導体複合装置。

【請求項 4】

前記スイッチ素子は、電気信号により光を出射する発光素子であることを特徴とする請求項 3 記載の半導体複合装置。

20

【請求項 5】

前記発光素子は、PNPN 構造又は PNPNP 構造を有する発光サイリスタであることを特徴とする請求項 4 記載の半導体複合装置。

【請求項 6】

前記駆動回路は、前記複数の被駆動素子を時分割駆動するシフトレジスタであることを特徴とする請求項 1 ~ 5 のいずれか 1 項に記載の半導体複合装置。

【請求項 7】

前記複数の回路構成素子は、前記シフトレジスタを構成するためのトランジスタの集合であることを特徴とする請求項 6 記載の半導体複合装置。

30

【請求項 8】

駆動回路を構成する複数の回路構成素子が形成された基板を用意する工程と、
前記駆動回路により駆動される複数の被駆動素子が配列された結晶構造を持った半導体薄膜からなる被駆動素子アレイを、パッシベーション膜を介して前記基板上に貼着する工程と、

フォトリソグラフィ法により、前記複数の回路構成素子間を電氣的に接続して前記駆動回路を形成すると共に、前記駆動回路及び前記複数の被駆動素子間を電氣的に接続するメタル配線を形成する工程と、

を有することを特徴とする半導体複合装置の製造方法。

40

【請求項 9】

駆動回路を構成する複数の回路構成素子が形成された基板を用意する工程と、
前記駆動回路により駆動される複数の被駆動素子が配列された結晶構造を持った半導体薄膜からなる被駆動素子アレイを、パッシベーション膜を介して前記基板上に貼着する工程と、

前記被駆動素子の主要部を形成する不純物を前記半導体薄膜中に拡散する工程と、

フォトリソグラフィ法により、前記複数の回路構成素子間を電氣的に接続して前記駆動回路を形成すると共に、前記駆動回路及び前記複数の被駆動素子間を電氣的に接続するメタル配線を形成する工程と、

を有することを特徴とする半導体複合装置の製造方法。

50

【請求項 10】

請求項 4～7 のいずれか 1 項に記載の半導体複合装置と、
前記複数の発光素子の出射光を収束するレンズアレイと、
を有することを特徴とする光プリントヘッド。

【請求項 11】

請求項 10 記載の光プリントヘッドを有し、
前記光プリントヘッドにより感光体を露光して静電潜像を形成し、前記静電潜像を現像
して記録媒体に画像を形成することを特徴とする画像形成装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、発光サイリスタ等の被駆動素子とこれを駆動する駆動回路等とを有する半導体複合装置と、半導体複合装置の製造方法と、半導体複合装置を備えた光プリントヘッドと、光プリントヘッドを備えた電子写真プリンタ等の画像形成装置に関するものである。

【背景技術】

【0002】

従来、電子写真プリンタ等の画像形成装置には、発光素子を多数配列させて露光部を形成したものがあ

20

【0003】

る。発光サイリスタを用いたものでは、駆動回路と発光サイリスタとが 1 対 1、もしくは 1 対 N (N < 1) に対応するように設けられ、発光サイリスタのアノード端子 (以下単に「アノード」という。) 及びカソード端子 (以下単に「カソード」という。) 間に駆動電流を流すか否かにより、点灯 / 非点灯の状態を切り替えている。点灯状態における発光サイリスタの光出力は、前記駆動電流値により決まるものであり、この駆動電流値を調整することで、プリンタ感光体ドラム等の露光部への露光エネルギー量を調整することができる。

【0004】

一般に発光サイリスタは、化合物半導体を用いて形成されており、この化合物半導体の結晶欠陥に起因する光量ばらつきが不可避であって、化合物半導体を用いた画像形成装置に印刷濃度むらを生じてしまう。そのため、発光サイリスタへの駆動電流値を発光サイリスタ毎に調整することで、光量補正を行う構成が知られている。

30

【0005】

又、下記の特許文献 1 の技術では、ガリウム・砒素 (GaAs) ウェハ基材上に形成したエピタキシャル層に発光サイリスタを形成しておき、該エピタキシャル層をフィルム状に剥離することで得られるエピタキシャルフィルム (以下単に「エピフィルム」という。) を用いている。そして、駆動回路が形成されたシリコン基板のウェハに、エピフィルムを貼着し、発光サイリスタと駆動回路とを薄膜配線を用いて電氣的に接続することで、発光サイリスタと駆動回路とを一体化させた半導体複合装置の製造方法が開示されている。

40

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特開 2007 - 81081 号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、従来の半導体複合装置及びこの製造方法では、次の (a)、(b) のような課題があった。

【0008】

50

(a) 駆動回路内の各構成素子間を接続するメタル配線をフォトリソグラフィ法により予め形成したシリコンウェハを用い、発光サイリスタが形成されたエピフィilmをそのシリコンウェハに貼着した後、駆動回路の出力端子と発光サイリスタのゲート端子（以下単に「ゲート」という。）とをメタル配線により再び接続する必要があった。そのため、半導体複合装置の製造工程において、前記メタル配線工程が2重に必要となり、コスト的な無駄を生じていた。

【0009】

(b) 駆動回路内のメタル配線として、例えば、アルミニウム（Al）を主材料とする薄膜配線が用いられるのに起因して、耐熱性に制約を生じ、前記エピフィilmをシリコンウェハに貼着した後、不純物の熱拡散等の高温を要する処理を行うことが困難であった。

10

【課題を解決するための手段】

【0010】

本発明の内の第1の発明の半導体複合装置は、駆動回路を構成する複数の回路構成素子が形成された基板と、前記基板上にパッシベーション膜を介して貼着され、前記駆動回路により駆動される複数の被駆動素子（例えば、発光素子）が配列された結晶構造を持った半導体薄膜からなる被駆動素子アレイと、前記複数の回路構成素子間を電氣的に接続して前記駆動回路を形成すると共に、前記駆動回路及び前記複数の被駆動素子間を電氣的に接続する配線と、を有することを特徴とする。

【0011】

20

第2の発明の半導体複合装置は、駆動回路を構成する複数の回路構成素子が形成された基板と、前記基板上にパッシベーション膜を介して貼着され、前記駆動回路により駆動される複数の被駆動素子（例えば、発光素子）が配列された結晶構造を持った半導体薄膜からなる被駆動素子アレイと、前記半導体薄膜中に拡散され、前記被駆動素子の主要部を形成する不純物拡散領域と、前記複数の回路構成素子間を電氣的に接続して前記駆動回路を形成すると共に、前記駆動回路及び前記複数の被駆動素子間を電氣的に接続する配線と、を有することを特徴とする。

【0012】

第3の発明の半導体複合装置の製造方法は、駆動回路を構成する複数の回路構成素子が形成された基板を用意する工程と、前記駆動回路により駆動される複数の被駆動素子が配列された結晶構造を持った半導体薄膜からなる被駆動素子アレイを、パッシベーション膜を介して前記基板上に貼着する工程と、フォトリソグラフィ法により、前記複数の回路構成素子間を電氣的に接続して前記駆動回路を形成すると共に、前記駆動回路及び前記複数の被駆動素子間を電氣的に接続するメタル配線を形成する工程と、を有することを特徴とする。

30

【0013】

第4の発明の半導体複合装置の製造方法は、駆動回路を構成する複数の回路構成素子が形成された基板を用意する工程と、前記駆動回路により駆動される複数の被駆動素子が配列された結晶構造を持った半導体薄膜からなる被駆動素子アレイを、パッシベーション膜を介して前記基板上に貼着する工程と、前記被駆動素子の主要部を形成する不純物を前記半導体薄膜中に拡散する工程と、フォトリソグラフィ法により、前記複数の回路構成素子間を電氣的に接続して前記駆動回路を形成すると共に、前記駆動回路及び前記複数の被駆動素子間を電氣的に接続するメタル配線を形成する工程と、を有することを特徴とする。

40

【0014】

第5の発明の光プリントヘッドは、前記第1又は第2の発明の半導体複合装置と、前記複数の被駆動素子（例えば、発光素子）の出射光を収束するレンズアレイと、を有することを特徴とする。

【0015】

第6の発明の画像形成装置は、前記第5の発明の光プリントヘッドを有し、前記光プリントヘッドにより感光体を露光して静電潜像を形成し、前記静電潜像を現像して記録媒体

50

に画像を形成することを特徴とする。

【発明の効果】

【0016】

第1及び第3の発明の半導体複合装置及びこの製造方法によれば、被駆動素子アレイとこの駆動回路との間の配線工程において、駆動回路自体を構成するための複数の回路構成素子間の回路配線をも同時に形成することが可能となる。これにより、製造工程を簡略化できるので、製造コストの大幅な削減が可能となる。

【0017】

第2及び第4の発明の半導体複合装置及びこの製造方法によれば、前記第1及び第3の発明と同様の効果を有している。その上、被駆動素子アレイを基板上に貼着した後に、被駆動素子の主要部を形成する不純物を半導体薄膜中に拡散するので、不純物濃度を高くでき、被駆動素子の性能を向上できる。更に、不純物を選択的に拡散させることで、この拡散位置の位置決めが容易になって位置精度の向上を図ることができ、併せて拡散面積の小型化を図ることも可能となる。

【0018】

第5の発明の光プリントヘッドによれば、被駆動素子の配列ピッチの小さい高精細な光プリントヘッドを実現することができる。

【0019】

第6の発明の画像形成装置によれば、スペース効率及び光取り出し効率に優れた高品質の画像形成装置を実現することができる。

【図面の簡単な説明】

【0020】

【図1】図1は本発明の実施例1における図7-4の半導体複合装置の配線構造を示す模式的な断面図である。

【図2】図2は本発明の実施例1における画像形成装置を示す概略の構成図である。

【図3】図3は図2の画像形成装置1におけるプリンタ制御回路の構成を示すブロック図である。

【図4】図4は図3中の光プリントヘッド13の構造を示す概略の断面図である。

【図5】図5は図4中の光プリントヘッド基板ユニットを示す斜視図である。

【図6】図6は図5中のドライバIC100及び発光サイリスタアレイ200からなる半導体複合装置のチップの構成を示す回路図である。

【図7-1】図7-1は図6中のメサ型発光サイリスタ210の製造方法を示す模式的な断面図である。

【図7-2】図7-2は図6中のメサ型発光サイリスタ210の製造方法を示す模式的な断面図である。

【図7-3】図7-3は半導体複合装置の製造方法を示す模式的な断面図である。

【図7-4】図7-4は複合チップの模式的な平面を示す図である。

【図8】図8は図7-3及び図1におけるメサ型複合チップの概略の製造工程を示す図である。

【図9】図9は図6の光プリントヘッド13の動作を説明するためのタイムチャートである。

【図10】図10は実施例1の図6(a)における光プリントヘッド13の構成の変形例を示す回路図である。

【図11】図11は図10の光プリントヘッド13の動作を説明するためのタイムチャートである。

【図12-1】図12-1は拡散型発光サイリスタ210Aの製造方法を示す模式的な断面図である。

【図12-2】図12-2は拡散型発光サイリスタ210Aの製造方法を示す模式的な断面図である。

【図12-3】図12-3は半導体複合装置の製造方法を示す模式的な断面図である。

10

20

30

40

50

【図 1 2 - 4】図 1 2 - 4 は本実施例 2 における複合チップの模式的な平面を示す図である。

【図 1 3】図 1 3 は本発明の実施例 2 における図 1 2 - 4 の半導体複合装置の配線構造を示す模式的な断面図である。

【図 1 4】図 1 4 は図 1 2 - 3 及び図 1 3 における拡散型複合チップの概略の製造工程を示す図である。

【発明を実施するための形態】

【0021】

本発明を実施するための形態は、以下の好ましい実施例の説明を添付図面と照らし合わせて読むと、明らかになるであろう。但し、図面はもっぱら解説のためのものであって、本発明の範囲を限定するものではない。

【実施例 1】

【0022】

(実施例 1 の画像形成装置)

図 2 は、本発明の実施例 1 における画像形成装置を示す概略の構成図である。

【0023】

この画像形成装置 1 は、被駆動素子である発光素子（例えば、三端子スイッチ素子である発光サイリスタ）及びこの駆動回路を有する半導体複合装置を搭載した光プリントヘッドを用いた電子写真カラープリンタであり、ブラック（K）、イエロー（Y）、マゼンタ（M）及びシアン（C）の各色の画像を各々に形成する 4 個のプロセスユニット 10 - 1 ~ 10 - 4 を有し、これらが記録媒体（例えば、用紙）20 の搬送経路の上流側から順に配置されている。各プロセスユニット 10 - 1 ~ 10 - 4 の内部構成は共通しているため、例えば、マゼンタのプロセスユニット 10 - 3 を例にとり、これらの内部構成を説明する。

【0024】

プロセスユニット 10 - 3 には、像担持体としての感光体ドラム 11 が図 2 中の矢印方向に回転可能に配置されている。感光体ドラム 11 の周囲には、この回転方向上流側から順に、感光体ドラム 11 の表面に電荷を供給して帯電させる帯電装置 12 と、帯電された感光体ドラム 11 の表面に選択的に光を照射して静電潜像を形成する露光装置（例えば、光プリントヘッド）13 が配設されている。更に、静電潜像が形成された感光体ドラム 11 の表面に、マゼンタ（所定色）のトナーを付着させて顕像を発生させる現像器 14 と、感光体ドラム 11 上のトナーの顕像を用紙 20 に転写した後に残留したトナーを除去するクリーニング装置 15 が配設されている。なお、これら各装置に用いられているドラム又はローラは、図示しない駆動源からギア等を経由して動力が伝達され回転する。

【0025】

画像形成装置 1 の下部には、用紙 20 を堆積した状態で収納する用紙カセット 21 が装着され、その上方に、用紙 20 を 1 枚ずつ分離させて搬送するためのホッピングローラ 22 が配設されている。用紙 20 の搬送方向におけるホッピングローラ 22 の下流側には、ピンチローラ 23、24 と共に用紙 20 を挟持することによってこの用紙 20 を搬送する搬送ローラ 25 と、用紙 20 の斜行を修正し、プロセスユニット 10 - 1 に搬送するレジストローラ 26 とが配設されている。これらのホッピングローラ 22、搬送ローラ 25 及びレジストローラ 26 は、図示しない駆動源からギア等を経由して動力が伝達され回転する。

【0026】

プロセスユニット 10 - 1 ~ 10 - 4 の各感光体ドラム 11 に対向する位置には、それぞれ半導電性のゴム等によって形成された転写器 27 が配設されている。各転写器 27 には、感光体ドラム 11 上に付着されたトナーによる顕像を用紙 20 に転写する転写時に、各感光体ドラム 11 の表面電位とこれら各転写器 27 の表面電位に電位差を持たせるための電圧が印加されている。

【0027】

10

20

30

40

50

プロセスユニット 10 - 4 の下流には、定着器 28 が配設されている。定着器 28 は、ヒータが内蔵された加熱ローラとバックアップローラとを有し、用紙 20 上に転写されたトナーを加圧・加熱することによって定着する装置であり、この下流に、排出口ローラ 29, 30、排出部のピンチローラ 31, 32、及び用紙スタッカ部 33 が設けられている。排出口ローラ 29, 30 は、定着器 28 から排出された用紙 20 を、排出部のピンチローラ 31, 32 と共に挟持し、用紙スタッカ部 33 に搬送する。これら定着器 28 及び排出口ローラ 29 等は、図示しない駆動源からギア等を経由して動力が伝達されて回転する。

【0028】

このように構成される画像形成装置 1 は、次のように動作する。

まず、用紙カセット 21 に堆積した状態で収納されている用紙 20 が、ホッピングローラ 22 によって、上から 1 枚ずつ分離されて搬送される。続いて、この用紙 20 は、搬送ローラ 25、レジストローラ 26 及びピンチローラ 23, 24 に挟持されて、プロセスユニット 10 - 1 の感光体ドラム 11 と転写器 27 の間に搬送される。その後、用紙 20 は、感光体ドラム 11 及び転写器 27 に挟持され、その記録面にトナー像が転写されると同時に感光体ドラム 11 の回転によって搬送される。同様に、用紙 20 は、順次プロセスユニット 10 - 2 ~ 10 - 4 を通過し、その通過過程で、各光プリントヘッド 13 により形成された静電潜像を各現像器 14 によって現像した各色のトナー像が、その記録面に順次転写されて重ね合わされる。

【0029】

このようにして記録面上に各色のトナー像が重ね合わされた後、定着器 28 によってトナー像が定着された用紙 20 は、排出口ローラ 29, 30 及びピンチローラ 31, 32 に挟持されて、画像形成装置 1 の外部の用紙スタッカ部 33 に排出される。以上の過程を経て、カラー画像が用紙 20 上に形成される。

【0030】

(プリント制御回路)

図 3 は、図 2 の画像形成装置 1 におけるプリント制御回路の構成を示すブロック図である。

【0031】

このプリント制御回路は、画像形成装置 1 における印字部の内部に配設された印刷制御部 40 を有している。印刷制御部 40 は、マイクロプロセッサ、読み出し専用メモリ (ROM)、随時読み書き可能なメモリ (RAM)、信号の入出力を行う入出力ポート、タイマ等によって構成され、図示しない画像処理部からの制御信号 SG1、及びビデオ信号 (ドットマップデータを一次元的に配列したもの) SG2 等によって画像形成装置全体をシーケンス制御して印刷動作を行う機能を有している。印刷制御部 40 には、プロセスユニット 10 - 1 ~ 10 - 4 の 4 個の光プリントヘッド 13、定着器 28 のヒータ 28a、ドライバ 41, 43、用紙吸入口センサ 45、用紙排出口センサ 46、用紙残量センサ 47、用紙サイズセンサ 48、定着器用温度センサ 49、帯電用高圧電源 50、及び転写用高圧電源 51 等が接続されている。ドライバ 41 には現像・転写プロセス用モータ (PM) 42 が、ドライバ 43 には用紙送りモータ (PM) 44 が、帯電用高圧電源 50 には現像器 14 が、転写用高圧電源 51 には転写器 27 が、それぞれ接続されている。

【0032】

このような構成のプリント制御回路では、次のような動作を行う。

印刷制御部 40 は、画像処理部からの制御信号 SG1 によって印刷指示を受信すると、まず、温度センサ 49 によって定着器 28 内のヒータ 28a が使用可能な温度範囲にあるか否かを検出し、温度範囲になればヒータ 28a に通電し、使用可能な温度まで定着器 28 を加熱する。次に、ドライバ 41 を介して現像・転写プロセス用モータ 42 を回転させ、同時にチャージ信号 SGC によって帯電用高圧電源 50 をオン状態にし、現像器 14 の帯電を行う。

【0033】

そして、セットされている図 2 中の用紙 20 の有無及び種類が用紙残量センサ 47、用

10

20

30

40

50

紙サイズセンサ 48 によって検出され、その用紙 20 に合った用紙送りが開始される。ここで、用紙送りモータ 44 には、図示しない遊星ギア機構が接続されており、ドライバ 43 を介して双方向に回転させることが可能になっている。そのため、用紙送りモータ 44 の回転方向を変えることにより、画像形成装置内部の異なる用紙送り用の搬送ローラ 25 等を選択的に駆動することができる構成になっている。

【0034】

用紙 1 ページの印刷開始毎に、用紙送りモータ 44 を最初に逆転させて、用紙吸入口センサ 45 が検知するまで、セットされた用紙 20 を予め設定された量だけ送る。続いて、正回転させて用紙 20 を画像形成装置内部の印刷機構内に搬送する。

【0035】

印刷制御部 40 は、用紙 20 が印刷可能な位置まで到達した時点において、図示しない画像処理部に対してタイミング信号 SG3 (主走査同期信号、副走査同期信号を含む)を送信し、ビデオ信号 SG2 を受信する。画像処理部においてページ毎に編集され、印刷制御部 40 に受信されたビデオ信号 SG2 は、印刷データ信号として各光プリントヘッド 13 に転送される。各光プリントヘッド 13 は、それぞれ 1 ドット (ピクセル) の印字のために設けられた発光サイリスタを複数個線上に配列したものである。

【0036】

ビデオ信号 SG2 の送受信は、印刷ライン毎に行われる。光プリントヘッド 13 からの発光は、マイナス電位に帯電された感光体ドラム 11 上に照射される。これにより、印刷される情報は、感光体ドラム 11 上において電位の上昇したドットとして潜像化される。そして、現像器 14 において、マイナス電圧に帯電された画像形成用のトナーが、電氣的な吸引力によって各ドットに吸引され、トナー像が現像形成される。

【0037】

その後、トナー像は転写器 27 へ送られ、一方、転写信号 SG4 によってプラス電圧に転写用高圧電源 51 がオン状態になり、転写器 27 は感光体ドラム 11 と転写器 27 との間隔を通過する用紙 20 上にトナー像を転写する。転写されたトナー像を有する用紙 20 は、ヒータ 28a を内蔵する定着器 28 に当接して搬送され、この定着器 28 の熱によって用紙 20 に定着される。この定着された画像を有する用紙 20 は、更に搬送されて画像形成装置 1 の印刷機構から用紙排出口センサ 46 を通過して画像形成装置外部へ排出される。

【0038】

印刷制御部 40 は、用紙サイズセンサ 48、及び用紙吸入口センサ 45 の検知に対応して、用紙 20 が転写器 27 を通過している間だけ転写用高圧電源 51 からの電圧を転写器 27 に印加する。印刷が終了し、用紙 20 が用紙排出口センサ 46 を通過すると、帯電用高圧電源 50 による現像器 14 への電圧の印加を終了し、同時に現像・転写プロセス用モータ 42 の回転を停止させる。以後、上記の動作を繰り返す。

【0039】

(光プリントヘッドの構造)

図 4 は、図 3 中の光プリントヘッド 13 の構造を示す概略の断面図である。

【0040】

この光プリントヘッド 13 は、ベース部材 13a を有し、このベース部材 13a 上にプリント配線板 13b が固定されている。プリント配線板 13b 上には、複数個のチップ状のドライバ IC 100 が熱硬化性樹脂等により固着され、これらのドライバ IC 100 上に、複数個の被駆動素子アレイ (例えば、チップ状の発光サイリスタアレイ) 200 が貼着されている。複数個の発光サイリスタアレイ 200 上には、柱状の光学素子を多数配列してなるロッドレインズアレイ 13c が配置され、このロッドレインズアレイ 13c がホルダ 13d により固定されている。ベース部材 13a、プリント配線板 13b 及びホルダ 13d は、クランプ部材 13e、13f により固定されている。

【0041】

(光プリントヘッド基板ユニット)

図 5 は、図 4 中の光プリントヘッド基板ユニットを示す斜視図である。

【 0 0 4 2 】

この光プリントヘッド基板ユニットは、プリント配線板 1 3 b を有し、このプリント配線板 1 3 b 上に、発光サイリスタ駆動用の駆動回路（例えば、ゲート駆動用のシフトレジスタ）がそれぞれ形成された複数個のチップ状のドライバ IC 1 0 0 が固着されている。複数個のドライバ IC 1 0 0 上には、エピフィルムによりそれぞれ形成された複数個のチップ状の発光サイリスタアレイ 2 0 0 が貼着されている。各ドライバ IC 1 0 0 と各発光サイリスタアレイ 2 0 0 とは、薄膜配線を用いて接続され、これらの各ドライバ IC 1 0 0 と各発光サイリスタアレイ 2 0 0 とにより、半導体複合装置のチップが形成されている。各ドライバ IC 1 0 0 及び各発光サイリスタアレイ 2 0 0 の各端子と、プリント配線板 1 3 b 上の図示しない端子パッドとは、ボンディングワイヤ 1 3 g により接続されている。

10

【 0 0 4 3 】

このような光プリントヘッド基板ユニットを製造する場合、例えば、前記半導体複合装置のチップが多数配列されたウェハを公知のダイシング法を用いて複数のチップに分離し、このチップをプリント配線板 1 3 b 上に固着した後、ボンディングワイヤ 1 3 g により、前記複数のチップとプリント配線板 1 3 b とを接続している。

【 0 0 4 4 】

（半導体複合装置のチップ）

図 6 (a)、(b) は、図 5 中のドライバ IC 1 0 0 及び発光サイリスタアレイ 2 0 0 からなる半導体複合装置のチップの構成を示す回路図であり、同図 (a) は全体の回路図、及び、同図 (b) は同図 (a) 中のシフトレジスタの回路図である。

20

【 0 0 4 5 】

ドライバ IC 1 0 0 は、例えば、発光サイリスタアレイ 2 0 0 を時分割駆動するゲート駆動用のシフトレジスタ 1 0 1 により構成されている。シフトレジスタ 1 0 1 は、複数段（例えば、8 段）のフリップフロップ回路（以下「 F F 」という。） 1 1 0 - 1 ~ 1 1 0 - 8 がカスケード（縦続）接続されて構成され、例えば、シリコン基材を用いて形成されている。このシフトレジスタ 1 0 1 は、シリアルデータ S I を入力するデータ入力端子 A と、シリアルクロック S C K を入力するクロック入力端子 C K と、シフトされたデータを出力する 8 個の出力端子 Q 1 ~ Q 8 とを有している。データ入力端子 A は、シフトレジスタ 1 0 1 内における第 1 段の F F 1 1 0 - 1 のデータ入力端子 d に接続され、8 個の出力端子 Q 1 ~ Q 8 は、各 F F 1 1 0 - 1 ~ 1 1 0 - 8 のデータ出力端子 q にそれぞれ接続され、更に、クロック入力端子 C K は、各 F F 1 1 0 - 1 ~ 1 1 0 - 8 のクロック入力端子 c k にそれぞれ接続されている。

30

【 0 0 4 6 】

このような構成のシフトレジスタ 1 0 1 は、入力されるシリアルクロック S C K に同期して、入力されるシリアルデータ S I を内部の F F 1 1 0 - 1 ~ 1 1 0 - 8 にて順にシフトしていき、シフトされたデータを出力端子 Q 1 ~ Q 8 から出力する機能を有している。なお、出力端子 Q 1 ~ Q 8 は、説明を簡単にするために 8 個のみが図示されているが、例えば、A 4 サイズの用紙 2 0 に 1 インチ当たり 6 0 0 ドットの解像度で印刷可能な光プリントヘッド 1 3 においては、出力端子 Q 1 ~ Q 8 の総数は 4 9 9 2 個であり、これが設けられることになる。

40

【 0 0 4 7 】

シフトレジスタ 1 0 1 に接続された発光サイリスタアレイ 2 0 0 は、例えば、エピフィルムを用いて形成された複数の発光サイリスタ 2 1 0 (= 2 1 0 - 1 ~ 2 1 0 - 8) により構成されている。前記出力端子 Q 1 ~ Q 8 と同様に、発光サイリスタ 2 1 0 は、説明を簡単にするために 8 個のみが図示されているが、例えば、4 9 9 2 個が配列されている。各発光サイリスタ 2 1 0 - 1 ~ 2 1 0 - 8 は、アノードが端子 D に共通に接続され、カソードがグランド G N D に接続され、ゲートがシフトレジスタ 1 0 1 の各出力端子 Q 1 ~ Q 8 にそれぞれ接続されている。

50

【 0 0 4 8 】

端子Dには、図示しないアノード駆動回路が接続され、このアノード駆動回路から供給されるアノード駆動電流が、各発光サイリスタ210-1~210-8のアノードに供給されるようになっている。

【 0 0 4 9 】

図示しないアノード駆動回路は、例えば、図3中の印刷制御部40内に搭載することが好ましく、図6においても、印刷制御部40内に設けられるとして、図示が省略されている。なお、アノード駆動回路は、光プリントヘッド13内に設けてもよい。

【 0 0 5 0 】

このように構成されるシフトレジスタ101及び発光サイリスタアレイ200は、例えば、次のようにして製造される。

10

【 0 0 5 1 】

エピフィルム上にPNPN層からなる複数の発光サイリスタ210-1~210-8を形成しておく。シフトレジスタ101を構成するに足りるトランジスタが予め形成されたICウェハ上に、前記エピフィルムを貼着し、このエピフィルムの不要部をエッチング除去することで、発光サイリスタ210-1~210-8の要部を形成する。その後、前記トランジスタ各部と前記発光サイリスタ210-1~210-8の端子部とを、薄膜配線により接続すれば製造が終了する。

【 0 0 5 2 】

(半導体複合装置からなる複合チップの構造及び製造方法)

20

本発明の実施例1における図6のドライバIC100及び発光サイリスタアレイ200により構成される半導体複合装置からなる複合チップは、例えば、以下の(1)~(5)の工程により製造される。

【 0 0 5 3 】

(1) 図7-1、図7-2の工程

図7-1及び図7-2は、図6中のメサ型発光サイリスタ210の製造方法を示す模式的な断面図である。

【 0 0 5 4 】

図7-1に示すように、図6中のメサ型発光サイリスタ210の製造方法では、例えば、有機金属化学蒸着法(Metal Organic Chemical Vapor Deposition、以下「MOCVD法」という。)や分子線エピタキシー法(Molecular Beam Epitaxy、以下「MBE法」という。)等を用い、以下のようにして、エピフィルム製造用基材220上にエピタキシャル層230を形成する。

30

【 0 0 5 5 】

まず、GaAs基板221上に、GaAsバッファ層222を成膜してエピフィルム製造用基材220を形成し、更に、GaAsバッファ層222上に、犠牲膜であるアルミニウム・砒素(A1As)剥離層231を成膜する。

【 0 0 5 6 】

なお、後述する工程において、基材220上にエピタキシャル層230を成膜した後、このエピタキシャル層230を剥離してエピフィルム230-1を形成するのであるが、エピタキシャル層230を剥離した後のGaAs基板221を含む基材220は、製造開始時の形態をとどめており、新しいエピタキシャル層230を成膜するために再利用することができる。

40

【 0 0 5 7 】

前記A1As剥離層231を成膜した後、この上に、n型アルミニウム・ガリウム・砒素(A1GaAs)層232と、n型GaAsコンタクト層233を順に成膜する。次いで、インジウム・ガリウム・リン(InGaP)エッチングストップ層234、p型A1GaAs層235、n型A1GaAs層236、InGaPエッチングストップ層237、p型A1GaAs層238、及び、p型GaAsコンタクト層239を順に成膜して、エピタキシャル層230を形成する。

50

【 0 0 5 8 】

なお、図 7 - 1 においては説明を簡略化するために、A 1 G a A s の混晶比を変えた複層構造として図示していないが、混晶比を様々に変えることで、シングルヘテロ接合、ダブルヘテロ接合を実現することができる。

【 0 0 5 9 】

次に、図 7 - 2 に示すように、例えば、フォトリソグラフィ法とウェットエッチング法を用いて、A 1 A s 剥離層 2 3 1 を選択的に除去する。

【 0 0 6 0 】

ウェットエッチング法を用いた場合、ウェットエッチング薬液の組成を適切に選択することで、A 1 A s 剥離層 2 3 1 に対するエッチング速度を、A l G a A s 層、G a A s 層、及びエッチングストップ層に対するエッチング速度に比べ格段に大きくすることができ、A 1 A s 剥離層 2 3 1 を選択的にエッチングすることが可能である。

【 0 0 6 1 】

これにより、エピタキシャル層 2 3 0 をエピフィルム製造用基材 2 2 0 から剥がしてエピフィルム 2 3 0 - 1 を形成することが可能になる。そのため、図 7 - 2 に示すように、エピタキシャル層 2 3 0 をエッチングし、溝 2 4 0 を形成しておく。溝 2 4 0 の形成は、溝部の予定領域以外をレジスト等によりマスクするフォトリソグラフィ工程と、例えばクエン酸 / アンモニア / 過酸化水素水を調製したエッチング薬液を用いるウェットエッチング法とを用いて行うことができる。

【 0 0 6 2 】

なお、図 7 - 2 には、A 1 A s 剥離層 2 3 1 の一部が残されている状態（エッチング途中）が図示されているが、エピフィルム 2 3 0 - 1 を保持した状態で、最終的に A 1 A s 剥離層 2 3 1 は完全に除去される。

【 0 0 6 3 】

エピフィルム 2 3 0 - 1 の剥離に際して、このエピフィルム 2 3 0 - 1 を支持及び保護する支持体を、エピフィルム 2 3 0 - 1 上に設けることができる。例えば、エピフィルム 2 3 0 - 1 上に支持体を設けた場合、エピフィルム支持体表面を、例えば、真空吸着や、光照射により粘着性を失う光硬化性粘着シート等により吸着し、所定の位置に移動することができる。

【 0 0 6 4 】

(2) 図 7 - 3 の工程

図 7 - 3 は、半導体複合装置の製造方法を示す模式的な断面図である。

【 0 0 6 5 】

図 7 - 3 に示すように、複数の半導体複合装置を有する複合チップの製造方法では、図 6 中のシフトレジスタ 1 0 1 を構成するためのトランジスタが形成された I C ウェハ 2 4 0 上に、エピフィルム 2 3 0 - 1 を貼着する。

【 0 0 6 6 】

ここで、I C ウェハ 2 4 0 は、図示を省略したシフトレジスタ 1 0 1 を構成するためのトランジスタが形成されたシリコン基板 2 4 1 を有し、このシリコン基板 2 4 1 の表面が、保護膜であるパッシベーション膜 2 4 2 により被覆され、更に、このパッシベーション膜 2 4 2 上に、ポリイミド等の平坦化膜である接着層 2 5 1 が形成されている。接着層 2 5 1 上には、エピフィルム 2 3 0 - 1 が貼着され、更に、アノード 2 5 2、ゲート 2 5 3 及びカソード 2 5 4 が形成されて、複数のメサ型発光サイリスタ 2 1 0 が形成される。

【 0 0 6 7 】

以下、具体的な製造方法を説明する。

エピフィルム 2 3 0 - 1 は、n 型 A 1 G a A s 層 2 3 2 と、n 型 G a A s コンタクト層 2 3 3 と、I n G a P エッチングストップ層 2 3 4 と、p 型 A 1 G a A s 層 2 3 5 と、n 型 A 1 G a A s 層 2 3 6 と、I n G a P エッチングストップ層 2 3 7 と、p 型 A 1 G a A s 層 2 3 8 と、p 型 G a A s コンタクト層 2 3 9 とを順に積層させた構造を持つ。

【 0 0 6 8 】

図 7 - 3 においては、各層のエッチング端面が切り立った段差状に描かれているが、これは作図を簡略化しているためであり、後述する電極配線を行うときに前記段差部で断線しないよう斜面を形成することが望ましい。このため、A 1 G a A s からなるエピフィルム 2 3 0 - 1 をエッチングする際、前記斜面を形成しやすくするために、その結晶方位とエッチング薬液の調製を行うことで、メサ台地状の形状を与えることができる。

【 0 0 6 9 】

前記エッチング加工の後、図示を省略した絶縁膜を付加し、この絶縁膜の開口部として形成された n 型 G a A s コンタクト層 2 3 3 上にメタル電極を形成することで、発光サイリスタ 2 1 0 のカソード 2 5 4 とし、n 型 A 1 G a A s 層 2 3 6 上にメタル電極を形成することで、発光サイリスタ 2 1 0 のゲート 2 5 3 とし、更に、p 型 G a A s コンタクト層 2 8 9 上にメタル電極を形成することで、発光サイリスタ 2 1 0 のアノード 2 5 2 としている。

10

【 0 0 7 0 】

なお、メタル電極からなるアノード 2 5 2、ゲート 2 5 3 及びカソード 2 5 4 は、それぞれ別の工程で形成することも可能であるが、それぞれが平面的に交差しないように配置することで、一括して同じ工程で形成することが可能であって、より好ましい。

【 0 0 7 1 】

又、エピフィルム 2 3 0 - 1 の材料として、A 1 G a A s からなる化合物半導体結晶を用いているが、この他に A 1 G a I n P、ガリウム・窒素 (G a N)、A 1 G a N、I n G a N 等の他の材料を用いることも可能である。

20

【 0 0 7 2 】

更に補足すれば、前記説明においては、図示を簡略化するためにホモ接合型の発光サイリスタ 2 1 0 として説明したが、エピタキシャル層 2 3 0 として、シングルヘテロ型に複数のエピタキシャル層を積層して P N P N 接合構造のシングルヘテロ型発光サイリスタ、や、エピタキシャル層 2 3 0 として、ダブルヘテロ型に複数のエピタキシャル層を積層して P N P N 接合構造のダブルヘテロ型発光サイリスタ、あるいは、更に多数の屈折率分布層を形成した分布反射 (Distributed Bragg Refraction、以下「 D B R 」という。) 型発光サイリスタとすることも可能である。

【 0 0 7 3 】

(3) 図 7 - 4 (a)、(b) の工程

30

図 7 - 4 (a)、(b) は、複合チップの模式的な平面を示す図であって、後述する配線工程の前の状態が模式的に示されている。このうち、図 7 - 4 (a) は複合チップの平面図、及び、図 7 - 4 (b) は図 7 - 4 (a) 中の N チャネル M O S トランジスタ (以下「 N M O S 」という。) 及び P チャネル M O S トランジスタ (以下「 P M O S 」という。) の平面図である。

【 0 0 7 4 】

図 7 - 4 (a) において、シリコン基板 2 4 1 の領域に図示された外周線は、前述したダイシング工程によりチップ状に個片化される時のダイシング予定線を示し、このダイシング予定線内にエピフィルム 2 3 0 - 1 が貼着される。エピフィルム 2 3 0 - 1 の不要領域がエッチング除去され、p 型 G a A s コンタクト層 2 3 9 が露出されてアノード領域が形成され、n 型 A 1 G a A s 層 2 3 6 が露出されてゲート領域が形成され、更に、n 型 G a A s コンタクト層 2 3 3 が露出されてエピフィルム 2 3 0 - 1 の貼着領域と略等しいカソード領域が形成される。

40

【 0 0 7 5 】

これらのアノード領域、ゲート領域、及びカソード領域上には、アノード 2 5 2、ゲート 2 5 3、及びカソード 2 5 4 が形成された後、全面が図示しない絶縁膜により覆われ、この絶縁膜の所定箇所にコンタクト用の開口部が形成されてアノード 2 5 2、ゲート 2 5 3、及びカソード 2 5 4 が露出している。

【 0 0 7 6 】

エピフィルム 2 3 0 - 1 の近傍のシリコン基板 2 4 1 内には、例えば、図 6 中のシフト

50

レジスタ101のFF110-1~110-8を構成するためのPMOS111, 112、及びNMOS113, 114等が形成されている。図7-4においては、図示を簡略化する目的で回路図シンボルが描画されている。

【0077】

PNMOS111は、ソース端子(以下単に「ソース」という。)115、及びドレイン端子(以下単に「ドレイン」という。)を有している。更に、NMOS113は、ソース118、及びドレイン117を有している。PMOS111及びNMOS113は、後述するポリシリコン配線上に設けた共通のゲート端子(以下単に「ゲート」という。)119を有している。

【0078】

なお、PMOS111とNMOS113、及び、PMOS112とNMOS114とで、それぞれゲートを共通に接続して図示されているが、これらは後ほど行われるメタル配線工程において、ソース115は図示しない電源と、ソース118はグラウンドと、ドレイン116とドレイン117とを接続した後に、シフトレジスタ101を8段のFF110-1~110-8で構成するためのインバータを形成する場合が例示されている。なお、FF110-1~110-8の各々は、インバータとトランSMISSIONゲートを用いて構成してもよい。この場合、トランSMISSIONゲートは、PMOSとNMOSの各々のソース同士、及び、各々のドレイン同士を接続し、ゲートは分けて設けることにより、容易に形成することができる。

【0079】

このように、エピフィilm230-1を貼着するためのシリコン基板241には、トランジスタ等の任意の回路素子を予め配置すると共に、回路素子相互の配線を可能な限りポリシリコン配線を用いて予め接続しておくことで、この後行われるメタル配線工程での配線相互の交差を防止し、ショート不良防止のためにその間隔を適切に保つことが可能となる。

【0080】

図7-4(b)には、図7-4(a)中のPMOS111及びNMOS113に対応して描いたMOSトランジスタの平面が示されている。

【0081】

図7-4(b)において例示するのは、n型シリコン基板241を用いる場合であって、NMOS113を形成するために所定箇所にpウェル領域123、及びポリシリコン配線121が形成されている。PMOS111を形成するためのp型不純物領域122は、ポリシリコン配線121をマスクとして矩形領域にp型不純物を注入するものであって、ポリシリコン配線121をゲートとしてその領域122が左右に分断され、一方がソース領域、他方がドレイン領域となって、それぞれの領域にコンタクト用のソース115及びドレイン116が形成されている。

【0082】

又、NMOS113を形成するためのn型不純物領域124は、n型不純物の注入領域であって、pウェル領域123中に形成され、ポリシリコン配線121をマスクにして矩形領域にn型不純物を注入して形成される。そして、ポリシリコン配線121をゲートとしてその領域124は分断され、一方がソース領域、他方がドレイン領域となって、それぞれの領域にコンタクト用のソース118及びドレイン117が形成されている。

【0083】

このようにしてシリコン基板241内に形成されたPMOS111及びNMOS113は、この後行われるメタル配線工程において、ソース115は電源と、ソース118はグラウンドと、それぞれ接続されると共に、ドレイン116とドレイン117とは接続されてインバータの出力端子となり、ポリシリコン配線121のコンタクト部119はインバータの入力端子となる。このとき同時に、前記インバータのみならず、他の回路素子相互も又前記メタル配線により接続され、全体でシフトレジスタ101を構成するようになっている。

10

20

30

40

50

【 0 0 8 4 】

(4) 図 1 の工程

図 1 は、本発明の実施例 1 における図 7 - 4 の半導体複合装置の配線構造を示す模式的な断面図である。

【 0 0 8 5 】

シリコン基板 2 4 1 には、シフトレジスタ 1 0 1 を構成する予定のトランジスタが予め形成され、トランジスタを構成した後に、シリコン基板上層が、窒化シリコン (S i N) 、酸化シリコン (S i O 2) 等で形成されたパッシベーション膜 2 4 2 により覆われる。パッシベーション膜 2 4 2 の下層には、後述する層間絶縁膜 2 4 4 が形成されており、この層間絶縁膜 2 4 4 を含む破線で囲まれた領域には、前記トランジスタ等からなる回路構成層 2 4 3 が形成されている。これらのシリコン基板 2 4 1 及び回路構成層 2 4 3 等からなる MOS トランジスタ等を含む IC ウェハは、公知の相補型 MOS トランジスタ (以下「 CMOS 」という。) プロセスを用いて製造される。

10

【 0 0 8 6 】

図 1 では、図示を簡略化するために、一部の PMOS 1 1 1 のみが図示されている。 PMOS 1 1 1 は、ゲート部であるポリシリコン配線 1 2 1、p 型不純物拡散領域からなるドレイン領域 1 2 0、及び、p 型不純物拡散領域からなるソース領域 1 2 1 により構成されている。そして、PMOS 1 1 1 等の回路素子のソース及びドレインの予定箇所には、パッシベーション膜 2 4 2 の上層から層間絶縁膜 2 4 4 を通り、半導体層に至る深さに、後述するソース開口部 1 1 5 a 及びドレイン開口部 1 1 6 a が形成されている。

20

【 0 0 8 7 】

このようにして形成された IC ウェハの上層の所定箇所には、平坦化膜である接着層 2 5 1 が形成され、この上層に、図 7 - 3 で説明したエピフィilm 2 3 0 - 1 が貼着され、フォトリソグラフィ法とウェットエッチング法を用いて、そのエピフィilm 2 3 0 - 1 の所定層の要部が露出され、発光サイリスタ 2 1 0 の端子予定部が形成される。

【 0 0 8 8 】

PNPN 構造からなる発光サイリスタ 2 1 0 において、接着層 2 5 1 上の第 4 層の n 型 AlGaAs 層はカソード層 2 6 4 に相当する。カソード層 2 6 4 上には、第 3 層の p 型 AlGaAs 層 2 6 3、ゲート層 2 6 2 に相当する第 2 層の n 型 AlGaAs 層、及び、アノード層 2 6 1 に相当する第 1 層の p 型 AlGaAs 層が順に積層されている。

30

【 0 0 8 9 】

アノード層 2 6 1 の所定箇所には、図示しない絶縁層に開口することで形成されるコンタクト用のアノード 2 5 2 が設けられ、アノード配線 2 6 5 に接続される。同様に、第 2 層の n 型 AlGaAs 層の所定箇所には、図示しない絶縁層に開口することで形成されるコンタクト用のゲート 2 5 3 が設けられ、ゲート配線 2 6 5 に接続される。ゲート配線 2 6 5 は、PMOS 1 1 1 におけるスルーホール予定ドレイン開口部 1 1 6 a にも接続される。PMOS 1 1 1 におけるソース開口部 1 1 5 a にも配線 2 6 7 が形成され、図示しない電源及びグランドに接続されている。

【 0 0 9 0 】

このように、発光サイリスタ 2 1 0 を構成する PNP 層からなるエピフィilm 2 3 0 - 1 の端子エッチングの後に行われるアノード配線 2 6 5、ゲート配線 2 6 5 及び配線 2 6 7 等のメタル配線は、同一の工程により行われる。例えば、Al 等のメタル材料をウェハ全面にスパッタリング法で薄膜状に形成した後、フォトリソグラフィ法により要部以外を除去することでメタル配線を形成し、前述した発光サイリスタ 2 1 0 とシフトレジスタ 1 0 1 との間の接続配線のみならず、シフトレジスタ自体を構成するための回路配線をも同時に形成することができる。

40

【 0 0 9 1 】

なお、配線の形成法としては、上記に限定されず、公知のリフトオフ法等によっても形成可能である。

【 0 0 9 2 】

50

(5) 複合チップ全体の概略の製造工程

図 8 (a) ~ (c) は、図 7 - 3 及び図 1 におけるメサ型複合チップの概略の製造工程を示す図であり、同図 (a) は処理工程図、同図 (b) は概略の断面図、及び同図 (c) は概略の平面図である。

【 0 0 9 3 】

メサ型複合チップの製造工程では、ステップ S 1 の IC ウェハ下地処理において、IC ウェハ 2 4 0 の上層に、シフトレジスタ 1 0 1 を構成する配線前の状態のトランジスタを形成した後、IC ウェハ 2 4 0 の表面の所定箇所に、平坦化膜である接着層 2 5 1 を形成する。ステップ S 2 のエピフィルムボンディング工程において、予め作成しておいたエピフィルム 2 3 0 - 1 を接着層 2 5 1 上に貼着する。

10

【 0 0 9 4 】

ステップ S 3 のアノード・ゲートエッチング工程において、発光サイリスタ 2 1 0 のアノード 2 5 2 とゲート 2 5 3 を形成する。ステップ S 4 のカソード形成エッチング工程において、カソード 2 5 4 を形成する。その後、ステップ S 5 のメタル配線工程において、発光サイリスタ 2 1 0 のアノード配線 2 6 5 及びゲート配線 2 6 6 と、シフトレジスタ 1 0 1 の配線 2 6 7 とを形成すれば、所望の複合チップが得られる。

【 0 0 9 5 】

(実施例 1 の光プリントヘッドの動作)

図 9 は、図 6 の光プリントヘッド 1 3 の動作を説明するためのタイムチャートである。

【 0 0 9 6 】

20

この図 9 では、画像形成装置 1 での印刷動作時における 1 ライン走査の状況が示され、図 6 の発光サイリスタ 2 1 0 - 1 ~ 2 1 0 - 8 を順次点灯させる場合の動作波形が図示されている。

【 0 0 9 7 】

なお、図 9 では図示されていないが、画像形成装置 1 における電源投入時の予備動作として、シフトレジスタ 1 0 1 のプリセット処理が行われる。この処理では、図 6 のシフトレジスタ 1 0 1 におけるシリアルデータ S I 入力用のデータ入力端子 A を “ H ” レベルにしておき、シフトレジスタ 1 0 1 の段数に相当する個数のシリアルクロック S C K のパルスをクロック入力端子 C K にする。これにより、シフトレジスタ 1 0 1 における全出力端子 Q 1 ~ Q 8 が “ H ” レベルになる。

30

【 0 0 9 8 】

図 9 において、1 ライン分の走査に先立ち、時刻 t 1 において、シリアルデータ S I は “ L ” にされる。次いで時刻 t 2 において、シリアルクロック S C K の第 1 パルスが入力される。シリアルクロック S C K が立ち上がると、入力されたシリアルデータ S I は、シフトレジスタ 1 0 1 内の第 1 段の F F 1 1 0 - 1 に取り込まれ、これより僅かに遅れて第 1 段の F F 1 1 0 - 1 の出力端子 Q 1 が “ L ” レベルへと遷移する。シリアルクロック S C K が立ち上がった後の時刻 t 3 において、入力されるシリアルデータ S I が再び “ H ” レベルに戻される。

【 0 0 9 9 】

40

時刻 t 2 で出力端子 Q 1 が “ L ” レベルとなると、発光サイリスタ 2 1 0 - 1 のゲート電圧を低下させる。時刻 t 4 において、図示しないアノード駆動回路から端子 D に入力されるアノード駆動信号が “ H ” になる。これにより、発光サイリスタ 2 1 0 - 1 のアノード・ゲート間に電位差を生じ、トリガ電流によって発光サイリスタ 2 1 0 - 1 がターンオンして点灯する。発光サイリスタ 2 1 0 - 1 の点灯は、主としてアノード・カソード間に流れる電流によるもので、一度ターンオンした発光サイリスタ 2 1 0 - 1 をオフさせるためには、アノード・カソード間に印加される電圧をゼロにする。このため、時刻 t 5 において、端子 D の電位を “ L ” にしている。

【 0 1 0 0 】

なお、図 9 では、発光サイリスタ 2 1 0 - 1 を点灯させるために、時刻 t 4 で端子 D を “ H ” レベルとし、消灯させるために、時刻 t 5 で端子 D を “ L ” レベルにしているが、

50

発光サイリスタ 210 - 1 を点灯させる必要がない場合には、時刻 $t_4 \sim t_5$ 間も端子 D を “ L ” レベルのままにすればよい。このように、端子 D に入力されるアノード駆動信号の電位により、発光サイリスタ 210 - 1 の点灯 / 消灯状態を切り替えることができる。

【 0 1 0 1 】

時刻 t_6 において、シリアルクロック SCK が立ち上がる。この時、端子 A に入力されるシリアルデータ SI は “ H ” レベルになっているので、これより僅かに遅れて出力端子 Q1 が “ H ” レベルへと遷移する一方で、出力端子 Q2 が “ L ” レベルに変化する。

【 0 1 0 2 】

時刻 t_7 において、端子 D に入力されるアノード駆動信号が “ H ” になる。これにより、発光サイリスタ 210 - 2 のアノード・ゲート間に電位差を生じ、トリガ電流によって発光サイリスタ 210 - 2 がターンオンして点灯する。発光サイリスタ 210 - 2 の点灯は、主としてアノード・カソード間に流れる電流によるもので、一度ターンオンした発光サイリスタ 210 - 2 をオフさせるためには、アノード・カソード間に印加される電圧をゼロにする。このため、時刻 t_8 において、端子 D の電位を “ L ” にしている。

【 0 1 0 3 】

前記説明で明らかなように、図 6 に示すシリアルクロック SCK のパルス 1, 2, 3, 4, 5, 6, 7, 8 の立ち上がり毎に、各出力端子 Q1, Q2, Q3, Q4, Q5, Q6, Q7, Q8 は順次 1 出力信号だけが “ L ” レベルとなり、他の出力信号は “ H ” レベルである。このため、端子 D に入力されるアノード駆動信号が “ H ” レベルの時、出力端子 Q1 ~ Q8 に接続された発光サイリスタ 210 - 1 ~ 210 - 8 の内、対応する出力端子 Q1 ~ Q8 が “ L ” レベルになっているものだけが択一的に点灯する。点灯時間は、図 9 における時刻 $t_4 \sim t_5$, $t_7 \sim t_8$ といった期間であって、その点灯時間はそれぞれの発光サイリスタ 210 - 1 ~ 210 - 8 毎に調整可能になっている。

【 0 1 0 4 】

前記説明において、発光サイリスタ 210 - 1 ~ 210 - 8 をオンさせるためには、アノード・ゲート間に順方向にバイアスさせる電位差を与えるだけでよく、オフ状態のままとするためには、電位差を発光サイリスタ 210 の順方向電圧以下としておくだけで十分であり、電位差ゼロとしたり、逆方向へ電圧を印加することもできる。

【 0 1 0 5 】

又、発光サイリスタ 210 に流れる電流は、主としてアノード・カソード間に流れ、その点灯 / 消灯状態を指令するためのゲート端子には僅かな電流しか流れず、シフトレジスタ 101 の各出力端子 Q1 ~ Q8 等には大きな電流駆動能力を要しない。

【 0 1 0 6 】

そのため、シフトレジスタ 101 においても、出力端子 Q1 ~ Q8 を駆動する駆動トランジスタの面積はごく小さなものでよく、半導体素子として大きなチップ面積を占有されることはないという利点を有している。この結果、シフトレジスタ 101 を用いて成る半導体複合措置のチップのコストを低減することができて、光プリントヘッド 13、ひいては画像形成装置 1 の製造コストを飛躍的に低減させることが可能となる。

【 0 1 0 7 】

(実施例 1 の変形例)

図 10 は、実施例 1 の図 6 (a) における光プリントヘッド 13 の構成の変形例を示す回路図であり、図 6 (a) 中の要素と共通の要素には共通の符号が付されている。

【 0 1 0 8 】

この変形例の光プリントヘッド 13 は、実施例 1 と同様に、シフトレジスタ 101 を有するドライバ IC 100 が形成された IC ウェハ上に、発光サイリスタアレイ 200 が貼着されている。シフトレジスタ 101 のデータ入力端子 A 及びクロック入力端子 CK と、発光サイリスタアレイ 200 の端子 D とは、図 3 中の印刷制御部 40 の出力側に接続されている。

【 0 1 0 9 】

印刷制御部 40 には、発光サイリスタアレイ 200 の端子 D に接続されたアノード駆動

10

20

30

40

50

回路（例えば、電流出力型のデジタル／アナログコンバータ、「DAC」という。）300が内蔵されている。DAC300は、8ビットからなるデジタル信号D7～D0を入力するD7～D0端子と、デジタル信号D7～D0を伝達するためのクロックCLKを入力するクロック入力端子CKと、抵抗301を介してグランドGNDに接続されたFSA端子と、アナログ値の256階調からなるアノード駆動信号を出力する出力端子Ioutとを有している。D7～D0端子は、印刷制御部40内の図示しない印刷データ生成回路に接続され、出力端子Ioutは、発光サイリスタアレイ200の端子Dに接続されている。

【0110】

DAC300は、電流出力型の構成のものであれば種々の品種が選択可能であり、本変形例では、例えば、米国Burr-Brown社製のDAC908を採用している。このDAC300は、印刷制御部40内の図示しない印刷データ生成回路で生成された印刷ドット毎の駆動エネルギー値に応じた256段階の駆動指令値である8ビットのデジタル信号D7～D0をD7～D0端子から入力し、これをアナログ値に変換し、256階調からなる電流値のアノード駆動信号を出力端子Ioutから出力する回路である。

【0111】

DAC300のFSA端子に接続された抵抗301は、DAC300内で発生される基準電圧値を基に、出力端子Ioutからのフルスケール時の電流出力量を設定するために用いられる。このため、デジタル信号D7～D0が16進数で00の時に、出力端子Ioutから出力される電流値はゼロであり、デジタル信号D7～D0が16進数でFF（10進数表記では255）の場合に最大駆動電流が得られる。出力端子Ioutから出力されるアノード駆動信号は、端子Dを介して各発光サイリスタ210（＝210-1～210-8）のアノードへ供給される。

【0112】

図11は、図10の光プリントヘッド13の動作を説明するためのタイムチャートであり、実施例1の図9に対応している。

【0113】

図11中のデジタル信号D7～D0や出力端子Ioutの信号中に記載された数値は、動作説明のための数値例であって16進数にて表記されている。この図11では、画像形成装置1での印刷動作時における1ライン走査の状況が示され、発光サイリスタ210-1～210-8を順次点灯させる場合の動作波形が図示されている。

【0114】

なお、図11では図示していないが、実施例1の図9と同様に、画像形成装置1の電源投入時における予備動作として、シフトレジスタ101のプリセット処理が行われる。このプリセット処理では、シリアルデータSIが入力されるデータ入力端子Aを“H”レベルにしておき、シフトレジスタ101の段数に相当するシリアルクロックSCKの8個のパルスをクロック入力端子CKに入力する。これにより、シフトレジスタ101の全出力端子Q1～Q8が“H”レベルとなる。

【0115】

図11において、1ライン分の走査に先立ち、時刻t1において、データ入力端子Aに入力されるシリアルデータSIが“L”レベルになる。時刻t2において、シリアルクロックSCKの第1パルスがシフトレジスタ101に入力される。時刻t2でその第1パルスが立ち上がると、これが図6(b)に示すシフトレジスタ101内の第1段のFF110-1に取り込まれ、これより僅かに遅れて、第1段のFF110-1の出力端子Q1が“L”レベルへと遷移する。シリアルクロックSCKが立ち上がった後、時刻t3において、入力されるシリアルデータSIは再び“H”レベルに戻される。

【0116】

出力端子Q1が“L”レベルになると、発光サイリスタ210-1のゲート電圧が低下する。図11の例ではこの時、同時にDAC300のデータ入力として16進数表記で30のデジタル信号D7～D0が入力されている。

10

20

30

40

50

【 0 1 1 7 】

時刻 t 4 において、DAC300 のクロック入力端子 CK に入力されるクロック CLK が立ち下がり、DAC300 は、D7 ~ D0 入力端子に与えられたデータ 30 を内部に取り込み、この数値に比例する駆動電流値のアノード駆動信号を出力端子 Iout から出力し、端子 D を介して各発光サイリスタ 210 - 1 ~ 210 - 8 のアノードへ供給する。これにより、発光サイリスタ 210 - 1 のアノード・ゲート間に電位差が生じ、トリガ電流によって発光サイリスタ 210 - 1 がターンオンして点灯する。

【 0 1 1 8 】

発光サイリスタ 210 - 1 の点灯は、主としてアノード・カソード間に流れる電流によるものである。一度ターンオンした発光サイリスタ 210 - 1 をオフにする場合は、アノード・カソード間に印加される電圧をゼロにする。このため、時刻 t 5 において、D7 ~ D0 入力端子への入力デジタル信号 D7 ~ D0 を 00 にした後、時刻 t 6 において、クロック CLK の電位を “ L ” にして、前記 00 の入力デジタル信号 D7 ~ D0 を DAC300 に取り込ませる。時刻 t 6 におけるクロック CLK より僅かに遅れて、出力端子 Iout から出力されるアノード駆動信号は、前記 00 の入力デジタル信号 D7 ~ D0 に応じて電流値がゼロとなって、発光サイリスタ 210 - 1 がオフ状態になる。

【 0 1 1 9 】

なお、図 11 では、発光サイリスタ 210 - 1 を点灯させるために、時刻 t 4 において、D7 ~ D0 入力端子に入力されるデジタル信号 D7 ~ D0 のデータ 30 を取り込んで、これに対応する駆動電流値のアノード駆動信号を出力端子 Iout から出力し、発光サイリスタ 210 - 1 を消灯させるために、時刻 t 6 において、デジタル信号 D7 ~ D0 のデータ 00 を取り込むことで、駆動電流値をゼロとして消灯させている。しかし、発光サイリスタ 210 - 1 を点灯させる必要がない場合には、時刻 t 2 ~ t 5 の間もデジタル信号 D7 ~ D0 を 00 のままとすればよい。

【 0 1 2 0 】

このように、デジタル信号 D7 ~ D0 の値により、発光サイリスタ 210 - 1 の点灯 / 消灯状態を切り替えとすることができることはもちろん、入力されたデジタル信号 D7 ~ D0 における 255 段階の電流指令値に応じて、アノード駆動信号の駆動電流値を変化させることができる。

【 0 1 2 1 】

次に、時刻 t 7 において、シリアルクロック SCK が立ち上がる。この時、シフトレジスタ 101 のデータ入力端子 A に入力されるシリアルデータ SI は、“ H ” レベルになっているので、これより僅かに遅れて、シフトレジスタ 101 の出力端子 Q1 が “ H ” レベルへと遷移する一方で、出力端子 Q2 が “ L ” レベルに変化する。この時、DAC300 の D7 ~ D0 入力端子には、デジタル信号 D7 ~ D0 のデータ 60 が入力されている。

【 0 1 2 2 】

時刻 t 8 において、クロック CLK が立ち下がり、前記データ 60 が DAC300 の内部に取り込まれる。これよりわずかに遅れて、DAC300 の出力端子 Iout から、前記データ 60 に応じたアノード駆動信号が出力される。このため、発光サイリスタ 210 - 2 のアノード・ゲート間に電位差が生じ、トリガ電流によって発光サイリスタ 210 - 2 がターンオンして点灯する。

【 0 1 2 3 】

発光サイリスタ 210 - 2 の点灯状態は、主としてアノード・カソード間に流れる電流によるものである。一度ターンオンした発光サイリスタ 210 - 2 をオフさせるためには、アノード・カソード間に印加される電圧をゼロにする。このため、時刻 t 9 において、デジタル信号 D7 ~ D0 のデータを 00 とし、時刻 t 10 において、シリアルクロック SCK を立ち下げさせ、その電流値指令データ 00 を DAC300 内に取り込む。この結果、DAC300 の出力端子 Iout から出力されるアノード駆動信号の駆動電流値がゼロとなり、発光サイリスタ 210 - 2 がターンオフする。

【 0 1 2 4 】

このように、図 11 に示すシリアルクロック SCK のパルス 1, 2, 3, 4, 5, 6, 7, 8 の立ち上がり毎に、シフトレジスタ 101 における各出力端子 Q1, Q2, Q3, Q4, Q5, Q6, Q7, Q8 の出力信号が順次 1 つだけ “L” レベルになり、他の出力信号が “H” レベルである。このため、デジタル信号 D7 ~ D0 が非ゼロの時、シフトレジスタ 101 の出力端子 Q1 ~ Q8 に接続された発光サイリスタ 210 - 1 ~ 210 - 8 の内、対応する出力端子 Q1 ~ Q8 が “L” レベルになっているものだけが択一的に点灯する。又、デジタル信号 D7 ~ D0 がゼロの時には、全発光サイリスタ 210 - 1 ~ 210 - 8 を消灯状態にできる。

【0125】

前述の説明において、発光サイリスタ 210 - 1 ~ 210 - 8 をオンさせるためには、アノード・ゲート間に順方向にバイアスさせる電位差を与えるだけでよい。オフ状態のままとするためには、その電位差を順方向電圧以下としておくだけで十分であり、電位差をゼロとしたり、逆方向へ電圧を印加することもできる。

10

【0126】

又、発光サイリスタ 210 - 1 ~ 210 - 8 に流れる電流は、主としてアノード・カソード間に流れ、その点灯 / 消灯状態を指令するためのゲートには僅かな電流しか流れず、シフトレジスタ 101 の各出力端子 Q1 ~ Q8 等には大きな電流駆動能力を要しない。

【0127】

この結果、シフトレジスタ 101 の駆動部の素子面積を最小化することができ、チップサイズを縮小することが可能となって製造コストの大幅ダウンを達成できる。

20

【0128】

更に、本変形例の構成においては、発光サイリスタ 210 の駆動電流値を 255 段階に調整できるようにしたので、各発光サイリスタ 210 毎に発光効率が異なる場合においても、順次駆動毎に駆動電流値を変化させることで、発光パワーを所定値に調整することが可能となる。

【0129】

この結果、発光サイリスタ 210 - 1 ~ 210 - 8 の製造段階において、製造ばらつきによって発光サイリスタ 210 - 1 ~ 210 - 8 毎に発光効率が異なることになっても、不良品として廃棄することなく使用可能となる。このように、本変形例の構成においては、発光サイリスタ 210 の製造段階における製造歩留まりを著しく向上させることが可能となって、なおいっそうのコストダウンを達成できる。

30

【0130】

その上、前記光量補正に加えて、各発光サイリスタ 210 - 1 ~ 210 - 8 毎にアノード駆動信号を変化させることで、感光体ドラム 11 上の静電潜像を変化させ、ドット毎に異なるトナー像の面積を形成可能な階調駆動を行うことも可能であり、写真画質の美しい印刷結果を得ることができる。

【0131】

(実施例 1 の効果)

本実施例 1 の半導体複合装置とこれを用いた光プリントヘッド 13 及び画像形成装置 1 によれば、次のような効果がある。

40

【0132】

従来の半導体複合装置では、シフトレジスタの回路要素各部を接続するメタル配線をフォトリソグラフィ法により予め形成したシリコンウェハが用いられ、発光サイリスタアレイを貼着したのち、シフトレジスタ出力端子と発光サイリスタアレイのゲートとをメタル配線により再び接続する必要がある。このため、製造工程において前記メタル配線工程が 2 重に必要となり、コスト的な無駄を生じていた。

【0133】

このような不都合を解消するために、本実施例 1 では、上記の構成とすることで、発光サイリスタアレイ 200 の予定端子とシフトレジスタ 101 の予定端子との配線工程において、シフトレジスタ自体を構成するための回路配線をも同時に形成することが可能とな

50

り、製造工程を簡略化できるので、製造コストの大幅な削減が可能となる。

【0134】

更に、本実施例1及びこの変形例の画像形成装置1によれば、複合チップを有する光プリントヘッド13を採用するため、スペース効率及び光取り出し効率に優れた高品質の画像形成装置（プリンタ、複写機、ファクシミリ装置、複合機等）を提供することができる。即ち、光プリントヘッド13を用いることにより、上述したフルカラーの画像形成装置1に限らず、モノクロ、マルチカラーの画像形成装置においても効果が得られるが、特に露光装置を数多く必要とするフルカラーの画像形成装置において一層大きな効果が得られる。

【実施例2】

10

【0135】

本発明の実施例2では、画像形成装置1及び光プリントヘッド13の全体の構成が実施例1と同様であるが、半導体複合装置からなる複合チップの構造及び製造方法が異なるので、以下、その異なる部分を説明する。

【0136】

（半導体複合装置からなる複合チップの構造及び製造方法）

本発明の実施例2における半導体複合装置からなる複合チップは、例えば、以下の（1）～（5）の工程により製造される。

【0137】

（1） 図12-1、図12-2の工程

20

図12-1及び図12-2は、拡散型発光サイリスタ210Aの製造方法を示す模式的な断面図であり、実施例1の図7-1及び図7-2中の要素と共通の要素には共通の符号が付されている。

【0138】

図12-1に示すように、本実施例2の拡散型発光サイリスタ210Aの製造方法では、例えば、実施例1と同様に、MOCVD法やMBE法等を用い、以下のようにして、実施例1と同様のエピフィルム製造用基材220上に、実施例1とは異なる構造のエピタキシャル層230Aを形成する。

【0139】

先ず、実施例1と同様のGaAs基板221上に、実施例1と同様のGaAsバッファ層222を成膜して、実施例1と同様のエピフィルム製造用基材220を形成し、更に、GaAsバッファ層222上に、実施例1と同様のAlAs剥離層231を成膜する。

30

【0140】

なお、実施例1と同様に、後述する工程において、基材220上にエピタキシャル層230Aを成膜した後、このエピタキシャル層230Aを剥離してエピフィルム230A-1を形成するのであるが、エピタキシャル層230Aを剥離した後のGaAs基板221を含む基材220は、製造開始時の形態をとどめており、新しいエピタキシャル層230Aを成膜のために再利用することができる。

【0141】

前記AlAs剥離膜231を成膜した後、この上に、実施例1と同様のn型AlGaAs層232、n型GaAsコンタクト層233、InGaPエッチングストップ層234、p型AlGaAs層235、及びn型AlGaAs層236を順に成膜する。更に、本実施例2では、実施例1のInGaPエッチングストップ層237、p型AlGaAs層238、及び、p型GaAsコンタクト層239に代えて、これらとは異なるn型GaAsコンタクト層239Aを、n型AlGaAs層236上に成膜して、実施例1とは異なる構造のエピタキシャル層230Aを形成する。

40

【0142】

なお、実施例1と同様に、図12-1においては説明を簡略化するために、AlGaAsの混晶比を変えた複層構造として図示していないが、混晶比を様々に変えることで、シングルヘテロ接合、ダブルヘテロ接合を実現することができる。

50

【0143】

次に、図12-2に示すように、実施例1と同様に、例えば、フォトリソグラフィ法とウェットエッチング法を用いて、A1As剥離層222を選択的に除去する。

【0144】

ウェットエッチング法を用いた場合、実施例1と同様に、ウェットエッチング薬液の組成を適切に選択することで、A1As剥離層231に対するエッチング速度を、A1As層、GaAs層、及びエッチングストップ層に対するエッチング速度に比べ格段に大きくすることができ、A1As剥離層231を選択的にエッチングすることが可能である。

【0145】

これにより、実施例1と同様に、エピタキシャル層230Aをエピフィルム製造用基板220から剥がしてエピフィルム230A-1を形成することが可能になる。そのため、図12-2に示すように、実施例1と同様に、エピタキシャル層230Aをエッチングし、溝240を形成しておく。溝240の形成は、実施例1と同様に、溝部以外の領域をレジスト等によりマスクするフォトリソグラフィ工程と、例えばクエン酸/アンモニア/過酸化水素水を使用するウェットエッチング法とを用いて行うことができる。

【0146】

なお、図12-2には、実施例1と同様に、A1As剥離層231の一部が残されている状態（エッチング途中）が示されているが、エピフィルム230A-1を保持した状態で、最終的にA1As剥離層231は完全に除去される。

【0147】

実施例1と同様に、エピフィルム230A-1の剥離に際して、このエピフィルム230A-1を支持及び保護する支持体を、エピフィルム230A-1上に設けることができる。例えば、エピフィルム230A-1上に支持体を設けた場合、エピフィルム支持体表面を、例えば、真空吸着や、光照射により粘着性を失う光硬化性粘着シート等により吸着し、所定の位置に移動することができる。

【0148】

(2) 図12-3の工程

図12-3は、半導体複合装置の製造方法を示す模式的な断面図であり、実施例1の図7-3中の要素と共通の要素には共通の符号が付されている。

【0149】

図12-3に示すように、複数の半導体複合装置を有する複合チップの製造方法では、実施例1と同様に、図6中のシフトレジスタ101を構成するためのトランジスタが形成されたICウェハ240上に、エピフィルム230A-1を貼着する。

【0150】

ここで、ICウェハ240は、実施例1と同様に、シフトレジスタ101を構成するためのトランジスタが形成されたシリコン基板241を有し、このシリコン基板241の表面が、パッシベーション膜242により被覆され、更に、このパッシベーション膜242上に、ポリイミド等の平坦化膜である接着層251が形成されている。接着層251上には、エピフィルム230A-1が貼着され、更に、不純物拡散領域（例えば、p型領域）255、アノード252、ゲート253及びカソード254が形成されて、複数の拡散型発光サイリスタ210Aが形成される。

【0151】

以下、具体的な製造方法を説明する。

エピフィルム230A-1は、n型A1GaAs層232と、n型GaAsコンタクト層233と、InGaPエッチングストップ層234と、p型A1GaAs層235と、n型A1GaAs層236と、n型GaAsコンタクト層239Aとを順に積層させた構造を持つ。

【0152】

このようなエピフィルム230A-1を、ICウェハ240側の接着層251上に貼着した後、n型GaAsコンタクト層239Aの上層から、例えば、固相拡散法を用いてZ

10

20

30

40

50

n等のp型不純物を拡散させ、n型GaAsコンタクト層239A及びn型AlGaAs層236の要部にp型領域255を作成する。

【0153】

なお、前記のZn等の不純物拡散のためには高温での熱処理が必要となるが、図12-3の状態においては、ICウェハ240中には耐熱性に劣るAl等のメタル配線が形成されていないので、前記熱処理によるダメージを生じることはない。

【0154】

次に、n型GaAsコンタクト層233上にメタル電極を形成することで、発光サイリスタ210のカソード254とし、n型GaAsコンタクト層239A上にメタル電極を形成することで、発光サイリスタ210のゲート253とし、更に、p型領域255上にメタル電極を形成することで、発光サイリスタ210Aのアノード252としている。

10

【0155】

なお、メタル配線からなるアノード252、ゲート253及びカソード254は、実施例1と同様に、それぞれ別の工程で形成することも可能であるが、それぞれが平面的に交差しないように配置することで、一括して同じ工程で作成することが可能であって、より好ましい。

【0156】

又、実施例1と同様に、エピフィلم230A-1の材料として、AlGaAsからなる化合物半導体結晶を用いているが、この他にAlGaInP、GaN、AlGaN、InGaN等の他の材料を用いることも可能である。

20

【0157】

更に補足すれば、前記説明においては、図示を簡略化するためにホモ接合型の発光サイリスタ210Aとして説明したが、エピタキシャル層230Aとして、シングルヘテロ型に複数のエピタキシャル層を積層してPNPN接合構造のシングルヘテロ型発光サイリスタや、エピタキシャル層230Aとして、ダブルヘテロ型に複数のエピタキシャル層を積層してPNPN接合構造のダブルヘテロ型発光サイリスタ、あるいは、更に多数の屈折率分布層を形成したDBR型発光サイリスタとすることも可能である。

【0158】

(3) 図12-4(a)、(b)の工程

図12-4(a)、(b)は、本実施例2における複合チップの模式的な平面を示す図であって、後述する配線工程の前の状態が模式的に示されている。このうち、図12-4(a)は複合チップの平面図、及び、図12-4(b)は図12-4(a)中のNMOS及びPMOSの平面図である。

30

【0159】

この図12-4(a)、(b)は、実施例1の図7-4(a)、(b)に対応しており、図7-4(a)、(b)中の要素と共通の要素には共通の符号が付されている。

【0160】

図12-4(a)に示す複合チップでは、実施例1の図7-4(a)に示すエピフィلم230-1、n型AlGaAs層236、及びp型GaAsコンタクト層239に代えて、エピフィلم230A-1、n型GaAsコンタクト層239A、及びp型領域255が配置されている点のみが異なる。

40

【0161】

即ち、図12-4(a)において、シリコン基板241の領域に図示された外周線は、前述したダイシング工程によりチップ状に個片化される時のダイシング予定線を示し、このダイシング予定線内にエピフィلم230A-1が貼着される。エピフィلم230A-1の要部にZn等を拡散させてp型領域255のアノード領域が形成される。エピフィلم230A-1におけるZn等の不拡散領域は、n型GaAsコンタクト層239Aからなるゲート領域である。エピフィلم230A-1の不要領域が更にエッチング除去され、n型GaAsコンタクト層233が露出されてエピフィلم230A-1の貼着領域と略等しいカソード領域が形成される。

50

【0162】

これらのアノード領域、ゲート領域、及びカソード領域上には、アノード252、ゲート253、及びカソード254が形成された後、全面が図示しない絶縁膜により覆われ、この絶縁膜の所定箇所にコンタクト用の開口部が形成されてアノード252、ゲート253、及びカソード254が露出している。

【0163】

エピフィلم230A-1の近傍のシリコン基板241内には、実施例1と同様に、図6中のシフトレジスタ101のFF110-1~110-8を構成するためのPMOS111, 112、及びNMOS113, 114等が形成されている。

【0164】

又、図12-4(b)に示すMOSトランジスタの構造や製造方法は、実施例1の図7-4(b)と同様である。

【0165】

(4) 図13の工程

図13は、本発明の実施例2における図12-4の半導体複合装置の配線構造を示す模式的な断面図であり、実施例1の図1中の要素と共通の要素には共通の符号が付されている。

【0166】

シリコン基板241には、実施例1と同様に、シフトレジスタ101を構成する予定のトランジスタが予め形成され、トランジスタを構成した後に、シリコン基板上層が、SiN、SiO₂等で形成されたパッシベーション膜242により覆われる。パッシベーション膜242の下層には、後述する層間絶縁膜244が形成されており、この層間絶縁膜244を含む破線で囲まれた領域には、前記トランジスタ等からなる回路構成層243が形成されている。これらのシリコン基板241及び回路構成層243等からなるMOSトランジスタ等を含むICウェハ240は、公知のCMOSプロセスを用いて製造される。

【0167】

図13では、実施例1と同様に、図示を簡略化するために、一部のPMOS111のみが図示されている。PMOS111は、ゲート部であるポリシリコン配線121、p型不純物拡散領域からなるドレイン領域120、及び、p型不純物拡散領域からなるソース領域121により構成されている。そして、PMOS111等の回路素子のソース及びドレインの予定箇所には、パッシベーション膜242の上層から層間絶縁膜244を通り、半導体層に至る深さに、後述するソース開口部115a及びドレイン開口部116aが形成されている。

【0168】

このようにして形成されたICウェハ240の上層の所定箇所には、平坦化膜である接着層251が形成され、この上層に、図12-3で説明したエピフィلم230A-1が貼着され、フォトリソグラフィ法とウェットエッチング法を用いて、そのエピフィلم230A-1の所定層の要部が露出され、発光サイリスタ210の端子予定部が形成される。

【0169】

PNPN構造からなる発光サイリスタ210Aにおいて、接着層251上の第4層のn型AlGaAs層はカソード層264に相当する。カソード層264上には、第3層のp型AlGaAs層263、及び、ゲート層262に相当する第2層のn型AlGaAs層が順に積層されている。ゲート層262の要部には、Zn等を拡散して発光サイリスタ210Aの第1層となるp型AlGaAs層及びGaAs層からなるp型領域255が形成される。p型領域255の所定箇所には、図示しない絶縁層に開口することで形成されるコンタクト用のアノード252が設けられ、アノード配線265に接続される。

【0170】

同様に、ゲート層262の所定箇所には、図示しない絶縁層に開口することで形成されるコンタクト用のゲート253が設けられ、ゲート配線265に接続される。ゲート配線

10

20

30

40

50

265は、PMOS111におけるスルーホール予定ドレイン開口部116aにも接続される。PMOS111におけるソース開口部115aにも配線267が形成され、図示しない電源及びグランドに接続されている。

【0171】

このように、発光サイリスタ210Aを構成するPNPN層からなるエピフィilm230A-1の端子エッチングの後に行われるアノード配線265、ゲート配線265及び配線267等のメタル配線は、同一の工程により行われる。例えば、A1等のメタル材料をウェハ全面にスパッタリング法で薄膜状に形成した後、フォトリソグラフィ法により要部以外を除去することでメタル配線を形成し、前述した発光サイリスタ210Aとシフトレジスタ101との間の接続配線のみならず、シフトレジスタ自体を構成するための回路配線をも同時に形成することができる。

10

【0172】

なお、配線の形成法としては、上記に限定されず、公知のリフトオフ法等によっても形成可能である。

【0173】

(5) 複合チップ全体の概略の製造工程

図14(a)~(c)は、図12-3及び図13における拡散型複合チップの概略の製造工程を示す図であり、同図(a)は処理工程図、同図(b)は概略の断面図、及び同図(c)は概略の平面図である。この図14(a)~(c)は、実施例1の図8(a)~(c)に対応している。

20

【0174】

拡散型複合チップの製造工程では、ステップS11のICウェハ下地処理において、ICウェハ240の上層に、シフトレジスタ101を構成する配線前の状態のトランジスタを形成した後、ICウェハ240の表面の所定箇所に、平坦化膜である接着層251を形成する。ステップS12のエピフィilmボンディング工程において、予め作成しておいたエピフィilm230A-1を接着層251上に貼着する。

【0175】

ステップS13のアノード拡散、アノード・ゲート形成工程において、エピフィilm230A-1の要部にZn等のp型不純物を拡散させてp型領域255を形成し、このp型領域255に発光サイリスタ210Aのアノード252を形成すると共に、p型領域外にゲート253を形成する。ステップS14のカソード形成エッチング工程において、カソード254を形成する。その後、ステップS15のメタル配線工程において、発光サイリスタ210Aのアノード配線265及びゲート配線266と、シフトレジスタ101の配線267とを形成すれば、所望の複合チップが得られる。

30

【0176】

本実施例2の図14(b)の製造工程では、実施例1の図8(b)の製造工程と比較して明らかなように、エピフィilm230A-1を貼着した後、メタル配線(265~267)の形成前の段階で、Zn等の不純物を拡散して発光サイリスタ210Aのアノード部を形成しているので、拡散工程に不可避な熱処理によるメタル配線へのダメージを防止することができる。しかも、前記不純物を高濃度に拡散することで、発光サイリスタ210Aの発光効率を高めることができる。

40

【0177】

(実施例2の動作)

本実施例2の光プリントヘッド13は、実施例1の図9に示すタイムチャートと同様の動作を行う。

【0178】

(実施例2の効果)

本実施例2の半導体複合装置とこれを用いた光プリントヘッド13及び画像形成装置1によれば、次のような効果がある。

【0179】

50

従来の半導体複合装置では、シフトレジスタの回路要素各部を接続するメタル配線をフォトリソグラフィ法により予め形成したシリコンウェハが用いられ、発光サイリスタアレイを貼着したのち、シフトレジスタ出力端子と発光サイリスタアレイのゲートとをメタル配線により再び接続する必要がある。このため、製造工程において前記メタル配線工程が2重に必要となり、コスト的な無駄を生じていた。又、シフトレジスタ内のメタル配線として、Alを主材料とする薄膜素材が用いられるのに起因して耐熱性に制約を生じ、エピタキシャルフィルムを貼着した後、不純物の熱拡散等の高温を要する処理を行うことが困難であった。

【0180】

このような不都合を解消するために、本実施例2では、上記の構成とすることで、発光サイリスタアレイ200の予定端子とシフトレジスタ101の予定端子との配線工程において、シフトレジスタ自体を構成するための回路配線をも同時に形成することが可能となり、製造工程を簡略化できるので、製造コストの大幅な削減が可能となる。

10

【0181】

その上、本実施例2では、エピフィルム230A-1を貼着した後、Zn等の不純物を選択的且つ高濃度に拡散して発光サイリスタ210Aのアノード部を形成することが可能となるので、不純物濃度を高くでき、発光効率の向上が期待できる。更に、Zn等の不純物を選択的に拡散させることで、この拡散位置の位置決めが容易になって位置精度の向上を図ることができ、併せて拡散面積の小型化を図ることも可能となって、発光サイリスタ210Aの配列ピッチの小さい高精細な光プリントヘッド13を実現することができる。

20

【0182】

更に、本実施例2の画像形成装置1によれば、複合チップを有する光プリントヘッド13を採用するため、実施例1と同様の効果がある。

【0183】

(実施例の他の変形例)

本発明は、上記実施例1、2やこれらの変形例に限定されず、その他の利用形態や変形が可能である。この利用形態や変形例としては、例えば、次の(a)~(c)のようなものがある。

【0184】

(a) 発光サイリスタ210, 210Aが光源として用いられる発光素子に適用した場合について説明したが、本発明はこれに限らず、他の被駆動素子(例えば、LED、有機EL素子等)にも適用可能である。例えば、有機EL素子のアレイで構成される有機ELヘッドを供えたプリンタ等において利用することができる。更に、表示素子、例えば、列状あるいはマトリクス状に配列された表示素子の駆動にも適用可能である。

30

【0185】

(b) 本発明は、3端子構造を備えた発光サイリスタ210, 210Aのみならず、2端子構造を備えたLED等の被駆動素子、あるいは、第1と第2の2個のゲート端子を備えた4端子サイリスタSCS(Silicon Semiconductor Controlled Switch)を駆動する場合にも適用可能である。

【0186】

(c) 本発明の趣旨及び技術思想を考察して明らかなように、本発明は同一構成要素の連続的配置からなる被駆動素子列のドライバIC100に限定されるものではなく、複数若しくは単数の駆動端子出力を備えた任意形状のICチップや、これらを搭載してなるユニット装置等に広く応用することが可能である。

40

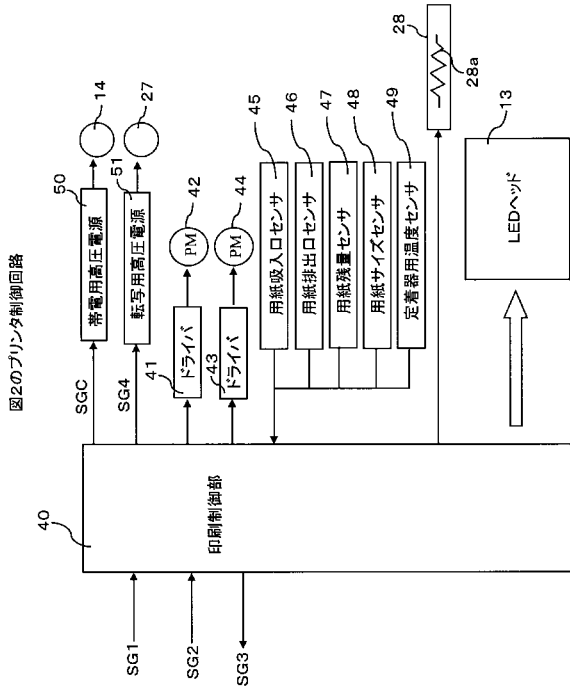
【符号の説明】

【0187】

- 1 画像形成装置
- 13 光プリントヘッド
- 100 ドライバIC
- 101 シフトレジスタ

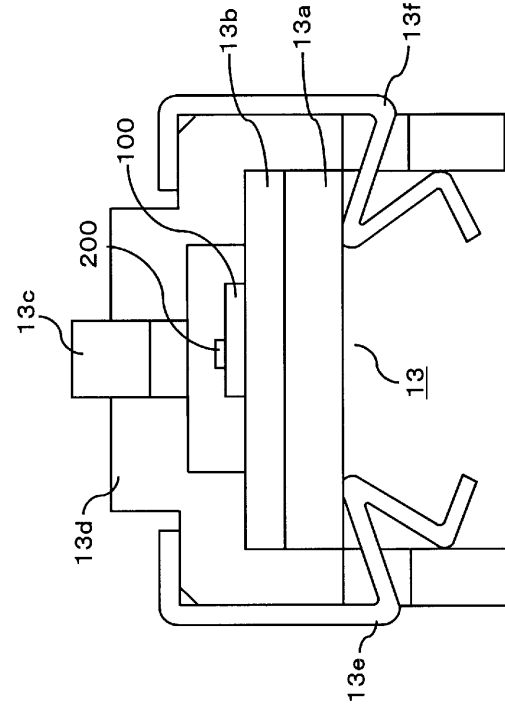
50

【図 3】



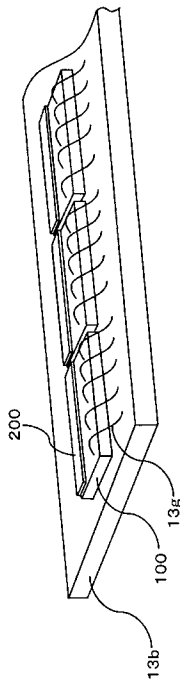
【図 4】

図3中の光プリントヘッド13

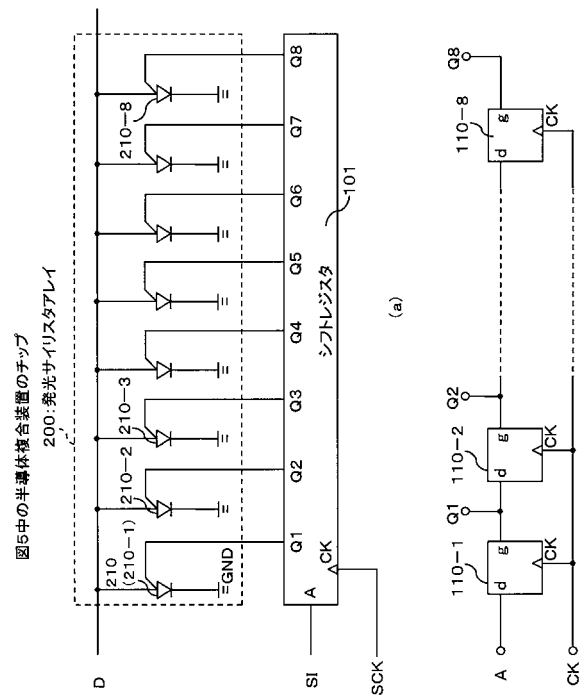


【図 5】

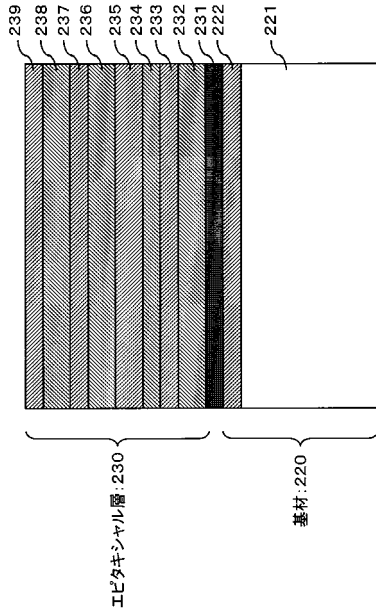
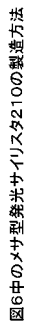
図4中の光プリントヘッド基板ユニット



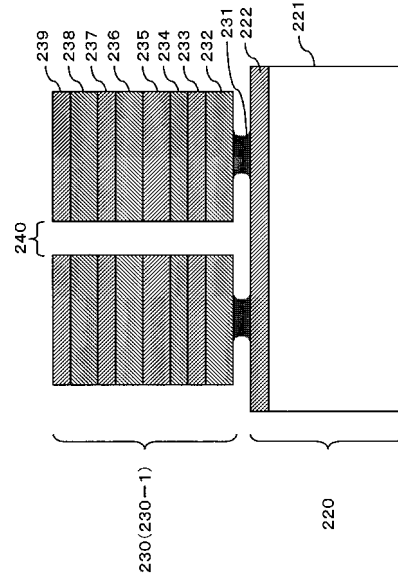
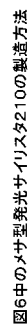
【図 6】



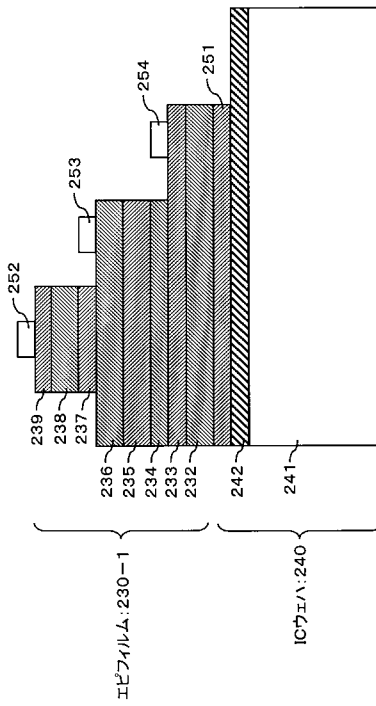
【 図 7 - 1 】



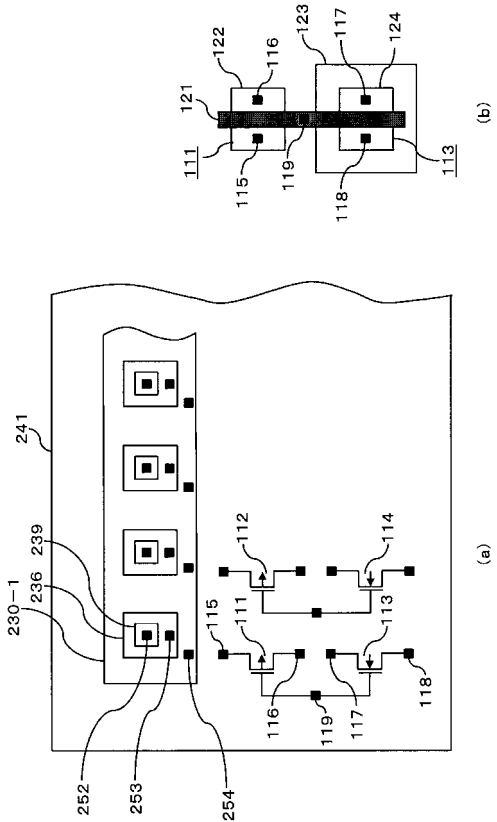
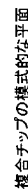
【 圖 7 - 2 】



【 図 7 - 3 】

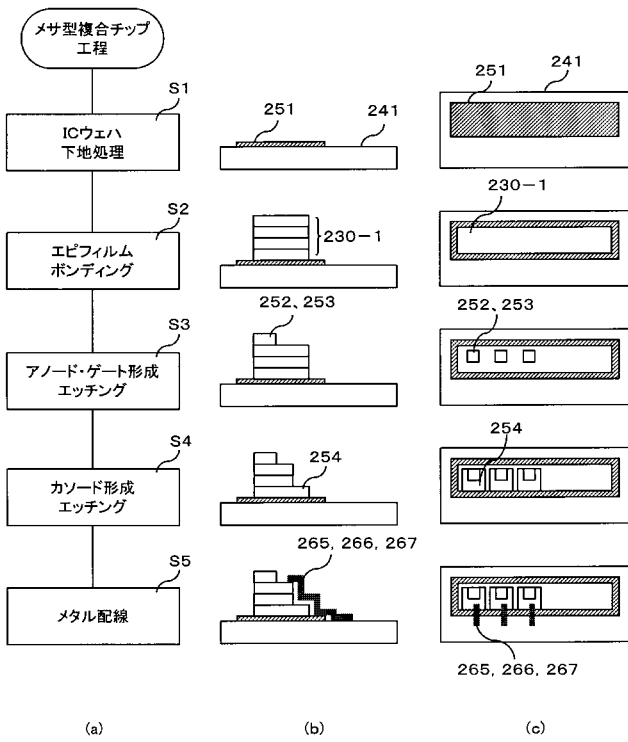


【 図 7 - 4 】



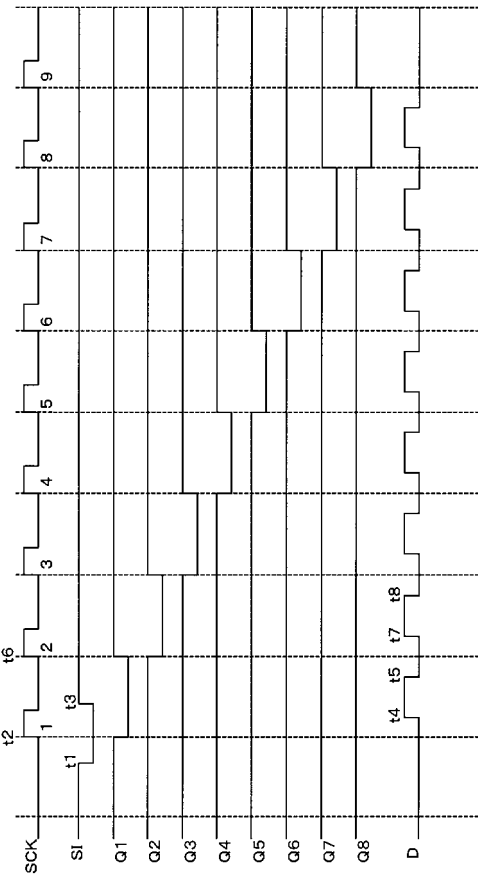
【図 8】

メサ型複合チップの概略的製造工程



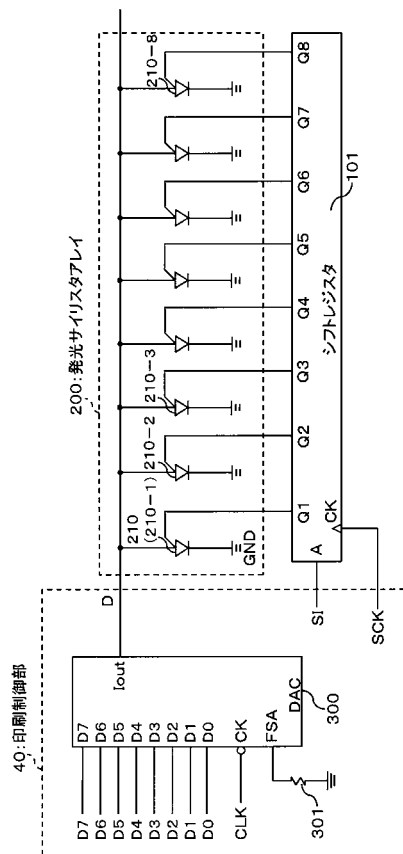
【図 9】

図6の光プリントヘッド13の動作



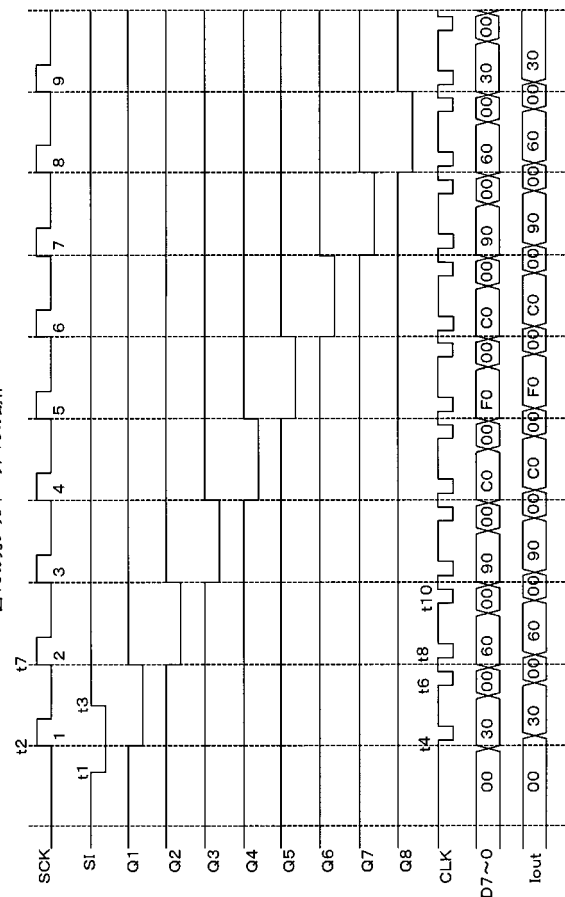
【図 10】

図6(a)の光プリントヘッド13の変形例



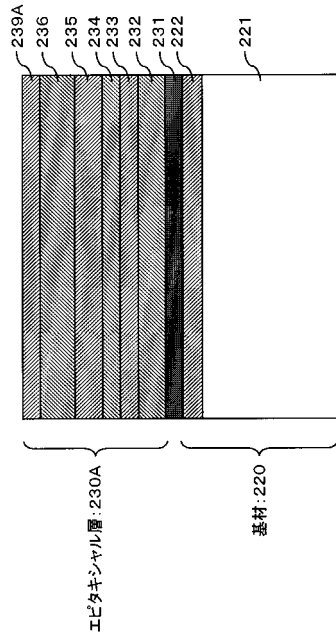
【図 11】

図10の光プリントヘッド13の動作



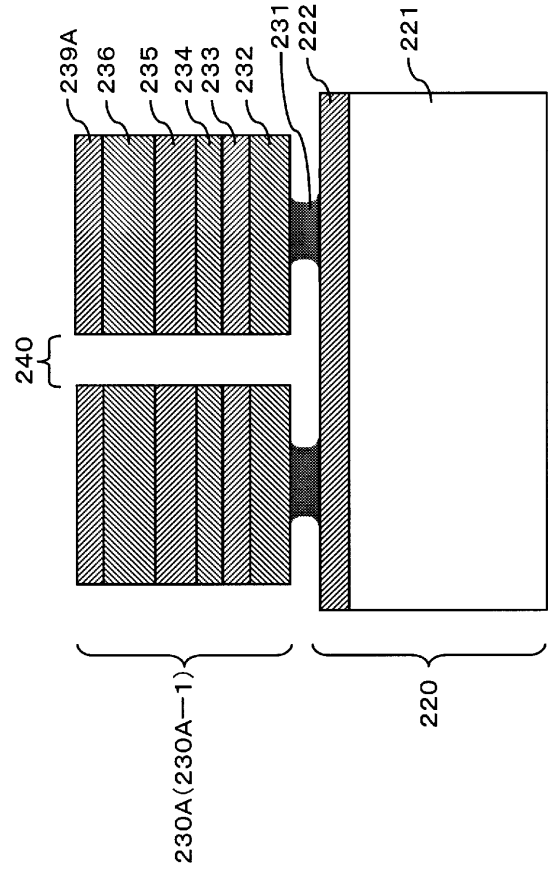
【図 1 2 - 1】

拡散型発光サイリスタ210Aの製造方法



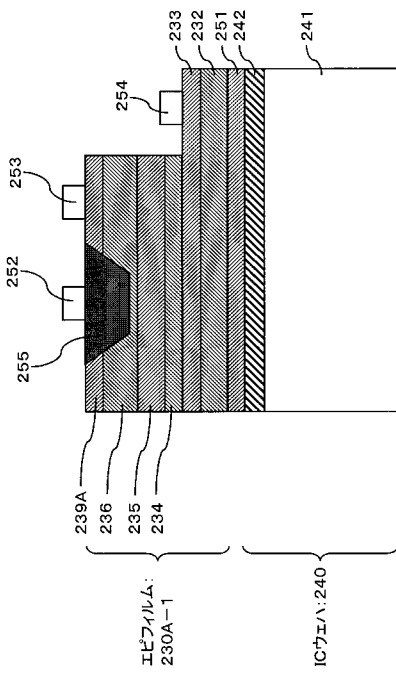
【図 1 2 - 2】

拡散型発光サイリスタ210Aの製造方法



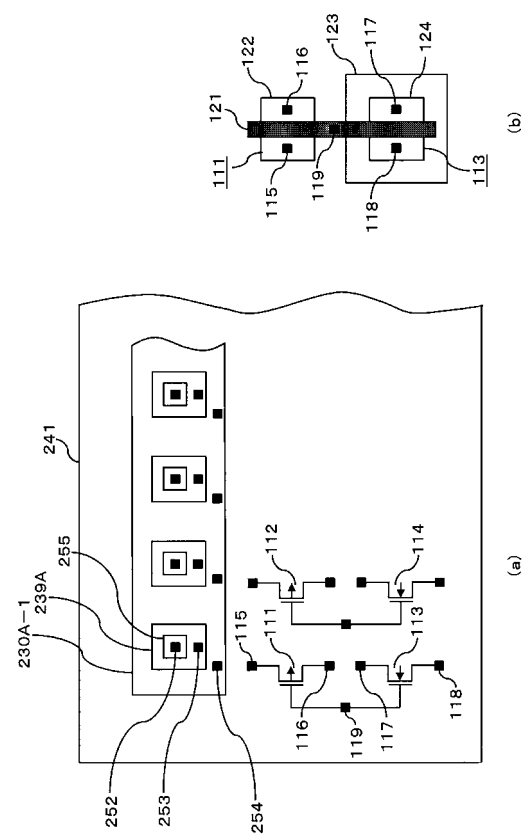
【図 1 2 - 3】

半導体複合装置の製造方法



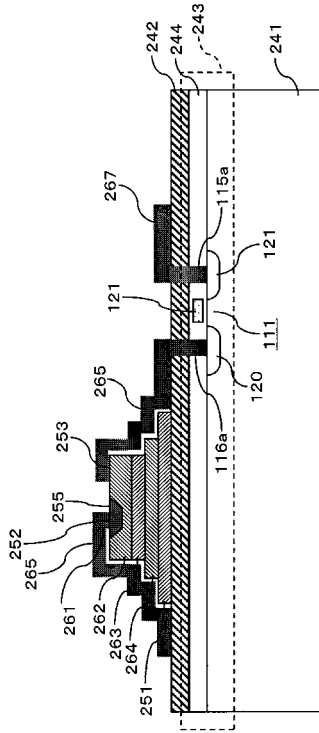
【図 1 2 - 4】

実施例2の複合チップの模式的な平面



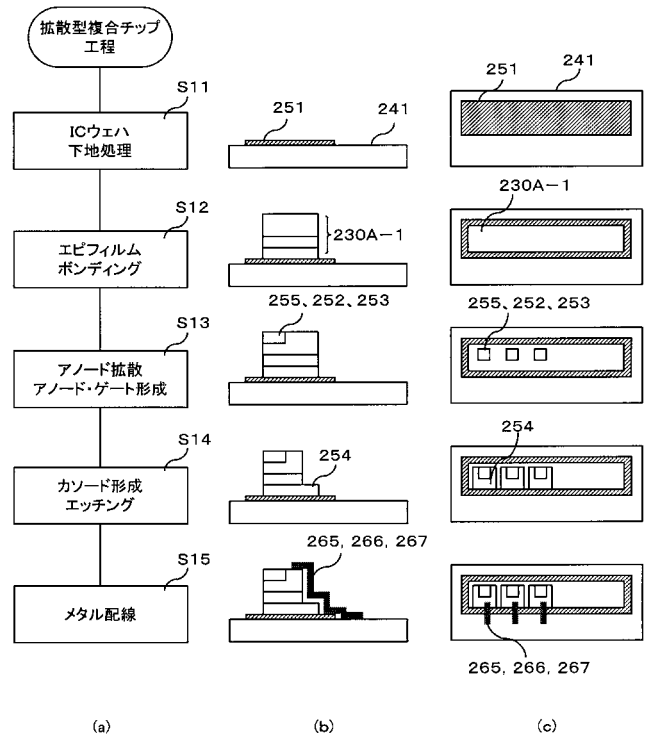
【図 13】

本発明の実施例2の図12-4の半導体複合装置の配線構造



【図 14】

拡散型複合チップの概略の製造工程



 フロントページの続き

(51)Int.Cl.		F I		テーマコード (参考)
H 0 4 N	1/036	(2006.01)	H 0 1 L 27/15	H
H 0 1 L	27/15	(2006.01)		

F ターム(参考)	2C162	AE12	AE21	AE28	AE40	AE47	FA04	FA17	FA23	FA45	FA50
	5C051	AA02	CA06	DB02	DB04	DB06	DB08	DB12	DB22	DC03	DC04
										DC07	
	5F005	AA01	AB01	AC01	AD02	AH02	AH03	BA01	FA03		
	5F041	AA42	CA07	CA33	CA36	CB23	CB33	DA07	DA35	DA39	FF13