

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年11月15日(15.11.2018)



(10) 国際公開番号

WO 2018/207801 A1

(51) 国際特許分類:
H03K 19/177 (2006.01) **H01L 21/82** (2006.01)

東京都中央区京橋 2-7-19 太陽誘電株式会社内 Tokyo (JP).

(21) 国際出願番号: PCT/JP2018/017853

(74) 代理人: 高橋 真二 (TAKAHASHI Shinji);
〒1420063 東京都品川区荏原 4-9-4-601 Tokyo (JP).

(22) 国際出願日: 2018年5月9日(09.05.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2017-094352 2017年5月11日(11.05.2017) JP

(71) 出願人: 太陽誘電株式会社 (TAIYO YUDEN CO., LTD.) [JP/JP]; 〒1040031 東京都中央区京橋 2-7-19 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

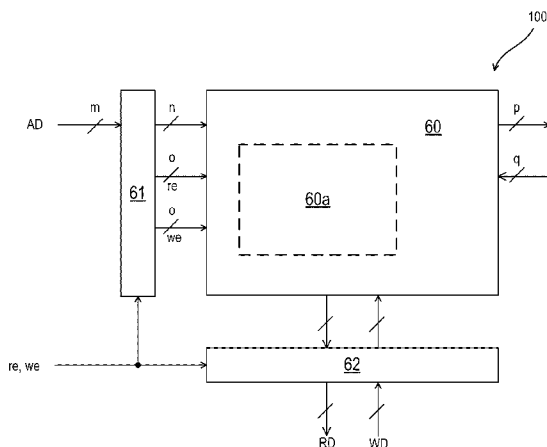
(72) 発明者: 勝 満徳 (KATSU Mitsunori); 〒1730026 東京都板橋区中丸町 1-1-2 株式会社 T R L 内 Tokyo (JP). 関口 象一 (SEKIGUCHI Shoichi); 〒1040031 東京都中央区京橋 2-7-19 太陽誘電株式会社内 Tokyo (JP). 藤川 巖 (FUJIKAWA Iwao); 〒1040031

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS,

(54) Title: PROGRAMMABLE DEVICE, LOGICAL CONFIGURATION METHOD THEREFOR, AND PROGRAM THEREFOR

(54) 発明の名称: プログラム可能なデバイス、その論理構成方法、及びそのプログラム

(57) Abstract: Provided is a programmable device comprising a memory unit having a plurality of memory cells and an address decoder that outputs address signals for the plurality of memory cells storing configuration data, to the memory unit as input data, said memory unit being configured so as to: perform, in accordance with logical gates, logical operations on digital signal input data among logical circuit configuration data constituting a logical circuit including at least two logical gates; store, in the plurality of memory cells, configuration data obtained from the correspondence between the generated output data and the input data; and operate as the logical circuit. Gate circuits included in configuration data constituting the logical circuit can be compressed and programmable device resources required for logical circuit configuration can be reduced.





MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(57) 要約：複数のメモリセルを有し、少なくとも2つ以上の論理ゲートを含む論理回路を構成する論理回路構成データにおける、デジタル信号の入力データを前記論理ゲートに従って論理演算して、生成される出力データと、前記入力データとの対応から、得られる構成データを、前記複数のメモリセルに格納して、前記論理回路として動作するように構成される、メモリユニットと、前記構成データが格納される前記複数のメモリセルへのアドレス信号を、入力データとして前記メモリユニットに出力するアドレスデコーダと、を備えるプログラム可能なデバイス。論理回路を構成する構成データに含まれるゲート回路の圧縮し、論理回路構成に必要なプログラム可能なデバイスのリソースを少なくすることができる。

明 細 書

発明の名称：

プログラム可能なデバイス、その論理構成方法、及びそのプログラム 技術分野

[0001] 本発明は、プログラム可能なデバイス、その論理構成方法、及びそのプログラムに関する。

背景技術

[0002] F P G A (F i e l d - P r o g r a m m a b l e G a t e A r r a y) などのプログラム可能な半導体装置は、その再書き込み性によって与えられる柔軟性のため、広く使用されている（例えば、特許文献１）。

[0003] 図１は、F P G A の一例を示す図である。図示されるのは、X i l i n x（登録商標）製のものである。F P G A １１０は、C L B（構成可能論理ブロック）１１４と呼ばれるプログラム可能な２次元セルと、縦ルーティングチャンネル１１６と、縦ルーティングチャンネル１１６とC L B １１４の間を通過する横ルーティングチャンネル１１５と、横ルーティングチャンネル１１５と縦ルーティングチャンネル１１６との間にスイッチブロック（図示されない）とを有する。

[0004] C L B １１４は、所定の大きさの論理素子（L E）を含んでいる（特許文献１、図１）。例えばL Eは、４入力ルックアップテーブル（L U T）、レジスタおよび、いくつかのルーティング回路を含む。このルーティング回路は、順序ロジックまたは演算が所望される場合に、レジスタを使用可能とするか、組み合わせ論理または演算が所望される場合に、レジスタをバイパス可能とする。このルーティング回路は、プログラマブルであり、L E間の信号を伝達することによって、複数のL Eを組み合わせる。

[0005] F P G A の設計は、「H D L（ハードウェア記述言語）」により行うのが一般的である。これはL Eを構成する回路を直接設計するのではなく、機能を言語で記述して定義したものである。

[0006] HDLで動作定義した回路を、実際のゲート回路に変換することを、「論理合成」という。この論理合成工程では、HDLを、FPGAのLE単位に切り分ける「テクノロジーマッピング」が行われる。テクノロジーマッピングでは、ブーリアンネットワークの各接点を、AND（論理積）ゲート、OR（論理和）ゲート、NOT（論理反転）ゲートによって表現し、それらのゲートの繋がりからなるブーリアンネットワークを生成する。

[0007] ブーリアンネットワークに対して、接点のファンアウトが2点以上で分節し、それをツリーとみなす。ツリーごとに、ライブラリを当てはめることで、1つ以上のLEを単位とした論理要素と、それらの接続関係のリスト「ネットリスト」が生成される（特許文献1、図16）。

先行技術文献

特許文献

[0008] 特許文献1：特開2006-020329号公報

発明の概要

発明が解決しようとする課題

[0009] 上記のように、テクノロジーマッピングを行うことで、FPGAの論理構成単位でのネットリストが得られる。しかし、上記の方法では、ゲート回路の圧縮が記載も示唆もされていない。

[0010] これは、FPGAは、LEの組合せで構成されるため、LUTの大きさに制限があるためである。

課題を解決するための手段

[0011] 上記課題を解決する形態は、以下の項目により示される。

[0012] [項目1]

プログラム可能なデバイスであって、

複数のメモリセルを有し、

少なくとも2つ以上の論理ゲートを含む論理回路を構成する論理回路構成データにおける、デジタル信号の入力データを前記論理ゲートに従って論

理演算して、生成される出力データと、前記入力データとの対応から、得られる構成データを、前記複数のメモリセルに格納して、前記論理回路として動作するように構成される、メモリユニットと、

前記構成データが格納される前記複数のメモリセルへのアドレス信号を、入力データとして前記メモリユニットに出力するアドレスデコーダと、を備えるプログラム可能なデバイス。

[項目 2]

前記メモリユニットが有する複数のメモリセルの一部に、構成データを格納する項目 1 に記載のプログラム可能なデバイス。

[項目 3]

前記構成データは、前記メモリユニットのバンク毎に記憶される、項目 1 又は 2 に記載のプログラム可能なデバイス。

[項目 4]

前記メモリユニットは、第 1 のメモリユニットと、第 2 のメモリユニットを有し、

前記第 1 及び第 2 メモリユニットはそれぞれ、前記構成データを前記メモリセルに記憶し、

前記メモリユニットは、入力線および出力線の対を少なくとも 2 の n 倍 (n は 2 以上の整数) 本有し、

前記メモリユニット同士は、1 つのメモリユニットからの 2 の n 倍本の出力線が、他の 2 つのメモリユニットの n 本の入力線に接続される、項目 1 ～ 3 の何れか 1 項に記載のプログラム可能なデバイス。

[項目 5]

前記メモリユニットは、一辺と、前記一辺と反対側の他辺で他のメモリユニットに接続するとともに、複数のメモリユニットを有し、且つ、

前記複数のメモリユニットの少なくとも 1 つが有する複数のメモリセルは、前記一辺におけるアドレス入力に対して、前記一辺から論理値を出力するための第 1 構成データと前記他辺から論理値を出力するための第 2 構成デー

タとを記憶し、

前記構成データを生成するステップは、前記第 1 構成データと、前記第 2 構成データを生成するステップを含む、項目 1 ～ 3 の何れか 1 つに記載のプログラム可能なデバイス。

[項目 6]

前記構成データは、真理値表データである、項目 1 ～ 4 の何れか 1 項に記載のプログラム可能なデバイス。

[項目 7]

データを記憶するメモリセルを複数備えたメモリユニットを有する、プログラム可能なデバイスの構成データの生成方法であって、

少なくとも 2 つ以上の論理ゲートを含む論理回路を構成する論理回路構成データにおける、デジタル信号の入力データを前記論理ゲートに従って論理演算して、出力データを生成し、

前記入力データと、出力データの対応から、構成データを生成し、

前記生成した構成データを、前記メモリユニットに書き込む、ことを有する方法。

[項目 8]

前記メモリユニットは、第 1 のメモリユニットと、第 2 のメモリユニットを有し、

前記メモリユニットは、入力線および出力線の対を少なくとも 2 の n 倍（ n は 2 以上の整数）本有し、

前記メモリユニット同士は、1 つのメモリユニットからの 2 の n 倍本の出力線が、他の 2 つのメモリユニットの n 本の入力線に接続され、

前記構成データを、前記第 1 のメモリユニット用の第 1 構成データと、前記第 2 のメモリユニット用の第 2 構成データに分割する、項目 7 に記載の方法。

[項目 9]

前記構成データは、真理値表データである、項目 7 に記載の方法。

[項目 1 0]

データを記憶するメモリセルを複数備えたメモリユニットを複数有する、プログラム可能なデバイスの構成データを生成するためのプログラムであって、

プロセッサに、

少なくとも 2 つ以上の論理ゲートを含む論理回路を構成する論理回路構成データにおける、デジタル信号の入力データを論理演算して、出力データを生成し、

前記入力データと、出力データの対応から、構成データを生成し、

前記生成した構成データを、前記プログラム可能なデバイスに書き込む、処理を実行させるプログラム。

[項目 1 1]

前記メモリユニットは、第 1 のメモリユニットと、第 2 のメモリユニットを有し、

前記メモリユニットは、入力線および出力線の対を少なくとも 2 の n 倍（ n は 2 以上の整数）本有し、

前記メモリユニット同士は、1 つのメモリユニットからの 2 の n 倍本の出力線が、他の 2 つのメモリユニットの n 本の入力線に接続され、

前記第 1 のメモリユニット用の第 1 構成データと、前記第 2 のメモリユニット用の第 2 構成データに分割する処理を実行させる、項目 1 0 に記載のプログラム。

[項目 1 2]

前記構成データは、真理値表データである、項目 1 0 又は 1 1 に記載のプログラム。

[項目 1 3]

項目 1 0 ～ 1 2 の何れか 1 項に示すプログラムを格納する記憶媒体。

発明の効果

[0013] 本実施形態に係るプログラム可能なデバイスは、論理回路を構成する構成

データに含まれるゲート回路を圧縮し、必要なプログラム可能なデバイスのリソースを少なくすることができる。

図面の簡単な説明

[0014] [図1] F P G A の一例を示す図である。

[図2A] 論理回路構成データと構成データの関係を示す図である。

[図2B] 図 2 A で生成した構成データを示す。

[図3] プログラム可能なデバイスの構成データ生成方法の一例を示す図である。

[図4] メモリをつかったプログラム可能なデバイスの一例を示す図である。

[図5] 本実施形態に係るプログラム可能なデバイスに M R L D を使用した例である。

[図6] M L U T を横積みして構成される M L U T アレイを概略的に示す図である。

[図7] 8 ビットのデータ線幅をもつ M L U T の一例を示す図である。

[図8] 構成データを M L U T に展開した例を示す図である。

[図9] 真理値表に対応する M L U T の一例を示す図である。

[図10] 論理回路として動作する M L U T の一例を示す図である。

[図11] 図 1 0 に示す論理回路の真理値表を示す図である。

[図12] 接続要素として動作する M L U T の一例を示す図である。

[図13] 図 1 2 に示す接続要素の真理値表を示す図である。

[図14] 1 つの M L U T が、論理要素及び接続要素として動作する一例を示す図である。

[図15] 論理要素及び接続要素の真理値表を示す。

[図16] 情報処理装置のハードウェア構成の一例を示す図である。

発明を実施するための形態

[0015] 以下、本実施形態を説明するために、図面を参照して、1. プログラム可能なデバイスの構成データの生成方法、2. プログラム可能なデバイスの構成、3. M L U T の論理、接続、及び同期動作、4. 真理値表データの生

成方法について、順に説明する。

[0016] 1. プログラム可能なデバイスの構成データの生成方法

図2Aは、論理回路構成データと構成データの関係を示す図である。310は、構成対象となる回路図である。回路図310には、2つ以上の論理ゲートが含まれる。

[0017] 320は、従来の構成データの割り当て方法である。各回路や配線を、上述したCLB114が構成する。CLB114は、上述のように、データを記憶するメモリセルを複数備えたメモリユニットを有する。CLB114のLUTに割り当てられる構成データは、後述する真理値表データに相当する。

[0018] 330は、本実施形態に係る構成データの生成方法を示す。330は、デジタル信号の入力データA1～A3を、論理ゲートに基づいて論理演算して、出力データOutを生成し、入力データと、出力データの対応から、1つの構成データを生成する。

[0019] このように、少なくとも2つ以上の論理ゲートを含む論理回路を構成する論理回路構成データにおける、デジタル信号の入力データを上記論理ゲートに従って論理演算して、生成される出力データと、入力データとの対応から、構成データを生成する。図2Bは、図2Aで生成した構成データを示す真理値表である。このように、従来多数のCLB114を必要としていたが、1つの構成データを生成とすることで、より少ないデバイスからなるプログラム可能なデバイスで、複数の論理ゲートからなる論理回路を構成することができる。

[0020] 図3は、本実施形態に係るプログラム可能なデバイスの構成データ生成方法の一例を示す図である。図3の左側は、「従来の構成データ生成方法」である。従来の方法では、まず、論理回路を記載するRTL(Register Transfer Level)を生成する(S101)。次に、RTLから論理回路の実装設計を行う(S102)。当該ステップは、論理回路のライブラリを参照して、実行される。これにより、ゲート・レベルの

ネットリストが生成される（S103）。ネットリストは、プログラム可能なデバイスの装置ライブラリを参照して、真理値表等の構成データにコンパイル（S104）されて、プログラム可能なデバイスに書き込まれる（S105）。

[0021] 図3の右側は、「本実施形態に係る構成データ生成方法」である。S201は、S101と同様である。S202では、少なくとも2つ以上の論理ゲートを含む論理回路を構成するRTLにおける、デジタル信号の入力データを論理演算して、出力データを生成し、入力データと、出力データの対応から、構成データを生成する（S202）。次に、プログラム可能なデバイスのメモリユニットが、複数ある場合は、メモリユニットの数に合わせて構成データを分割する（S203）。S204では、S104と同様である。

[0022] このように、本実施形態に係るプログラム可能なデバイスの構成データ生成方法は、論理回路を構成する構成データに含まれるゲート回路の圧縮し、必要なプログラム可能なデバイスのリソースを少なくすることができる。一方、入力（A1～A3）が多く成れば、入力数に応じて必要なメモリ空間が大きくなるため、1つのCLB116より大きなメモリ空間が必要になる。そのため、大きなメモリ空間を有するメモリユニット利用するか、複数のメモリを適用することで、プログラム可能なデバイスをする。

[0023] 2. プログラム可能なデバイス

（1）メモリをつかったプログラム可能なデバイス

プログラム可能なデバイス100は、メモリユニットを有する。図4は、メモリをつかったプログラム可能なデバイスの一例を示す図である。図4に示す100は、プログラム可能なデバイス100の一例である。プログラム可能なデバイス100は、メモリユニット60、メモリ読出し動作、書込み動作対象となるメモリセルを特定する行デコーダ61、及び、列デコーダ62を有する。

[0024] メモリユニット60は、同期SRAMで構成される。メモリユニット60のメモリセルには、真理値表とみなされる構成データがそれぞれ記憶される

ことで、少なくとも構成データを記憶するメモリユニット60は、論理要素、又は、接続要素、又は、論理要素及び接続要素として動作する論理動作を行う。例えば、データをアドレスで読み出すと、その読出しデータが論理動作の出力結果となる。

[0025] なお、一実施形態によれば、ここで真理値表が記憶されるメモリユニット60のメモリ空間60aを、プログラム可能なデバイス100の機能を発揮するメモリユニットと言ってもよい。他の領域は、通常のメモリ機能を有する。なお、メモリユニットの一部の空間をプログラム可能なデバイスとして利用可能なのは、従来、複数の論理ゲートからなる論理回路を複数のCLBを要して構成していたが、図2Aおよび図2Bで説明したように1つの構成データ（真理値表データ）で構成できるため、その構成データを格納するメモリ空間で、従来のプログラム可能なデバイスを構成できるためである。

[0026] メモリユニット60の書き込み動作は、書込用アドレスAD、及び書込用データWDによりなされ、読出し動作は、書込用アドレスAD、及び読出用データRDによりなされる。

[0027] 行デコーダ61は、リード・イネーブル信号re、ライト・イネーブル信号we等の制御信号に従って、書込用アドレスADのmビットのうちxビットをデコードし、デコードアドレスnをMLUT30に対して出力する。デコードアドレスnは、MLUT30内のメモリセルを特定するアドレスとして使用される。

[0028] 列デコーダ62は、書込用アドレスADのmビットのうちyビットをデコードし、行デコーダ61と同様の機能を有して、デコードアドレスnをMLUT30に対して出力するとともに、書込用データWDの出力、及び、読出用データRDを入力する。

[0029] (2) MRLD

図5は、本実施形態に係るプログラム可能なデバイスにMRLDを使用した例である。図5に示す100は、MRLDの一例である。MRLD100は、同期メモリユニットを利用したMLUT30を複数個、アレイ状に配置

したMLUTアレイ60b、MLUT30のメモリ読出し動作、書込み動作を特定する行デコーダ61、及び、列デコーダ62を有する。

[0030] MLUTは、同期メモリユニットで構成される。なお、ここで説明する同期メモリユニットは、MLUTの実施例であり、MLUTは、例えば、MLUTは、1回のみ書込可能、消去不可なOTPROM (One Time Programmable ROM) で構成されてもよい。メモリの記憶素子には、真理値表とみなされるデータがそれぞれ記憶されることで、MLUTは、論理要素、又は、接続要素、又は、論理要素及び接続要素として動作する論理動作を行う。MLUTは、真理値表データを記憶することで、このような論理動作が可能であるため、MRLDは、図2Bのような真理値表を記憶することで、構成されるプログラム可能なデバイスに、適している。

[0031] MRLD100の論理動作では、実線で示される論理用アドレスLA、及び論理用データLDの信号を使用する。論理用アドレスLAは、論理回路の入力信号として使用される。そして、論理用データLDは、論理回路の出力信号として使用される。MLUTアレイ60bにおいて、論理用アドレスLAおよび論理用データLDは、MLUT同士を接続する信号線として使用され、例えば、MLUTの論理用アドレスLAは、隣接するMLUTの論理動作データLDのデータ線と接続している。

[0032] MRLD100の論理動作により実現される論理は、MLUTに記憶される真理値表データにより実現される。いくつかのMLUTは、AND回路、加算器などの組み合わせ回路としての論理要素として動作する。他のMLUTは、組み合わせ回路を実現するMLUT間を接続する接続要素として動作する。MLUTが、論理要素、及び接続要素を実現するための真理値表データの書き換えは、メモリへの書き込み動作によりなされる。

[0033] MRLD100の書き込み動作は、メモリ動作アドレスAD、及び書込用データWDによりなされ、読出し動作は、メモリ動作アドレスAD、及び読出用データRDによりなされる。

[0034] メモリ動作アドレスADは、MLUT内のメモリセル（図5等で後述）

を特定するアドレスであり、メモリの読出し動作、書き込み動作、両方の場合で使用される。メモリ動作アドレスADは、m本の信号線で、2のm乗の数nのメモリセルを特定する。行デコーダ61は、m本の信号線を介してMLUTアドレスを受け取るとともに、MLUTアドレスをデコードして、メモリ動作の対象となるMLUT内のメモリセルを特定する。なお本実施形態においては、後述するが、論理用アドレスLAのデコードは、MLUT内のデコーダにより行う。

[0035] 行デコーダ61、および列デコーダ62の構成は、図4に示すメモリの例と同じである。

[0036] なお、MLUTのアレイがs行t列である場合、MLUTアレイ60bからは $n \times t$ ビットのデータが列デコーダ62に入力される。ここで、各行毎のMLUTを選択するために行デコーダ61はo行分のre, weを出力する。つまり、o行は、MLUTのs行に相当する。ここでoビットのうち、1ビットだけをアクティブにすることで、特定のメモリセルのワード線が選択される。そしてt個のMLUTがnビットのデータを出力するため、 $n \times t$ ビットのデータがMLUTアレイ60bから選択され、そのうち1列を選択するのに列デコーダ62が使われる。

[0037] 双方向MLUT配置

図6は、MLUTを横積みして構成されるMLUTアレイを概略的に示す図である。MLUTアレイ60bは、図示されるように、MLUT30をアレイ状に配置したものである。MLUT30として用いるメモリはアドレス線の幅とデータ線の幅が等しい。アドレス線とデータ線の1ビットずつを対にして、擬似的な双方向線を定義する。この擬似的な双方向線を「AD対」と呼ぶ。図6では、双方向線が、双方向矢印で示され、4ビットのデータ線幅の双方向線が示される。アドレス線の幅とデータ線の幅がNビットのメモリを用いることで、AD対をN本もつMLUTが実現される。

[0038] 図7は、8ビットのデータ線幅をもつMLUTの一例を示す図である。図6では、双方向矢印で示したが、図7では、アドレス線およびデータ線をそ

れぞれ、単方向矢印で示す。MLUT30は、左方向から図7に示すアドレスA0L～A7L（論理用アドレスLAの例である。以下同じ。）の入力があり、及び、右方向から図7に示すアドレスA0R～A7Rの入力があり、また、左方向へ図7に示すデータD0L～D7L（論理用データLDの例である。以下同じ。）の出力があり、右方向へ図7に示すデータD0R～D7Rの出力がある。n値＝8のMLUTは従来方式では1MビットとなりCLB（Configurable Logic Blocks）相当が4Mビットと大規模化してしまう。それに対して本実施形態に係るMLUTは、後述するように、4K（256ワード×16ビット）ビット×2で構成される。

[0039] なお、n値とは、隣接するMLUT30に向かい合う1辺から出るアドレス線又はデータ線の数と言う。4ビット長型MLUTは、複数ビット伝送を要件としているので、1辺から出るアドレス線又はデータ線は「4」であり、n値は「4」である。双方向型MLUTでは、隣接するMLUTとの関係で、データ伝送量がn値の半分となり、且つ、信号パスが1段ずれるので、最長信号パスを実現するには信号パスを（n値／2）で割った段数だけ必要である。なお、「段数」とは、回路において、接続する素子の数を示す。MLUTの「段数」も、通常の回路の段数のように、接続するMLUTの数を示す。MLUT論理段数は、以下の式で示される。

$$\text{式1: MLUT論理段数} = m / (n \text{ 値} / 2)$$

なお、ここでmは、信号バスであり、論理コーンにする入力信号線を示す。

n値は「4」であるが、隣接するMLUTは、一方向に2つあるので、n値／2は「2」となる。C言語の論理演算が、8ビットで演算されており、論理コーンの入力信号線mが8本であった場合、MLUT論理段数は、「8／（4／2）＝4」となる。つまり、8ビット演算をMLUTで行う場合、4つの段数を構成するMLUTが必要になる。尚、本MLUTは双方向性があるので、折り返しをすることで、段数を少なくすることが出来る。

- [0040] このように、上記のMLUTを有するMRLDは、隣接するMLUTに対して複数ビットのデータ処理を行うとともに、複数のメモリユニットで論理部を構成する。メモリユニットは、アドレス線の二乗に比例して増えるので、データ線の数と同じであっても、各メモリユニットのアドレス数を少なくすれば、トータルに必要なメモリセルの数を少なくすることができる。
- [0041] よって、安価な大容量メモリを利用する場合、容量が使える場合、大容量メモリをつかったプログラム可能なデバイスで構築し、メモリ容量に制限がある場合、プログラム可能な専用デバイスであるMRLDと使い分け可能になる。
- [0042] 図8は、構成データをMLUTに展開した例を示す図である。図8に示されるMLUTアレイ60bは、MLUT30A~30Eから構成され、それぞれが、単方向矢印で示す入力アドレス線または出力データ線で接続されている。図8に示す構成データを示す例では、MLUT30AおよびMLUT30Bでは、MLUT30Cに接続する接続回路として構成される。MLUT30Cは、MLUT30Fに接続する接続回路であるとともに、AND回路を構成する。MLUT30Fは、後述される出力バッファとして構成される。
- [0043] MLUTは、メモリユニットの出力データが、他のメモリユニットの入力データに接続される。また、メモリユニットは、SRAM (Static Random Access Memory) 等の大型メモリを使用できるように、入出力線を増やすことができる。
- [0044] MLUT30はさらに、アドレスデコーダ11Aおよび11C、出力バッファ13Aおよび13Cを有する。なお、図示しないが、アドレスデコーダ11A、11Cの前段に、論理用アドレスLA及びメモリ動作用アドレスADを切り替えるための選択回路を有する。出力バッファ13Aおよび13Cは、出力データD0~D7、又は、読出用データRDを切り替える選択回路であるとともに、出力データを、クロック (CLK) に従い一時的に保持するバッファとして動作する。

[0045] 出力バッファ

出力バッファ 13 A および 13 C（後述する第 2 例では、13 A～13 D である。以下同じ）は、クロックに同期して、メモリユニットのデータ線からデータを読み出し、それを保持することで、FF（フリップフロップ）の機能を提供している。つまり、FF の Q 出力を、I/O バッファに維持し、その前段の論理回路と接続関係を、真理値表データで実現することで、同期メモリユニットから構成される MLUT が FF 機能を提供できる。なお、出力バッファ 13 A および 13 C は、メモリセルのビット線から出力される電圧を増幅するセンスアンプを含んでいる。なお、遅延素子から出力されるクロックを受け取る非同期 MLUT も同様に、I/O バッファを有する。しかし、非同期 MLUT は、組合せ論理回路用に使用されるため、FF を構成しないように使用される。同期動作については、「3. MLUT の論理、接続、及び同期動作」で説明される。

[0046] 出力バッファを用いた同期動作

同期設計では、その遅延時間を包括的にクロック期間に収まるように最大のクロック時間で同期させ、このようなタイミング制約内で、回路構成されるので、配線や LUT の遅延時間が影響しないように見えている。このようにすると、FPGA を構成する LU（Logic Unit）単位で、クロックへの同期待ちが生じ、各同期待ち時間が、FPGA 全体として直列的に付加されることで、FPGA の動作速度が遅くなる。

[0047] MRLD の同期設計では、同期用のメモリユニットに、非同期のメモリユニットと逆の向き（バックフォワードともいう）にクロックを入れて、配線遅延による誤動作を回避している。メモリ IP のスペックから算出して、メモリデータがアクセスされる最大時間を遅延量としている。

[0048] 3. MLUT の論理、接続、及び同期動作

以下、MLUT の論理、接続、及び同期動作を、例を用いて説明する。なお、上記においては、MLUT 30 のアドレスは A0～A7、および、出力データは、D0～D7 でそれぞれ、8 つのアドレス又はデータがあったが、

ここでは、説明の簡易化のために、4つのアドレス又はデータで説明する。

[0049] 図9は、真理値表に対応するMLUTの一例を示す図である。図9に示すMLUT30a、30bは、4つのアドレスA0～A3と、4つの出力データD0～D3に接続される。MLUT30aのアドレスA2は、隣接するMLUT30bの出力データD0と接続しており、MLUT30aは、MLUT30bから出力される論理用データを、論理用アドレス入力として受け取る。また、MLUT30aの出力データD2は、MLUT30bのアドレスA0と接続しており、MLUT30aが出力する論理用データは、MLUT30bで論理用アドレス入力として受け取られる。

以下に示す回路構成をMLUTで実現するための構成データ（真理値表データ）は、図9に示すMLUT30a又は30bのものである。

[0050] A. 論理回路を構成する真理値表データ

図10は、論理回路として動作するMLUTの一例を示す図である。本例では、アドレスA0及びA1を2入力NOR回路701の入力とし、アドレスA2及びA3を2入力NAND回路702の入力とする。そして、2入力NOR回路701の出力と、2入力NAND回路702の出力を、2入力NAND回路703に入力し、2入力NAND回路703の出力を出力データD0に出力する論理回路を構成する。

[0051] 図11は、図10に示す論理回路の真理値表を示す図である。図10の論理回路は、4入力のため、入力A0～A3の全ての入力を入力として使用する。一方、出力は、1つのみなので、出力D0のみを出力として使用する。真理値表の出力D1～D3の欄には「*」が記載されている。これは、「0」又は「1」のいずれの値でもよいことを示す。しかしながら、実際に再構成のために真理値表データをMLUTに書き込むときには、これらの欄には、「0」又は「1」のいずれかの値を書き込む必要がある。

[0052] B. 接続回路を構成する真理値表データ

図12は、接続回路として動作するMLUTの一例を示す図である。図12では、接続回路としてのMLUTは、アドレスA0の信号を出力データD

1 に出力し、アドレス A 1 の信号を出力データ D 2 に出力し、アドレス A 2 の信号を出力データ D 3 に出力するように動作する。接続回路としての M L U T はさらに、アドレス A 3 の信号を出力データ D 0 に出力するように動作する。

[0053] 図13は、図12に示す接続回路の真理値表を示す図である。図12に示す接続回路は、4入力4出力である。したがって、アドレスA0～A3の全ての入力と、出力データD0～D3の全ての出力が使用される。図13に示す真理値表によって、MLUTは、アドレスA0の信号を出力データD1に出力し、アドレスA1の信号を出力データD2に出力し、アドレスA2の信号を出力データD3に出力し、アドレスA3の信号を出力データD0に出力する接続回路として動作する。

[0054] C. 論理回路と接続回路を構成する真理値表データ

図１４は、１つのＭＬＵＴが、論理回路及び接続回路として動作する一例を示す図である。図１４に示す例では、アドレスＡ０及びＡ１を２入力ＮＯＲ回路１７１の入力とし、２入力ＮＯＲ回路１７１の出力と、アドレスＡ２とを２入力ＮＡＮＤ回路１７２の入力とし、２入力ＮＡＮＤ回路１７２の出力を出力データＤ０に出力する論理回路を構成する。また同時に、アドレスＡ３の信号を出力データＤ２に出力する接続回路を構成する。

[0055] 図 15 に、図 14 に示す論理回路及び接続回路の真理値表を示す。図 14 の論理回路は、アドレス A0～A3 の 3 つの入力を使用し、1 つの出力データ D0 を出力として使用する。一方、アドレス A3 の信号を出力データ D2 に出力する接続回路が構成される。

[0056] D. 順序回路機能

順序回路は、組合せ回路のように、構成メモリに保持される真理値表データそのもので、その動作を記述できない。本実施形態では、順序回路は、出力バッファ 13 の機能を用いて実現する。D 型フリップフロップは、同期動作するメモリユニットの出力に対して、以下のような真理値表を構成する。

[0057]

[表1]

D(MLUTからの出力)	クロック	次のステートのQ
0	立ち上がり	0
1	立ち上がり	1
X	立ち下がり	前ステートのQを保持

[0058] 4. 真理値表データの生成方法

本実施形態を用いて説明したプログラム可能な半導体装置に適用される真理値表データは、論理構成用のソフトウェアプログラムを実行する情報処理装置によって生成される。

[0059] 図16に、情報処理装置のハードウェア構成の一例を示す。情報処理装置210は、プロセッサ211と、入力部212と、出力部213と、メモリユニット214とドライブ装置215を有する。プロセッサ211は、入力部212に入力された構成データ生成方法に係るソフトウェア、集積回路を設計するためのC言語記述またはハードウェア記述言語（HDL）などの回路記述言語、及び、上記ソフトウェアを実行することによって生成される真理値表データをメモリユニット214に記憶する。また、プロセッサ211は、上記ソフトウェアを実行して、メモリユニット214に記憶された回路記述に対して配置・配線の処理を行い、出力部213に、真理値表データを出力する。出力部213には、プログラム可能な半導体装置であるMRLD100を接続することができ、プロセッサ211が論理構成処理を実行して、生成した真理値表データを、出力部213を介してMRLD100に書き込む。出力部213は、外部ネットワークと接続していてもよい。この場合、上記ソフトウェアプログラムは、ネットワークを介して送受信される。ドライブ装置215は、例えば、DVD（Digital Versatile Disc）、フラッシュメモリなどの記憶メディア217を読み書きする装置である。ドライブ装置215は、記憶媒体217を回転させるモータや記憶媒体217上でデータを読み書きするヘッド等を含む。なお、記憶媒

体 2 1 7 は、論理構成用のプログラム、又は、真理値表データを格納することができる。ドライブ装置 2 1 5 は、セットされた記憶媒体 2 1 7 からプログラムを読み出す。プロセッサ 2 1 1 は、ドライブ装置 2 1 5 により読み出されたプログラム又は真理値表データを、メモリユニット 2 1 4 に格納する。

[0060] 真理値表データがプログラム可能なデバイスに読み込まれることにより、プログラムとしての真理値表データとハードウェア資源とが協働した具体的手段によって、論理要素としての機能が構築される。また、真理値表データは、真理値表という論理的構造を示す構造を有するデータともいえる。

[0061] 以上説明した実施形態は典型例として挙げたに過ぎず、その各実施形態の構成要素の組合せ、変形及びバリエーションは当業者にとって明らかであり、当業者であれば本発明の原理及び請求の範囲に記載した発明の範囲を逸脱することなく上述の実施形態の種々の変形を行えることは明らかである。特に、MRLDの論理又は接続動作において、双方向MLUTを、多方向MLUTの動作とすることは実施形態の変更として可能である。

符号の説明

[0062] 3 0 MLUT
 6 0 メモリユニット
 6 0 b MLUTアレイ
 1 0 0 再構成デバイス

請求の範囲

- [請求項1] プログラム可能なデバイスであって、
 複数のメモリセルを有し、
 少なくとも2つ以上の論理ゲートを含む論理回路を構成する論理回路構成データにおける、デジタル信号の入力データを前記論理ゲートに従って論理演算して、生成される出力データと、前記入力データとの対応から、得られる構成データを、前記複数のメモリセルに格納して、前記論理回路として動作するように構成される、メモリユニットと、
 前記構成データが格納される前記複数のメモリセルへのアドレス信号を、入力データとして前記メモリユニットに出力するアドレスデコーダと、を備えるプログラム可能なデバイス。
- [請求項2] 前記メモリユニットが有する複数のメモリセルの一部に、構成データを格納する請求項1に記載のプログラム可能なデバイス。
- [請求項3] 前記構成データは、前記メモリユニットのバンク毎に記憶される、請求項1又は2に記載のプログラム可能なデバイス。
- [請求項4] 前記メモリユニットは、第1のメモリユニットと、第2のメモリユニットを有し、
 前記第1及び第2メモリユニットはそれぞれ、前記構成データを前記メモリセルに記憶し、
 前記メモリユニットは、入力線および出力線の対を少なくとも2の n 倍（ n は2以上の整数）本有し、
 前記メモリユニット同士は、1つのメモリユニットからの2の n 倍本の出力線が、他の2つのメモリユニットの n 本の入力線に接続される、請求項1～3の何れか1項に記載のプログラム可能なデバイス。
- [請求項5] 前記メモリユニットは、一辺と、前記一辺と反対側の他辺で他のメモリユニットに接続するとともに、複数のメモリユニットを有し、且つ、

前記複数のメモリユニットの少なくとも1つが有する複数のメモリセルは、前記一辺におけるアドレス入力に対して、前記一辺から論理値を出力するための第1構成データと前記他辺から論理値を出力するための第2構成データとを記憶し、

前記構成データを生成するステップは、前記第1構成データと、前記第2構成データを生成するステップを含む、請求項1～3の何れか1つに記載のプログラム可能なデバイス。

[請求項6] 前記構成データは、真理値表データである、請求項1～4の何れか1項に記載のプログラム可能なデバイス。

[請求項7] データを記憶するメモリセルを複数備えたメモリユニットを有する、プログラム可能なデバイスの構成データの生成方法であって、

少なくとも2つ以上の論理ゲートを含む論理回路を構成する論理回路構成データにおける、デジタル信号の入力データを前記論理ゲートに従って論理演算して、出力データを生成し、

前記入力データと、出力データの対応から、構成データを生成し、
前記生成した構成データを、前記メモリユニットに書き込む、ことを有する方法。

[請求項8] 前記メモリユニットは、第1のメモリユニットと、第2のメモリユニットを有し、

前記メモリユニットは、入力線および出力線の対を少なくとも2の n 倍（ n は2以上の整数）本有し、

前記メモリユニット同士は、1つのメモリユニットからの2の n 倍本の出力線が、他の2つのメモリユニットの n 本の入力線に接続され、

前記構成データを、前記第1のメモリユニット用の第1構成データと、前記第2のメモリユニット用の第2構成データに分割する、請求項7に記載の方法。

[請求項9] 前記構成データは、真理値表データである、請求項7に記載の方法

。

[請求項10] データを記憶するメモリセルを複数備えたメモリユニットを複数有する、プログラム可能なデバイスの構成データを生成するためのプログラムであって、

プロセッサに、

少なくとも2つ以上の論理ゲートを含む論理回路を構成する論理回路構成データにおける、デジタル信号の入力データを論理演算して、出力データを生成し、

前記入力データと、出力データの対応から、構成データを生成し、

前記生成した構成データを、前記プログラム可能なデバイスに書き込む、処理を実行させるプログラム。

[請求項11] 前記メモリユニットは、第1のメモリユニットと、第2のメモリユニットを有し、

前記メモリユニットは、入力線および出力線の対を少なくとも2の n 倍（ n は2以上の整数）本有し、

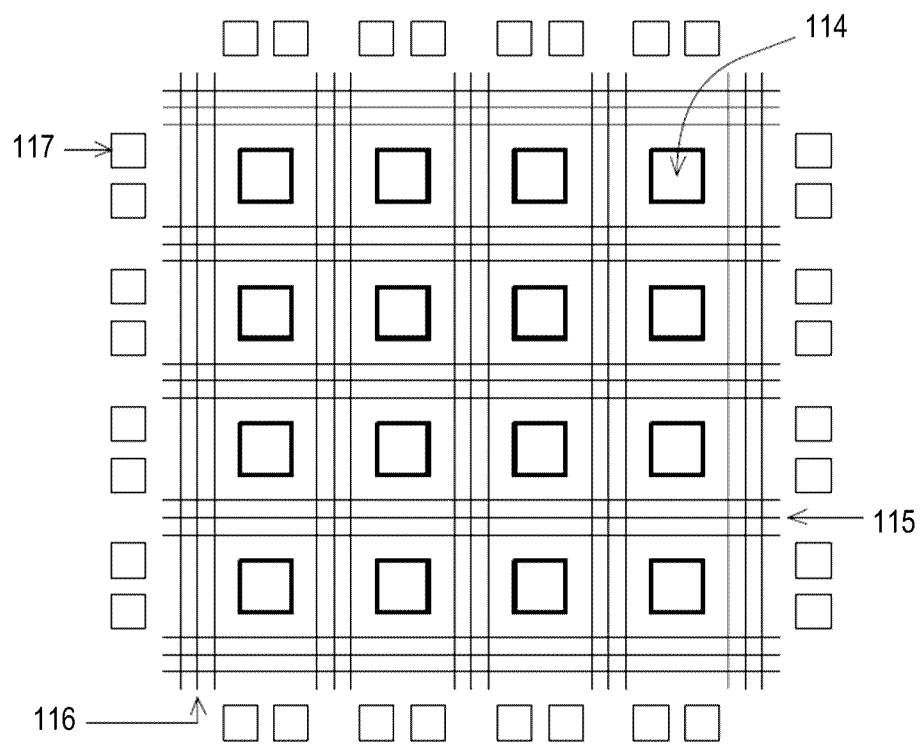
前記メモリユニット同士は、1つのメモリユニットからの2の n 倍本の出力線が、他の2つのメモリユニットの n 本の入力線に接続され、

前記第1のメモリユニット用の第1構成データと、前記第2のメモリユニット用の第2構成データに分割する処理を実行させる、請求項10に記載のプログラム。

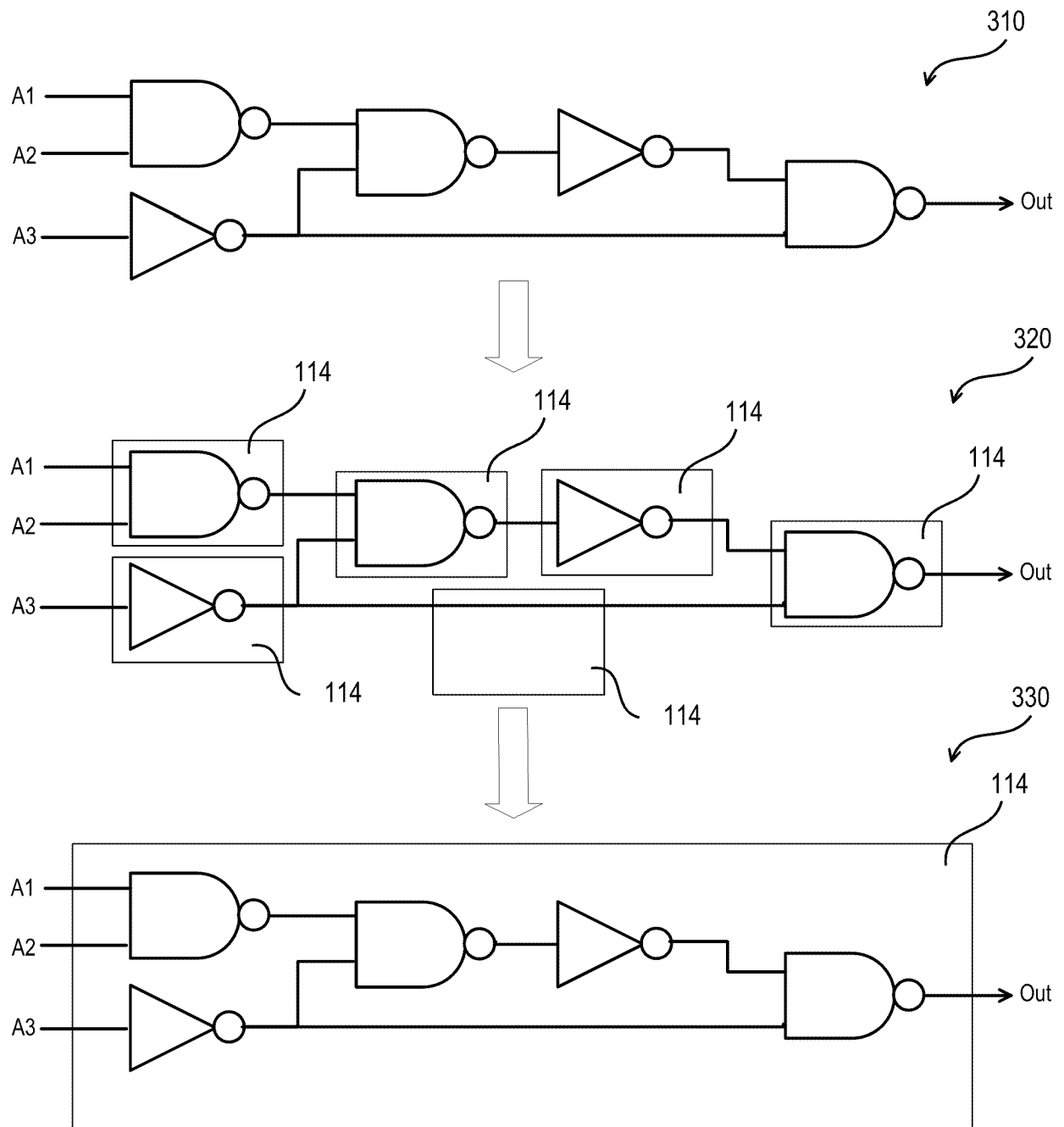
[請求項12] 前記構成データは、真理値表データである、請求項10又は11に記載のプログラム。

[請求項13] 請求項10～12の何れか1項に示すプログラムを格納する記憶媒体。

[図1]



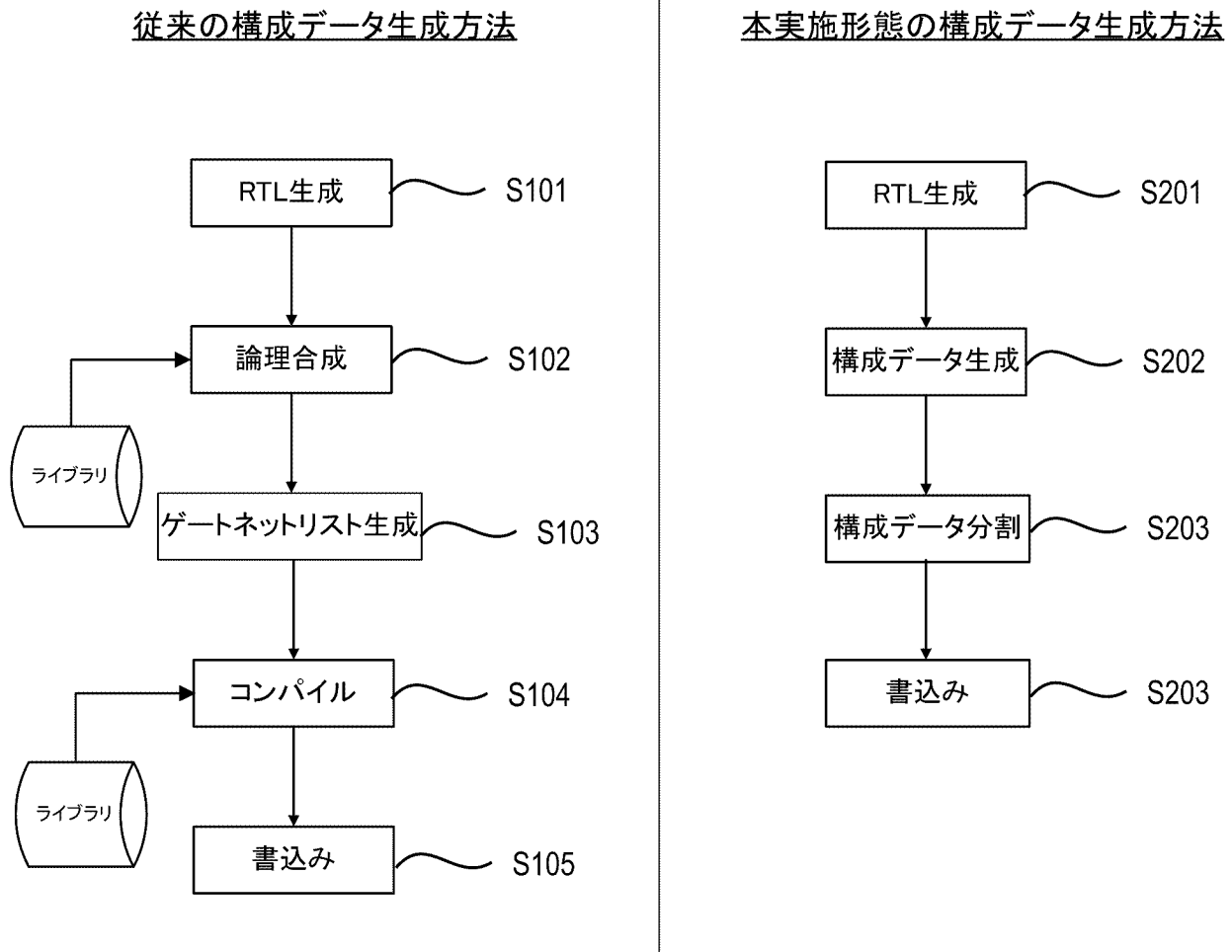
[図2A]



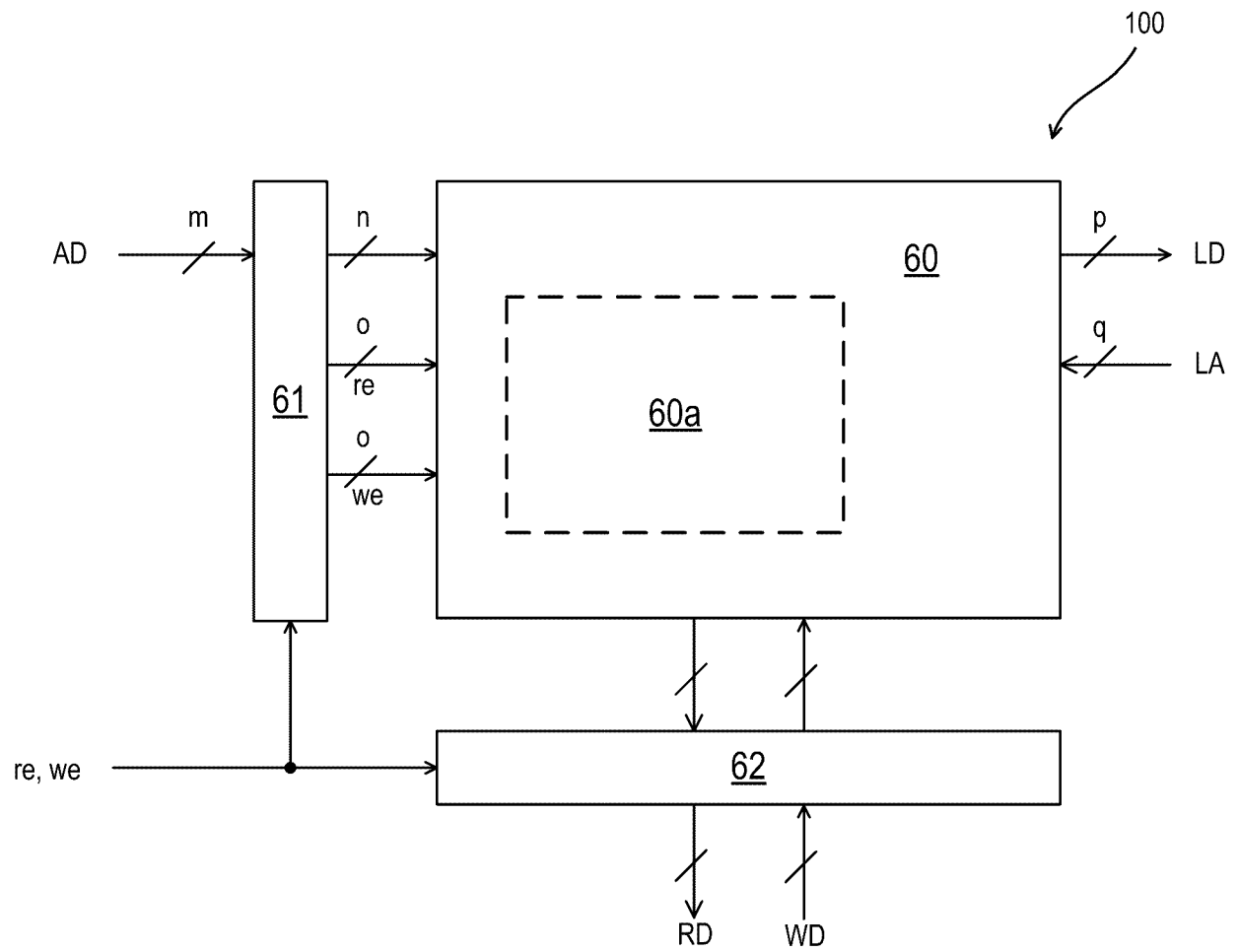
[図2B]

入力 A 1	入力 A 2	入力 A 3	出力Out
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

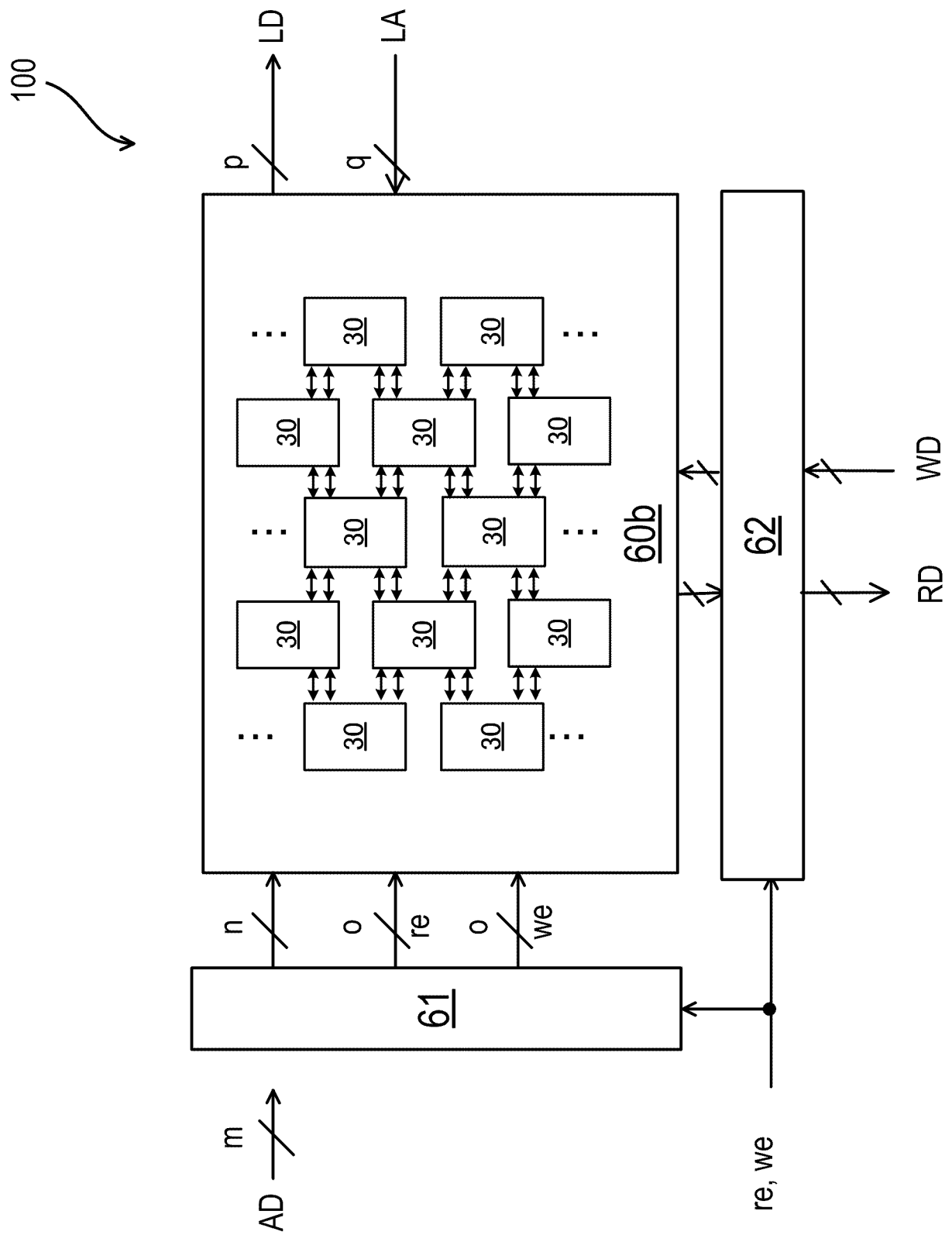
[図3]



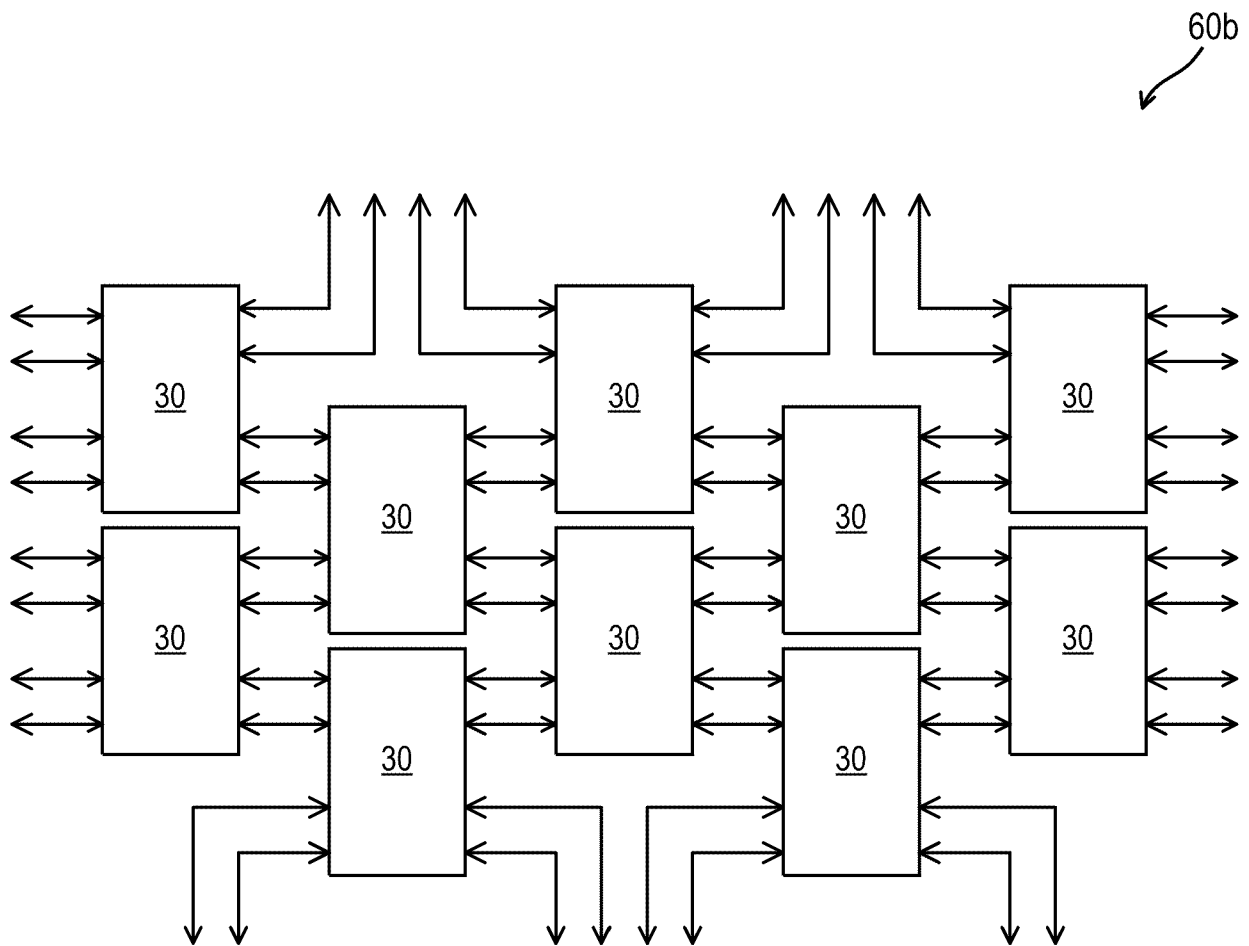
[図4]



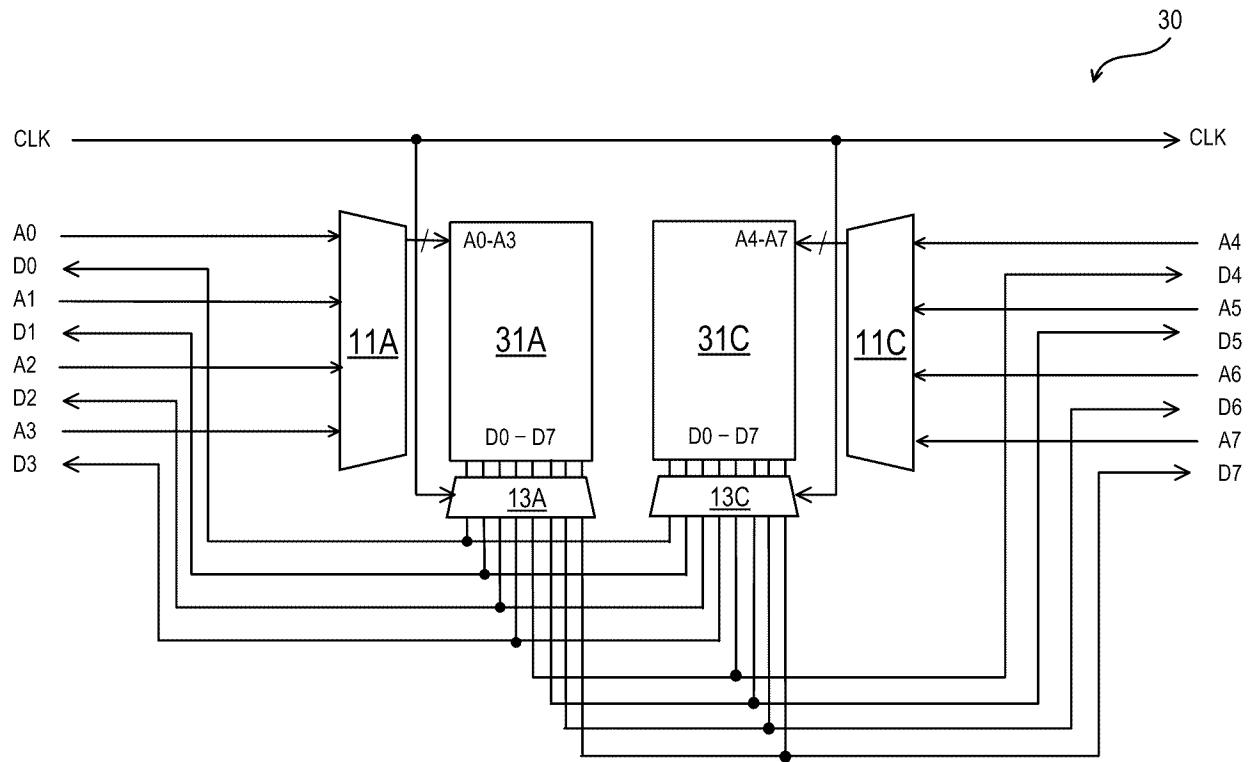
[図5]



[図6]

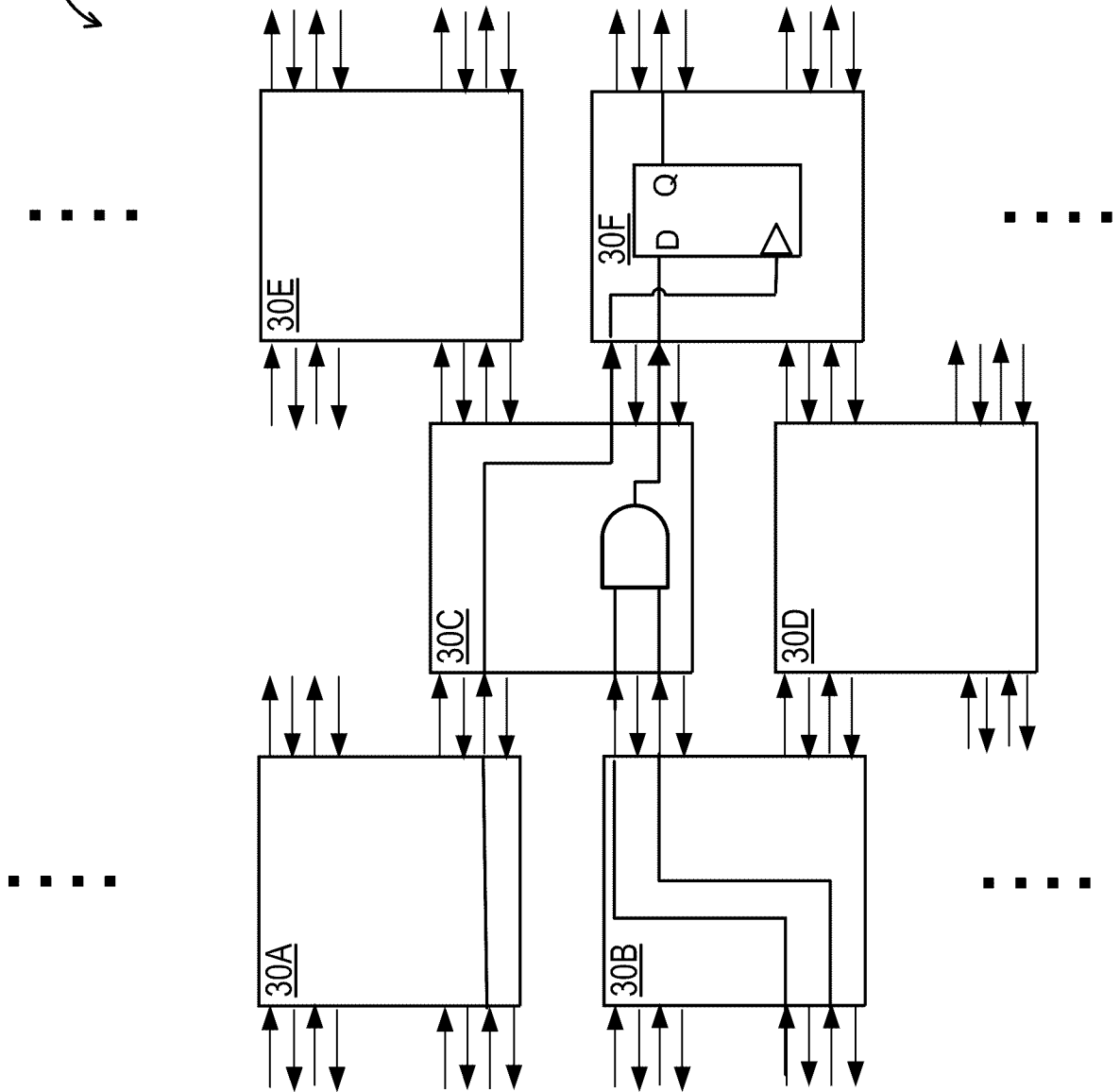


[図7]

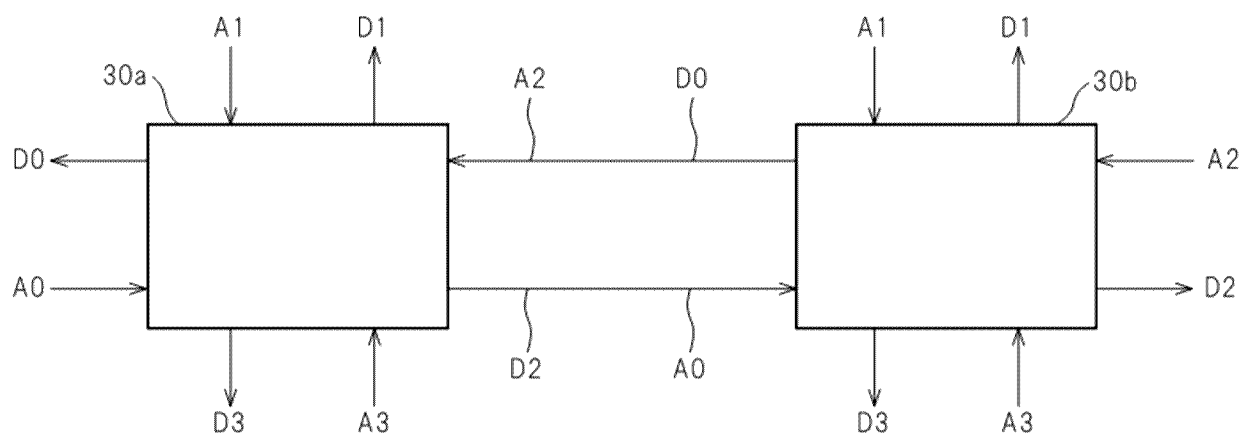


[図8]

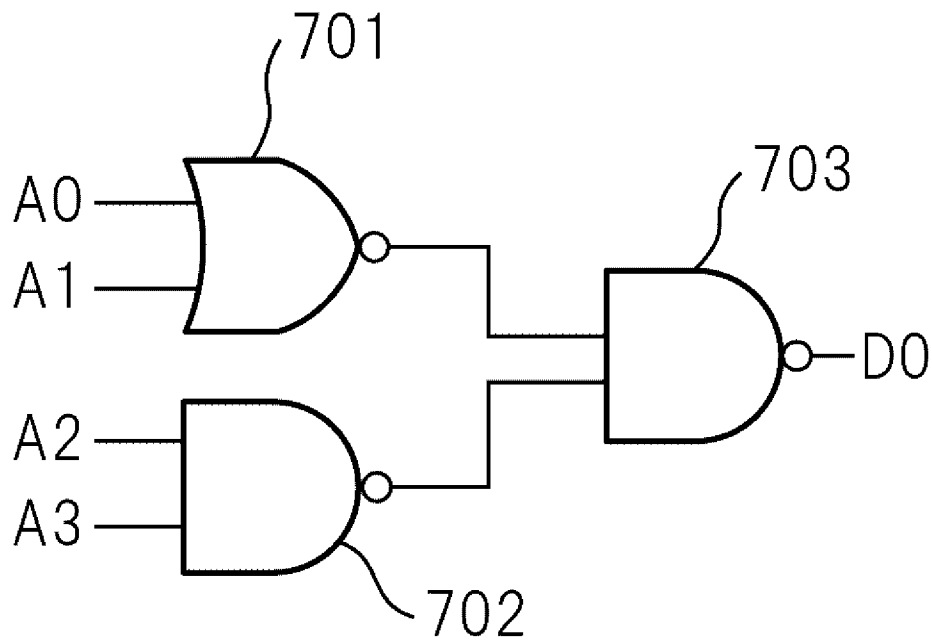
60b



[図9]



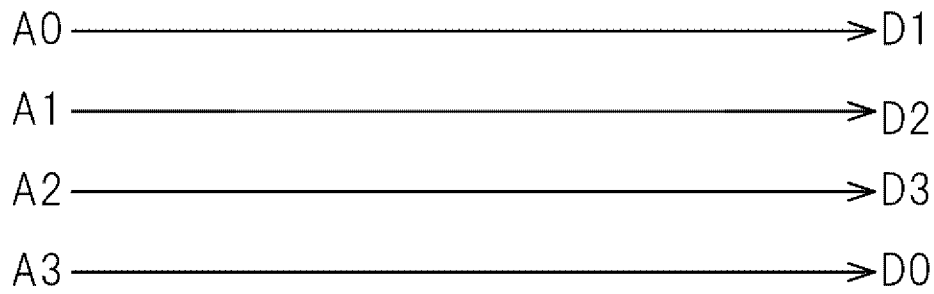
[図10]



[図11]

A0	A1	A2	A3	D0	D1	D2	D3
0	0	0	0	0	*	*	*
1	0	0	0	1	*	*	*
0	1	0	0	1	*	*	*
1	1	0	0	1	*	*	*
0	0	1	0	0	*	*	*
1	0	1	0	1	*	*	*
0	1	1	0	1	*	*	*
1	1	1	0	1	*	*	*
0	0	0	1	0	*	*	*
1	0	0	1	1	*	*	*
0	1	0	1	1	*	*	*
1	1	0	1	1	*	*	*
0	0	1	1	1	*	*	*
1	0	1	1	1	*	*	*
0	1	1	1	1	*	*	*
1	1	1	1	1	*	*	*

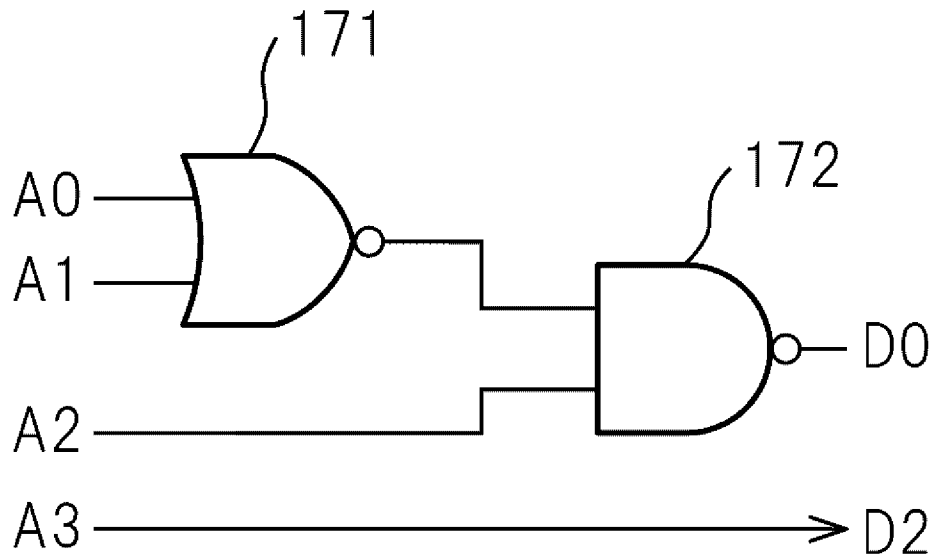
[図12]



[図13]

A0	A1	A2	A3	D0	D1	D2	D3
0	0	0	0	0	0	0	0
1	0	0	0	0	1	0	0
0	1	0	0	0	0	1	0
1	1	0	0	0	1	1	0
0	0	1	0	0	0	0	1
1	0	1	0	0	1	0	1
0	1	1	0	0	0	1	1
1	1	1	0	0	1	1	1
0	0	0	1	1	0	0	0
1	0	0	1	1	1	0	0
0	1	0	1	1	0	1	0
1	1	0	1	1	1	1	0
0	0	1	1	1	0	0	1
1	0	1	1	1	1	0	1
0	1	1	1	1	0	1	1
1	1	1	1	1	1	1	1

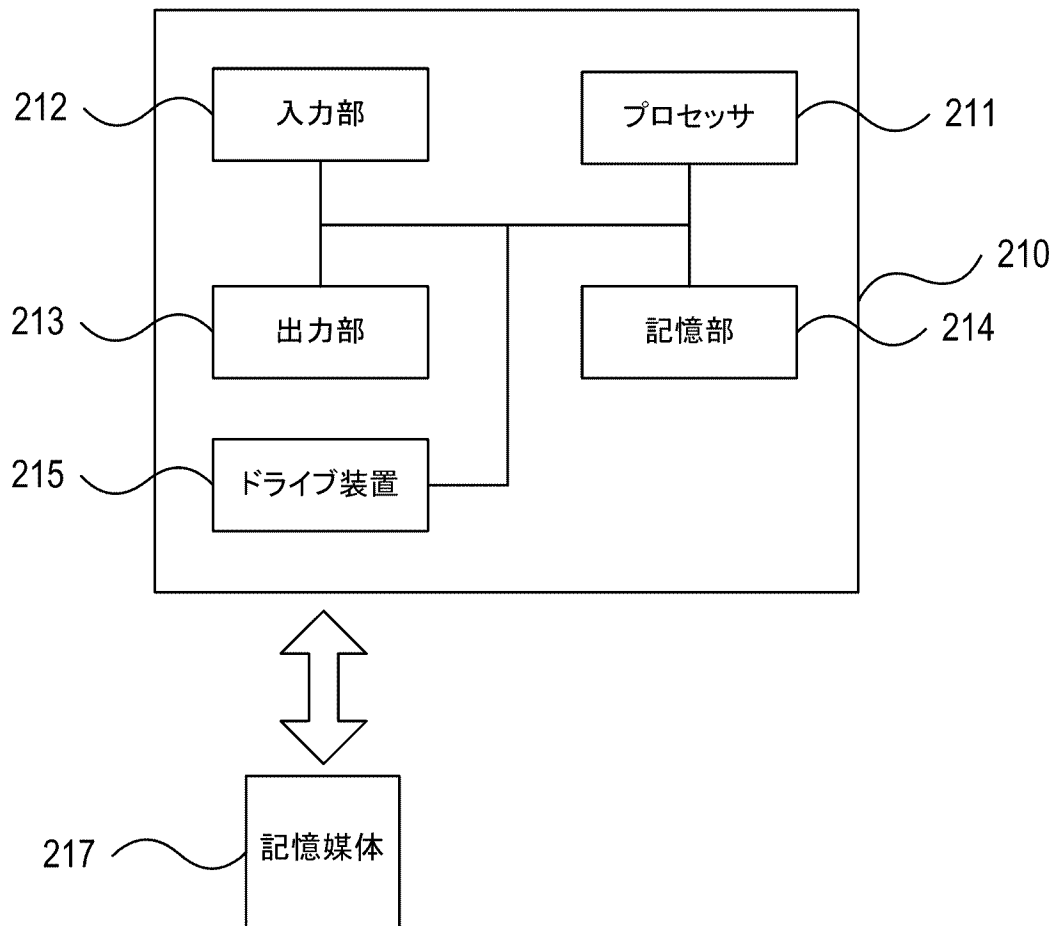
[図14]



[図15]

A0	A1	A2	A3	D0	D1	D2	D3
0	0	0	0	0	*	0	*
1	0	0	0	0	*	0	*
0	1	0	0	0	*	0	*
1	1	0	0	1	*	0	*
0	0	1	0	0	*	0	*
1	0	1	0	0	*	0	*
0	1	1	0	0	*	0	*
1	1	1	0	0	*	0	*
0	0	0	1	0	*	1	*
1	0	0	1	0	*	1	*
0	1	0	1	0	*	1	*
1	1	0	1	1	*	1	*
0	0	1	1	0	*	1	*
1	0	1	1	0	*	1	*
0	1	1	1	0	*	1	*
1	1	1	1	0	*	1	*

[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/017853

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H03K19/177(2006.01) i, H01L21/82(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H03K19/177, H01L21/82

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2017-38247 A (TAIYO YUDEN CO., LTD.) 16 February 2017, claims, paragraphs [0031]-[0050], [0066], [0076]-[0090], fig. 1-4A, 7-15 & US 2017/0047931 A1, claims, paragraphs [0112]-[0146], [0162], [0171]-[0184]	1-13

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

22 June 2018 (22.06.2018)

Date of mailing of the international search report

03 July 2018 (03.07.2018)

Name and mailing address of the ISA/

Japan Patent Office

3-4-3, Kasumigaseki, Chiyoda-ku,

Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H03K19/177(2006.01)i, H01L21/82(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H03K19/177, H01L21/82

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2017-38247 A（太陽誘電株式会社）2017.02.16, [特許請求の範囲]、段落[0031]－[0050]、[0066]、[0076]－[0090]、図1－4A、7－15 & US 2017/0047931 A1, [特許請求の範囲]、段落[0112]－[0146]、[0162]、[0171]－[0184]	1－13

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- | | |
|---|---|
| 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの | 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの |
| 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの | 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの |
| 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） | 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの |
| 「O」 口頭による開示、使用、展示等に言及する文献 | 「&」 同一パテントファミリー文献 |
| 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願 | |

国際調査を完了した日

22.06.2018

国際調査報告の発送日

03.07.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

工藤 一光

5W

9274

電話番号 03-3581-1101 内線 3576