

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-304295

(P2005-304295A)

(43) 公開日 平成17年10月27日(2005.10.27)

(51) Int. Cl.⁷

H02M 3/155

F I

H02M 3/155

J

テーマコード(参考)

5H730

審査請求 有 請求項の数 25 O L 外国語出願 (全 13 頁)

(21) 出願番号 特願2005-111169 (P2005-111169)
 (22) 出願日 平成17年4月7日(2005.4.7)
 (31) 優先権主張番号 60/560874
 (32) 優先日 平成16年4月8日(2004.4.8)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 11/100033
 (32) 優先日 平成17年4月5日(2005.4.5)
 (33) 優先権主張国 米国 (US)

(71) 出願人 502109876
 インターナショナル レクティファイアー
 コーポレーション
 アメリカ合衆国 90245 カリフォル
 ニア州 エル セグンド カンサス スト
 リート 233
 (74) 代理人 100094318
 弁理士 山田 行一
 (74) 代理人 100123995
 弁理士 野田 雅一
 (72) 発明者 ビーター グリーン
 アメリカ合衆国, カリフォルニア州,
 リドンド ビーチ, ロックフェラー レ
 ーン 2112 ナンバー3

最終頁に続く

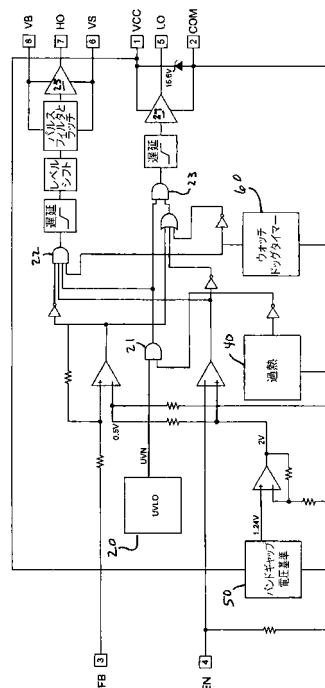
(54) 【発明の名称】 LEDバックレギュレータコントロールIC

(57) 【要約】 (修正有)

【課題】一定LED電流レギュレーションのための高速バックコントロールICで、正確な一定電流を、LEDのような負荷に供給する。

【解決手段】連続モードヒステリシス制御されるバックレギュレータは、正確なオンチップバンドギャップ電圧基準を使用して負荷電流を監視する。この型の電流レギュレーションは、設計者が大型の、場合によっては巨大な出力コンデンサを省くことを可能にさせる。ICは、本質的に短絡条件から保護され、付加回路がオープン回路保護を提供する。外部ハイ側ブートストラップ回路は特に高周波数でバックスイッチング装置を駆動するのに役立つ。ロー側ドライバはまた、例えば、同期整流器設計で使用するため設けられる。すべての機能は、小型の8ピンDIP又はSOICパッケージ内で実現される。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

調整された電流を負荷に供給するバック電源回路であって、
ハーフブリッジ配置内で直列接続された第 1 及び第 2 のスイッチング装置と、
前記第 1 及び第 2 のスイッチング装置のためのそれぞれの第 1 及び第 2 のドライバと、
一端が前記第 1 及び第 2 のスイッチング装置の間の接続点に接続され、他端が出力電圧
を前記負荷へ供給するインダクタと、
前記負荷に接続され、前記負荷内の出力電流を表すフィードバック電圧を供給するフィ
ードバック回路と、
論理回路を介して前記第 1 及び第 2 のドライバの両方に接続され、前記出力電圧を前記 10
負荷に供給するように、したがって、前記負荷電流が上限と下限との間で維持されるよう
に前記ドライバのヒステリシス制御を行うコンパレータと、
を備え、
前記出力電圧の前記上限を設定する前記フィードバック電圧が前記コンパレータへフィ
ードバックされ、
前記出力電圧の前記下限を設定する基準電圧回路が前記コンパレータに接続される、回
路。

【請求項 2】

前記負荷が少なくとも 1 台の LED を備える、請求項 1 記載の回路。

【請求項 3】

前記基準電圧回路がバンドギャップ電圧基準回路である、請求項 1 記載の回路。

【請求項 4】

前記コンパレータのうちの 1 台に接続され、イネーブル信号を受け、前記出力電圧を選
択された値に設定するため動作可能であるイネーブル回路を更に備える、請求項 1 記載の
回路。

【請求項 5】

前記イネーブル回路が前記イネーブル信号に応答し、前記出力電圧のデューティサイク
ルを調整する、請求項 4 記載の回路。

【請求項 6】

前記負荷が少なくとも 1 台の LED を備え、前記イネーブル回路が前記少なくとも 1 台 30
の LED を調光するため動作可能である、請求項 5 記載の回路。

【請求項 7】

前記負荷が少なくとも 1 台の LED を備え、前記イネーブル回路がアニメーション効果
を生成するため前記少なくとも 1 台の LED の高速スイッチングのため動作可能である、
請求項 5 記載の回路。

【請求項 8】

前記イネーブル回路が前記イネーブル信号に応答し、前記出力電圧を選択された値でク
ランプする、請求項 4 記載の回路。

【請求項 9】

前記出力電圧を受け、前記出力電圧が所定の値を上回るときにクランピング信号を前記 40
イネーブル回路に供給するオープン回路検出回路を更に備える、請求項 4 記載の回路。

【請求項 10】

前記オープン回路検出回路が分圧器と、前記イネーブル回路に接続されたツェナーダイ
オードとを備え、前記ツェナーダイオードが前記分圧器の選択された出力電圧に応じて導
通し、これにより前記クランピング信号を供給する、請求項 9 記載の回路。

【請求項 11】

前記出力電圧に応答し、前記出力電圧が第 1 の所定の時間に亘って所定の値を上回ると
きに、第 2 の所定の時間に亘って前記第 1 及び第 2 のドライバへ信号を発するウォッチド
ッグタイマー回路を更に備える、請求項 1 記載の回路。

【請求項 12】

前記第 1 及び第 2 のドライバ、コンパレータ、論理回路並びに基準電圧回路が単一の半導体チップ上に設けられる、請求項 1 記載の回路。

【請求項 1 3】

前記イネーブル回路が前記チップの単一のピンに接続され、これにより出力デューティサイクルと出力クランピングの両方を 1 本のピンで制御する、請求項 1 2 記載の回路。

【請求項 1 4】

調整された電流を負荷に供給する方法であって、

第 1 及び第 2 のスイッチング装置をハーフブリッジ配置内で直列接続するステップと、前記第 1 及び第 2 のスイッチング装置のためのそれぞれの第 1 及び第 2 のドライバを設けるステップと、

10

一端で出力電圧を前記負荷へ供給するインダクタをもう一端で前記第 1 及び第 2 のスイッチング装置の間の接続点に接続するステップと、

前記負荷内の出力電流を表すフィードバック電圧を供給するフィードバック回路を前記負荷に接続するステップと、

論理回路を介して前記第 1 及び第 2 のドライバの両方に接続され、これにより前記出力電圧を前記負荷に供給するように、したがって前記負荷電流が上限と下限との間で維持されるように、前記ドライバのヒステリシス制御を行う一対の並列コンパレータを設けるステップと、

前記フィードバック電圧を前記出力電圧の前記上限を設定する前記コンパレータの一方にフィードバックするステップと、

20

前記出力電圧の前記下限を設定する基準電圧回路を前記コンパレータの両方に接続するステップとを含む方法。

【請求項 1 5】

前記負荷が少なくとも 1 台の LED を備える、請求項 1 4 記載の方法。

【請求項 1 6】

前記基準電圧回路がバンドギャップ電圧基準回路である、請求項 1 4 記載の方法。

【請求項 1 7】

前記コンパレータのうちの一方に接続され、イネーブル信号を受け、前記出力電圧を選択された値に設定するため動作可能であるイネーブル回路を設けるステップを更に含む、請求項 1 4 記載の方法。

30

【請求項 1 8】

前記イネーブル回路への前記イネーブル信号を調整することにより前記出力電圧のデューティサイクルを調整するステップを更に含む、請求項 1 7 記載の方法。

【請求項 1 9】

前記負荷が少なくとも 1 台の LED を備え、

前記調整するステップが前記少なくとも 1 台の LED を調光するステップを更に含む、請求項 1 8 記載の方法。

【請求項 2 0】

前記負荷が少なくとも 1 台の LED を備え、

40

前記調整するステップがアニメーション効果を生成するため前記 LED をスイッチングするステップを含む、請求項 1 8 記載の方法。

【請求項 2 1】

前記イネーブル信号を前記イネーブル回路に供給することにより前記出力電圧を選択された値でクランプするステップを更に含む、請求項 1 7 記載の方法。

【請求項 2 2】

前記出力電圧を受け、前記出力電圧が所定の値を上回るときにクランピング信号を前記イネーブル回路に供給することにより、前記負荷のオープン回路を検出するステップを更に含む、請求項 1 7 記載の方法。

【請求項 2 3】

50

前記出力電圧が分圧器と、前記イネーブル回路に接続されたツェナーダイオードとを備えるオープン回路検出回路によって受けられ、前記ツェナーダイオードが前記分圧器の選択された出力電圧に応じて導通し、これにより、前記クランピング信号を供給する、請求項 2 2 記載の方法。

【請求項 2 4】

前記出力電圧に応答し、前記出力電圧が第 1 の所定の時間に亘って所定の値を上回るときに、第 2 の所定の時間に亘って前記第 1 及び第 2 のドライバへ信号を発行するウォッチドッグタイマー回路によって前記出力電圧のタイミングを決めるステップを更に含む、請求項 1 4 記載の方法。

【請求項 2 5】

前記イネーブル信号が前記チップの単一のピンに供給され、これにより出力デューティサイクルと出力クランピングの両方を 1 本のピンで制御する、請求項 1 4 記載の方法。

【発明の詳細な説明】

【関連出願の相互参照】

【0 0 0 1】

[0001]本願は、参照により本明細書に組み入れられる 2 0 0 4 年 4 月 8 日に出願された米国仮特許出願第 6 0 / 5 6 0 , 8 7 4 号に基づき優先権を主張する。

【発明の背景】

【0 0 0 2】

[0002]本発明は、バックレギュレータコントロール IC に関し、特に、正確な一定電流を、LED のような負荷に供給するレギュレータに関する。

【発明の概要】

【0 0 0 3】

[0003]一定 LED 電流レギュレーションのための高速バックコントロール IC である。連続モードヒステリシス制御されるバックレギュレータは、正確なオンチップバンドギャップ電圧基準を使用して負荷電流を監視する。この型の電流レギュレーションは、設計者が大型の、場合によっては巨大な出力コンデンサを省くことを可能にさせる。IC は、本質的に短絡条件から保護され、付加回路がオープン回路保護を提供する。外部ハイ側ブートストラップ回路は特に高周波数でバックスイッチング装置を駆動するのに役立つ。ロー側ドライバはまた、例えば、同期整流器設計で使用するため設けられる。すべての機能は、小型の 8 ピン DIP 又は SOIC パッケージ内で実現される。

【0 0 0 4】

[0004]本発明は、インターナショナル・レクティファイア・コーポレーションから入手可能である IRS 2 5 4 0 LED バックレギュレータコントロール IC において実施される。IRS 2 5 4 0 は、6 0 0 V のハーフブリッジドライバ、マイクロパワースタートアップ (1 5 0 μ A)、1 5 . 6 ツェナー電圧のクランプオン V c c、5 0 0 k H z までの発振周波数、オートリスタート、非ラッチ型シャットダウン、PWM 調光可能動作、及び、過熱防止を更に含む。

【0 0 0 5】

[0005]本発明のその他の特徴及び効果は、添付図面を参照して、本発明の実施形態の以下の説明から理解されよう。

【発明の実施形態の詳細な説明】

【0 0 0 6】

[0015]図 1 は IRS 2 5 4 0 チップの典型的なアプリケーションを示す。ハイ側出力 H O 及びロー側出力 L O (図 2 を参照) は、ハーフブリッジ配置内の一对の MOSFET である M 1、M 2 を駆動する。

【0 0 0 7】

[0016]ブートストラップダイオード D B O O T は R S 1 を介して電源電圧 V B U S を受け取り、ピン V B を介してそれをハイ側ドライバ 2 5 へ供給し、同時にブートストラップコンデンサ C B O O T を充電する。

10

20

30

40

50

【 0 0 0 8 】

[0017]インダクタ L 1 はバック機能のためのエネルギー蓄積を行う（後述）。

【 0 0 0 9 】

[0018]またより詳しく後述するオープン回路保護回路 7 0 は、抵抗器 R O V 1 及び R O V 2、ツェナーダイオード D O V、ならびに、コンデンサ C E N を具備する。

【 0 0 1 0 】

[0019]説明するアプリケーションにおいて、回路は、1 台又は複数台の L E D を駆動する調整された出力電圧 V O U T + を供給する。

【 0 0 1 1 】

動作モード

[0020] I R S 2 5 4 0 は、標準的なバックコントローラ I C を置き換える能力を備えるが、出力コンデンサを必要としない。開示された型の電流レギュレーションは、設計者が大型の場合によっては巨大な従来の出力コンデンサを省くことを可能にさせる。この制御方法は、非常に伝統的な定常状態値のレギュレーションに対して、ヒステリシスに基づいている。

【 0 0 1 2 】

[0021]正常な動作条件中に、出力電流は R C S の両端間の電圧として検知され、 I F B ピンへフィードバックされる。出力電流は I F B ピン電圧によって調整され、この I F B ピン電圧はこの回路内では 1 0 0 m V のヒステリシス範囲をもつ 5 0 0 m V のノミナル値を有する。このフィードバックは内部高精度バンドギャップ電圧基準 5 0 と比較される。ヒステリシス制御に関して、出力電流リップル（ヒステリシス範囲）は予め決められ、内部的に設定される。ヒステリシスのレール・トゥ・レール制限は、雑音排除性を与えるため十分に大きくし、同時に、出力電流リップルを最小限に抑えるため十分に小さくするよう選択される。この非常に頑強な型の制御に加えて、オンボード d v / d t フィルタが更なる誤った変化を阻止するため組み込まれる。

【 0 0 1 3 】

[0022]電源電圧 V B U S が十分になると、所定の時間に亘って L O 出力はハイに保たれ、 H O 出力はローに保たれる。これはブートストラップコンデンサ C B O O T の充電を始動し、スイッチングが始まると適切なハイ側動作のための V B / V S フローティング電源を確定する。チップは次に電流を調整する必要に応じて H O 出力と L O 出力のトグル切り替えを開始する。動作周波数又はデューティサイクルはプリセットされない。両方のパラメータは一定の電流レギュレーションを達成するため連続的に変化可能である。 I o u t (+)、 I o u t (-) 及び I o u t (a v g) の値は以下の通り計算できる。

【 数 1 】

$$I_{out}(+) = 550mV / R_{sense} ; \quad I_{out}(-) = 450mV / R_{sense}$$

$$I_{out}(avg) = (I_{out}(+) + I_{out}(-)) / 2$$

【 0 0 1 4 】

[0023]おおよそ 2 0 0 n s の不感時間が「貫通 (s h o o t - t h r o u g h)」条件を防止するため 2 個のデータ駆動信号の間に導入される。このチップはより高い周波数で動作するように設計されるので、スイッチング損失はこの不感時間によって削減される。ゲート遅延は正確な電流レギュレーションを維持するため最小限に抑えられるが、依然としてスイッチング損失を生じる。このチップはヒステリシスに基づくので、すべてのオンチップ遅延は電流レギュレーションの全体的な精度に影響を与え、最小限に保たれる。

【 0 0 1 5 】

ウォッチドッグタイマー

[0024]オープン回路条件中に、保護がなされていない間、 H O 出力は理論的には常にハイを維持する。このフィードバックの欠如は、ブートストラップコンデンサ C B O O T に問題をもたらす。 H O 出力が永久にハイを維持するならば、ブートストラップコンデンサ

10

20

30

40

50

C B O O Tに蓄積された電荷は零に達するまで徐々に漏れ、その結果、ハイ側ドライバ25のためのフローティング電源V Bを削減する。C B O O T上に十分な電荷を維持するため、ウォッチドッグタイマー60(図2)が実施される。オープン回路の条件では、H O出力は30 μ s後に強制的にローにされ、L O出力は強制的にハイにされる。図6を参照されたい。この出力のトグル切り替えは、ブートストラップ上で十分な電荷を維持し補充するため1 μ sに亘って続く。

【0016】

ブートストラップコンデンサ及びダイオード

[0025]ブートストラップコンデンサC B O O T及びダイオードD B O O Tを選択する規準を次に説明する。ブートストラップコンデンサの主要な限定要因はウォッチドッグタイマーを規定する30 μ sの時間である。ウォッチドッグタイマーの目的はブートストラップコンデンサ上に十分な電荷を維持することである。コンポーネント値が非常に小さいならば、電荷は30 μ s未滿で完全に無くなり、タイマーの目的を無意味にする。多くの状況では、この制約は100nFを下回らないキャップを示唆する。必要に応じてより大きい値が使用される。

10

【0017】

[0026]ブートストラップダイオードD B O O Tは、優れた性能を維持するため、超高速リカバリコンポーネントではないとしても、少なくとも高速リカバリであるべきである。ブートダイオードのカソードはC O Mとおおよそハイ側電圧との間で切り替わるので、このダイオードの逆リカバリ時間が重要である。印加電圧が十分に低いならば、ショットキーダイオードは、本質的に逆リカバリ時間が不足するので、最適なダイオードである。ブートストラップコンポーネントに関する更なる情報については、www.irrf.comから入手可能であり、参照としてその内容が組み入れられた、Jonathan Adams著の“Bootstrap Component Selection For Control ICs”, Design Tip DT 98-2を参照されたい。

20

【0018】

イネーブルピン

[0027]イネーブルピンE N(図1~2を参照)は、調光とオープン回路保護の両方のための多機能制御素子としての役目を担う。イネーブルピンがローに保たれるとき、チップは動作環境への変更が無く完全に機能的な状態のままである。制御フィードバック及びレギュレーションを動作不能にするため、2V以上の電圧がイネーブルピンに加えられる。チップが動作不能状態であるならば、出力H Oはローのままであり、一方、出力L Oは、ブートストラップコンデンサ上の電荷を維持するだけでなく、V Sが浮遊することを阻止するためハイのままである。I R S 2 5 4 0を動作不能にするためのこの2Vのスレッシュヨルドは、あらゆる外部発生雑音、又は、アプリケーショングランド雑音に対する排除性を高めるために有利である。

30

【0019】

調光モード

[0028]調光を実現するため、一定周波数及び選択されたデューティサイクルを備えた信号がイネーブルピンE Nに供給される(図7を参照)。E Nピンはまたアニメーション効果を生成するため高速でL E Dのオンとオフを切り替えるためにも使用される。

40

【0020】

[0029]平均負荷電流と調光信号のデューティサイクルとの間には直接的な線形関係がある。デューティサイクル比が50%であるならば、最大設定光出力の50%が実現される。同様に、比が30%であるならば、最大設定光出力の70%が実現される。調光信号の周波数は、フラッシング、又は、可能であれば「ストローク光」効果を回避するように選択される。数kHzのオーダーの信号で間に合う。

【0021】

[0030]実現可能な(光出力が0%に到達する)最小限の調光量は、完全に機能的な調整

50

状態である H O 出力の「オン」時間によって決まる。確実な調光を維持するため、イネーブル信号の「オフ」時間を H O の「オン」時間の少なくとも 10 倍の時間に保つことが推奨される。例えば、アプリケーションが 400 V の入力電圧及び 100 V の出力電圧を用いて 500 kHz で動いているならば、H O の「オン」時間は 500 ns (周期の 4 分の 1、以下の計算式を参照) である。これはイネーブル信号の 5 μs の最小「オフ」時間を設定する。

【数 2】

$$Duty\ Cycle = \frac{V_{out}}{V_{in}} * 100 = \frac{100V}{400V} * 100 = 25\%$$

$$HO_{on\ time} = 25\% * \frac{1}{500kHz} = 500ns$$

10

【0022】

オープン回路保護モード

[0031]分圧器 R O V 1、R O V 2、キャップ C E N、及び、ツェナーダイオード D O V を使用することにより、出力電圧は実質的に希望値でクランプ可能である。出力クランプ 70 は、正側出力端子 V O U T + がハイ側入力電圧で浮遊することを阻止する。

【0023】

[0032]オープン回路条件において、出力電圧は無限の時間に亘って保持できない。このため、スイッチングが出力電圧クランプ 70 又はウォッチドッグタイマー 60 に起因して H O 出力と L O 出力との間で行われる。この状態では、フィードバックピン I F B を用いて電流を調整するのではなく、出力電圧がイネーブルピン E N によって調整される。変化及びスイッチングは、図 9 からわかるように、正側出力端子で観測可能であり、観測される。出力電圧と I F B との間の信号形状の差は、電圧クランプ 70 を形成するため使用されるコンデンサ C E N によって生じる。スパイクの繰り返しはキャップサイズを増大することによって削減可能である。

20

【0024】

[0033]2 台の抵抗器 R O V 1、R O V 2 は、出力 V O U T + のための分圧器を形成し、この出力は次にツェナーダイオード D O V のアノードに供給される。ダイオードは、そのノミナル電圧を超えるとときに限り導通し、イネーブルピンに流入させる。分圧器ネットワークがツェナー定格よりも少なくとも 2 V 大きい電圧を生成すると、チップは動作不能状態に入る。コンデンサ C E N は、正側出力端子で観測される変化/スイッチングをフィルタ処理し遅くするために役立つ。設計者は、以下の解析を用いてクランプ出力電圧を決定可能である。コンデンサの選定は設計者に一任される。

30

【数 3】

$$V_{out} = \frac{(2V + DZ)(R_1 + R_2)}{R_2}$$

DZ = ツェナ-ダイオード公称定格電圧

40

【0025】

低電圧誤動作防止モード

[0034]図 1 及び 2 を参照すると、低電圧誤動作防止モード (U V L O) は、V c c が I C のターンオンスレッシュホールドに満たないときに I R S 2 5 4 0 が置かれる状態として画成される。スタートアップ条件中に、チップ電源 V B U S が不十分であり、V c c u v + 未満であることがわかるならば、I R S 2 5 4 0 は U V L O モードに入る。本発明の一実施形態において、V c c u v + は約 10.5 乃至 12.5 ボルトであり、好ましくは、約 11.5 ボルトである。この状態はチップがコントロール信号によって動作不能にされたときと非常に類似している。低電圧誤動作防止回路 20 は、ゲート 21、22、23 を介

50

して、ハイ側ドライバ 25 及びロー側ドライバ 27 を制御する。出力 HO はロー状態のままであり、一方、出力 LO は、ブートストラップコンデンサ CBOOT (図 1) 上の電荷を維持するのに加えて、VS のフローティングを阻止するためハイ状態に保たれる。VBUS が $V_{ccuv} +$ まで増加すると、チップは正常動作モードに入る。既に正常動作である場合、チップは電源電圧が $V_{ccuv} -$ へ降下するまで UVLO に入らない。開示された実施形態では、 $V_{ccuv} -$ は約 8.5 乃至 10.5 ボルトであり、好ましくは、約 9.5 ボルトである。

【0026】

過熱モード

[0035]チップが 130 度を上回る周囲温度を検知するならば、過熱保護回路 40 は、この場合もゲート 21、22、23 を介して、チップを UVLO モードと同じ状態に置く。HO 出力はロー状態のままであり、一方、LO 出力は、ブートストラップコンデンサ CBOOT 上の電荷を維持するのに加えて、VS の浮遊を阻止するためハイ状態に保たれる。正常動作は、検知された周囲温度が 130 度よりも降下し、Vcc が $V_{ccuv} +$ を通って再び上昇すると開始し、これにより、UVLO モードを終了する。

10

【0027】

[0036]本発明の実施形態が説明されているが、本発明はこのような実施形態に限定されず、当業者が想起するような変形及び変更にも及ぶものである。

【図面の簡単な説明】

【0028】

20

【図 1】IC の典型的なアプリケーションを示す回路図である。

【図 2】IC の機能ブロック図である。

【図 3】IC 内のピン配置を示す表である。

【図 4】コントロール信号を示すグラフである。

【図 5】(A) 及び (B) はエネルギーがインダクタ L1 に蓄積される電流パス及びインダクタ L1 から放出される電流パスを示す。

【図 6】ウォッチドッグタイマーの動作を説明する図である。

【図 7】調光信号を示すグラフである。

【図 8】光出力とイネーブルピン EN におけるデューティサイクルとを示すグラフである。

30

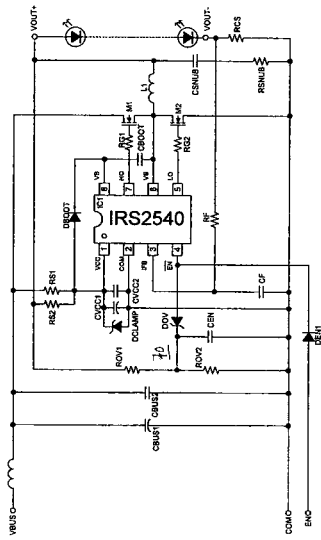
【図 9】クランプありのオープン回路故障信号を示すグラフである。

【符号の説明】

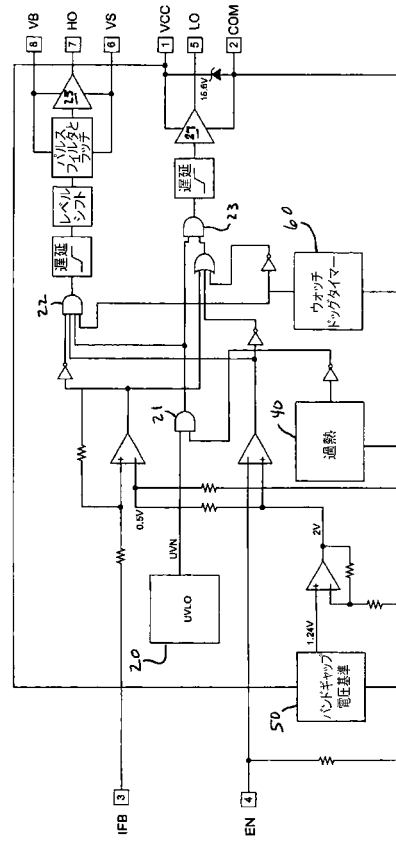
【0029】

20 ... 低電圧誤動作防止回路、21, 22, 23 ... ゲート、25 ... ハイ側ドライバ、27 ... ロー側ドライバ、40 ... 過熱保護回路、50 ... 内部高精度バンドギャップ電圧基準、60 ... ウォッチドッグタイマー、70 ... オープン回路保護回路。

【 図 1 】



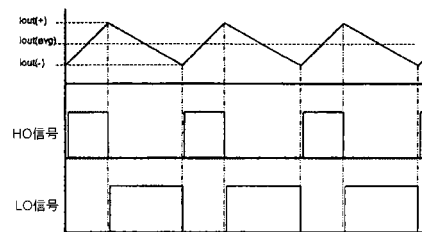
【 図 2 】



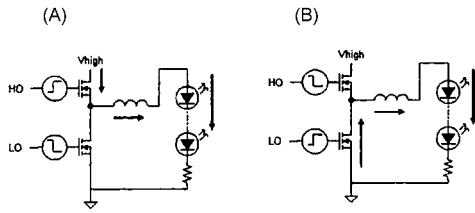
【 図 3 】

ピン配置		ピン番号	シンボル	説明
VCC	1	1	VCC	電源電圧
COM	2	2	COM	IC電源及びシグナルグラウンド
IFB	3	3	IFB	負電フィードバック
EN	4	4	EN	イネーブル
LO	5	5	LO	ロー側ゲートドライバ出力
VS	6	6	VS	ハイ側フローティングリターン
HO	7	7	HO	ハイ側ゲートドライバ出力
VB	8	8	VB	ハイ側ゲートドライバローテイング電源

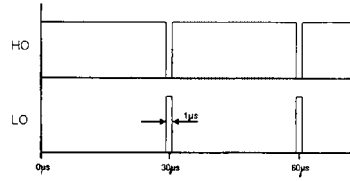
【 図 4 】



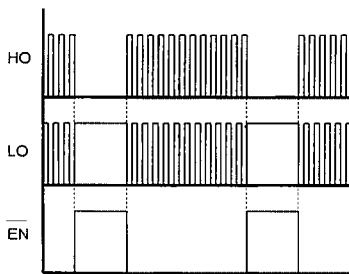
【 図 5 】



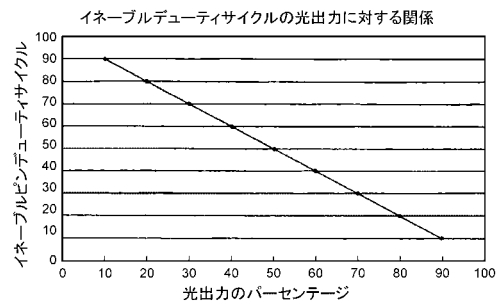
【 図 6 】



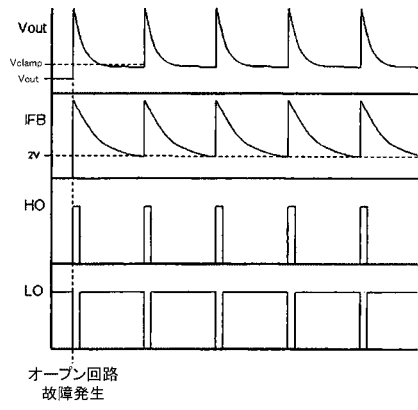
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

Fターム(参考) 5H730 AA15 BB13 DD04 EE08 FD01 FD31 FF05 FF06 FG01 FG05
FV02 XX02 XX13 XX22 XX38 XX42

【外国語明細書】

2005304295000001.pdf