

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
G11C 11/40

(45) 공고일자 1999년03월30일

(11) 등록번호 특0172425

(24) 등록일자 1998년10월23일

(21) 출원번호 특1995-035080
(22) 출원일자 1995년10월12일

(65) 공개번호 특1997-023390
(43) 공개일자 1997년05월30일

(73) 특허권자 삼성전자주식회사 김광호
경기도 수원시 팔달구 매탄동 416번지
(72) 발명자 정우섭
경기도 수원시 팔달구 매탄3동 990번지 신매탄아파트 136-203
(74) 대리인 이건주

심사관 : 고광석

(54) 고주파동작용 매스킹회로를 구비하는 반도체 메모리장치

요약

1. 청구범위에 기재된 발명이 속하는 기술 분야

본 발명은 반도체 메모리장치에 관한 것으로, 특히 고주파동작용에 적응적인 매스킹회로를 구비하는 반도체 메모리장치에 관한 것이다.

2. 발명이 해결하려고 하는 기술적 과제

종래의 반도체 메모리장치에서 데이터라인 드라이버로 전달되는 매스킹신호 ϕ_{1B} 에 의해 데이터입력이 방지하게 되기는 하지만, 차단하고자 하는 입출력라인은 해당 입출력라인 드라이버가 플로팅(floating)상태에 있게 된다. 따라서, 비트라인쌍과 입출력라인쌍간의 차아지세어링동작이 수행된다. 이때 입출력라인에 실린 신호가 동화(equalize)되지 않은 상태라면, 이전 동작에서 라이트하고자 한 데이터가 입출력라인에 남은 상태이므로 메모리 어레이의 비트라인쌍과 입출력라인쌍의 차아지세어링동작에 따른 센스앰프의 동작으로 인하여 메모리셀에 저장된 데이터정보를 변하게 할 개연성이 있다. 따라서 매스킹동작시 입출력라인의 등화는 반드시 필요하다. 상기와 같은 입출력라인의 등화는 소정의 시간을 필요로 하게 된다. 현재의 반도체 메모리장치가 고속동작화됨에 따라 상기와 같은 매스킹동작에서 입출력라인의 등화는 고속동작을 저해하는 요인이 된다.

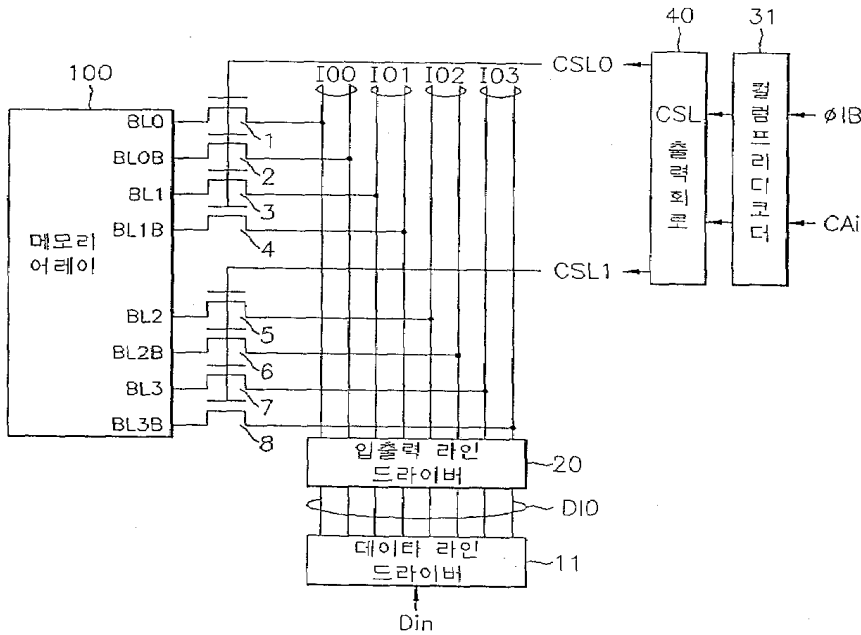
3. 발명의 해결방법의 효과

다수의 워드라인과 다수의 비트라인쌍사이에 접속된 메모리 어레이와, 입력데이터를 드라이방하는 데이터라인 드라이버와, 상기 데이터라인 드라이버의 출력에 응답하여 입출력라인 드라이버와, 상기 메모리 어레이에 데이터를 입출력하기 위한 소정갯수의 입출력라인쌍과, 칼럼어드레스신호 및 매스킹신호에 응답하여 소정의 디코딩 어드레스신호를 출력하는 칼럼프리디코더와, 상기 칼럼 프리디코더의 출력에 응답하여 소정의 칼럼선택 신호를 출력하는 칼럼선택신호 출력회로와, 상기 입출력라인쌍과 상기 비크라인쌍사이에 채널양단이 접속되고 상기 칼럼선택신호 출력회로의 출력에 응답하여 도통유무가 결정되는 다수의 엔모오스 트랜지스터들을 구비하며, 노멀라이트시 상기 칼럼어드레스신호에 대응되는 비크라인쌍으로 입력데이터를 전송하고, 매스킹동작시 칼럼어드레스신호와 매스킹신호에 응답하여 상기 칼럼어드레스신호에 대응되는 비트라인쌍에 접속된 상기 엔모오스 트랜지스터들을 비도통시켜 입출력라인쌍의 동화동작을 비수행하면서 입력데이터의 전송을 차단하여 고속의 액세스동작을 수행함으로써 고주파동작용에 적합한 반도체 메모리장치가 구현된다.

4. 발명의 중요한 용도

고속동작용 반도체 메모리장치.

대표도



명세서

[발명의 명칭]

고주파동작용 마스크회로를 구비하는 반도체 메모리장치

[도면의 간단한 설명]

제1도는 종래기술에 따른 데이터 마스크과정을 보여주는 도면.

제2도는 제1도에 따른 동작타이밍도.

제3도는 본 발명의 실시예에 따른 데이터 마스크과정을 보여주는 도면.

제4도는 제3도에 따른 동작타이밍도.

제5도는 제3도를 구성하는 프리디코더 및 CSL출력회로의 상세회로도.

제6도는 제5도에 따른 동작타이밍도.

[발명의 상세한 설명]

본 발명은 반도체 메모리장치에 관한 것으로, 특히 고주파동작에 적응적인 마스크회로를 구비하는 반도체 메모리장치에 관한 것이다. 입력데이터와 출력데이터를 마스크(masking)하는 기능을 수행하는 반도체 메모리장치에서, 상기 마스크를 실시하는 방법은 여러 가지가 있을 수 있다. 상기에서 마스크이란 하기의 두가지 기능을 말한다. 첫째, 한 번의 라이트명령후 계속되는 데이터입력에 대해서 원하는 입력데이터는 라이트기능을 수행하고, 원하지 않는 입력데이터는 마스크정보를 입력하여 그 데이터가 메모리 어레이에 라이트되는 것을 블로킹(blocking)하는 것을 말한다. 둘째, 다수의 데이터라인을 구비하는 반도체 메모리장치에서 한 번의 라이트명령에서 원하는 데이터라인에는 라이트동작을 수행하고, 원하지 않는 데이터라인에는 라이트되는 동작을 블로킹하는 것을 말한다. 이 두가지 동작을 통틀어 마스크이라 한다.

제1도는 종래기술에 따른 데이터 마스크과정을 보여주는 도면이다.

제1도를 참조하면, 입력데이터 Din과 마스크신호 ϕIB 는 데이터라인 드라이버 10의 입력단과 접속된다. 상기 데이터라인 드라이버 10의 출력단은 다수의 데이터라인쌍 D10의 일단들과 접속된다. 상기 데이터라인쌍 D10의 타단들은 입출력라인 드라이버 20의 입력단과 접속된다. 상기 입출력라인 드라이버 20의 출력단과 다수의 입출력라인쌍 100-103의 일단들과 접속된다. 한편, 칼럼어드레스신호 CAi는 칼럼프리디코더 30의 입력단과 접속된다. 상기 칼럼프리디코더의 출력단은 칼럼선택신호 출력회로(이하 CSL출력회로라고 함) 40의 입력단과 접속된다. 상기 CSL출력회로 40의 출력단에서는 칼럼선택신호 CSLO 및 CSL1이 출력된다. 상기 다수의 입출력라인쌍의 소정부분에는 엔모오스 트랜지스터들 1-8의 채널일단들이 각각 접속된다. 상기 엔모오스 트랜지스터들 1-8의 채널타단들은 메모리 어레이 100을 구성하는 비트라인쌍들의 일단들과 접속된다. 상기 엔모오스트랜지스터들 1-8중 엔모오스 트랜지스터들 1-4와 엔모오스 트랜지스터 5-8의 게이트단자들에는 상기 칼럼선택신호 CSLO 및 CSL1이 각각 접속된다.

제2도는 상기 제1도에 따른 동작타이밍도이다.

노멀라이트동작시, 입력데이터 Din가 입력되면, 데이터라인 드라이버 10이 각 입력데이터를 해당 데이터라인쌍에 전달하게 된다. 데이터라인쌍에 실린 데이터들은 입출력라인 드라이버 20를 통하여 해당 입출력

라인쌍으로 전달된다. 한편, 칼럼어드레스신호 CAi에 의해 소정의 칼럼선택신호 CSLi가 출력되며, 이에 따라 상기 칼럼선택신호가 게이트에 접속된 엔모오스 트랜지스터들이 도통된다. 이러한 과정을 거쳐 입출력라인쌍에 실린 입력데이터 Din는 비트라인쌍으로 전달된다. 다음으로 도시하지 아니한 로우어드레스신호에 의해 소정의 워드라인이 활성화되면, 상기 비트라인쌍에 실린 데이터는 소정의 메모리셀에 라이트된다.

매스킹동작시, 차단하고자 하는 데이터가 입력되면, 상기 데이터라인 드라이버로 전달되는 매스킹신호 ϕ 1B가 '하이'로 됨에 따라 데이터라인 드라이버 10의 출력단에서 전달되는 데이터신호는 차단된다. 이에 따라 입출력라인 드라이버 20로 전달되는 데이터의 흐름도 방지된다. 따라서 메모리 어레이로의 데이터전송을 차단된다.

그러나, 상기 제1도의 회로에서 칼럼어드레스신호 CAi는 입력되어 프리디코더 및 CSL출력회로의 동작은 정상적으로 수행된다. 따라서 칼럼어드레스신호에 대응되는 해당 엔모오스 트랜지스터들은 도통된다. 따라서 비트라인쌍과 입출력라인쌍간에는 차아지세어링동작이 수행된다. 즉, 데이터라인 드라이버 10으로 전달되는 매스킹신호 ϕ 1B에 의해 데이터입력을 방지하게 되기는 하지만, 차단하고자 하는 입출력라인은 해당 입출력라인 드라이버가 플로팅(floating)상태에 있게 된다. 따라서, 비트라인쌍과 입출력라인쌍간의 차아지세어링동작이 수행된다. 이때 입출력라인에 실린신호가 등화(equalize)되지 않은 상태라면, 이전 동작에서 라이트하고자 한 데이터가 입출력라인간에 남은 상태이므로 메모리 어레이의 비트라인쌍과 입출력라인쌍의 차아지세어링동작에 따른 센스앰프의 동작으로 인하여 메모리셀에 저장된 데이터정보를 변하게 할 개연성이 있다. 따라서 매스킹동작시 입출력라인의 등화는 반드시 필요하다. 제2도의 구간 A가 바로 등화에 소모되는 시간을 표시하고 있다. 상기와 같은 입출력라인의 등화는 소정의 시간을 필요로 하게 된다. 현재의 반도체 메모리장치기 고속동작화됨에 따라 상기와 같은 매스킹동작에서 입출력라인의 등화는 고속동작을 저해하는 요인이 된다.

따라서 본 발명의 목적은 입출력라인의 등화없이 매스킹동작을 수행하므로써 고주파수에서 고속동작하는 반도체 메모리장치의 매스킹회로를 제공하는 데 있다.

본 발명의 다른 목적은 고주파동작에 적응적으로 매스킹동작을 수행하는 매스킹방법을 제공하는 데 있다.

상기 본 발명의 목적들을 달성하기 위하여 본 발명에 따른 반도체 메모리장치는,

다수의 워드라인과 다수의 비트라인쌍사이에 접속된 메모리 어레이와,

입력데이터를 드라이빙하는 데이터라인 드라이버와,

상기 데이터라인 드라이버의 출력에 응답하여 입출력라인 드라이버와,

상기 메모리 어레이에 데이터를 입출력하기 위한 소정갯수의 입출력라인쌍과.

칼럼어드레스신호 및 매스킹신호에 응답하여 소정의 디코딩 어드레스 신호를 출력하는 커럼 프리디코더와,

상기 칼럼 프리디코더의 출력에 응답하여 소정의 칼럼선택신호를 출력하는 칼럼선택신호 출력회로와,

상기 입출력라인쌍과 상기 비트라인쌍사이에 채널양단이 접속되고 상기 칼럼선택신호 출력회로의 출력에 응답하여 도통유무가 결정되는 다수의 엔모오스 트랜지스터들을 구비하여,

노멀라이트시 상기 칼럼어드레스신호에 대응되는 비트라인쌍으로 입력데이터를 전송하고, 매스킹동작시 칼럼어드레스신호와 매스킹신호에 응답하여 상기 칼럼어드레스신호에 대응되는 비트라인쌍에 접속된 상기 엔모오스 트랜지스터들을 비도통시켜 입출력라인쌍의 등화동작을 비수행하면서 입력데이터의 전송을 차단하여 고속의 액세스동작을 수행함을 특징으로 한다.

이하 본 발명에 따른 반도체 메모리장치에 대한 바람직한 실시예를 설명하겠다. 도면들중 동일한 구성 및 동일동작을 수행하는 회로들 및 소자들에 대해서는 가능한한 어느 곳에서든지 동일한 참조부호 및 동일 참조 번호를 사용하겠다.

제3도는 본 발명의 실시예에 따른 데이터 매스킹과정을 보여주는 도면이다.

제1도를 참조하면, 입력데이터 Din는 데이터라인 드라이버 11의 입력단과 접속된다. 상기 데이터라인 드라이버 11의 출력단은 다수의 데이터라인쌍 D10의 일단들과 접속된다. 상기 데이터라인쌍 D10의 타단들은 입출력라인 드라이버 20의 입력단과 접속된다. 상기 입출력라인 드라이버 20의 출력단은 다수의 입출력라인쌍 100-103의 일단들과 접속된다. 한편, 칼럼어드레스신호 CAi 및 매스킹신호 ϕ 1B는 칼럼프리디코더 30의 입력단과 접속된다. 상기 칼럼프리디코더 31의 출력단과 칼럼선택신호 출력회로(이하 CSL출력회로라고 함) 40의 입력단과 출력된다. 상기 다수의 입출력라인쌍의 소정부분에는 엔모오스 트랜지스터들 1-8의 채널일단들이 각각 접속된다. 상기 엔모오스 트랜지스터들 1-8의 채널타단들은 메모리 어레이 100을 구성하는 비트라인쌍들의 일단들과 접속된다. 상기 엔모오스 트랜지스터들 1-8중 엔모오스 트랜지스터들 1-4와 엔모오스 트랜지스터 5-8의 게이트단자들은 상기 칼럼선택신호 CSL0 및 CSL101 각각 접속된다.

제4도는 상기 제3도에 따른 동작타이밍도이다.

노멀라이트동작시, 입력데이터 Din가 입력되면, 데이터라인 드라이버 11이 각 입력데이터를 해당 데이터라인쌍에 전달하게 된다. 데이터라인쌍에 실린 데이터들은 입출력라인 드라이버 20를 통하여 해당 입출력라인쌍으로 전달된다. 한편, 칼럼어드레스신호 CAi에 의해 소정의 칼럼선택신호 CSLi가 출력되며, 이에 따라 상기 칼럼선택신호가 게이트에 접속된 엔모오스 트랜지스터들이 도통된다. 이러한 과정을 거쳐 입출력라인쌍에 실린 입력데이터 Din는 비트라인쌍으로 전달된다. 다음으로 도시하지 아니한 로우어드레스신호에 의해 소정의 워드라인이 활성화되면, 상기 비트라인쌍에 실린 데이터는 소정의 메모리셀에 라이트된다.

매스킹동작시, 차단하고자 하는 데이터가 입력되면, 상기 데이터는 데이터라인 드라이버 11을 통하여 데

이터라인 D10으로 전달된다. 상기 데이터라인 D10에 실린 데이터는 입출력라인 드라이버 20으로 전달되며, 이어서 입출력라인쌍으로 전송된다. 한편, 칼럼프리디코더 31로 입력되는 매스킹신호 $\phi 1B$ 는 '하이'로 인에이블된다. 이에 따라 CSL출력회로 40에서는 상기 매스킹신호 $\phi 1B$ 에 대응되는 엔모오스트랜지스터가 비도통된다. 따라서 메모리 어레이 100를 구성하는 비트라인쌍과 입출력라인쌍간에는 상기 엔모오스트랜지스터의 비도통으로 인하여 차아지세어링동작이 없게 된다.

이에 따라 소정의 메모리셀에 저장된 데이터는 매스킹동작시에도 손상없이 유지된다. 따라서 본 발명에 따른 반도체 메모리장치가 구현됨으로서 입출력라인상의 등화는 필요없게 되고, 이에 따라 고속으로 매스킹동작을 수행하는 반도체 메모리장치가 구현된다.

제5도는 본 발명에 따른 컬럼프리디코더 및 CSL출력회로의 상세회로도이다.

제5도를 참조하면, 매스킹신호 $\phi 1B$ 는 인버터 102의 입력단 및 노아게이트 108의 제1입력단에 공통으로 접속된다. 상기 인버터 102의 출력단과 지연클럭신호 PCLKD는 낸드게이트 106의 두 입력단과 접속된다. 상기 낸드게이트 106의 출력단은 노아게이트 110의 제1입력단과 접속된다. 칼럼어드레스신호 CAi는 낸드게이트 104의 입력단과 접속된다. 상기 낸드게이트 104의 출력단은 상기 노아게이트들 108, 110의 제2입력단들과 접속된다. 상기 노아게이트 108의 출력단은 인버터 112의 입력단과 접속되고, 상기 인버터 112의 출력단은 인버터 114의 입력단과 접속된다. 상기 노아게이트 110의 출력단은 인버터 116의 입력단과 접속되고, 상기 인버터 116의 출력단은 인버터 118의 입력단과 접속된다. 인버터들 114, 118의 출력단에서는 디코딩 어드레스신호 DCA_B, DCA_P가 각각 출력된다. 피모오스트랜지스터 120와 엔모오스트랜지스터 122는 전원전압단자 VCC와 접지전압단자 VSS사이에 채널들이 직렬로 접속된다. 상기 피모오스트랜지스터 120와 엔모오스트랜지스터 122의 게이트들은 상기 인버터들 114, 118의 출력단들과 각각 접속된다.

제6도는 상기 제5도에 따른 동작타이밍도이다.

노멀라이트동작시 매스킹신호 $\phi 1B$ 는 '로우'상태이므로 노아게이트들 108의 출력단은 소정폭의 '하이'신호가 출력되고, 노아게이트 110의 출력단은 항상 '하이'신호가 출력된다. 상기 노아게이트들 108, 110의 출력신호는 인버터체인들 112, 114와 116, 118을 거쳐 디코딩 어드레스신호 DCA_B, DCA_P가 되고, 이러한 디코딩 어드레스 신호 DCA_B, DCA_P에 의해 트랜지스터들 120, 122의 도통유무가 결정된다. 이에 따라 래치회로 124에는 소정의 데이터가 저장되는 동시에 칼럼선택신호 CSL이 되어 상기 제3도의 엔모오스트랜지스터들중 해당 트랜지스터에 전송된다.

매스킹동작시 매스킹신호는 소정시간동안 '하이'상태가 된다. 이에 따라 디코딩 어드레스신호 DCA_B는 '하이'신호가 차단된다. 또한 디코딩 어드레스신호 DCA_P는 상기 매스킹신호 $\phi 1B$ 의 폭에 해당하는 폭만큼 '로우'상태가 된다. 따라서 상기 매스킹신호 $\phi 1B$ 의 폭에 해당되는 만큼 칼럼선택신호의 출력이 차단된다.

상기와 같은 과정에 따라 매스킹동작이 수행되는데, 상기 제3도 및 제5도의 회로에 따라 입출력라인쌍의 등화동작없이 매스킹동작을 수행함으로써 고주파동작에 유용하게 사용되는 반도체 메모리장치가 구현된다.

(57) 청구의 범위

청구항 1

반도체 메모리장치에 있어서, 다수의 워드라인과 다수의 비트라인쌍사이에 접속된 메모리 어레이와, 입력 데이터를 드라이빙하는 데이터라인 드라이버와, 상기 데이터라인 드라이버의 출력에 응답하여 입출력라인 드라이버와, 상기 메모리 어레이에 데이터를 입출력하기 위한 소정갯수의 입출력라인쌍과, 칼럼어드레스신호 및 매스킹신호에 응답하여 소정의 디코딩 어드레스 신호를 출력하는 칼럼 프리디코더와, 상기 칼럼 프리디코더의 출력에 응답하여 소정의 칼럼선택신호를 출력하는 칼럼선택신호 출력회로와, 상기 입출력라인쌍과 상기 비트라인쌍사이에 채널양단이 접속되고 상기 칼럼선택신호 출력회로의 출력에 응답하여 도통유무가 결정되는 다수의 엔모오스트랜지스터들을 구비하며, 노멀라이트시 상기 칼럼어드레스신호에 대응되는 비트라인쌍으로 입력데이터를 전송하고, 매스킹동작시 칼럼어드레스신호와 매스킹신호에 응답하여 상기 칼럼어드레스신호에 대응되는 비트라인쌍에 접속된 상기 엔모오스트랜지스터들을 비도통시켜 입출력라인쌍의 등화동작을 비수행하면서 입력데이터의 전송을 차단하여 고속의 액세스동작을 수행함을 특징으로 하는 반도체 메모리장치.

청구항 2

제1항에 있어서, 상기 칼럼 프리디코더가 지연클럭신호와 반전된 매스킹신호를 논리조합하는 제1낸드게이트와, 다수의 칼럼어드레스신호를 논리조합하는 제2낸드게이트와, 매스킹신호 및 상기 제2낸드게이트의 출력을 논리조합하는 제1노아게이트와, 상기 제1 및 제2낸드게이트의 출력을 논리조합하는 제2노아게이트로 구성됨을 특징으로 하는 반도체 메모리장치.

청구항 3

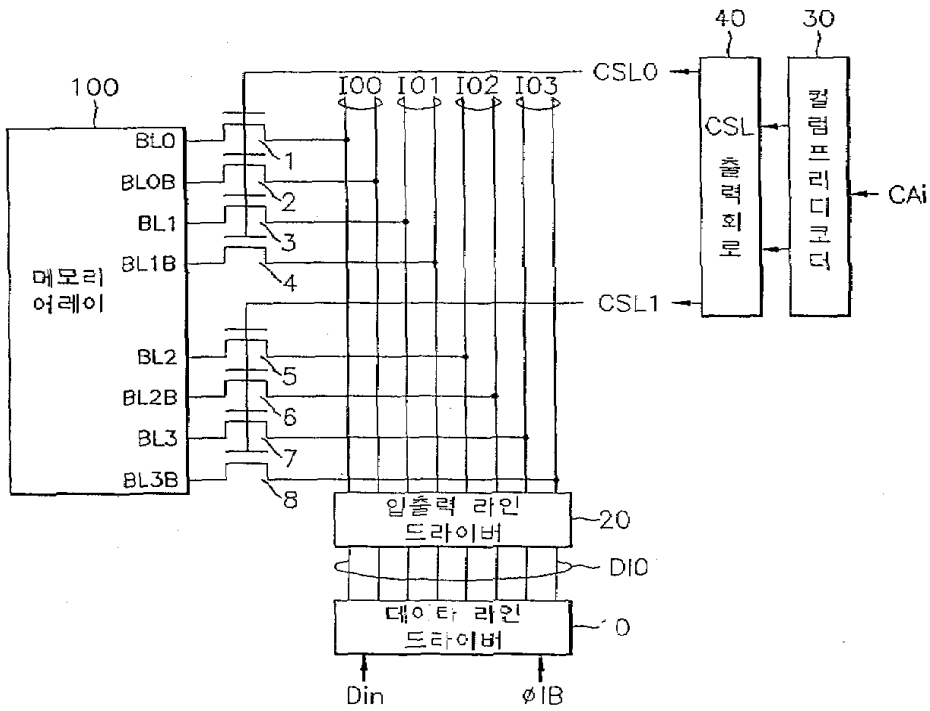
제2항에 있어서, 상기 제1 및 제2낸드게이트가 출력단에 직렬접속된 인버터체인 각각 접속된 지연회로들을 더 구비함을 특징으로 하는 반도체 메모리장치.

청구항 4

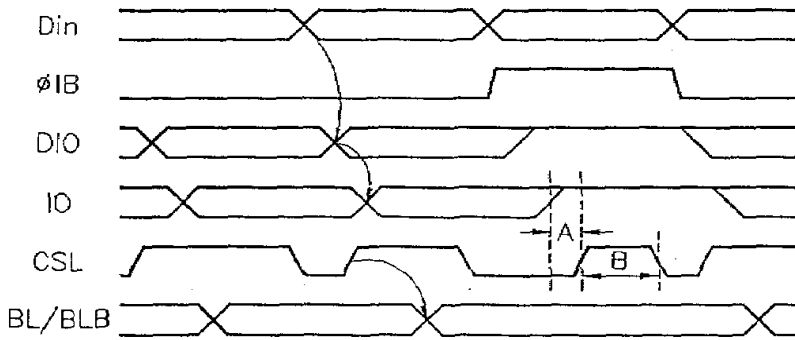
제1항 또는 제2항에 있어서, 상기 칼럼선택라인 출력회로가 전원전압단자와 접지전압단자사이에 채널이 직렬접속되고 상기 제1 및 제2노아게이트의 출력에 응답하여 도통유무가 결정되는 제1 및 제2트랜지스터와, 상기 직렬접속된 제1 및 제2트랜지스터사이에 입력단이 접속된 래치회로로 구성됨을 특징으로 하는 반도체 메모리장치.

도면

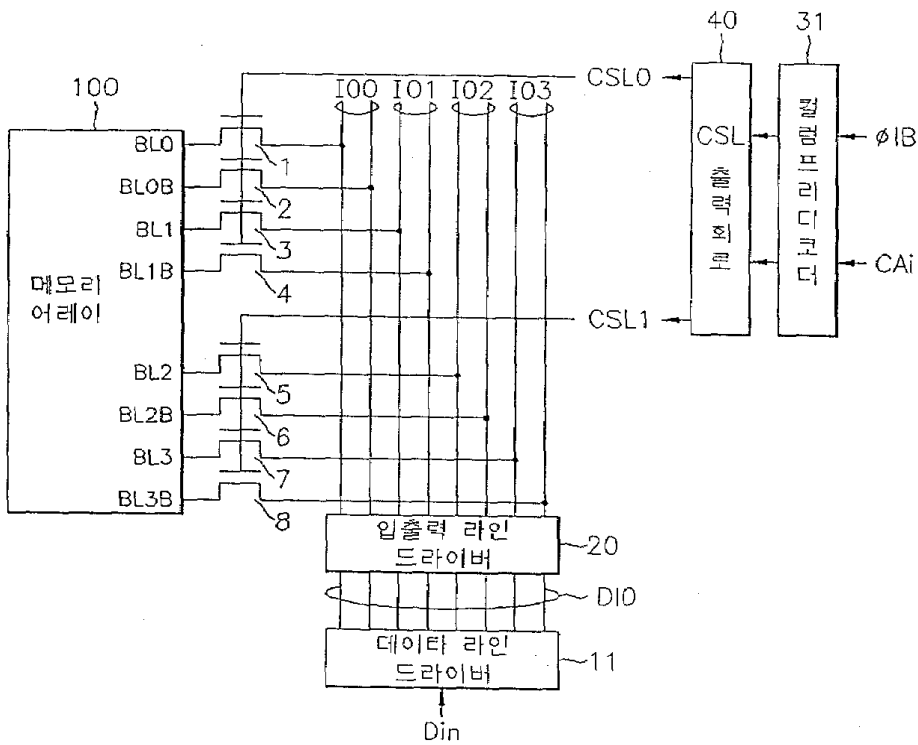
도면1



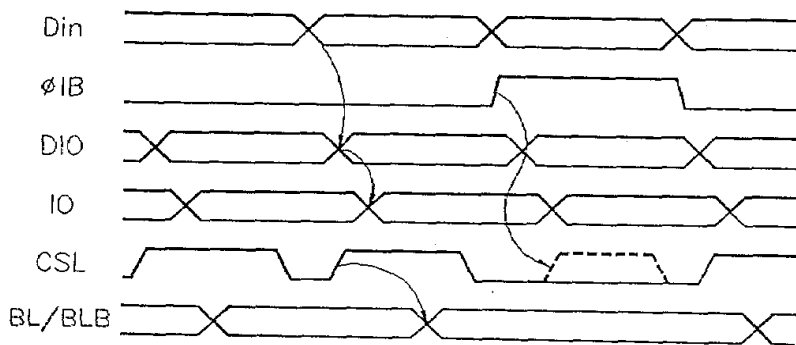
도면2



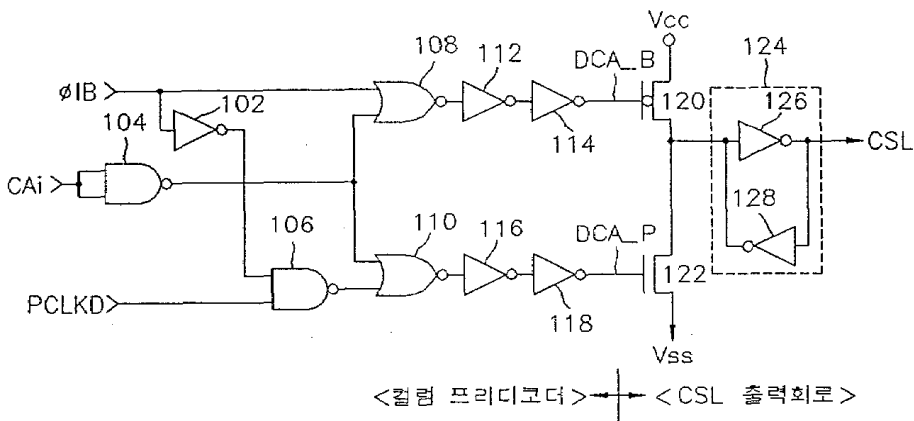
도면3



도면4



도면5



도면6

