(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3609137号

(P3609137)

(45)発行日　平成17年1月12日(2005.1.12)　(24)登録日　平成16年10月22日(2004.10.22)

(51)Int.Cl.[7]	F I		
H03K 3/354	H03K	3/354	Z
H03B 5/02	H03B	5/02	A

請求項の数 2　(全 7 頁)

(21)出願番号　特願平7-35125
(22)出願日　平成7年2月23日(1995.2.23)
(65)公開番号　特開平8-237029
(43)公開日　平成8年9月13日(1996.9.13)
審査請求日　平成14年2月22日(2002.2.22)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100066474
弁理士　田澤　博昭
(74)代理人　100088605
弁理士　加藤　公延
(74)代理人　100123434
弁理士　田澤　英昭
(74)代理人　100101133
弁理士　濱田　初音
(73)特許権者　391024515
株式会社ルネサスＬＳＩデザイン
兵庫県伊丹市中央３丁目１番１７号

最終頁に続く

(54)【発明の名称】発振回路

(57)【特許請求の範囲】

【請求項１】

半導体集積回路に設けられ、外付抵抗および外付コンデンサの接続点に接続されるクロック入力端子と、該クロック入力端子の入力電圧が基準値を超えたときハイレベルの信号を出力するフリップフロップと、該フリップフロップからのハイレベルの信号をゲートに受けてオンとなり、上記クロック入力端子を接地レベルに引き込み、上記フリップフロップが出力する信号をローレベルにした後、再び上記外付抵抗および外付コンデンサの時定数により上記入力電圧が上記基準値を超えるようにする発振制御用のＮチャネルトランジスタとを備えた発振回路において、

上記Ｎチャネルトランジスタのソースを上記半導体集積回路内で接地し、ドレインを上記半導体集積回路に設けられ、かつ上記クロック入力端子に対し外部で短絡接続可能なクロック出力端子に接続したことを特徴とする発振回路。

【請求項２】

半導体集積回路に設けられ、外付抵抗および外付コンデンサの接続点に接続されるクロック入力端子と、該クロック入力端子の入力電圧が基準値を超えたときハイレベルの信号を出力するフリップフロップと、該フリップフロップからのハイレベルの信号をゲートに受けてオンとなり、上記クロック入力端子を接地レベルに引き込み、上記フリップフロップが出力する信号をローレベルにした後、再び上記外付抵抗および外付コンデンサの時定数により上記入力電圧が上記基準値を超えるようにする発振制御用のＮチャネルトランジスタとを備えた発振回路において、

上記Ｎチャネルトランジスタのドレインを上記半導体集積回路内で上記クロック入力端子に接続し、ソースを上記半導体集積回路に設けられ、かつ外部で接地可能なクロック出力端子に接続したことを特徴とする発振回路。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】

この発明は、半導体集積回路に外付抵抗および外付コンデンサが接続されてＣＲ発振する発振回路に関するものである。

【０００２】

【従来の技術】

図３は、例えば特開昭６０－４６６１０号公報に示された従来の発振回路を示す回路図であり、図において、１は発振回路の一部が内蔵された半導体集積回路、２はV_{DD}電位の電源、３，４はこのV_{DD}電位の電源２とV_{SS}電位の接地５との間に直列接続された外付抵抗および外付コンデンサである。

【０００３】

また、６は半導体集積回路１に設けられたピン端子としてのクロック入力端子、８は基準電圧入力部、９は上記クロック入力端子６に入力される入力電圧と上記基準電圧入力部８に得られる基準入力電圧とを比較するコンパレータである。

【０００４】

さらに、１０はこのコンパレータ９の出力を受けて、すなわち、上記入力電圧≧基準入力電圧となったときＱ端子からハイレベルの信号を出力するセット・リセット型のフリップフロップである

【０００５】

また、１１はこのフリップフロップ１０の出力を遅延させる遅延回路、１２はこの遅延回路１１の出力を例えば１／２に分周してシステムクロックとして出力する分周器である。

【０００６】

上記遅延回路１１の出力側は上記フリップフロップ１０のＲ端子に接続され、このフリップフロップ１０のＱ端子には、同じく半導体集積回路１に内蔵されたＮチャネルトランジスタ１３のゲートが接続されている。

【０００７】

また、このＮチャネルトランジスタ１３のドレインは、上記クロック入力端子６に接続された上記コンパレータ９の一方の入力回路に接続され、さらにソースは半導体集積回路１の内部で接地されている。

【０００８】

次に動作について説明する。まず、上記外付抵抗３および外付コンデンサ４は電源２から電圧を受けてクロック入力端子６に電圧を入力する。この入力電圧は基準電圧入力部８からの基準入力電圧とコンパレータ９で比較される。

【０００９】

このコンパレータ９において、入力電圧≧基準入力電圧となった場合には、この結果を受けてフリップフロップ１０はＱ端子からハイレベルの信号を出力し、この信号にもとづいてＮチャネルトランジスタ１３がオンになる。

【００１０】

このため、このＮチャネルトランジスタ１３のドレインに接続されたクロック入力端子６の電位はV_{SS}電位に低下し、従ってフリップフロップ１０のＱ端子からローレベルの信号を出力させて、Ｎチャネルトランジスタ１３はオフとなる。

【００１１】

しかし、上記外付抵抗３および外付コンデンサ４の充電時定数により、クロック入力端子６の入力電圧は再び基準入力電圧に達し、さらにこれを超えることで、再びコンパレータ９の出力にもとづいてフリップフロップ１０のＱ端子はハイレベルの信号を出力し、以下、上記同様の動作を繰り返し、発振動作することとなる。

【００１２】
一方、このように発振動作を続けながら、上記フリップフロップ１０の出力は、遅延回路１１および分周器１２を介して半導体集積回路１内の内部システムクロックとして用いられる。
【００１３】
【発明が解決しようとする課題】
従来の発振回路は以上のように構成されているので、外付抵抗３と外付コンデンサ４の接続中点を接続する１つのクロック入力端子６を半導体集積回路１に設けるだけで、所期のＲＣ発振動作を実現できるものの、半導体集積回路１に２つの端子を必要とするセラミック発振器や水晶発振器を持つ外部回路を接続することができないなどの問題点があった。
【００１４】
また、かかる外部回路の接続を可能とするためには、入力端子を２端子分設けるなど、半導体集積回路１のピン数やピン配置を予め独自に設定しておかなければならず、発振回路以外の部分は同一機能を持ち、しかもピンコンパチブルな半導体集積回路の実現が困難であるなどの問題点があった。
【００１５】
この発明は上記のような問題点を解消するためになされたものであり、半導体集積回路のクロック入力端子およびクロック出力端子を外部で短絡接続することによりＣＲ発振動作を行わせることができるほか、上記各クロック入力端子およびクロック出力端子にＣＲ回路以外の外部回路を接続可能とすることで、他の回路機能を持たせることができ、かつピンコンパチブル化できる発振回路を得ることを目的とする。
【００１６】
また、この発明はクロック出力端子を外部で接地することによりＣＲ発振動作を行わせることができる発振回路を得ることを目的とする。
【００１７】
【課題を解決するための手段】
請求項１の発明に係る発振回路は、発振制御用のＮチャネルトランジスタのソースを半導体集積回路内で接地し、ドレインを上記半導体集積回路に設けられ、かつクロック入力端子に対し外部で短絡接続可能なクロック出力端子に接続したものである。
【００１８】
請求項２の発明に係る発振回路は、Ｎチャネルトランジスタのドレインを半導体集積回路内でクロック入力端子に接続し、ソースを上記半導体集積回路に設けられ、かつ外部で接地接続可能なクロック出力端子に接続したものである。
【００１９】
【作用】
請求項１の発明における発振回路は、半導体集積回路内に設けられたＮチャネルトランジスタのドレインを、その半導体集積回路に設けたクロック出力端子に接続することで、このクロック出力端子と上記クロック入力端子とを短絡接続した際に、ＣＲ発振回路を形成可能にし、一方、その短絡接続を解除することで、これらのクロック入力端子およびクロック出力端子を利用して、セラミック発振器や水晶発振器の２端子を接続して、上記とは異なるタイプの発振回路の形成を可能にしたり、外部クロックの入力により発振回路のテストを実施可能とする。
【００２０】
また、請求項２の発明における発振回路は、半導体集積回路内に設けられたＮチャネルトランジスタのソースを、その半導体集積回路に設けたクロック出力端子に接続することで、そのクロック出力端子を外部で接地した際に、ＣＲ発振回路を形成可能にし、一方、その接地を解除することで、上記クロック入力端子およびクロック出力端子を利用して外部クロックの入力による発振回路のテストの実施を可能にする。
【００２１】
【実施例】

実施例１．
以下、この発明の一実施例を図について説明する。図１において、１は発振回路の一部が内蔵された半導体集積回路、２はV_{DD}電位の電源、３，４はこのV_{DD}電位の電源２とV_{SS}電位の接地５との間に直列接続された外付抵抗および外付コンデンサである。
【００２２】
また、６は半導体集積回路１に設けられたピン端子としてのクロック入力端子、８は基準電圧入力部、９は上記クロック入力端子６に入力される入力電圧と上記基準電圧入力部８に得られる基準入力電圧とを比較するコンパレータである。
【００２３】
さらに、１０はこのコンパレータ９の出力を受けて、すなわち、上記入力電圧≧基準入力電圧となったときＱ端子からハイレベルＨの信号を出力するセット・リセット型のフリップフロップである
【００２４】
また、１１はこのフリップフロップ１０の出力を遅延させる遅延回路、１２はこの遅延回路１１の出力を例えば１／２に分周してシステムクロックとして出力する分周器である。
【００２５】
上記遅延回路１１の出力側は上記フリップフロップ１０のＲ端子に接続され、このフリップフロップ１０のＱ端子には、同じく半導体集積回路１に内蔵されたＮチャネルトランジスタ１３のゲートが接続されている。
【００２６】
また、このＮチャネルトランジスタ１３のドレインは、半導体集積回路１に外部設置されたクロック出力端子７に接続されており、これが上記クロック入力端子６とともに、半導体集積回路１の所定の位置に設けられている。
【００２７】
次に動作について説明する。まず、上記外付抵抗３および外付コンデンサ４と上記半導体集積回路１とを用いて発振動作を行わせる場合には、上記のクロック入力端子６およびクロック出力端子７をその半導体集積回路１の外部でリード線などを用いて短絡接続する。
【００２８】
すなわち、クロック入力端子６を接地レベル（V_{SS}電位）に制御するためのＮチャネルトランジスタ１３のドレイン端子に、上記クロック出力端子７を接続しておき、このクロック出力端子７をクロック入力端子６に対してリード線などにより外部で短絡接続する。
【００２９】
こうすることにより、上記外付抵抗３および外付コンデンサ４の充放電時定数に従って、従来の場合と同じく、Ｎチャネルトランジスタ１３はオン，オフを繰り返し、発振動作を始める。すなわち、この実施例ではＲＣ発振回路による発振動作が行われる。
【００３０】
一方、必要に応じ、上記クロック入力端子６およびクロック出力端子７の短絡接続を解除し、そのクロック入力端子６に外部クロックを入力して、クロック出力端子７からの出力クロックを監視することで、発振回路のテストを実施することができる。
【００３１】
また、上記クロック入力端子６およびクロック出力端子７には、セラミック発振回路や水晶発振回路などを構成する２端子回路を接続することで、上記各端子６，７としてのピンの数や配置を変更することなく、発振回路のタイプが異なる半導体集積回路として利用することができる。
【００３２】
すなわち、この実施例では、クロック入力端子６およびクロック出力端子７を、ＲＣ発振回路としての利用の他に、発振回路のテスト用や他のタイプの発振回路形成用として利用できる。
【００３３】
実施例２．

図２はこの発明の他の実施例を示す。この実施例では、半導体集積回路１内の上記Ｎチャネルトランジスタ１３のドレインを、その半導体集積回路１内において、クロック入力端子６に、さらに具体的にはクロック入力端子６とコンパレータ９とを結ぶ回路に接続してある。

【００３４】

また、上記Ｎチャネルトランジスタ１３のソースは外部で接地接続可能なクロック出力端子７に、さらにゲートは上記同様にフリップフロップ１０のＱ端子にそれぞれ接続してある。

【００３５】

従って、この実施例では、上記外付抵抗３および外付コンデンサ４と上記半導体集積回路１とを用いて発振動作を行わせる場合には、上記クロック出力端子７を半導体集積回路１の外部でリード線などを用いて接地５に接続し、接地レベル（V_{SS} 電位）に低下させる。

【００３６】

こうすることによって、上記外付抵抗３および外付コンデンサ４の充放電時定数に従って、上記実施例１について説明した場合と同じくＮチャネルトランジスタ１３はオン，オフを繰り返して、発振動作を開始し、ＲＣ発振回路による発振動作が継続される。

【００３７】

一方、上記クロック出力端子７の接地接続を解除し、クロック入力端子６に外部クロックを入力し、クロック出力端子７の出力を監視することで、半導体集積回路１の上記各端子６，７としてのピンの数や位置の変更なしに、発振回路のテストを行うことができる。

【００３８】

また、この実施例ではＣＲ発振回路としての発振動作時にクロック出力端子７を最短距離にてV_{SS} 電位となるように接続すれば、上記実施例１の場合に比較して、ノイズ環境はさらに良好になる。

【００３９】

【発明の効果】

以上のように、請求項１の発明によれば、発振制御用のＮチャネルトランジスタのソースを半導体集積回路内で接地し、ドレインを上記半導体集積回路に設けられ、かつクロック入力端子に対し外部で短絡接続可能なクロック出力端子に接続するように構成したので、半導体集積回路のクロック入力端子およびクロック出力端子を外部で短絡接続することによりＣＲ発振動作を行わせることができるほか、上記各クロック入力端子およびクロック出力端子に他の回路機能を持たせるようにピンコンパチブル化できるものが得られる効果がある。

【００４０】

また、請求項２の発明によれば、Ｎチャネルトランジスタのドレインを半導体集積回路内でクロック入力端子に接続し、ソースを上記半導体集積回路に設けられ、かつ外部で接地接続可能なクロック出力端子に接続するように構成したので、クロック出力端子を外部で接地することによりＣＲ発振動作を行わせることができるほか、上記各クロック入力端子およびクロック出力端子に他の回路機能を持たせるようにピンコンパチブル化できるものが得られる効果がある。

【図面の簡単な説明】

【図１】この発明の一実施例による発振回路を示す回路図である。

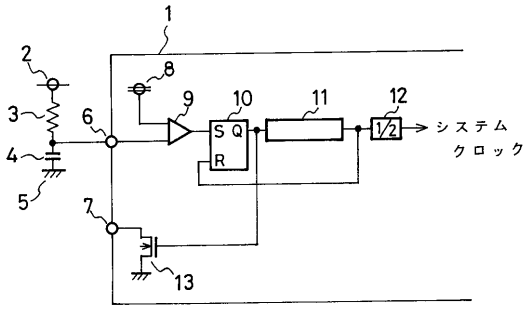
【図２】この発明の他の実施例による発振回路を示す回路図である。

【図３】従来の発振回路を示す回路図である。

【符号の説明】

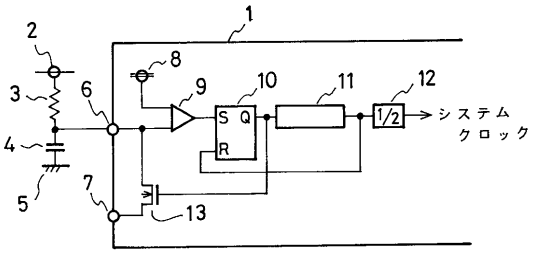
１　半導体集積回路、３　外付抵抗、４　外付コンデンサ、６　クロック入力端子、７　クロック出力端子、１０　フリップフロップ、１３　Ｎチャネルトランジスタ。

【図１】

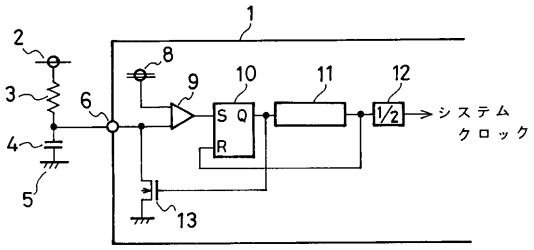


１：半導体集積回路
３：外付抵抗
４：外付コンデンサ
６：クロック入力端子
７：クロック出力端子
１０：フリップフロップ
１３：Ｎチャネルトランジスタ

【図２】



【図３】



フロントページの続き

(74)代理人　100066474
弁理士　田澤　博昭
(74)代理人　100088605
弁理士　加藤　公延
(74)代理人　100123434
弁理士　田澤　英昭
(74)代理人　100101133
弁理士　濱田　初音
(72)発明者　堀　能久
伊丹市中央３丁目１番１７号　三菱電機セミコンダクタソフトウエア株式会社内

審査官　石井　研一

(56)参考文献　特開昭５８－２０９１５３（ＪＰ，Ａ）
実開昭６２－０７７９２２（ＪＰ，Ｕ）
特開平０１－２６４０１１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.^{7}，ＤＢ名)
H03K　3/354
H03B　5/02