

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-527916

(P2004-527916A)

(43) 公表日 平成16年9月9日(2004.9.9)

(51) Int. Cl.⁷
H01L 21/76

F I
H01L 21/76 L

テーマコード (参考)
5FO32

審査請求 有 予備審査請求 有 (全 37 頁)

(21) 出願番号 特願2002-592185 (P2002-592185)
 (86) (22) 出願日 平成14年5月23日 (2002.5.23)
 (85) 翻訳文提出日 平成15年11月21日 (2003.11.21)
 (86) 国際出願番号 PCT/US2002/016351
 (87) 国際公開番号 W02002/095819
 (87) 国際公開日 平成14年11月28日 (2002.11.28)
 (31) 優先権主張番号 09/864, 974
 (32) 優先日 平成13年5月24日 (2001.5.24)
 (33) 優先権主張国 米国 (US)

(71) 出願人 390009531
 インターナショナル・ビジネス・マシー
 ズ・コーポレーション
 INTERNATIONAL BUSIN
 ESS MASCHINES CORPO
 RATION
 アメリカ合衆国10504 ニューヨーク
 州 アーモンク ニュー オーチャード
 ロード
 (74) 代理人 100086243
 弁理士 坂口 博
 (74) 代理人 100091568
 弁理士 市位 嘉宏
 (74) 代理人 100108501
 弁理士 上野 剛史

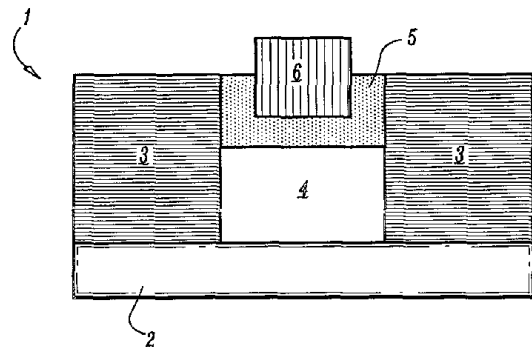
最終頁に続く

(54) 【発明の名称】 エッチング中にSTIを保持する構造および方法

(57) 【要約】

【課題】 エピタキシャル前洗浄中に単一のトレンチ・アイソレーション酸化物がエッチングされるのを防止する方法と、それによって形成された半導体構造を提供すること。

【解決手段】 半導体シャロー・トレンチ・アイソレーション(STI)酸化物をエッチングから保護する方法であって、必要に応じて前記STI酸化物の上面を、隣接するシリコン活性領域の上面よりも低い高さにするステップと、前記STI酸化物の上方に凹部を画定するのに有効な手法で、前記STI酸化物および隣接するシリコン活性領域上に窒化物ライナを堆積するステップと、前記凹部に保護膜を充填するステップと、前記窒化物層を前記隣接する活性領域から除去するステップとを含む方法を開示する。



【特許請求の範囲】

【請求項 1】

半導体シャロー・トレンチ・アイソレーション (S T I) 酸化物をエッチングから保護する方法であって、
必要に応じて前記 S T I 酸化物の上面を、隣接するシリコン活性領域の上面よりも低い高さに下げるステップと、
前記 S T I 酸化物の上方に凹部を画定するのに有効な手法で、前記 S T I 酸化物および隣接するシリコン活性領域上に窒化物ライナを堆積するステップと、
前記凹部に保護膜を充填するステップと、
前記窒化物ライナを前記隣接する活性領域から除去するステップとを含む方法。

10

【請求項 2】

窒化物ライナの前記堆積が化学気相成長法を用いて行われる、請求項 1 に記載の方法。

【請求項 3】

前記化学気相成長法が、低圧化学気相成長法、急速熱処理化学気相成長法、プラズマ増速化学気相成長法、または高密度プラズマ化学気相成長法の群から選択される 1 つである、請求項 2 に記載の方法。

【請求項 4】

前記化学気相成長法が、シラン誘導体をアンモニアと反応させるステップをさらに含む、請求項 2 に記載の方法。

20

【請求項 5】

前記保護膜が有機ポリマーである、請求項 1 に記載の方法。

【請求項 6】

前記有機ポリマーが平坦化ポリマーである、請求項 5 に記載の方法。

【請求項 7】

前記平坦化保護ポリマーが反射防止膜ポリマーである、請求項 6 に記載の方法。

【請求項 8】

前記反射防止膜ポリマーが、アクリレートおよびメタクリレートの混合物と、ポリ尿素およびポリスルホンポリマーの混合物と、ベンゾフェノンおよびビスフェノール A のコポリマーとの群から選択された 1 つである、請求項 7 に記載の方法。

30

【請求項 9】

前記平坦化保護ポリマーがフォトレジストポリマーである、請求項 6 に記載の方法。

【請求項 10】

前記フォトレジストポリマーがノボラック樹脂を含む、請求項 9 に記載の方法。

【請求項 11】

前記保護膜がスピンオン酸化物である、請求項 1 に記載の方法。

【請求項 12】

前記保護膜が共形的であり、化学的機械研磨によって平坦化される、請求項 1 に記載の方法。

【請求項 13】

前記凹部に保護膜を充填する前記ステップが、
前記窒化物層上に前記保護膜の層を堆積すること、および
前記保護膜が前記凹部内にのみ残るように、前記保護膜を窪ませることを含む、請求項 1 に記載の方法。

40

【請求項 14】

前記保護膜が有機ポリマーであり、前記窪ませることがプラズマ・エッチングによって行われる、請求項 13 に記載の方法。

【請求項 15】

前記保護膜を前記凹部から除去するステップをさらに含む、請求項 1 に記載の方法。

【請求項 16】

50

前記保護膜の前記除去が反応性イオン・エッチングによって行われる、請求項15に記載の方法。

【請求項17】

半導体シャロー・トレンチ・アイソレーション(STI)酸化物をエッチングから保護する方法であって、
必要に応じて前記STI酸化物の上面を、隣接するシリコン活性領域の上面よりも低い高さに下げるステップと、
前記隣接するシリコン活性層を、その上面に堆積させた共形的窒化物ライナによって引き起こされる応力から保護するのに有効な酸化シリコン層を、前記STI酸化物および隣接するシリコン活性領域上に任意選択で堆積するステップと、
化学的気相成長法を実行して、前記STI酸化物の上方に凹部を画定するのに有効な手法で、前記STI酸化物および隣接するシリコン活性領域上に前記共形的窒化物ライナを堆積するステップと、
前記窒化物ライナを、有機ポリマーを含む保護膜で覆うステップと、
前記保護膜が前記凹部内にのみ残るように、前記保護膜をプラズマ・エッチングによって窪ませるステップと、
前記窒化物層を反応性イオン・エッチングによって前記隣接する活性領域から除去するステップと、
前記保護膜を、プラズマ・エッチングによって前記凹部から除去するステップとを含む方法。

10

20

【請求項18】

1つまたは複数のシャロー・トレンチ・アイソレーションによって分離された複数の活性領域を含む半導体構造であって、前記シャロー・トレンチ・アイソレーションのみが窒化シリコンの保護層によって覆われる構造。

【請求項19】

1つまたは複数のシャロー・トレンチ・アイソレーションによって分離された複数の活性領域を含む半導体構造であって、
前記活性領域およびシャロー・トレンチ・アイソレーションが窒化シリコン層によって覆われ、前記窒化シリコン層が、前記シャロー・トレンチ・アイソレーション上に凹部を含み、
前記凹部内には保護膜が堆積されている構造。

30

【請求項20】

半導体シャロー・トレンチ・アイソレーション(STI)酸化物をエッチングから保護する方法であって、
必要に応じて前記STI酸化物の上面を、隣接するシリコン活性領域の上面よりも低い高さに下げるための手段を提供するステップと、
前記STI酸化物の上方に凹部を画定するのに有効な手法で、前記STI酸化物および隣接するシリコン活性領域上に窒化物ライナを堆積するための手段を提供するステップと、
前記窒化物ライナによって引き起こされた応力から前記隣接するシリコン活性領域を保護するための手段を提供するステップと、
前記凹部に保護膜を充填するための手段を提供するステップと、
前記窒化物層を前記隣接する活性領域から除去するための手段を提供するステップとを含む方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体デバイスの製造に関し、詳細には、エピタキシャル前洗浄中に単一のトレンチ・アイソレーション酸化物がエッチングされるのを防止する方法と、それによって形成された半導体構造に関する。

【背景技術】

50

【 0 0 0 2 】

レイズド・ソース・ドレインを適用するための選択的エピタキシャル前洗浄中にシャロー・トレンチ・アイソレーション (S T I) 酸化物がエッチングされると、シリコン・オン・インシュレータ (S O I) およびその他の技術に問題が生じる。エピタキシャル成長の前に S i 表面を洗浄にすることは、エピタキシャル層の成長の質に不可欠である。これは、デバイス性能がエピタキシャル膜の質に大きく左右されるため、重要なことである。一般に、洗浄プロセスは、表面の汚染物質を取り除くことを必要とし、また、水素終端により S i 表面のパッシベーションを行って、エピタキシャル成長前に汚染物質が表面に吸着しないようにすることを必要とする。シリサイド前洗浄も絶対的な要件である。欠陥のない高品質のシリサイドを生成するために、S i 表面を洗浄にし、また S i 表面の水素パッシベーションを行うことも必要である。標準的な洗浄および水素パッシベーションを行うための化学薬品には、フッ化水素酸 (H F) が含まれるが、これは S i を洗浄にする他にも、望ましくない S T I のエッチングを引き起こす。エピタキシャル成長またはシリサイド形成にとって適切に S i 表面を洗浄するために、S T I を過剰にエッチングする。これは、薄い S i S O I を適用する場合に特に問題になる。その理由は、S T I の厚さが S i の厚さに正比例し、したがって薄い S i S O I の場合は薄くなるからである。エピタキシャル成長前洗浄またはシリサイド前洗浄あるいはその両方を行う間に、S T I 全体がエッチングされる可能性がある。S T I がなくなった後、埋込み酸化膜 (B O X) 層のエッチングが始まる。B O X は活性領域の直下に位置付けられ、したがって B O X がエッチング除去されるにつれて活性領域のアンダーカットが生じる可能性がある。アンダーカットが過剰であると、活性領域が完全に剥離され、それによってデバイスが破壊される。

10

20

【 特許文献 1 】

シロ (Shiro) 他、米国特許第 5 , 6 7 4 , 6 5 7 号

【 特許文献 2 】

トーマス (Thomas) 他、米国特許第 6 , 2 0 7 , 7 8 7 号

【 特許文献 3 】

ダラクチーブ・アイ・エス (Daraktchiev , I . S .) 、 U S 4 , 9 9 6 , 0 8 0

【 特許文献 4 】

ペイブリック (Pavelick) 他、U S 6 , 1 9 0 , 9 3 9 B 1

【 発明の開示 】

30

【 発明が解決しようとする課題 】

【 0 0 0 3 】

従来 S T I は、初めに S i 基板の上にパッド酸化物層を形成し、次いで S i N を堆積し、リソグラフィおよびエッチングによってパターンニングする。S i N は、S i にトレンチをエッチングするハード・マスクとして使用し、次いで熱酸化によって S i O₂ ライナを形成する。最後に S T I 酸化物を堆積し、化学的機械的研磨 (C M P) を使用して、シャロー・トレンチの外側の領域から酸化シリコンを除去する。エピタキシャル前洗浄またはシリサイド前洗浄の間に S T I が過剰にエッチングされる可能性をなくすため、その 1 つの解決策として、酸化物ライナの形成後でありかつ S T I 充填堆積の前に、トレンチ内に保護窒化物ライナを堆積する。この方法には、主に 2 つの欠点がある。第 1 の問題は、パッド窒化物層の除去中に窒化物ライナの上部がエッチングされることであり、その結果、活性領域に隣接して、削り取られた後の窪みが生じる。この窪みには、その後、ゲート・ポリシリコン堆積中にポリシリコンが充填され、その窪み内のポリシリコンによって、隣接するゲート間に望ましくない電気接続が生じる可能性があり、いわゆる「ラップアラウンド」ゲートも生成される。ラップアラウンド・ゲートによって閾値電圧が低下し、早過ぎるうちにトランジスタを活動化させる。第 2 の問題は、窒化物層が、その最上部にある S T I 酸化物も保護できないことである。その上部にある S T I 酸化物のすべてがエッチング除去される可能性があり、それによって平面性が損なわれる。したがって、酸化物エッチング・プロセス中にシャロー・トレンチ・アイソレーション (S T I) を保護する方法が求められている。

40

50

【課題を解決するための手段】

【0004】

半導体シャロー・トレンチ・アイソレーション（STI）酸化物をエッチングから保護する方法であって、必要に応じて前記STI酸化物の上面を、隣接するシリコン活性領域の上面よりも低い高さに下げるステップと、前記STI酸化物の上方に凹部を画定するのに有効な手法で、前記STI酸化物および隣接するシリコン活性領域上に窒化物ライナを堆積するステップと、前記凹部に保護膜を充填するステップと、前記窒化物ライナを前記隣接する活性領域から除去するステップとを含む方法を開示する。

【0005】

本発明の別の態様では、窒化物ライナの前記堆積が、化学気相成長法によって行われる。 10

【0006】

本発明の別の態様では、前記化学気相成長法が、低圧化学気相成長法、急速熱処理化学気相成長法、プラズマ増速化学気相成長法、または高密度プラズマ化学気相成長法から選択される1つである。

【0007】

本発明の別の態様では、前記化学気相成長法が、シラン誘導体をアンモニアと反応させるステップをさらに含む。

【0008】

本発明の別の態様では、前記保護膜が有機ポリマーである。

【0009】

本発明の別の態様では、前記有機ポリマーが平坦化ポリマーである。 20

【0010】

本発明の別の態様では、前記平坦化保護ポリマーが反射防止膜ポリマーである。

【0011】

本発明の別の態様では、前記反射防止膜ポリマーが、アクリレートおよびメタクリレートの混合物と、ポリ尿素およびポリスルホンポリマーの混合物と、ベンゾフェノンおよびビスフェノールAのコポリマーとから選択された1つである。

【0012】

本発明の別の態様では、前記平坦化保護ポリマーがフォトレジストポリマーである。

【0013】

本発明の別の態様では、前記フォトレジストポリマーがノボラック樹脂である。 30

【0014】

本発明の別の態様では、前記保護膜がスピンオン酸化物である。

【0015】

本発明の別の態様では、前記保護膜が共形的であり、化学的機械研磨によって平坦化される。

【0016】

本発明の別の態様では、前記凹部に保護膜を充填する前記ステップが、前記窒化物層上に前記保護膜の層を堆積すること、前記保護膜が前記凹部内にのみ残るように、前記保護膜を窪ませることを含む。 40

【0017】

本発明の別の態様では、前記保護膜が有機ポリマーであり、前記窪ませることがプラズマ・エッチングによって行われる。

【0018】

本発明の別の態様では、前記保護膜が前記凹部から除去される。

【0019】

本発明の別の態様では、前記保護膜が反応性イオン・エッチングによって前記凹部から除去される。

【0020】

半導体シャロー・トレンチ・アイソレーション（STI）酸化物をエッチングから保護す 50

る方法であって、必要に応じて前記STI酸化物の上面を、隣接するシリコン活性領域の上面よりも低い高さに下げるステップと、化学的気相成長法を実行して、前記STI酸化物の上方に凹部を画定するのに有効な手法で、前記STI酸化物および隣接するシリコン活性領域上に共形的窒化物ライナを堆積するステップと、前記窒化物ライナを、有機ポリマーを含む保護膜で覆うステップと、前記保護膜が前記凹部内にのみ残るように、前記保護膜をプラズマ・エッチングによって窪ませるステップと、前記窒化物層を反応性イオン・エッチングによって前記隣接する活性領域から除去するステップと、前記保護膜を、プラズマ・エッチングによって前記凹部から除去するステップとを含む方法を開示する。

【0021】

1つまたは複数のシャロー・トレンチ・アイソレーションによって分離された複数の活性領域を含む半導体構造であって、前記シャロー・トレンチ・アイソレーションのみが窒化シリコンの保護層によって覆われる構造を開示する。

10

【0022】

1つまたは複数のシャロー・トレンチ・アイソレーションによって分離された複数の活性領域を含む半導体構造であって、前記活性領域およびシャロー・トレンチ・アイソレーションが窒化シリコン層によって覆われ、前記窒化シリコン層が、前記シャロー・トレンチ・アイソレーション上に凹部を含み、前記凹部内には保護膜が堆積されている構造を開示する。

【0023】

半導体シャロー・トレンチ・アイソレーション(STI)酸化物をエッチングから保護する方法であって、必要に応じて前記STI酸化物の上面を、隣接するシリコン活性領域の上面よりも低い高さに下げるための手段を提供するステップと、前記STI酸化物の上方に凹部を画定するのに有効な手法で、前記STI酸化物および隣接するシリコン活性領域上に窒化物ライナを堆積するための手段を提供するステップと、前記凹部に保護膜を充填するための手段を提供するステップと、前記窒化物層を前記隣接する活性領域から除去するための手段を提供するステップとを含む方法を開示する。

20

【発明を実施するための最良の形態】

【0024】

図1を参照すると、典型的な開始時の構造、すなわちシリコン・ウェハ1の断面図が示されており、任意の適切な半導体材料(たとえばプレーンなシリコンなど)とすることができ、通常は埋込み酸化膜(BOX)2と、絶縁酸化物4が充填される1つまたは複数のシャロー・トレンチを画定する活性領域3構造とを含み、それによって、トレンチの両側にある活性領域3が互いに分離される。

30

【0025】

図2を参照すると、絶縁酸化物4がまだ隣接する活性領域3の高さよりも下にない場合は、図面に示すように、その活性領域よりも低い高さにまでSTI酸化物をエッチングすることが望ましい。この目的は、窒化物ライナを堆積した後に、STI酸化物上に凹部を画定することである。

【0026】

ポリシリコンに対して選択性のあるHFエッチングやドライ・プラズマ・プロセスなど、隣接する活性領域に害のない任意のエッチング方法で十分である。ポリシリコンよりも速い速度で酸化シリコンをエッチングするためのドライ・エッチング・プラズマ・プロセスでの使用に適する気体には、 $CF_4 - O_2$ と $CF_4 - H_2$ の混合物が含まれ、この混合物中の CF_4 の割合は一般に80%以下であり、より好ましくは60%以下であり、最も好ましくは約50%±10%である。 C_2F_6 などの実質的に純粋なフルオロカーボン・プラズマを利用してもよい。

40

【0027】

一般にプラズマ・エッチング・プロセスは、プラズマ増速(PE)または反応性イオン・エッチングのどちらか、またはその両方の能力を持つ、エッチング・チャンバ内で実施する。PEタイプのエッチングは、一般に100トルよりも高い圧力で行われ、一方RIE

50

エッチングは、一般にその圧力よりも低い圧力で行われる。エッチングは、バレル・エッチャーや平行電極エッチャー、6極管エッチャーなどの、バッチ・チャンバ内で行うことができる。一般に直径約200mm以上の大型ウェハは、枚葉式エッチャーでうまく行うことができる。

【0028】

図3を参照すると、ウェハ上に窒化シリコン・ライナ5が堆積されている。ウェハおよびその表面に堆積した窒化物層上には、任意選択で酸化物層(図示せず)を堆積しまたは成長させることができ、その結果、活性領域のシリコン表面は、窒化物層によって引き起こされる応力から保護される。堆積は、STI酸化物上に凹部を画定するのに有効な手法で行うことが好ましく、したがってその技法は、低位STI酸化物の微細構成に対して共形的であるべきである。

10

【0029】

窒化シリコン・ライナを共形的に堆積するための典型的な方法は、低圧化学気相成長法(LPCVD)、急速熱処理化学気相成長法(RTCVD)、およびプラズマ増速化学気相成長法(PECVD)などの化学的気相成長(CVD)技法である。この操作を行うため、高密度プラズマ堆積(HDP-CVD)技法を使用してもよい。

【0030】

LPCVD窒化シリコン膜は、一般に、約700~800の温度でジクロロシラン(SiCl_2H_2)をアンモニア(NH_3)と反応させることによって形成することができる。その結果、 Si_3N_4 膜とHClおよび H_2 ガスが形成される。LPCVD膜は、その膜を均一にし処理コストを比較的安くするのに望ましい。LPCVD堆積速度は、ジクロロシラン濃度(すなわち分圧)のアンモニア濃度に対する比と相関関係にある。LPCVD堆積は、一般に、約0.25~2.0トルの圧力で、ホットウォール管反応器内で実施する。

20

【0031】

LPCVD反応は、一般に、「ホットウォール」管反応器とも呼ばれる水平管LPCVDバッチ反応器内で実施され、その良好な経済性、スループット、均一性、および直径のより大きいウェハを収容する能力にとって望ましい。そのような反応器は、真空生成および加熱手段を備えた、通常は石英である管を備え、その内部を反応性ガスが通過する。管の長さ方向に流下するように、反応性ガスが一端から導入されるような構成の場合は、管の長さに沿って温度勾配が確立されるように、温度ランプ手段を設けることが一般に望ましい。これは、気体流供給源にあるウェハのほうが、反応性ガスの濃度が高くなり、したがって下流のウェハよりも窒化シリコンの堆積速度が速くなるという影響を受けるからである。これは、下流の温度を上昇させて反応速度を速くすることにより、補償することができる。あるいは、反応チャンバの長さに沿って実質的に一様に分布された複数の開口を通して、反応性ガスをチャンバ内に注入することができる。管の長さに沿って反応物質ガスの減少を補う別の方法は、気体流の速度を速くすることである。

30

【0032】

RTCVD窒化シリコン膜は、一般に、ジクロロシランとアンモニアとを炉内で反応させることによって形成することができる。この場合、炉内のウェハ温度は約5分以内で1100ほどに急速に上昇する。一般に、50/秒から約75/秒の温度上昇速度はほとんどのスモール・バッチ・ファースト・ランプ(SBFR)炉内で実現され、いくつかの最新モデルでは、150/秒ほどの高い速度が実現される。RTCVD法は、数ある利点の中でも、急速な処理を行い、300nm以上の大型のウェハを取り扱うのに望ましい。また、より短い期間にわたってより高い温度を使用することで、望ましくない過渡的増速拡散作用が低減される。

40

【0033】

急速熱処理プロセス(RTP)炉は、とりわけアプライド・マテリアル(Applied Materials)やエージー・アソシエーツ(AG Associates)などから市販されている。好ましいRTPシステムでは、温度を急速に上昇させまた下降させる間、ウェハの幅方向の温度を均

50

一に維持し、その温度を制御するようにウェハ温度の正確な測定手段を有することになる。典型的なアブライド・マテリアルズ RTP は、水冷式反応チャンバと、ハロゲン・ランプなどの加熱ランプ・アレイと、光ファイバ温度プローブとを有する。ハロゲン・ランプは一般にウェハ上方に配列され、その光はライト・ガイドをコリメートすることによって下向きになっており、しばしば石英または溶融シリカガラスの窓によってランプと反応チャンバとが分離されている。このため急速加熱が可能になり、排気がなされるようにチャンバを切り離すことができる。ウェハは、絶縁性の回転ベース上に載置されるが、その回転は、気体流および光のどのようなばらつきも均等にするのに効果的である。高温計は、通常ウェハの下に取り付けられ、ウェハ裏面から放射される温度を定期的に、典型的には秒当たり 20 回測定し、それによって、ウェハの温度を上昇させかつ冷却する間、精密なコンピュータ制御が可能になる。

10

【0034】

PECVD 窒化シリコン膜は一般に、無線周波数領域の電磁放射線の存在下、シラン・ガス (SiH_4) をアンモニア (NH_3) または窒素 (N_2) ガスと反応させ、それによってポリマー様 Si-N-H 材料が堆積することにより、形成することができる。反応温度は、典型的な場合、0.2 ~ 0.3 トルおよび無線周波数 0.3 ~ 13.56 MHz で 200 ~ 400 になる。2重周波システムは、典型的な場合、高周波 (たとえば約 13.56 MHz) rf 信号と低周波 (たとえば 0.3 ~ 0.5 MHz) rf 信号を組み合わせ、SiN 膜に関連する膜応力を制御する。アンモニア・ガスを使用する場合、アンモニアとシランの比は、典型的な場合、シランに対してアンモニアが約 5 ~ 約 20 部になる。窒素を使用する場合、典型的にはシランに対して 100 ~ 1,000 部の窒素を使用することになる。一般に、アンモニアを用いて作製された PECVD 膜は、窒素で作製したものよりも良好な共形性を示す。

20

【0035】

3タイプの PECVD 反応器、すなわち平行板バッチ反応器と、ミニバッチ・ラジアル反応器と、枚葉式反応器が広く使用されている。

【0036】

平行板バッチ反応器は、その名前が示すように、一組の平行なプレートとを有する。この反応器は一般に、垂直シリンダの形をとり、1枚のプレートがその底部にあり、もう1枚のプレートが上部にある。ウェハは底部プレート上に載置し、通常はこのプレートを回転させ加熱して、無線周波信号を電極に印加する。

30

【0037】

より一般的な PECVD 反応器はミニバッチ・ラジアル反応器であり、これは複数の堆積ステーション含み、各ウェハが平面加熱電極上に載置される。各ウェハ上方のシャワーヘッド様電極から、反応物質ガスを吐出する。これらのタイプの反応器は、反応速度を速くし、汚染の問題を最小限に抑え、かつ均一性を良好にするのに好ましい。均一性は、堆積のすべてを一度に行うのではなく、ウェハを1つのステーションから別のステーションに移動させてさらに堆積を行うことによって実現され、それによって、個々のステーションでのどのような偏差も平均になる。

【0038】

アブライド・マテリアルズから販売されているような枚葉式 PECVD 反応器は、一般に複数のチャンバを有し、それぞれは1枚のウェハを収容するようになっている。各チャンバは、上部にウェハを載置するベース電極と、無線周波信号で作動するシャワーヘッド様ガス・ノズル電極とを備えている。加熱は、通常、急速放射加熱をもたらす複数のランプによって行われる。膜応力は、無線周波数または電極間のサイズを調整することによって制御することができる。

40

【0039】

HDP-CVD 窒化シリコン膜は、一般に、電磁放射線とアルゴン (Ar) やヘリウム (He) などの不活性ガスの存在下、シラン・ガス (SiH_4) をアンモニア (NH_3) または窒素 (N_2) ガスと反応させることによって、形成することができる。一般に、反応

50

圧力はかなり低く、一般には10 mTorrより低い。HDP-CVD技法は、アスペクト比の高いフィーチャ表面に膜を配置するのに望ましい。

【0040】

HDP-CVD反応器は、一般にグロー放電を利用して、堆積する材料をスパッタリングするのに十分強力なイオンを生成する。グロー放電は、直流ダイオード型システムまたは無線周波ダイオード・システムのいずれかあるいはその両方によって生成される自続的なプラズマである。アルゴンなどの不活性ガスは、反応物質および不活性ガスをプラズマに電離するのに十分強力な電場で1対の電極間に導入する。直流ダイオード・システムは、窒化シリコンなどの絶縁性材料をスパッタリングすることができず、たいていの適用例においてその堆積速度が遅いので、無線周波ダイオード・システムが好ましい。好ましい無線周波ダイオード・システムは、ウェハ表面の近くに電子を閉じ込めるのを助けるように、マグネトロン源を備えている。商用として一般的なシステムには、「Centura」という商標でアプライド・マテリアルズから販売されているものが含まれる。

10

【0041】

図4を参照すると、保護膜6が堆積されている。保護平坦化膜は、平坦化した(すなわち、窒化物CVD堆積の場合のように凹部の微細構成に共形的なものではなく、凹部を満たす)任意の適切なポリマー・プラスチックであることが好ましく、そのために、窒化シリコンに関して選択的なエッチングを行う(すなわち、ポリマーをエッチングするが窒化シリコンはエッチングしない)。市販されかつ経済的な保護ポリマーは、反射防止膜用およびリソグラフィ技法でのフォトレジスト層用として販売されているものであり、これはしばしば「有機スピンオン」ポリマーと呼ばれ、溶媒に溶かしたポリマー樹脂を含むものである。そのような樹脂の分子量は、一般に、ゲル透過クロマトグラフィで測定した場合に数千または数万になるが、数百万であってもよい。ノボラック(Novolak)バインダー樹脂が市販されかつ本発明での使用に役立つが、これはシロ(Shiro)他の米国特許第5,674,657号に開示されており、その教示全体を本明細書に参照により援用する。一般に使用されるフォトレジストは、ニュージャージー州オリン・ハント・スペシャルティ・プロダクツ(OlinHunt Specialty Products)から「HPR-204」という名称で販売されており、混合型メタ-およびパラ-クレゾール系ノボラックバインダー樹脂と、トリヒドロキシベンゾフェノンのナフタキノン-1,2-ジアジド-5-スルホン酸トリエステル増感剤であって、これを85重量%のエチルセルロースアセテート、8.6重量%の酢酸ブチル、および5.2重量%のキシレン、および1.2重量%のエチルベンゼンに溶かしたものを含んでいる。適切な反射防止膜は、参照によりその開示全体を本明細書に援用するトーマス(Thomas)他の米国特許第6,207,787号に記載されているような、有機溶媒に溶かしたビスフェノールAとベンゾフェノンとのコポリマーである。その他の適切な反射防止膜には、多官能性アクリレートおよびメタクリレートモノマーの有機溶液と、ポリ尿素およびポリスルホンポリマーが含まれるが、当然これらに限定するものではない。本発明で使用するのに適する共形的な反射防止膜は、「DUV 30」および「DUV 32」という商標でミズーリ州ローラ(Rolla)ブリュワー・サイエンス・インコポレイテッド(BrewerScience, Inc.)からも販売されている。フォトレジストおよび反射防止膜は、参照によりその開示全体を本明細書に援用するダラクチーブ・アイ・エス(Daraktchiev, I. S.)のUS4,996,080に記載されるように、追加の溶媒中に混合することによって、濃度を薄くしまたは希釈してもよい。本発明での使用に適する市販の平坦化反射防止膜には、「DUV 30」および「DUV 32」という製品名でミズーリ州ローラ(Rolla)ブリュワー・サイエンス・インコポレイテッドから販売されているものが含まれる。

20

30

40

【0042】

保護膜に、スピンオン・オキサイド(たとえばガラス・スピンオン)膜を使用して、それを化学的機械研磨(CMP)により平坦化することも可能である。あるいは、共形的な有機膜を堆積し、やはりCMPによって平坦化することもできる。共形的有機膜は、参照によりその開示全体を本明細書に援用するペイブリック(Pavelick)他のUS6,190,

50

939B1に記載されているように、一般に分子量が比較的高い樹脂、たとえば40,000ダルトン以上に高い樹脂を、溶媒に溶かしたもものからなる。本発明での使用に適する市販の共形的反射防止膜には、「ARC 25」、「DUV 44」、および「DUV 42」という製品名で、やはりミズーリ州ローラ、ブリュワー・サイエンス・インコーポレイテッドから販売されているものと、マサチューセッツ州(Massachusetts) マールボロ(Marlborough)のシップレイ・カンパニー・エルエルシー(Shibley Company, LLC)から「AR」シリーズの商標で販売されているもの、特に「AR5」とそれよりも番号の大きい「AR7」や「AR14」などの名称のものが含まれる。

【0043】

当然ながら、平坦化し、接着し、必要な選択性を所有するのに十分な溶媒に溶解したどのポリマーも、本発明に適する。フォトレジストおよび反射防止膜は、どのような半導体組立設備においてもその材料をほぼ常に容易に入手できるので、本発明での使用に特に引用される。

【0044】

図5を参照すると、保護膜6が窪んでおり、酸化物分離4上の凹部内にのみ保護膜6が残るようになされている。有機ポリマー保護膜の場合、これは、無線周波数の存在下で酸素および窒素ガスを使用したプラズマ・エッチングによって実現することができる。

【0045】

図6を参照すると、露出した窒化物(すなわちアークによって保護されない)を、好ましくは反応性イオン・エッチング(RIE)でエッチング除去し、それによって活性領域3を露出させる。あるいは、熱リン酸エッチングまたは同様のエッチングを使用することができるが、この手順は、ドライRIEエッチングよりも制御しにくい。

【0046】

窒化シリコンのRIEエッチングでは、一般に無線周波数(たとえば13.5MHz)の存在下、 $CF_4 - O_2$ または $CHF_3 - O_2$ ガスの混合物あるいは CH_2F_2 または CHF_3 ガスを利用して、グロー放電を実施する。典型的な反応圧力は約7~約6000mTorrである。

【0047】

本発明で使用される市販のRIEシステムには、とりわけ「Etch Centura」という商標シリーズでアプライド・マテリアルズから販売されているものが含まれる。そのようなシステムでは、グロー放電と電極を利用して、スパッタリングの利点と増速プラズマ・エッチングの利点を兼ね備えた状態にし、異方性の高いエッチングを実現する。

【0048】

図7を参照すると、次いで保護膜6がエッチング除去されており、保護窒化物キャップ5で覆われたトレンチ酸化物4が残っている。次にトレンチ酸化物4に損傷を与えるおそれなしに活性領域を前洗浄することができる。

【0049】

本明細書に開示したすべての物理量は、特に他に示さない限り、開示した量に厳密に等しいとみなすものではなく、開示した量にほぼ等しいとすることが理解されよう。さらに、「約」などの修飾語が単にないものは、本明細書に開示する任意のその他の物理量に関してそのような修飾語が使用されているか否かに関わらず、開示された任意のそのような物理量が、厳密な量であることを明示すると解釈すべきでない。

【0050】

好ましい実施形態について図示し記述してきたが、その実施形態には、本発明の精神および範囲から逸脱することなく、様々な修正および置換えを行うことができる。したがって、本発明は単なる例示として記述され、本明細書に開示したそのような例示および実施形態は、特許請求の範囲を限定すると解釈すべきでないことを理解されたい。

【図面の簡単な説明】

【0051】

【図1】典型的な、開始時のSTI構造を示す図である。

【図 2】 酸化物エッチング・プロセスの結果を示す図である。

【図 3】 窒化物堆積の結果を示す図である。

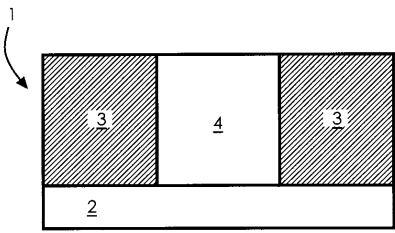
【図 4】 保護平坦化膜の堆積を示す図である。

【図 5】 保護平坦化膜の部分エッチングの結果を示す図である。

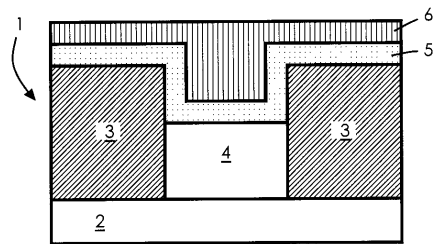
【図 6】 エッチング操作の結果を示す図である。

【図 7】 平坦化膜を除去した結果を示す図である。

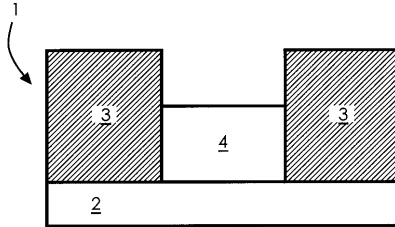
【図 1】



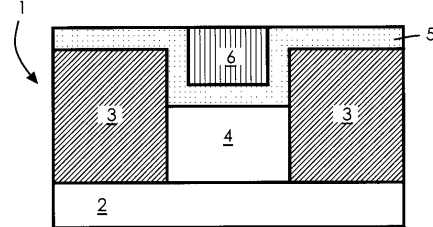
【図 4】



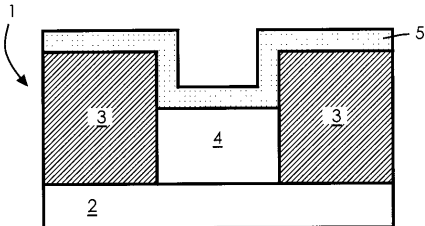
【図 2】



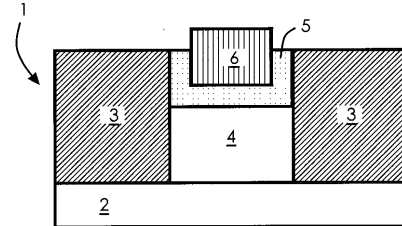
【図 5】



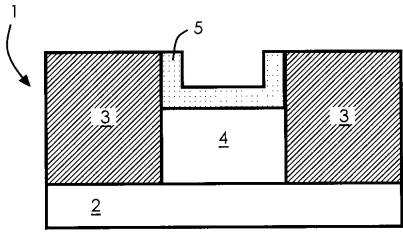
【図 3】



【図 6】



【 図 7 】



【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
28 November 2002 (28.11.2002)

PCT

(10) International Publication Number
WO 02/095819 A2

- (51) International Patent Classification: **H01L 21/762** I.K., I.R., I.S., I.T., I.U., I.V., MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PI., PT, RO, RU, SD, SI, SG, SL, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZM, ZW.
- (21) International Application Number: PCT/US02/16351
- (22) International Filing Date: 23 May 2002 (23.05.2002)
- (25) Filing Language: English
- (26) Publication Language: English
- (30) Priority Data: 09/864,974 24 May 2001 (24.05.2001) US
- (71) Applicant: **INTERNATIONAL BUSINESS MACHINES CORPORATION** [US/AI]; New Orchard Road, Armonk, NJ 10504 (US).
- (72) Inventors: **DOKUMACI, Omer, H.**; 26A Winthrop Court, Wappinger Falls, NY 12590 (US). **DORIS, Bruce, B.**; 350 Lake Shore Drive, Brewster, NY 10509 (US).
- (74) Agents: **CHAU, Frank et al.**; F. Chau & Associates, LLP, Suite 501, 1900 Hempstead Turnpike, East Meadow, NY 11554 (US).
- (81) Designated States (national): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KI, KG, KP, KR, KZ, LC, ...
- (84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LI, MC, NL, PL, SE, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

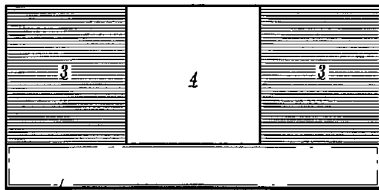
Declarations under Rule 4.17:
 as to the identity of the inventor (Rule 4.17(i)) for the following designation US
 — as to the identity of the inventor (Rule 4.17(i)) for the following designation US
 as to applicant's entitlement to apply for and be granted a patent (Rule 4.17(ii)) for the following designation US
 as to applicant's entitlement to apply for and be granted a patent (Rule 4.17(ii)) for the following designation US

Published:
 without international search report and to be republished upon receipt of that report

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: STRUCTURE AND METHOD TO PRESERVE STI DURING ETCHING

(57) Abstract: Disclosed is a method of protecting a semiconductor shallow trench isolation (STI) oxide from etching, the method comprising lowering, if necessary, the upper surface of said STI oxide to a level below that of adjacent silicon active areas, depositing a nitride liner upon said STI oxide and adjacent silicon active areas in a manner effective in defining a depression above said STI oxide, filling said depression with a protective film, and removing said nitride layer from said adjacent active areas.



WO 02/095819 A2

WO 02/095819

PCT/US02/16351

STRUCTURE AND METHOD TO PRESERVE STI DURING ETCHING

BACKGROUND OF THE INVENTION**1. Field of the Invention**

This invention relates to the manufacture of semiconductor devices, particularly to a method and of protecting a single trench isolation oxide from etching during epitaxial precleaning and the semiconductor structure formed thereby.

2. Discussion of the Related Art

The etching of shallow trench isolation (STI) oxides during selective epitaxial precleaning for raised source-drain applications presents a problem in thin silicon-on-insulator (SOI) and other technologies. Cleaning the Si surface prior to epitaxial growth is critical to the quality of the growth of the epitaxial layer. This is important because the device performance is strongly dependent on the epitaxial film quality. Typically, the cleaning process involves the removal of surface contamination and also involves Si surface passivation by hydrogen termination to prevent contamination from adsorbing onto the surface prior to epitaxial growth. Pre-silicide cleaning also has strict requirements. In order to create high quality silicide without defects, it is necessary to clean and also to hydrogen passivate the Si surface. Standard cleaning and hydrogen passivation chemistries include hydrofluoric acid (HF), which, in addition to cleaning Si, causes the unwanted etching of STI. In order to clean the Si surface adequately for epitaxial growth or silicide formation, the STI is excessively etched. This is particularly problematic for thin Si SOI applications. The reason for this is that the STI thickness is directly proportional to the Si thickness and will therefore be thin for thin Si SOI. During the pre-epitaxial growth cleaning and or the pre-silicide cleaning, the entire STI may be etched. After the STI is gone, the Buried Oxide (BOX) layer begins to etch. The BOX is located directly under the active area and as the BOX etches away, it can undercut the active area. When the undercutting is excessive, the active area may peel away completely, thereby ruining the device.

Conventional STI is created by first forming a pad oxide layer on the Si substrate, then SiN is deposited and patterned by lithography and etching. The SiN is used as a hard

WO 02/095819

PCT/US02/16351

mask to etch trenches in the Si, then a thin SiO₂ liner is formed by thermal oxidation. Finally, the STI oxide is deposited and chemical mechanical polishing (CMP) used to remove silicon oxide from areas outside the shallow trench. To avoid the possibility of excessive STI etching during pre-epitaxial or pre-silicide cleaning, one solution is to deposit a protective nitride liner inside the trench after the formation of the oxide liner but before the STI fill deposition. There are two main disadvantages to this method. The first problem is that the upper part of the nitride liner will get etched during removal of the pad nitride layer, resulting in a divot adjacent to the active region. The divot is subsequently filled with polysilicon during gate polysilicon deposition and the polysilicon in the divot can cause unwanted electrical connections between adjacent gates and also create a so-called "wraparound" gate. The wraparound gate results in a lowering of the threshold voltage, which causes premature activation of the transistors. The second problem is that a nitride layer cannot protect any STI oxide on top of it. All of the STI oxide above it can be etched away, thereby compromising planarity. What is needed is a method of protecting the shallow trench isolation (STI) during oxide etching processes.

SUMMARY OF THE INVENTION

Disclosed is a method of protecting a semiconductor shallow trench isolation (STI) oxide from etching, the method comprising lowering, if necessary, the upper surface of said STI oxide to a level below that of adjacent silicon active areas, depositing a nitride liner upon said STI oxide and adjacent silicon active areas in a manner effective in defining a depression above said STI oxide, filling said depression with a protective film, removing said nitride layer from said adjacent active areas.

In another aspect of the invention said deposition of a nitride liner is effected with a chemical vapor deposition.

In another aspect of the invention said chemical vapor deposition is one selected from a low pressure chemical vapor deposition, a rapid thermal chemical vapor deposition, a plasma-enhanced chemical vapor deposition, or a high-density plasma chemical vapor deposition.

In another aspect of the invention said chemical vapor deposition further comprises reacting a silane derivative with ammonia.

WO 02/095819

PCT/US02/16351

In another aspect of the invention said protective film is an organic polymer.

In another aspect of the invention said organic polymer is a planarizing polymer.

In another aspect of the invention said planarizing protective polymer is an anti-reflective coating polymer.

5 In another aspect of the invention said anti-reflective coating polymer is one selected from mixtures of acrylates and methacrylates, mixtures of polyurea and polysulfone polymers, and copolymers of benzophenone and bisphenol-A.

In another aspect of the invention said planarizing protective polymer is a photo-resist polymer.

10 In another aspect of the invention, said photo-resist polymer is a novolak resin.

In another aspect of the invention said protective film is a spin-on oxide.

In another aspect of the invention said protective film is conformal and is planarized by chemical mechanical polishing.

15 In another aspect of the invention said filling of said depression with protective film comprises depositing a layer of said protective film over said nitride layer, recessing said protective film such that said protective film remains only in said depression.

In another aspect of the invention said protective film is an organic polymer and said recessing is effected with a plasma etch.

20 In another aspect of the invention said protective film is removed from said depression.

In another aspect of the invention, said protective film is removed from said depression with a reactive ion etch.

25 Disclosed is a method of protecting a semiconductor shallow trench isolation (STI) oxide from etching, the method comprising lowering, if necessary, the upper surface of said STI oxide to a level below that of adjacent silicon active areas, executing a chemical vapor deposition to deposit a conformal nitride liner upon said STI oxide and adjacent silicon active areas in a manner effective in defining a depression above said STI oxide, covering said nitride liner with a protective film comprising an organic polymer, recessing said protective film with a plasma etch, such that said protective film remains only in said depression,
30 removing said nitride layer from said adjacent active areas with a reactive ion etch, removing said protective film from said depression with a plasma etch.

WO 02/095819

PCT/US02/16351

Disclosed is a semiconductor structure, comprising a plurality of active areas separated by one or more shallow trench isolations wherein only said shallow trench isolations are covered by a protective layer of silicon nitride.

5 Disclosed is a semiconductor structure comprising a plurality of active areas separated by one or more shallow trench isolations, said active areas and shallow trench isolations covered by a layer of silicon nitride, wherein said layer of silicon nitride comprises depressions over said shallow trench isolations, a protective film disposed in said depressions.

10 Disclosed is a method of protecting a semiconductor shallow trench isolation (STI) oxide from etching, the method comprising providing means for lowering, if necessary, the upper surface of said STI oxide to a level below that of adjacent silicon active areas, providing means for depositing a nitride liner upon said STI oxide and adjacent silicon active areas in a manner effective in defining a depression above said STI oxide, providing means for filling said depression with a protective film, providing means for removing said nitride layer from said adjacent active areas.

BRIEF DESCRIPTION OF THE DRAWINGS

Figure 1 shows a typical starting STI structure.

Figure 2 shows the result of an oxide etching process.

Figure 3 shows the result of a nitride deposition.

20 Figure 4 shows deposition of a protective planarizing film.

Figure 5 shows the result of partially etching the protective planarizing film.

Figure 6 shows the result of an etching operation.

Figure 7 shows the result of the removal of the planarizing film.

DETAILED DESCRIPTION OF PREFERRED EMBODIMENTS

25 Referring to Figure 1, there is shown in cross section a typical starting structure, namely a silicon wafer 1 comprising, usually, a buried oxide layer (BOX) 2, though this layer could be any suitable semiconductor material (such as plain silicon, for example), an active area 3 structure defining one or more shallow trenches filled with an insulating oxide 4, thereby isolating the active areas 3 on either side of the trenches from one another.

WO 02/095819

PCT/US02/16351

Referring to Figure 2, if the insulating oxide 4 is not already below the level of the adjacent active areas 3, then it is desirable to etch the STI oxide down to a level below them, as shown in the drawing. The purpose of this is to define a depression over the STI oxide after deposition of a nitride liner.

5 Any etching method that does not harm the adjacent active areas is sufficient, such as an HF etch or a dry plasma process that is selective to polysilicon. Suitable gases for use in a dry etching plasma process for etching silicon oxides at a more rapid rate than polysilicon include CF_4-O_2 and CF_4-H_2 mixtures, wherein the percentage of CF_4 in these mixtures is generally no greater than 80%, more preferably no greater than 60%, and most preferably
10 about 50% \pm 10%. Substantially pure fluorocarbon plasmas, such as C_2F_6 , may also be utilized.

Generally, the plasma etching process will be carried out in an etching chamber that may have either or both of plasma enhanced (PE) or reactive ion etch (RIE) capabilities. PE-type etches will generally be conducted at pressures above 100 torr, while RIE etches will
15 generally be below that pressure. The etches may be performed in batch chambers, such as with barrel etchers, parallel electrode reactors, or hexode etchers. Larger wafers, generally those not smaller than about 200 mm diameter may benefit from single-wafer etchers.

Referring to Figure 3, a silicon nitride liner 5 is then deposited over the wafer. Optionally, an oxide layer (not shown) may be deposited or grown over the wafer and the nitride layer deposited thereon so as to protect the silicon surface of the active areas from the stress caused by the nitride layer. The deposition is preferably done in a manner effective in
20 defining a depression over the STI oxides, hence the technique should be conformal to the topography of the lowered STI oxide.

Typical methods for conformal deposition of the silicon nitride liner are chemical vapor deposition (CVD) techniques, such as low pressure (LPCVD), rapid thermal (RTCVD), and plasma enhanced (PECVD) chemical vapor depositions. High density plasma deposition (HDP-CVD) techniques may also be used to perform this operation.

LPCVD silicon nitride films may generally be formed by reacting dichlorosilane ($SiCl_2H_2$) with ammonia (NH_3) at temperatures of from about 700°C - 800°C to form a Si_3N_4
30 film and HCl and H_2 gasses. LPCVD films are desirable for their film uniformity and relatively low processing costs. The rate of LPCVD deposition is correlated to the ratio of the

WO 02/095819

PCT/US02/16351

concentration (i.e., partial pressure) of dichlorosilane with respect to that of ammonia. LPCVD depositions are typically carried out in a hot-wall tube reactor at pressures of from about 0.25 to 2.0 torr.

LPCVD reactions will generally be carried out in a horizontal tube LPCVD batch reactor, also known as a "hot-wall" tube reactor, which are desirable for their good economy, throughput, uniformity, and ability to accommodate even large diameter wafers. Such reactors comprise a tube, usually quartz, equipped with vacuum producing and heating means, through which the reactive gasses are passed. If the configuration is such that the reactive gasses are introduced at one end so as to flow down the length of the tube, then it is generally desirable to provide temperature ramp means so as to establish a temperature gradient along the length of the tube. This is because the wafers at the source of the gas flow will have the benefit of a higher concentration of the reactive gasses and will therefore display higher rates of silicon nitride deposition than those wafers downstream. This can be compensated for by increasing the rate of reaction by increasing temperature downstream. Alternatively, the reactive gasses may be injected into the chamber through a plurality of openings substantially evenly distributed along the length of the reaction chamber. Another method of compensating for the depletion of reactant gasses along the length of the tube is to increase the rate of gas flow.

RTCVD silicon nitride films may generally be formed by the reaction of dichlorosilane and ammonia by reacting the gasses in a furnace in which the temperature of the wafer is rapidly ramped to temperatures as high as 1100°C within about five seconds. Temperature ramping rates from 50°C/sec to about 75°C/sec are typically achieved in most small batch fast ramp (SBFR) furnaces and some of the latest models achieve rates as high as 150°C/sec. RTCVD methods are desirable for their rapid processing and ability to handle large wafers of 300 nm and larger, among other advantages. Also, the use of higher temperatures over shorter periods of time reduces undesirable transient-enhanced diffusion effects.

Rapid thermal process (RTP) furnaces are commercially available from such companies as Applied Materials and AG Associates, among others. Preferred RTP systems will maintain uniform temperature across the width of the wafer during the rapid ramping-up and cooling down of temperature and will have an accurate means of measuring the wafer

WO 02/095819

PCT/US02/16351

temperature so as to control it. A typical Applied Materials RTP will have a water-cooled reaction chamber, an array of heating lamps, such as halogen lamps, and a fiber optic temperature probe. The halogen lamps will generally be arrayed above the wafer and have their light directed downward by collimating light pipes, often with a quartz or fused silica window separating the lamps from the reaction chamber. This allows rapid heating and the ability to isolate the chamber so as to evacuate it. The wafer sits upon an insulative rotating base, the rotation effective in smoothing out any gas flow and light variations. Pyrometers are usually mounted below the wafer and measure temperature radiating off the back of the wafer at regular intervals, typically 20 times per second, thereby allowing precise computer control over the ramp-up and cool-off of the wafer.

PECVD silicon nitride films may generally be formed by reacting silane gas (SiH_4) with either ammonia (NH_3) or nitrogen (N_2) gas in the presence of electromagnetic radiation in the radio frequency range, thereby depositing a polymer-like Si-N-H material. Reaction temperatures will typically be from 200°C to 400°C at 0.2 to 0.3 torr and rf-frequencies of from 0.3 to 13.56 MHz. Dual frequency systems, typically combining a high frequency (e.g., about 13.5 MHz) rf-signal with a low frequency (e.g., 0.3 to 0.5 MHz) rf-signal to control film stress associated with SiN films. When using ammonia gas, the ratio of ammonia to silane will typically be from about 5 to about 20 parts ammonia to silane. When using nitrogen, 100 to 1,000 parts nitrogen to silane are will typically be used. Generally, PECVD films made with ammonia will display better conformality than those made with nitrogen.

Three types of PECVD reactors are in wide use, namely parallel-plate batch reactors, mini-batch radial reactors, and single wafer reactors.

Parallel-plate batch reactors have, as the name implies, a set of parallel plates. The reactor is generally in the form of a vertical cylinder with one plate at the bottom and the other at the top. The wafers rest on the bottom plate, which can usually be rotated and heated and the rf-signal is applied to the electrodes.

A more popular PECVD reactor is the mini-batch radial reactors, which comprises a plurality of deposition stations wherein each a wafer sits upon a flat heated electrode. A showerhead-like electrode above each wafer dispenses the reactant gases. These types of reactors are favored for their high reaction rates and minimal contamination problems and good uniformity. Uniformity is achieved by moving the wafers from one station to another

WO 02/095819

PCT/US02/16351

for additional depositions, rather than performing the entire deposition at once, thereby averaging out any anomalies at individual stations.

Single-wafer PECVD reactors, such as those sold by Applied Materials, will generally have multiple reactor chambers, each adapted to contain a single wafer. Each chamber is
5 equipped with a base electrode upon which the wafer sits and a showerhead-like gas nozzle electrode, powered by the rf signal. Heating is usually achieved by a plurality of lamps that provide rapid radiant heating. Film stress may be controlled by adjusting the rf frequencies or the electrode gap size.

HDP-CVD silicon nitride films may generally be formed by reacting silane gas (SiH_4)
10 with either ammonia (NH_3) or nitrogen (N_2) gas in the presence of electromagnetic radiation and an inert gas, such as Argon (Ar) or Helium (He). Generally, the reaction pressure will be rather low, generally below ten mTorr. HDP-CVD techniques are desirable for laying films down on high-aspect-ratio features.

HDP-CVD reactors will generally utilize a glow discharge to produce ions powerful
15 enough to cause sputtering in the material being deposited. Glow discharges are a self-sustaining plasma produced by either or both of a dc-diode type system or an rf-diode system. An inert gas, such as Argon is introduced between a pair of electrodes with a strong enough electric field to ionize the reactant and inert gases to a plasma. Rf-diode systems are preferred because dc-diode systems are unable to sputter insulative materials like silicon
20 nitride and exhibit slower deposition rates in most applications. A preferred rf-diode system will be equipped with a magnetron source so as to help confine electrons near the wafer surface. Commercially popular systems include those sold under the tradename "Centura" by Applied Materials.

Referring to Figure 4, a protective film 6 is deposited. The protective planarizing film
25 will preferably be any suitable polymer plastic that is planarizing (i.e., it fills up the depressions rather than conforming to the topography of the depressions the way a nitride CVD deposition does) and for which there exists a selective etch with respect to silicon nitride (i.e., an etch that will etch the polymer, but not silicon nitride). Commonly available and economical protective polymers are those sold for anti-reflective coatings and
30 photo-resist layers in the lithographic arts, often referred to as "organic spin-on" polymers, which comprise polymer resins dissolved in solvent. Such resins will typically have

WO 02/095819

PCT/US02/16351

molecular weights in the thousands or ten thousands as measured by gel permeation chromatography, but may even go into the millions. Novolak binder resins are commonly available and useful for use in the invention, such as are disclosed in Shiro et al., US 5,674,657, the teachings of which are incorporated by reference herein in their entirety. A commonly used photoresist is sold under the designation "HPR-204" by Olin Hunt Specialty Products of New Jersey and comprises mixed meta- and para-cresol novolak binder resins and a naphthaquinone-1,2-diazide-5-sulfonic acid triester of a trihydroxy benzophenone sensitizer dissolved in 85% by weight of ethyl cellulose acetate, 8.6% by weight butyl acetate, and 5.2% by weight xylene, and 1.2% by weight ethyl benzene. Suitable antireflective coatings are co-polymers of benzophenone and bisphenol-A dissolved in an organic solvent, such as is described in Thomas et al., US 6,207,787, the disclosures of which are incorporated by reference herein in their entirety. Other suitable antireflective coatings include, but are certainly not limited to, organic solutions of multifunctional acrylates and methacrylate monomers, and polyurea and polysulfone polymers. Conformal antireflective coating suitable for use with the invention are also sold under the tradenames "DUV 30" and "DUV 32" by Brewer Science, Inc. of Rolla, Missouri. Photoresists and antireflective coatings may also be thinned or diluted by mixing in additional solvent, such as is described in Daraktchiev, I. S., US 4,996,080, the disclosures of which are incorporated by reference herein in their entirety. Commercially available planarizing antireflective coatings suitable for use with the invention include those sold under the product designations "DUV 30" and "DUV 32", by Brewer Science, Inc. of Rolla, Missouri.

It is also possible to use a spin-on oxide (e.g., glass spin-on) film for a protective film and then planarize it by chemical mechanical polishing (CMP). Alternatively, one may deposit a conformal organic film and also planarize by CMP. Conformal organic films are generally comprised of relatively high molecular weight resins, as high as 40,000 Daltons and above, dissolved in solvent, such as are described in Pavelick et al. US 6,190,839 B1, the disclosures of which are incorporated by reference herein in their entirety. Commercially available conformal antireflective coatings suitable for use with the invention include those sold under the product designations "ARC 25", "DUV 44", and "DUV 42", also by Brewer Science, Inc. of Rolla, Missouri, and those sold under the "AR" series trademark by Shipley

WO 02/095819

PCT/US02/16351

Company, LLC of Marlborough, Massachusetts, particularly those designated "AR5" and higher, such as "AR7" and "AR14".

Of course, any polymer dissolved in a solvent that is sufficiently planarizing, adhering, and possessing the requisite selectivity will be suited to this invention. Photoresists and antireflective coatings are specifically cited for use with this invention because these materials are almost always readily at hand in any semiconductor fabrication facility.

Referring to Figure 5, the protective film 6 is recessed such that only that portion of the protective film 6 in the depressions over the oxide isolations 4 remain. In the case of an organic polymer protective film, this can be achieved with a plasma etch using oxygen and nitrogen gases in the presence of an rf-frequency.

Referring to Figure 6, the exposed nitride (i.e., not protected by the arc) is etched away, preferably with a reactive ion etch (RIE), thereby revealing the active areas 3. Alternatively, a hot phosphoric or similar etch may be used, but this procedure is less controllable than a dry RIE etch.

An RIE etch of silicon nitride will generally utilize a CF_4-O_2 or CHF_3-O_2 gas mix, or CH_3F_2 or CH_3F gasses, in the presence of an rf-frequency (e.g., 13.5 MHz) to establish a glow discharge. Typical reaction pressures are from about 7 to about 6000 mTorr.

Commercially available RIE systems for use in the invention include those sold under the "Etch Centura" trademark series by Applied Materials, among others. Such systems utilize a glow discharge and electrodes to combine the benefits of sputtering with those of enhanced plasma etching and produce high anisotropic etches.

Referring to Figure 7, the protective film 6 may then be etched away, leaving a trench oxide 4 covered by a protective nitride cap 5. The active areas may now be precleaned without fear of damage to the trench oxide 4.

It is to be understood that all physical quantities disclosed herein, unless explicitly indicated otherwise, are not to be construed as exactly equal to the quantity disclosed, but rather about equal to the quantity disclosed. Further, the mere absence of a qualifier such as "about" or the like, is not to be construed as an explicit indication that any such disclosed physical quantity is an exact quantity, irrespective of whether such qualifiers are used with respect to any other physical quantities disclosed herein.

WO 02/095819

PCT/US02/16351

While preferred embodiments have been shown and described, various modifications and substitutions may be made thereto without departing from the spirit and scope of the invention. Accordingly, it is to be understood that the present invention has been described by way of illustration only, and such illustrations and embodiments as have been disclosed herein are not to be construed as limiting to the claims.

5

WO 02/095819

PCT/US02/16351

WHAT IS CLAIMED IS:

1. A method of protecting a semiconductor shallow trench isolation (STI) oxide from etching, the method comprising:
 - lowering, if necessary, the upper surface of said STI oxide to a level below that of adjacent silicon active areas;
 - depositing a nitride liner upon said STI oxide and adjacent silicon active areas in a manner effective in defining a depression above said STI oxide;
 - filling said depression with a protective film; and
 - removing said nitride layer from said adjacent active areas.
2. The method of claim 1 wherein said deposition of a nitride liner is effected with a chemical vapor deposition.
3. The method of claim 2 wherein said chemical vapor deposition is one selected from the group: a low pressure chemical vapor deposition; a rapid thermal chemical vapor deposition; a plasma-enhanced chemical vapor deposition; or a high-density plasma chemical vapor deposition.
4. The method of claim 2 wherein said chemical vapor deposition further comprises reacting a silane derivative with ammonia.
5. The method of claim 1 wherein said protective film is an organic polymer.
6. The method of claim 5 wherein said organic polymer is a planarizing polymer.
7. The method of claim 6 wherein said planarizing protective polymer is an anti-reflective coating polymer.

WO 02/095819

PCT/US02/16351

8. The method of claim 7 wherein said anti-reflective coating polymer is one selected from the group: mixtures of acrylates and methacrylates; mixtures of polyurea and polysulfone polymers; and copolymers of benzophenone and bisphenol-A.
9. The method of claim 6 wherein said planarizing protective polymer is a photo-resist polymer.
10. The method of claim 9 wherein said photo-resist polymer comprises a novolak resin.
11. The method of claim 1 wherein said protective film is a spin-on oxide.
12. The method of claim 1, wherein said protective film is conformal and is planarized by chemical mechanical polishing.
13. The method of claim 1 wherein said filling of said depression with protective film comprises:
depositing a layer of said protective film over said nitride layer; and
recessing said protective film such that said protective film remains only in said depression.
14. The method of claim 13 wherein said protective film is an organic polymer and said recessing is effected with a plasma etch.
15. The method of claim 1 further comprising removing said protective film from said depression.
16. The method of claim 15 wherein said removing of said protective film is accomplished with a reactive ion etch.

WO 02/095819

PCT/US02/16351

17. A method of protecting a semiconductor shallow trench isolation (STI) oxide from etching, the method comprising:

lowering, if necessary, the upper surface of said STI oxide to a level below that of adjacent silicon active areas;

5 optionally depositing a silicon oxide layer over said STI oxide and adjacent silicon active areas effective in protecting said adjacent silicon active layers from stresses induced by a conformal nitride liner deposited thereon;

10 executing a chemical vapor deposition to deposit said conformal nitride liner upon said STI oxide and adjacent silicon active areas in a manner effective in defining a depression above said STI oxide;

covering said nitride liner with a protective film comprising an organic polymer; recessing said protective film with a plasma etch, such that said protective film remains only in said depression;

15 removing said nitride layer from said adjacent active areas with a reactive ion etch;

and

removing said protective film from said depression with a plasma etch.

18. A semiconductor structure, comprising a plurality of active areas separated by one or more shallow trench isolations wherein only said shallow trench isolations are covered by a protective layer of silicon nitride.

20 19. A semiconductor structure comprising:

a plurality of active areas separated by one or more shallow trench isolations; said active areas and shallow trench isolations covered by a layer of silicon nitride, wherein said layer of silicon nitride comprises depressions over said shallow trench isolations;

25 a protective film disposed in said depressions.

20. A method of protecting a semiconductor shallow trench isolation (STI) oxide from etching, the method comprising:

WO 02/095819

PCT/US02/16351

providing means for lowering, if necessary, the upper surface of said STI oxide to a level below that of adjacent silicon active areas;

providing means for depositing a nitride liner upon said STI oxide and adjacent silicon active areas in a manner effective in defining a depression above said STI oxide;

5 providing means for protecting said adjacent silicon active areas from stresses induced by said nitride liner;

providing means for filling said depression with a protective film;

providing means for removing said nitride layer from said adjacent active areas.

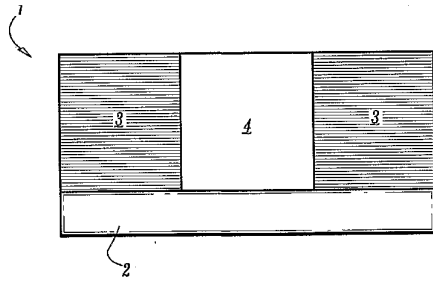


FIG. 1

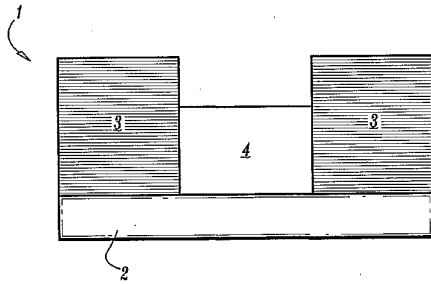


FIG. 2

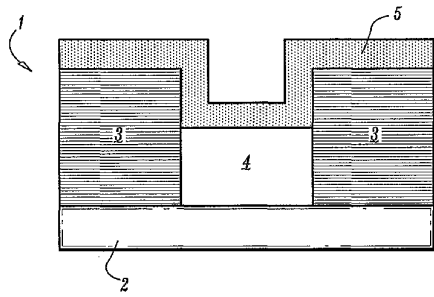


FIG. 3

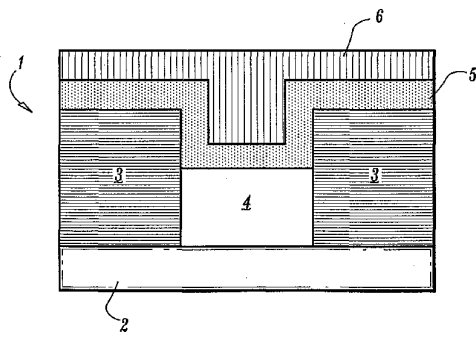


FIG. 4

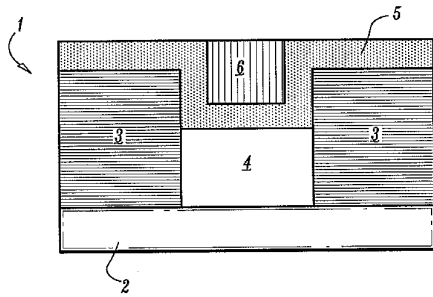


FIG. 5

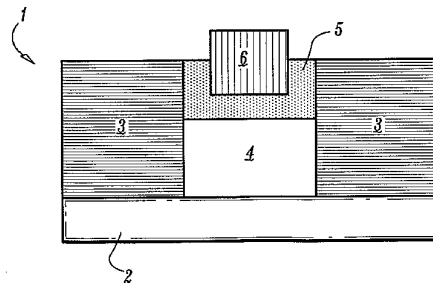


FIG. 6

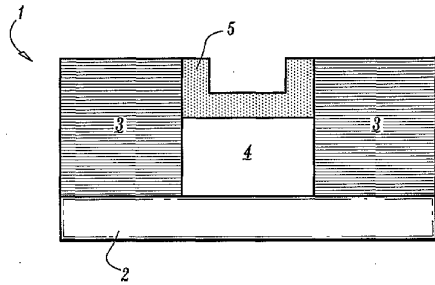


FIG. 7

【国際公開パンフレット(コレクトバージョン)】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
28 November 2002 (28.11.2002)

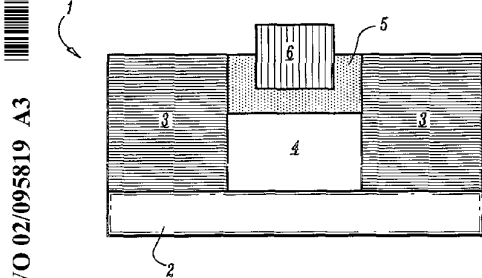
PCT

(10) International Publication Number
WO 02/095819 A3

- (51) International Patent Classification: **H01L 21/762** MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZM, ZW.
- (21) International Application Number: PCT/US02/16351
- (22) International Filing Date: 23 May 2002 (23.05.2002)
- (25) Filing Language: English
- (26) Publication Language: English
- (30) Priority Data: 09/864,974 24 May 2001 (24.05.2001) US
- (71) Applicant: **INTERNATIONAL BUSINESS MACHINES CORPORATION** [US/US]; New Orchard Road, Armonk, NJ 10504 (US).
- (72) Inventors: **DOKUMACI, Omer, H.**, 26A Winthrop Court, Wappinger Falls, NY 12590 (US); **DORIS, Bruce, B.**, 350 Lake Shore Drive, Brewster, NY 10509 (US).
- (74) Agents: **CHAU, Frank et al.**; F Chau & Associates, LLP, Suite 501, 1900 Hempstead Turnpike, East Meadow, NY 11554 (US).
- (81) Designated States (national): AE, AG, AI, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW,
- (84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SI, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI patent (BI, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NI, SN, TD, TG).
- Declarations under Rule 4.17:
 - as to the identity of the inventor (Rule 4.17(i)) for the following designation US
 - as to the identity of the inventor (Rule 4.17(i)) for the following designation US
 - as to applicant's entitlement to apply for and be granted a patent (Rule 4.17(ii)) for the following designation US
 - as to applicant's entitlement to apply for and be granted a patent (Rule 4.17(ii)) for the following designation US
- Published: with international search report
- (88) Date of publication of the international search report: 20 November 2003

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: STRUCTURE AND METHOD TO PRESERVE STI DURING ETCHING



(57) Abstract: Disclosed is a method of protecting a semiconductor shallow trench isolation (STI) oxide from etching, the method comprising lowering, if necessary, the upper surface of said STI oxide to a level below that of adjacent silicon active areas, depositing a nitride liner upon said STI oxide and adjacent silicon active areas in a manner effective in defining a depression above said STI oxide, filling said depression with a protective film, and removing said nitride layer from said adjacent active areas.

WO 02/095819 A3

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International Application No. PCT/US 02/16351
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L21/762		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, PAJ, WPI Data, INSPEC, IBM-TDB		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	PATENT ABSTRACTS OF JAPAN vol. 1999, no. 11, 30 September 1999 (1999-09-30) -& JP 11 163118 A (TOSHIBA CORP), 18 June 1999 (1999-06-18) abstract; figure 1 paragraph '0012! - paragraph '0015!	1, 12, 13, 15, 16, 18-20
X	PATENT ABSTRACTS OF JAPAN vol. 2000, no. 20, 10 July 2001 (2001-07-10) -& JP 2001 085683 A (DENSO CORP), 30 March 2001 (2001-03-30) abstract; figure 2 paragraph '0024! - paragraph '0025!	1, 5, 6, 9, 15, 16, 18-20
Y	---	7, 8, 11
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents: *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *Z* document member of the same patent family		
Date of the actual completion of the international search 13 February 2003		Date of mailing of the international search report 21/02/2003
Name and mailing address of the ISA European Patent Office, P.O. Box 5618 Patentaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Wirner, C

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

 International Application No
 PCT/US 02/16351

C:(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 150 072 A (WEIGAND PETER ET AL) 21 November 2000 (2000-11-21) abstract; claims; figure 2 column 3, line 57 -column 4, line 11 ---	1-3, 5, 6, 9, 15, 18-20
X	EP 0 340 524 A (IBM) 8 November 1989 (1989-11-08) abstract; figures 2A-2F column 4, line 52 -column 5, line 55 ---	1-3, 5, 9, 10, 13-17, 19, 20
X	PATENT ABSTRACTS OF JAPAN vol. 010, no. 095 (E-395), 12 April 1986 (1986-04-12) -& JP 60 236244 A (MATSUSHITA DENKI SANGYO KK), 25 November 1985 (1985-11-25) abstract; figure 2 page 200 ---	1-3, 5, 9, 13-17, 20
X	PATENT ABSTRACTS OF JAPAN vol. 1999, no. 11, 30 September 1999 (1999-09-30) -& JP 11 150179 A (NEC CORP), 2 June 1999 (1999-06-02) abstract; figure 2 paragraphs '0044!', '0052!'-'0056! ---	1, 5, 6, 12, 15, 20
Y	US 6 190 839 B1 (ADAMS TIMOTHY G ET AL) 20 February 2001 (2001-02-20) cited in the application abstract ---	7, 8
Y	US 5 930 646 A (GERUNG HENRY ET AL) 27 July 1999 (1999-07-27) column 3, line 26 - line 29 ---	11
A	PATENT ABSTRACTS OF JAPAN vol. 1998, no. 10, 31 August 1998 (1998-08-31) -& JP 10 144781 A (FUJITSU LTD), 29 May 1998 (1998-05-29) abstract; figures -----	1-20

Form PCT/ISA/210 (continuation of second sheet) (July 1998)

INTERNATIONAL SEARCH REPORT
Information on patent family members

International Application No.
PCT/US 02/16351

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
JP 11163118	A	18-06-1999	NONE
JP 2001085683	A	30-03-2001	NONE
US 6150072	A	21-11-2000	JP 11121609 A 30-04-1999
EP 0340524	A	08-11-1989	US 4836885 A 06-06-1989 EP 0340524 A1 08-11-1989 JP 1290236 A 22-11-1989
JP 60236244	3 A		NONE
JP 11150179	3 A		NONE
US 6190839	BI	20-02-2001	JP 11258814 A 24-09-1999 US 2001012598 A1 09-08-2001
US 5930646	A	27-07-1999	NONE
JP 10144781	3 A		NONE

フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,CH,CY,DE,DK,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN, TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,ES,FI,GB,GD,GE, GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NO,NZ,OM,PH,P L,PT,RO,RU,SD,SE,SG,SI,SK,SL,TJ,TM,TN,TR,TT,TZ,UA,UG,UZ,VN,YU,ZA,ZM,ZW

(72)発明者 ドクマシ、オマー、エイチ

アメリカ合衆国 1 2 5 9 0 ニューヨーク州ワッピンガーズ・フォールズ ウィンスロップ・コー
ト 2 6 A

(72)発明者 ドリス、ブルース、ビー

アメリカ合衆国 1 0 5 0 9 ニューヨーク州ブルースター レーク・ショア・ドライブ 3 5 0
Fターム(参考) 5F032 AA35 AA45 AA46 AA50 AA77 CA17 DA03 DA04 DA23 DA24
DA25 DA28 DA78