(54) 发明名称

使用石墨烯作为电荷捕获层的存储器件及其操作方法

(57) 摘要

一种使用石墨烯层作为电荷捕获层的石墨烯存储器和该石墨烯存储器的操作方法。该石墨烯存储器包括一导电的半导体基板；在基板上的彼此隔开的源极和漏极；石墨烯层，接触基板并且在源极和漏极之间与源极和漏极间隔开；以及在石墨烯层上的栅电极。肖特基势垒形成在基板和石墨烯层之间使得石墨烯层用作储存电荷的电荷捕获层。
1. 一种石墨烯存储器，包括：
   导电的半导体基板；
   在所述基板上的彼此间隔开的源极和漏极；
   石墨烯层，接触所述基板并且在所述源极和所述漏极之间且与所述源极和所述漏极间隔开；以及
   在所述石墨烯层上的一栅极电极，
   其中所述基板层形成在所述基板和所述石墨烯层之间使得所述石墨烯层用作储存电荷的电荷捕获层。
2. 根据权利要求1所述的石墨烯存储器，其中所述基板包括由硅、锗、硅-锗或III-V族半导体。
3. 根据权利要求1所述的石墨烯存储器，其中所述石墨烯层包括一层至四层石墨烯。
4. 根据权利要求1所述的石墨烯存储器，其中所述石墨烯层包括至少一个孔或隙。
5. 根据权利要求1所述的石墨烯存储器，还包括导电层，该导电层接触所述石墨烯层并且相对于所述石墨烯层面对所述基板。
6. 根据权利要求5所述的石墨烯存储器，其中所述导电层包括金属或导电硅。
7. 根据权利要求5所述的石墨烯存储器，其中所述石墨烯层和所述导电层的每个包括孔或隙。
8. 根据权利要求5所述的石墨烯存储器，其中所述石墨烯层的所述孔或所述隙连接到所述导电层的所述孔或所述隙。
9. 根据权利要求1所述的石墨烯存储器，其中所述石墨烯层的大小随着施加到所述栅电极的电压而变化。
10. 根据权利要求1所述的石墨烯存储器，其中，从俯视图看时，所述栅电极覆盖所述石墨烯层并且面对通过所述石墨烯层暴露的所述基板。
11. 一种权利要求1所述的石墨烯存储器的操作方法，所述方法包括：
    用于通过施加电压到所述源极以及施加第一栅电压到所述栅电极而从所述石墨烯层去除储存电荷的擦除操作；
    通过施加具有与所述第一栅电压相反极性的第二栅电压到所述栅电极而在所述石墨烯层中储存所述储存电荷的储存操作，以及
    施加具有与所述第二栅电压相同的极性的第三栅电压并且测量流过所述漏极的漏电流的读取操作。
12. 根据权利要求11所述的方法，其中所述储存操作包括在增大所述石墨烯势垒时用所述储存电荷掺杂所述石墨烯层。
13. 根据权利要求11所述的方法，其中所述擦除操作包括在减小所述石墨烯势垒时用具有与所述储存电荷相反极性的电荷掺杂所述石墨烯层。
14. 根据权利要求11所述的方法，其中所述第三栅电压比所述第二栅电压低。
使用石墨烯作为电荷捕获层的存储器件以及其操作方法

技术领域
[0001] 本公开涉及通过利用在石墨烯和半导体基板之间的肖特基势垒而使用石墨烯作为电荷捕获层的非易失性存储器件。

背景技术
[0002] 石墨烯具有二维六方碳结构，并且作为用于代替半导体的新材料，对石墨烯的研究已经在全世界积极进行。具体地说，石墨烯是零带隙半导体，具有金属特性，并且接触金属以在其间形成肖特基势垒。
[0003] 作为非易失性存储器件，快闪存储器在设置在控制电极和沟道之间的浮置栅中存储电荷。为了防止电荷在浮置栅处泄漏，浮置栅由绝缘层围绕。
[0004] 为了从沟道捕获电荷至浮置栅，电荷应该穿过之间的绝缘层（隧道氧化物），因而需要高操作电压。
[0005] 作为电荷捕获非易失性存储器件，硅-氧化物-氮化物-氧化物-硅（SONOS）存储器件具有操作电压低。SONOS存储器件具有其中由氧化锆氧化物形成的隧道层、由硅氧化物形成的电荷捕获层、由硅氧化物形成的阻挡层和栅电极顺序层叠在半导体沟道上的结构。

发明内容
[0006] 提供一种通过使用在石墨烯和半导体之间的肖特基势垒而使用石墨烯（而不是典型的隧穿氧化物）作为电荷捕获层的非易失性存储器件。
[0007] 概括的方面将在以下的描述中部分地阐述，且部分将自该描述明显，或者可以通过对所给出实施方式的实践而习知。
[0008] 根据一示例实施方式，一种石墨烯存储器包括：导电的半导体基板；在基板上的彼此间隔开的源极和漏极；石墨烯层，接触基板并且在源极和漏极之间且与源极和漏极间隔开；以及在石墨烯层上的栅电极，其中肖特基势垒形成在基板和石墨烯层之间使得石墨烯层用作储存电荷的电荷捕获层。
[0009] 基板可以包括由硅、锗、硅-锗或Ⅲ-Ⅴ族半导体。
[0010] 石墨烯层可以包括一层至四层石墨烯。
[0011] 石墨烯层可以包括至少一个孔或缝。
[0012] 石墨烯存储器还可以包括导电层，该导电层接触石墨烯层并且相对于石墨烯层面对基板。
[0013] 导电层可以包括金属或多晶硅。
[0014] 石墨烯层和导电层的每个可以包括孔或缝。
[0015] 石墨烯层的孔或缝可以连接到导电层的孔或缝。
[0016] 肖特基势垒的大小可以随着施加到栅电极的电压而变化。
[0017] 从俯视图看时，栅电极可以覆盖石墨烯层并且可以面对通过石墨烯层暴露的基板。
根据另一示例实施方式，上述措施存储器的操作方法包括通过施加低电压到漏极以及施加第一栅电压到栅极面图从石墨烯层去除存储电荷的擦除操作。通过施加具有与第一栅电压反极性的第二栅电压到栅极而在石墨烯层中储存所述存储电荷的编程操作；以及施加具有与第二栅电压相同的极性的第三栅电压并且测量流过漏极的漏电流的读取操作。

编程操作可以包括在增大极性势垒时用储存电荷掺杂石墨烯层。

擦除操作可以包括在减小极性势垒时用具有与储存电荷相反极性的电荷掺杂石墨烯层。

第三栅电压可以比第二栅电压低。

附图说明
絮合附图对实施方式的引用描述，这些和/或其它方面将变得明显且更易于理解。
[0022] 从结合附图对实施方式的以下描述，这些和/或其它方面将变得明显且更易于理解。在附图中：
[0023] 图 1 是根据一示例实施方式的使用石墨烯作为电荷捕获层的存储器件的截面图；
[0024] 图 2 是图 1 所示的存储器件的平面图；
[0025] 图 3A 至图 3G 是为了描述图 1 所示的存储器件的功能的，在基板和石墨烯层之间的能带图；
[0026] 图 3H 是显示在程序和擦除条件下的阈值电压的电流 − 电压 (I−V) 特征曲线图；
[0027] 图 4 是根据另一示例实施方式的使用石墨烯作为电荷捕获层的存储器件的截面图；
[0028] 图 5 是根据又一示例实施方式的使用石墨烯作为电荷捕获层的存储器件的截面图；和
[0029] 图 6 是图 5 的一部分的放大图。

具体实施方式
[0030] 现在将详细参考实施方式，其实例在附图中示出，其中相似的参考标记始终表示相似的元件。在这一点上，本实施方式可具有不同的形式并且不应被理解为限于在此描述的描述。因此，以下仅通过参考附图描述实施方式来说明本说明书的多个方面。
[0031] 图 1 是根据一示例实施方式的使用石墨烯作为电荷捕获层的存储器件 100 的截面图。
[0032] 参考图 1，源极区 122 和漏极区 124 形成在基板 110 上，其中源极区 122 和漏极区 124 是彼此间隔开的杂质区。基板可以由半导体形成。存储器件 100 包括在源极区 122 和漏极区 124 之间的作为电荷捕获层的石墨烯层 130。绝缘层 140 和栅极 150 顺序地层叠在石墨烯层 130 上。
[0033] 基板 110 可以由硅、锗、硅 - 锗或 III - V 族半导体形成。在以下描述中，假设基板 110 由硅形成。基板 110 用 p 型杂质或 n 型杂质掺杂。
[0034] 源极区 122 和漏极区 124 可以是用具有与基板 110 相反的极性的杂质掺杂的区域。例如，如果基板 110 用 n 型杂质掺杂，则源极区 122 和漏极区 124 可以用 n 型杂质掺杂。
[0035] 石墨烯层 130 形成为与源极区 122 和漏极区 124 间隔开并且接触基板 110。
是说，石墨烯层 130 形成在源极区 122 和漏极区 124 之间的沟道区 123 上。石墨烯层 130 是用于从沟道区 123 捕获电子或空穴的层。

[0036] 肖特基势垒由于石墨烯层 130 和基板 110 之间的接触而形成在其间。根据一示例实施方式，在石墨烯层 130 和基板 110 之间不存在典型的隧道层，并且肖特基势垒起隧道层的作用。

[0037] 石墨烯层 130 可以包括一至四层石墨烯。与金属类似，石墨烯层 130 具有高电荷迁移率。因此，如果石墨烯层 130 用作电荷捕获层，被俘获的电荷可以均匀分布因而可以实现优良的电荷储存特性。此外，当石墨烯层 130 是具有优良的层间绝缘特性的多层石墨烯时，只要栅电压不改变，被俘获的电荷就可以几乎不泄漏，于是可以实现优良的保留特性（retention characteristics）。

[0038] 石墨烯层 130 可具有大约 20nm 至 150nm 的宽度。

[0039] 绝缘层 140 可以由例如硅氧化物（SiO₂）、氧化铝（Al₂O₃）或铪氧化物（HfO₂）形成。

[0040] 栅电极 150 可以由例如铝（Al）、金（Au）、铍（Be）、钯（Pd）、镍（Ni）、铝（Al）、钴（Co）或铜（Cu）形成。锂（Li）、钠（Na）、镁（Mg）、铝（Al）、钛（Ti）、钒（V）、镍（Ni）、钯（Pd）、铑（Rh）、钯（Pd）和铪（Zr）形成。

[0041] 图 2 是图 1 所示的存储器件 100 的平面图。为了方便，没有示出绝缘层 140。

[0042] 参考图 2，栅电极 150 形成在石墨烯层 130 上方且形成于上方石墨烯层 130 宽，于是覆盖石墨烯层 130。源自基板 110 上的栅电极 150 的电场效应可由于石墨烯层 130 而减少。因为栅电极 150 形成为通过石墨烯层 130 暴露的基板 110，所以源自栅电极 150 的电场被施加到基板 110。

[0043] 现在将参考图 3A 至图 3H 详细描述存储器件 100 的操作方法。

[0044] 图 3A 至图 3G 是为了描述图 1 所示的存储器件 100 的功能的。在基板 110 和石墨烯层 130 之间的能带图。在以下的描述中，假设基板 110 是 p 型硅基板并且源极区 122 和漏极区 124 是 n+ 掺杂区。在该情形下，石墨烯层 130 中储存的储存电荷是电子，与储存电荷相反的电荷是空穴。在电荷被充至石墨烯层 130 中之后的状态（擦除状态）被称为状态“0”，在电荷被充至石墨烯层 130 中的状态（编程状态）被称为状态“1”。

[0045] 参考图 3A，在沟道区 123 中的能带可以被表示为 p 型基板 110 和石墨烯层 130 之间的能带图。由于基板 110 和石墨烯层 130 之间的接触，能带与石墨烯层 130 和基板 110 的功函数相应地形成。肖特基势垒 E_b 形成在基板 110 和石墨烯层 130 之间。肖特基势垒 E_b 限制基板 110 和石墨烯层 130 之间的电子迁移。E_f 表示费米能级。

[0046] 在不施加栅电压时，电子几乎不流过沟道区 123。

[0047] 图 3A 显示了其中电压没有被施加到存储器件 100 的初始状态。

[0048] 参考图 3B，如果第一栅电压（负电压）被施加到栅电极 150 以及正电压被施加到基板 110，则在积累模式中，石墨烯层 130 被空穴掺杂并且石墨烯层 130 中的所有电子被移除。

[0049] 在擦除操作中，肖特基势垒的大小被减小，石墨烯层 130 用空穴掺杂。此外，在石墨烯层 130 中存储的电荷（电子）隧穿到基板 110，于是被去除。

[0050] 图 3C 是其中完成图 3B 的擦除操作之后所有的电压被去除的状态（状态“0”）的能带图。

[0051] 参考图 3D，如果等于或大于擦除状态的阈值电压的第二栅电压（正电压）被施加到
栅电极 150 以及预定的漏电压被施加到漏极区 124，则沟道区 123 变为反转状态，使得石墨烯层 130 用电子掺杂并且沟道区 123 的电子移到石墨烯层 130。在编程操作中，肖特基势垒 E_0 (见图 3E) 增加并且石墨烯层 130 从空穴掺杂状态变为电子掺杂状态。

[0052] 图 3E 是其中在完成图 3D 的编程操作之后所有的电压被去除的状态 (状态“1”) 的能带图。

[0053] 如果预定的第三栅电压 (正电压) 被施加到存储器件 100，则可以读取漏电流。如果漏电流相对较高，则信息“1”被记录在存储器件 100 中。如果漏电流相对较低，则信息“0”被记录在存储器件 100 中。漏电流可以被确定为与预设参考电流相比相对较高或相对较低。

[0054] 图 3F 和图 3G 是用于描述读取操作的示意图。

[0055] 参考图 3F，如果在擦除状态下第三栅电压被施加到栅电极 150 并且预定的漏电压被施加到漏极区 124，则电子不从源极区 122 移动到漏极区 124。

[0056] 另外，参考图 3G，如果在编程操作下，第三栅电压被施加到栅电极 150 并且预定的漏电压被施加到漏极区 124，则电子不从源极区 122 移动到漏极区 124。

[0057] 第三栅电压具有与第二栅电压相同的极性并且可具有比第二栅电压小的绝对值。

[0058] 图 3H 显示了擦除状态和编程状态之间的阈值电压差。第三栅电压位于擦除状态的阈值电压 V_{th} 和编程状态的阈值电压 V_{num} 之间。

[0059] 以上参考图 3A 至图 3H 描述了在存储器件 100 的基板 110 用 p 型杂质掺杂以及源极区 122 和漏极区 124 用 n 型杂质掺杂时的情形。如果存储器件 100 的基板 110 用 n 型杂质掺杂以及源极区 122 和漏极区 124 用 p 型杂质掺杂，除了在石墨烯层 130 中储存的电荷是空穴以及所施加的栅电压的极性不同之外，其它操作自以上描述被很好地理解并且在此不再重复提供存储器件 100 的操作。

[0060] 在使用石墨烯的存储器件 100 中，根据示例实施方式，电荷可以均匀分布在作为电荷捕获层的石墨烯层 130 中，被俘获的电荷的泄漏可以通过肖特基势垒被抑制从而实现优良的保留特性。

[0061] 图 4 是根据另一示例实施方式的使用石墨烯作为电荷捕获层的存储器件 200 的截面图。在图 1 和图 4 中，相同的附图标记表示相同的元件，于是在此不再重复提供其详细描述。

[0062] 参考图 4，多个孔 232 形成在石墨烯层 230 中。孔 232 可以是沿一个方向延伸的缝。另外，孔 232 或缝可以沿着朝向基板 110 的方向延伸以穿透石墨烯层 230。例如，基板 110 的一部分可以通过孔 232 或缝被暴露。

[0063] 其它元件与图 1 中的元件相同，于是在此不再重复提供其详细描述。

[0064] 例如源自栅电极 150 的电场通过孔 232 更加强石墨烯层 230 下面的基板 110，所以包括石墨烯层 230 的存储器件 200 可具有相对低的操作电压。

[0065] 虽然在图 4 中示出了具有孔 232 的石墨烯层 230，但是本公开不限于此。例如，多个石墨烯层可以形成在基板 110 上，彼此间隔开。在该情形下，缝可以形成在相邻的石墨烯层之间。

[0066] 在图 4 中示出的存储器件 200 的功能基本上与图 1 中示出的存储器件 100 的功能相同，于是在此不再重复提供其详细描述。
图 5 是根据又一示例实施方式的使用石墨烯作为电荷捕获层的存储器件 300 的截面图。图 6 是图 5 的一部分的放大图。在图 1、图 5 和图 6 中，相同的附图标记表示相同的元件，于是在此不再重复提供其详细描述。

参考图 5 和图 6，接触石墨烯层 330 且相对于石墨烯层 330 面对基板 110 的导电层 360 形成在石墨烯层 330 上。导电层 360 提供用于储存从石墨烯层 330 移动的电荷的电荷存储空间。

导电层 360 可以由多晶硅或普通金属诸如铝 (Al)、金 (Au)、铍 (Be)、铋 (Bi)、钴 (Co)、铜 (Cu)、铪 (Hf)、铟 (In)、锰 (Mn)、钼 (Mo)、镍 (Ni)、铅 (Pb)、钯 (Pd)、铂 (Pt)、铑 (Rh)、铱 (Ir)、钌 (Ru)、钯 (Pd)、碲 (Te)、钛 (Ti)、钨 (W)、锌 (Zn) 或锆 (Zr) 形成。

多个孔 332 可以形成在石墨烯层 330 中。孔 332 可以是沿一个方向延伸的缝。

多个孔 362 形成在导电层 360 中。孔 362 可以是沿一个方向延伸的缝。导电层 360 的孔 362 和石墨烯层 330 的孔 332 可以彼此连接。另外，石墨烯层 330 的孔 332 和导电层 360 的孔 362 可以沿着导向基板 110 的方向延伸以穿透导电层 360 和石墨烯层 330。例如，基板 110 的一部分可以通过孔 332 和孔 362 被暴露。

因为源自栅电极 150 的电场通过孔 332 和 362 更影响石墨烯层 330 下面的基板 110，所以存储器件 300 可具有相对低的操作电压。

其它元件与图 1 中的元件相同，于是在此不再提供其详细描述。

基于图 1 中示出的存储器件 100 的功能，在图 5 中示出的存储器件 300 的功能已经被很好地了解，于是在此不再重复提供其详细描述。

根据示例实施方式，石墨烯层可以看作利用基板和与基板接触的石墨烯层之间的肖特基势垒而用作电荷捕获层，而不是隧道层。

如果具有高电荷迁移率的石墨烯层用作电荷捕获层，则被俘获的电荷可以均匀分布，于是可以实现良好的电荷储存特性。

应该理解，其中描述的示例性实施方式仅应该以说明性含义被理解，而不是用于限制目的。在每个实施方式内的特征或方面的描述通常应被理解为可用于其它实施方式中的其它类似特征或方面。

本申请要求享有 2013 年 2 月 15 日在日本知识产权局提交的韩国专利申请 No. 10-2013-0016595 的权益，其公开通过全文引用结合于此。
图 1

图 2

图 3A

图 3B
图 4

图 5
图 6