



(12)发明专利申请

(10)申请公布号 CN 106443086 A

(43)申请公布日 2017. 02. 22

(21)申请号 201610938882.5

(22)申请日 2016.11.01

(71)申请人 郑州云海信息技术有限公司

地址 450018 河南省郑州市郑东新区心怡路278号16层1601室

(72)发明人 李正

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 罗满

(51) Int. Cl.

G01R 1/04(2006.01)

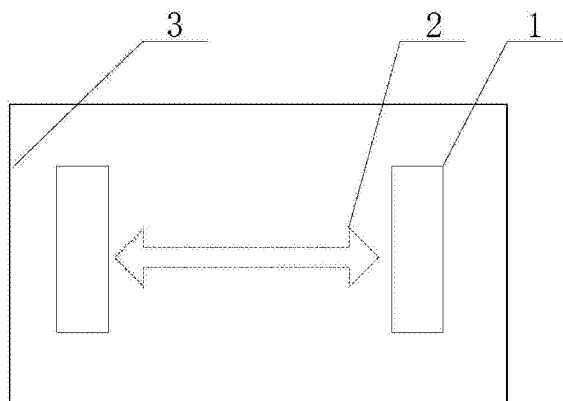
权利要求书1页 说明书4页 附图1页

(54)发明名称

一种测试基板

(57)摘要

本发明公开一种测试基板,包括安装板、设置于所述安装板上并用于安装待测板卡的多个插槽,以及设置于所述安装板内部并用于在各所述待测板卡插入到对应的所述插槽内时将各所述待测板卡互相连接的通讯线。当测试基板工作时,通过将待测板卡同时插入到插槽中,利用发射端作为信号源,发送特定的测试序列,特定的测试序列通过互相连接的通讯线进行信息互访,各所述待测板卡之间相互作为信号源进行相互测试,然后将测试结果通过测试图的方式展现,测试人员只需观察测试图中的误码率,从而调整接收端参数,即可达到测试调整接收端接收信号质量的目的,减少了对于高端信号发生器的使用,降低了测试成本,同时也优化了测试过程。



1. 一种测试基板,其特征在于,包括安装板(3)、设置于所述安装板(3)上并用于安装待测板卡的多个插槽(1),以及设置于所述安装板(3)内部并用于在各所述待测板卡插入到对应的所述插槽(1)内时将各所述待测板卡互相连接的通讯线(2)。
2. 根据权利要求1所述的测试基板,其特征在于,所述插槽(1)的数量为两个。
3. 根据权利要求2所述的测试基板,其特征在于,各所述插槽(1)的尺寸均相同。
4. 根据权利要求3所述的测试基板,其特征在于,各所述插槽(1)均为PCIE插槽。
5. 根据权利要求4所述的测试基板,其特征在于,各所述插槽(1)均设置于所述安装板(3)表面。
6. 根据权利要求1-5任意一项所述的测试基板,其特征在于,所述通讯线(2)为总线。
7. 根据权利要求6所述的测试基板,其特征在于,所述通讯线(2)包括数据总线与与所述数据总线并行的电源总线。
8. 根据权利要求7所述的测试基板,其特征在于,所述数据总线为CAN总线。
9. 根据权利要求6所述的测试基板,其特征在于,所述安装板(3)的侧壁上开设有多个用于散热的通孔,且所述通孔上设置有用于散热的鳍片。
10. 根据权利要求6所述的测试基板,其特征在于,所述安装板(3)的表面上、相邻两个所述插槽(1)之间的部分涂覆有用于防止电磁干扰的绝缘层。

一种测试基板

技术领域

[0001] 本发明涉及信号处理应用领域,特别涉及一种测试基板。

背景技术

[0002] 随着中国电子技术发展,越来越多的电子信息产品得到应用,电子信息产品在使用前需要保证信号传输质量,信号传输质量是衡量电子产品质量一个重要参数指标。

[0003] 目前广泛使用的电子信息产品,例如计算机,计算机使用过程中对于信号传输的要求是非常严格的,计算机需要良好的信号传输质量才能更好地处理信息。计算机中的信号传输接口为外设部件互联标准接口(Peripheral Component Interconnect,缩写为PCI),由于计算机发展迅速,新一代的总线和接口标准(Peripheral Component Interconnect Express,缩写为PCIE)迅速应用在计算机信号传输中。

[0004] 由于PCIE具有带宽高、延迟低、高可靠性等特点,已经在计算机和服务器上逐渐普及,用于支持高速显卡以及其它接口卡对于高速数据传输的要求。目前PCI-SIG组织在21年制定了PCIE3.0,即PCIE 3代的规范,其中PCIE3代传输速率比2代高一倍,其中最大的问题就是信号的损耗,而且信号速率越高,其高频成分越多,所以衰减也就更加厉害,为了解决这个问题在PCIE中使用去加重(De-emphasis)技术,即信号的发射端(TX端)在发送信号时的对跳变bit(代表信号中的高频成分)加大幅度发送,这样就可以部分补偿传输线路对高频成分的衰减。经过实验研究发现,仅仅在发送端对信号高频进行补偿还是不够,PCIE3代标准中有规定在接收端(RX端)还要对信号做均衡(Equalization),即对RX端的接收芯片内部增加一个均衡电路,均衡电路太高接收到的信号中的高频分量,从而对线路的损耗进行进一步的补偿,同时也会出现PCIE3代的芯片结构变得复杂,系统设计难度也更大。所以对于接收端的信号质量测试显得尤其重要。

[0005] 对于PCIE3.0来说,由于速率更高,发送端发出的信号经过长线传输后信号质量总是不会太好,所以接收端使用了复杂的均衡技术来提升接收端的接收能力。由于接收端更加复杂而且其均衡的有效性会显著影响链路传输的可靠性,因此在PCIE3.0时代,接收端的测试变成了必测的项目。所谓接收端测试,就是要验证接收端对于恶劣信号的容忍能力。这就涉及到2个问题,一个是这个恶劣信号怎么定义,另一个是怎么判断被测系统能够容忍这样的恶劣信号。这个恶劣信号实际上是用高性能的误码仪先产生一个纯净的带预加重和前冲(Pre shoot)的8Gbps的信号,然后在这个信号上叠加上精确控制的随机抖动(RJ)、周期抖动(SJ)、差模和共模噪声以及码间干扰(ISI)。为了确定每个成分的大小都符合规范的要求,所以测试之前需要先用示波器对测试信号进行校准,PCIE3.0的接收测试还需要产生带Pre shoot和De-emphasis的信号,这实际上是一个2阶的De-emphasis。目前PCIE3.0接收测试推荐的主要设备:高性能误码分析仪、预加重模块、测试夹具以及高速实时示波器等价格昂贵的高端信号发声设备,整个测试过程操作步骤很多,测试人员需要执行繁琐操作步骤,而且测试过程使用的设备数量较多,设备使用环境搭建成本很高。

[0006] 因此,如何降低测试成本,使用结构简单易于搭建的测试环境完成PCIE测试,是本

领域技术人员亟待解决的技术问题。

发明内容

[0007] 本发明的目的是提供一种测试基板,能够简单、方便地完成PCIE板卡的测试,同时提高利用率并且降低测试成本。

[0008] 为解决上述技术问题,本发明提供一种测试基板,包括安装板、设置于所述安装板上并用于安装待测板卡的多个插槽,以及设置于所述安装板内部并用于在各所述待测板卡插入到对应的所述插槽内时将各所述待测板卡互相连接的通讯线。

[0009] 优选地,所述插槽的数量为两个。

[0010] 优选地,各所述插槽的尺寸均相同。

[0011] 优选地,各所述插槽均为PCIE插槽。

[0012] 优选地,各所述插槽均设置于所述安装板表面。

[0013] 优选地,所述用于连接插槽的通讯线为总线。

[0014] 优选地,所述通讯线包括数据总线与与所述数据总线并行的电源总线。

[0015] 优选地,所述数据总线为CAN总线。

[0016] 本发明所提供的测试基板,主要包括安装板、设置在安装板上的多个插槽和用于将所述待测板卡互相连接的通讯线。其中,插槽主要用于安装待测试板卡,而通讯线设置在安装板内部,主要用于在待测板卡插入到对应的插槽内时,将各个待测板卡互相连接,以进行信息互访。本发明提供的测试基板,当测试基板工作时,将待测板卡同时插入到插槽中,通过通讯线将各待测板卡相连,利用发射端作为信号源,发送特定的测试序列,特定的测试序列通过通讯线进行信息互访,待测板卡之间相互作为信号源进行相互测试,然后将测试结果通过测试图的方式展现。相比于现有技术中测试PCIE板卡时,先进行测试信号校准,然后对待测板卡进行信号收集,最后通过测试软件计算分析获得待测板卡接收信号质量的能量,本发明实施过程中测试人员只需观察误码率,从而调整接收端参数,即可达到测试、调整接收端接收信号质量的目的,无需使用高端信号发生器,降低了测试成本,同时也优化了测试过程。

附图说明

[0017] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据提供的附图获得其他的附图。

[0018] 图1为本发明所提供的一种具体实施方式的整体结构示意图。

[0019] 其中,图1中:

[0020] 插槽—1,通讯线—2,安装板—3。

具体实施方式

[0021] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于

本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0022] 请参考图1,图1为本发明所提供的一种具体实施方式的整体结构示意图。

[0023] 在本发明所提供的一种具体实施方式中,测试基板主要包括若干个插槽1、通讯线2以及安装板3。其中,本发明实施例中的插槽1可以为PCIE插槽,当然,在不同应用场景中,该插槽也可以是其他测试板卡对应的插槽,例如PCI插槽、USB插槽等,且各插槽设置于安装板3上。

[0024] 安装板3可以为矩形板状结构,也可以是圆柱形状结构,当然为了加工方便,优选地将安装板3加工成内部中空且为矩形板状结构。

[0025] 在关于插槽1的一种优选实施例中,各插槽1可以为形状尺寸相同的PCIE插槽,当然,对于测试其他类型的板卡时,此时该多个插槽1形状大小就可能不同,可以依据所测试的板卡形状进行调整插槽1的形状尺寸。

[0026] 当然本发明实施例中对于插槽的数量可以根据实际应用过程中的需求来确定,比如插槽1数量为三个的时候,在使用过程中,需要将三个插槽相互连接起来,形成三个对待测板卡相互访问数据的闭合通讯线路连接。

[0027] 对于插槽1位置的安装设置,在本发明提供的一种优选实施例中,可将其设置在安装板3表面,考虑到安装通讯线2的因素,为了方便安装,同时插槽1的位置也可以设置在安装板3两侧,在此不做过多限制。

[0028] 另外,通讯线2具体可以包括数据总线 and 与数据总线并行的电源总线,并且,通讯线2为了安装方便,可选择在安装板3内部走线,具体的对于通讯线2的安装位置不局限于本实施例所示的位置。

[0029] 不仅如此,考虑到在安装板3上同时进行测试的待测板卡的数量较多时,其功率消耗较大,相应的发热量也急剧增大,为保证测试基板的安全性能,本实施例在安装板3的侧壁上开设了多个通孔,有利于安装板3内部的热量从通孔处向外发散。同时本实施例还在通孔上设置了多个用于散热的鳍片,有助于提高散热效率。

[0030] 进一步的,同样考虑到待测板卡的数量较多时,而各个插槽1的距离又较小时,可能存在存在的干扰问题,针对此,本实施例在安装板3的表面上、相邻两个插槽1之间的部分涂覆有专用于防止电磁干扰的绝缘层。

[0031] 在关于数据总线的一种优选实施例中,数据总线优选地为控制器局域网络(Controller Area Network,CAN,以下简称:“CAN”)总线,当然对于需要进行数据传输的功能总线不仅仅限于CAN总线,还可以是工业标准结构总线(Industry Standard Architecture,ISA)和扩展工业标准结构总线(Extended Industry Standard Architecture,EISA)等其他类型数据总线。

[0032] 进一步的,考虑到测试基板处于工作状态时需要有电源供应,针对此,在本实施例中还可以增加电源总线,且电源总线与数据总线并行设置于安装板内部,当然对于特殊的情况,可以不设置电源总线。

[0033] 如此,以PCIE3.0的测试为例,对于发送端的测试,主要是用宽带示波器捕获其发出的信号并验证其信号质量满足规范要求。按照目前规范中的要求,PCIE 3.0的测试需要至少12GHz带宽的示波器,并配合上相应的测试夹具和测试软件,由于PCIE 3代的信号经过

传输以后信号幅度都已经衰减得很小(典型值是10mV左右),为了保证足够的测量精度,除了示波器的带宽要足够以外,还需要示波器有很低的底噪声才能保证测量的准确性和测量重复性。

[0034] 通过高速示波器显示结果调整TX端的各项参数,依据协议规定的测试各项指标,例如:振幅(swing)和预调预加重(pre-tap pre-emphasis)等参数,根据高速示波器测量结果调整TX端的各项参数,达到符合要求的参数指标,然后进行测试调整。

[0035] 其中当TX端的第一次测试没有达到协议规定的测试各项指标时,需要重新调整TX端测试各项指标,再重复进行连接高速示波器的步骤,重新获得TX端的各项参数结果,进行分析,通过以上测试调整完毕后的TX端信号质量符合协议要求,然后将两块待测板卡同时插到本发明所提供的测试基板的插槽上,通过电源总线供电,两块待测板卡互相作为信号源进行信息互访,并且相互发送测试序列,最后通过数据收集仪器对于分析比对结果进行观察。

[0036] 其中,分析比对结果通常为误码率数据表,利用两块待测卡板和已经测试通过的TX端产生的测试图,根据测试图进行调整RX端参数,从而实现本发明的功能性。

[0037] 综上所述,本发明实施例所提供的测试基板,通过将多块待测板卡同时插入到各自对应的插槽1中,利用发射端作为信号源,发送特定的测试序列,特定的测试序列通过互相连接的通讯线2进行信息互访,待测板卡之间相互作为信号源进行相互测试,然后将测试结果通过测试图的方式展现,测试人员只需观察误码率,从而调整RX端参数,即可达到测试、调整RX端接收信号质量的目的,减少了对于高端信号发生器的使用,降低了测试成本,同时也优化了测试过程。

[0038] 对所公开的实施例的上述说明,使本领域专业技术人员能够实现或使用本发明。对这些实施例的多种修改对本领域的专业技术人员来说将是显而易见的,本文中所定义的一般原理可以在不脱离本发明的精神或范围的情况下,在其它实施例中实现。因此,本发明将不会被限制于本文所示的这些实施例,而是要符合与本文所公开的原理和新颖特点相一致的最宽的范围。

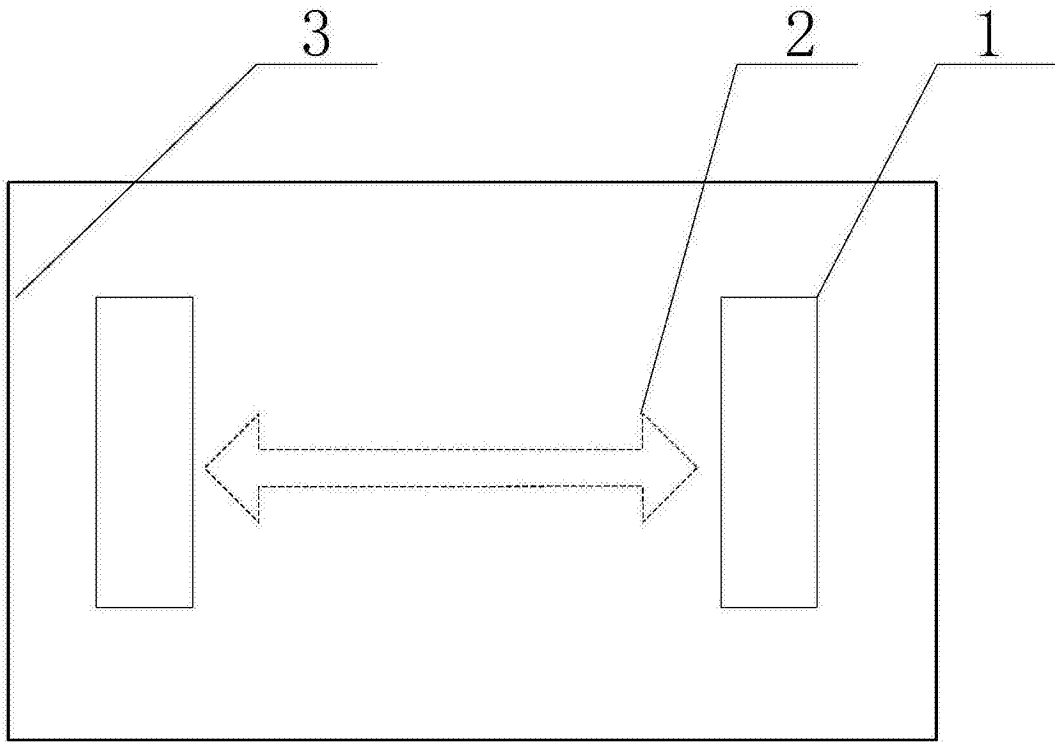


图1