

**(19) 대한민국특허청(KR)**  
**(12) 특허공보(B1)**

(51) Int. Cl.<sup>5</sup>  
G11C 7/00

(45) 공고일자 1993년03월12일  
(11) 공고번호 93-001735

(21) 출원번호	특1989-0008749	(65) 공개번호	특1991-0001750
(22) 출원일자	1989년06월24일	(43) 공개일자	1991년01월31일

(30) 우선권주장  
88-156539 1988년06월24일 일본(JP)  
88-161344 1988년06월29일 일본(JP)

(71) 출원인  
가부시키가이샤 도시바 아오이 죠이치

일본국 가나가와현 가와사키시 사이와이구 호라가와정 72번지도시바 마  
이크로 일렉트로닉스 가부시키가이샤 다케다이 마사다카

일본국 가나가와현 가와사키시 가와사키구 에키마에촌정 25번 1호

(72) 발명자  
나카이 히로토  
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부  
시키가이샤 도시바 다마가와공장내  
이와하시 히로시  
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부  
시키가이샤 도시바 다마가와공장내  
가나자와 가즈히사  
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부  
시키가이샤 도시바 다마가와공장내  
구마가이 시게루  
일본국 가나가와현 가와사키시 가와사키구 에키마에촌정 25번지 1호 도  
시바 마이크로 일렉트로닉스 가부시키가이샤 내  
사토 이사오  
일본국 가나가와현 가와사키시 가와사키구 에키마에촌정 25번지 1호 도  
시바 마이크로 일렉트로닉스 가부시키가이샤 내  
(74) 대리인  
김윤배

**심사관 :** 이택수 (책자공보 제3166호)

**(54) 반도체 기억장치**

**요약**

내용 없음.

**대표도**

**도1**

**영세서**

[발명의 명칭]

반도체 기억장치

[도면의 간단한 설명]

제1도는 종래의 반도체 기억장치를 도시해 놓은 회로도.

제2도는 제1도에 도시된 노드A에서의 과도적인 전류를 도시해 놓은 전류 파형도.

제3도는 종래의 다른 반도체 기억장치를 도시해 놓은 회로도.

제4도 및 제5도는 제3도의 노드A에서의 과도적인 전류를 도시해 놓은 전류파형도.

제6도는 종래 반도체 기억장치에서의 부하회로의 전류-전압특성을 도시해 놓은 특성도.

제7도는 본 발명의 제1실시예에 따른 반도체 기억장치를 도시해 놓은 회로도.

제8도 내지 제11도는 제7도에 도시된 회로의 동작특성을 도시해 놓은 특성도.

제12도 및 제13도는 각각 본 발명의 제2 및 제3실시예에 따른 반도체 기억장치를 도시해 놓은 회로

三

제 14 도는 제 12 도 및 제 13 도에 도시된 어드레스 천이 겸출기의 동작을 설명하기 위한 타이밍 채트.

제15도는 본 발명의 제4실시예에 따른 반도체 기억장치를 도시해 놓은 회로도.

제16도 및 제17도는 제15도에 도시된 반도체 기억장치의 동작특성도.

제18도는 본 발명의 제5실시예에 따른 반도체 기억장치를 도시해 놓은 회로도.

제19a도 내지 제19c도는 각각 제15도 및 제18도에 도시된 반도체 기억장치에서 사용되는 부하회로의 다른 구성예를 도시해 놓은 회로도.

제20도 내지 제22도는 각각 본 발명의 제6 내지 제8실시예에 따른 반도체 기억장치를 도시해 놓은 회로도이다.

\* 도면의 주요부분에 대한 부호의 설명

13A, 13B : 바이어스전위 설정회로 14A, 14B : 부하회로

15 : 센스증폭기 16 : 출력버퍼

17 : 행어드레스버퍼 19 : 열어드레스버퍼

A : 데이터검출노드 ATD : 어드레스천이 검출기

$B$  : 기준전위노드       $BL_1 \sim BL_n$  : 비트선

BT1~BTn : 열게이트 MOSFET, DBI : 더미비트선

DC : 더미셀 MC11~MCmn : 예모리셀

W1 ~ Wm : 워드선

### [발명의 상세한 설명]

### [산업상의 이용분야]

본 발명은 센스증폭기에 사용되는 기준전위 생성회로의 개량이나, 메모리셀에 대한 부하회로의 개량을 도모할 수 있도록 반도체 기업장치에 관한 것이다.

## 「종래의 기술 및 그 문제점」

제1도는 종래의 반도체 기억장치로서, 예컨대 부유게이트형 MOSFET를 메모리셀로서 이용하는 EPROM(Erasable and Programmable ROM)을 도시해 놓은 회로도로서, 제1도중 참조부호 MC11, MC12, ..., MC1n, ..., MCmn은 각각 부유게이트형 MOSFET로 이루어진 메모리셀이고, DC는 부유게이트형 MOSFET로 이루어진 더미셀이며, WL<sub>1</sub>, WL<sub>2</sub>, ..., WL<sub>m</sub>은 각각 워드선(행선), BL<sub>1</sub>, BL<sub>2</sub>, ..., BL<sub>n</sub>은 각각 비트선(열선), DBL은 더미비트선, 11은 행디코더, 12는 열디코더, BT<sub>1</sub>, BT<sub>2</sub>..., BT<sub>n</sub>은 각각 열선택용 열게이트 MOSFET, DBT는 상기 열게이트 MOSFET(BT<sub>1</sub>, BT<sub>2</sub>, ..., BT<sub>n</sub>)와 등가이면서 게이트에 전원전압(Vcc)이 공급되어 항상 도통상태로 되는 MOSFET, 13A는 N챈널 MOSFET(QM1~QM6)로 이루어진 제1바이어스전위 설정회로, 14A는 P챈널 MOSFET(QM7)로 이루어진 제1부하회로, 13B는 N챈널 MOSFET(QD1~QD6)로 이루어진 제2바이어스전위 설정회로, 14B는 P챈널 MOSFET(QD7)로 이루어진 제2부하회로, 15는 센스증폭기, 16은 출력버퍼이다. 또한, 특별히 챤널이 지정되어 있지 않은 MOSFET는 모두 N챈널 MOSFET이다.

그리고, 상기 더미셀(DC)로는 메모리셀[MC ; 메모리셀(MC11~MCm1)중 임의의 1개를 칭함]과 동일한 MOSFET가 이용되고, 더미비트선(DBL)으로도 비트선[BL ; 비트선(BL1~BLn)중 임의의 1개를 칭함]과 동일한 것이 이용된다.

상기 제1바이어스전위 설정회로(13A)의 MOSFET(QM1)의 게이트에는 전원전압(Vcc)보다 낮은 전위로 설정되면서 MOSFET(QM2, QM3)로 구성된 정전위 발생회로의 출력노드전위(V1)가 공급되고, MOSFET(QM4)의 게이트에는 상기 노드전위(V1)보다도 낮은 전위로 설정되면서 MOSFET(QM5, QM6)로 구성된 정전위 발생회로의 출력노드전위(V2)가 공급되는데, 여기서 상기 노드전위(V2)의 값은 메모리셀(MC)로 소정 전류가 흐를 때의 비트선(BL)의 전위에 기판바이어스효과에 의한 상승분을 더한 값, 즉 N채널 MOSFET의 임계전압을 더한 값으로 설정된다. 즉, MOSFET(QM4)는 비트선(BL)이 초기상태인 0V로부터 충전될 때에 비트선(BL)을 빠르게 충전시키기 위해 설치된 초기충전용 MOSFET로, 이 MOSFET(QM4)로 비트선전위가 메모리셀(MC)로 소정 전류가 흐를 때의 비트선전위 이상으로 되면 비도통상태로 된다.

이와 같이 구성된 EPROM에서는 더미셀(DC)의 데이터를 기초로 제2부하회로(14B)에서 생성되는 노드(B)의 기준전위( $V_{ref}$ )와, 행디코더(11) 및 열디코더(12)의 출력에 따라 선택된 메모리셀(MC)로부터 독출된 데이터를 기초로 제1부하회로(14A)에서 생성된 노드(A)의 전위( $V_{in}$ )를 센스증폭기(15)로 비교함으로써 선택된 메모리셀(MC)에 기록되어 있는 데이터를 검출하고, 이 센스증폭기(15)로부터 출력버퍼(16)를 통해 출력시킬 수 된다.

이와 같은 EPROM의 각 메모리셀(MC)에서는 부유게이트에 전자를 선택적으로 주입함으로써 데이터의 프로그램이 행해지게 되는데, 부유게이트에 전자를 주입하는 경우에는 헤디코더(11) 및 열디코더

(12)에 의해 선택된 비트선(BL) 및 워드선(WL)에 통상의 전원전압(Vcc), 예컨대 5V 보다도 충분히 높은 전압, 예컨대 12.5V~21V의 전압을 인가함으로써 행해지게 된다.

즉, 상기한 고전압이 인가되면, 선택된 비트선 및 워드선의 교점에 위치하는 메모리셀의 드레인근방의 챔널영역에서 충격이온화(Impact Ionization)가 발생하게 되고, 이것에 의해 발생된 전자 및 정공쌍중 전자가 메모리셀의 부유게이트로 주입되게 된다. 그리고, 전자가 주입된 메모리셀의 임계전압은 전자가 주입되지 않는 메모리셀의 임계전압보다 높은 값으로 되므로, 부유게이트에 전자가 주입된 메모리셀은 그 제어게이트, 즉 워드선에 "1"레벨의 신호[전원전압(Vcc)]가 공급되어도 오프상태를 유지하게 되고, 이때 전자가 주입되어 있지 않은 메모리셀은 온상태로 된다.

한편, 더미셀(DC)에는 전자가 주입되지 않기 때문에 전자가 주입되어 있지 않은 메모리셀과 등가로 되므로, 이 상태에서는 전위(Vref), (Vin)사이에 전위차가 생기지 않게 된다. 따라서, 전위차가 생기도록 하기 위해 제2부하회로(14B)내의 MOSFET(QD7)의 챔널폭(WD7)을 제1부하회로(14A)내의 MOSFET(QM7)의 챔널폭(WM7) 보다도 크게 해서 MOSFET(QD7)의 전류공급능력이 MOSFET(QM7)보다 커지도록 설정하게 된다. 즉, MOSFET(QD7)의 도통저항을 MOSFET(QM7)의 도통저항보다 작게 설정하게 된다.

구체적으로는 MOSFET(QD7)의 도통저항은 기준전위(Vref)가 전자가 주입된 메모리셀이 선택된 경우의 Vin전위와 전자가 주입되지 않은 메모리셀이 선택된 경우의 Vin전위와의 중간전위로 되도록 설정되어 있다. 따라서, 전자가 주입되지 않은 메모리셀이 선택된 경우에도 전위(Vref)와 전위(Vin)사이에 소정의 전위차가 발생하게 된다. 또한, 전자가 주입된 메모리셀이 선택된 경우, 전위(Vin)는 전원전압(Vcc)에서 부하용 MOSFET(QM7)의 임계전압 만큼을 뺀 전위로 설정된다. 또, 이하에는 전자가 주입된 메모리셀, 즉 임계전압이 높은 메모리셀을 "0"기억메모리셀이라 하고, 전자가 주입되지 않은 메모리셀, 즉 임계전압이 낮은 메모리셀을 "1"기억메모리셀로 해서 설명한다.

상기와 같은 EPROM에서는 센스증폭기(15)에서 독출된 데이터를 출력버퍼(16)로 수신하고, 이 출력버퍼(16)로부터 외부로 데이터를 출력하게 된다.

상기 출력버퍼(16)는 데이터 출력시에 외부의 큰 부하용량을 충·방전시키게 되므로, 이 출력버퍼(16)로부터 데이터가 출력될 때에는 전원에 노이즈가 발생하여 이 노이즈에 의해 전원전압(Vcc)의 값이 변동하게 된다. 그런데, 상기와 같이 제2부하회로(14B)의 MOSFET(QD7)와 제1부하회로(14A)의 MOSFET(QM7)의 전류공급능력이 다르게 되면 이러한 전원전압의 변동에 대한 응답에 차이가 생겨서 전위(Vin)와 전위(Vref)의 대소관계가 역전될 수도 있게 되므로, 이것에 의해 센스증폭기(15)로부터 잘못된 데이터가 출력될 우려가 있게 된다. 따라서, 이와 같은 센스증폭기의 오동작을 초래할 수 있는 출력버퍼의 구동을 가능한한 피하는 것이 필요하다.

그런데, 제1도에 도시된 EPROM에서는 워드선(WL)을 절환하여 "1"기억메모리셀 다음에 다른 워드선의 "1"기억메모리셀의 데이터를 연속해서 독출하는 경우, 비선택상태로 되는 메모리셀은 바로 오프되지만, 새롭게 선택된 메모리셀은 선택된 초기의 단계에서는 충분하게 온되지 않기 때문에 일시적으로 선택된 비트선의 전위가 상승하게 된다. 즉, 상기와 같은 부유게이트구조의 메모리셀의 임계전압은 2V정도이므로, 워드선의 절환시에 메모리셀은 한순간 오프상태로 되고, 이 때문에 비트선(BL)에서는 워드선의 절환시에 충전작용이 일어나서 제2도에 도시된 노드(A)의 전위(Vin)가 일시적으로 상승하게 된다.

그런데, 이와 같이 노드(A)의 전위(Vin)가 일시적으로 상승하는데 반해, 더미셀(DC)은 전원전압(Vcc)에 의해 항상 온상태로 되도록 설정되어 있으므로 제2도에 도시된 바와 같이 기준전위(Vref)는 항상 일정하게 된다. 따라서, 제2도에 도시된 바와 같이 전위(Vin)가 기준전위(Vref) 보다 커지게 됨으로써 센스증폭기(15)는 일시적으로 다른 논리레벨의 데이터를 출력하게 되고, 이로 인해 출력버퍼(16)로부터의 출력데이터는 짧은 기간에 "1"레벨→"0"레벨→"1"레벨로 변화하게 된다.

그리고 이와 같은 출력데이터의 변화는 상기와 같은 전원노이즈의 발생원인으로 되고, 더욱이 출력버퍼(16)의 출력데이터가 "0"레벨로부터 "1"레벨로 변화할 때는 출력버퍼(16)에서 출력용량이 점지전극으로 방전되는 도중에 데이터가 절환되어 그 출력용량이 다시 전원(Vcc)에 의해 충전되는 상태로 되기 때문에 출력버퍼트랜지스터로 흐르는 전류가 단시간에 크게 변화된다. 이 때문에 배선에 존재하는 인더턴스성분에 의해 점지전압이 크게 변동하여 EPROM내부의 회로가 오동작할 우려가 있게 된다.

이와 같은 점지전압의 변동에 의한 오동작을 방지하기 위해 종래에는 제3도에 도시된 바와 같은 구성의 EPROM이 고려되었다.

제3도에 도시된 EPROM은 워드선(WL<sub>1</sub>~WL<sub>m</sub>)에 대응해서 더미셀(DC<sub>1</sub>~DC<sub>m</sub>)이 설치되고, 이 더미셀(DC<sub>1</sub>~DC<sub>m</sub>)의 드레인이 더미비트선(DBL)에 공통접속됨과 더불어 그 더미셀(DC<sub>1</sub>~DC<sub>m</sub>)의 제어게이트가 워드선(WL<sub>1</sub>~WL<sub>m</sub>)에 각각 접속된 구성으로 되어 있다.

이와 같은 구성으로 하게 되면, 각 더미셀(DC<sub>1</sub>~DC<sub>m</sub>)도 워드선(WL<sub>1</sub>~WL<sub>m</sub>)의 신호에 따라 제어되므로, 워드선(WL<sub>1</sub>~WL<sub>m</sub>)을 절환해서 "1"기억메모리셀의 다음에 다른 워드선의 "1"기억메모리셀의 데이터를 연속해서 독출하는 경우에, 더미비트선(DBL)도 비트선(BL)과 마찬가지로 워드선절환시에 부하회로(14B)에 의한 충전작용을 받게 된다. 따라서, 제4도에 파형도로서 도시된 바와 같이 기준전위(Vref)도 전위(Vin ; "1"레벨)의 상승과 마찬가지로 상승하게 된다. 즉, 이 경우에는 전위(Vin)는 기준전위(Vref)보다 커지지 않게 되고, 출력버퍼(16)로부터의 출력데이터도 변환되지 않게 되며, 점지전압의 변동도 발생되지 않게 된다.

그러나, 전위(Vin), (Vref)의 상승은 워드선 절환시의 충전작용에 의해 생기기 때문에 부하회로(14A, 14B)내의 MOSFET(QM7, QD7)는 그 전류공급능력차에 의해 상승정도가 다르게 된다. 즉, 상기와 같이 MOSFET(QD7)쪽이 전류공급능력이 크게 설정되어 있기 때문에 제4도에 도시된 바와 같이 전위(Vin ; "1"레벨)에 비해 전위(Vref)는 상당히 높은 레벨까지 상승하게 된다. 이 때문에, 워드선을

절환해서 "1" 기억메모리셀로부터 "0" 기억메모리셀의 데이터를 독출하는 경우의 독출시간은 제5도에 파형도로 도시된 바와 같이 전위(Vref)가 항상 일정한 때에 비해 T1에 해당되는 시간만큼 지연되게 된다.

이와 같이 종래의 반도체 기억장치에서는 선택된 워드선이 절환되는 과정시간에 입력전위가 변동하게 됨으로써 전원에 노이즈가 발생되어 오동작이 유발된다는 결점이 있었다. 또한, 이와 같은 결점을 해결하도록 된 종래의 반도체 기억장치에서는 입력전위의 변동에 비해 기준전위의 변동이 커지기 때문에 선택된 워드선이 절환되는 순간에 데이터독출속도가 지연된다고 하는 결점이 있었다.

그런데, 상기 종래의 반도체 기억장치에 있어서, 워드선 및 비트선이 절환되어 임계전압이 높은 메모리셀(MC)이 선택된 경우, 선택된 비트선(BL)의 제1바이어스전위 설정회로(13A)내의 N채널 MOS트랜지스터(QM4) 및 제1부하회로(14A)의 P채널 MOS트랜지스터(QM7)를 통해서 흐르는 전류에 의해 총전되게 되는데, 이때 트랜지스터(QM4)의 도통저항은 부하회로(14A)내의 트랜지스터(QM7)보다도 작게 설정되므로 비트선(BL)은 트랜지스터(QM4)에 의해 급속히 총전되게 된다. 그리고, 비트선(BL) 전위가 메모리셀(MC)에 소정 전류가 흐를 때의 비트선전위와 동일하게 될 때까지 총전되게 되면, 그 트랜지스터(QM4)는 비도통상태로 되도록 직류바이어스전위(V2)가 설정되게 되고, 트랜지스터(QM4)가 비도통상태로 된 후에도 비트선(BL)은 트랜지스터(QM7) 및 트랜지스터(QM1)를 통해서 계속 총전되게 된다.

그리고, 비트선전위가 상승하여 비트선전위가 트랜지스터(QM1)의 게이트에 공급되는 직류바이어스전압(V1) 보다도 그 N채널 MOS트랜지스터(QM1)의 기판바이어스효과를 고려한 임계전압 만큼 낮은 전위로 되면, 그 트랜지스터(QM1)가 비도통상태로 되게 된다. 그 결과 노드A의 전위(Vin)은 전원전압(Vcc)보다도 P채널 MOS트랜지스터(QM7)의 임계전압분 만큼 낮은 소정의 하이레벨로 된다.

이와 반대로, 임계전압이 낮은 메모리셀(MC)이 선택되어 그 메모리셀(MC)로 소정의 전류가 흐르게 될 때, 노드A의 전위(Vin)는 트랜지스터(QM7)의 도통저항에 의해 설정되는 소정의 로우레벨로 된다.

한편, 노드B의 전위(Vref)는 상기 노드 A의 전위(Vin)의 진폭의 중간전위로 설정되므로, 임계전압이 낮은 메모리셀이 선택된 경우에는 노드A의 전위(Vin)가 노드 B의 전위(Vref)보다도 낮게 됨과 더불어 센스 증폭기(15)로부터는 논리 "1"의 신호가 출력되고, 반대로 임계전압이 높은 메모리셀이 선택된 경우에는 노드A의 전위(Vin)가 노드B의 전위(Vref)보다도 높게 되므로 센스증폭기(15)로부터는 논리 "0"의 신호가 출력된다.

제6도에 상기한 종래의 반도체 기억장치에서의 제1부하회로(14A)의 전압·전류특성을 실선으로 도시해 놓았는바, 제6도에서 획축은 노드A의 전위(Vin)를, 종축은 그 부하회로(14A)에 흐르는 부하전류를 각각 나타낸다. 그리고, 임계전압이 낮은 메모리셀이 선택되어, |Ice|의 메모리셀전류(I)가 흐를 때의 노드A의 전위를 Vin("1"레벨), 임계전압이 높은 메모리셀이 선택된 때의 노드 A의 전위를 Vin("0"레벨), 노드 B의 전위를 Vref로 표시했다.

그런데, 제1도에 도시된 바와 같은 구성으로 된 불휘발성 반도체 기억장치의 데이터 독출속도는 잘 알려진 바와 같이 워드선의 선택에 필요한 시간과 비트선에 접속되어 있는 접합용량의 총·방전에 필요한 시간이 큰 부분을 차지하고 있는데, 워드선에 있어서의 신호지역시간은 워드선을 구성하는 배선재료의 저항값에 크게 의존하기 때문에 최근에는 종래에 사용되고 있던 다결정실리콘재료 대신에, 보다 저항값이 작은 텅스텐 실리사이드등의 폴리사이드를 사용하고 있다. 그 결과 데이터의 독출속도는 비트선에 접속되어 있는 접합 용량의 총·방전속도에 크게 의존하게 된다. 특히, 비트선이 절환되어 임계전압이 높은 메모리셀이 선택된 경우에는 새롭게 선택된 비트선은 0V로부터 총전되기 때문에 독출속도가 제일 많이 지연되게 된다. 따라서, 고속동작을 실현하기 위해서는 그 경우, 즉 "0"레벨베이터를 독출하는 경우의 독출동작을 바르게 할 필요가 있다.

종래에는 노드A의 전위가 Vin("1"레벨) 이하일 때에는 초기총전용 트랜지스터 (QM4)를 통해서 비트선(BL)을 고속으로 총전하도록 되어 있다.

그러나, 비트선(BL)의 전위가 Vin("1"레벨)이상으로 되면 트랜지스터(QM4)가 비도통상태로 되어 비트선(BL)을 총전시키는 트랜지스터는 부하회로(14A)내의 트랜지스터(QM7)만으로 된다. 그런데, 이 P채널 트랜지스터(QM7)는 게이트가 그 드레인에 접속되어 있기 때문에 노드A의 전위(Vin)가 상승하게 되면 도통저항이 급격히 높아지면서 총전전류는 급격히 감소하게 된다. 이 때문에 노드A의 전위가 Vin("1"레벨)으로부터 Vin("0"레벨)까지 상승하기에는 많은 시간이 필요로 되기 때문에 독출속도가 지연되게 된다.

한편, 트랜지스터(QM7)의 챔널폭을 크게 해서 도통저항이 작아지도록 하게 되면, 노드A의 전위가 전위[Vin("1"레벨)]로부터 전위[Vin("0"레벨)]로 될 때까지의 시간을 단축할 수 있지만, 이렇게 트랜지스터(QM7)의 도통저항을 작게 설명하게 되면 전원노이즈에 대한 마진이 저하되는 것과 같은 문제가 생기게 된다.

제6도에 점선으로 도시되어 있는 특성은 트랜지스터(QM7)의 도통저항을 1/2로 설정한 경우의 특성을 나타낸 것으로, 트랜지스터(WM7)의 도통저항을 1/2로 설정하게 되면, "1"레벨데이터의 기억셀, 즉 임계 전압이 낮은 셀이 선택된 때의 노드 A의 전위 (Vin)는 Vin("1"레벨)'로 된다.

통상, 노드B의 전위(Vref)는 "1"레벨데이터의 기억셀이 선택된 때의 노드A의 전위[Vin("1"레벨)]와, "0"레벨데이터의 기억셀, 즉 임계전압이 높은 셀이 선택된 때의 노드A의 전위[Vin("0"레벨)]의 정확히 중간전위로 되도록 설정된다. 따라서, 트랜지스터(QM7)의 도통저항을 1/2로 설정하는 경우의 노드B의 전위는 [Vin("0"레벨)-Vin("1"레벨)]/2인 기준 전압으로 되도록 제2부하회로(14B)내의 P채널 MOS트랜지스터(QD7)의 도통저항을 설정해야 하는 바, 그 결과 "1" 또는 "0"레벨 데이터의 기억셀이 선택된 때 노드B의 전위와 노드A의 전위사이의 차는 [Vin("1"레벨)-Vin("0"레벨)]/2만큼 작아지게 된다.

일반적으로 출력버퍼회로로부터 데이터가 출력될 때에는 상기한 바와 같이 전압이 크게 변동되기 때

문에 노드A와 노드B의 전위도 변동하게 된다. 그리고 제1 및 제2부하회로(14A, 14B)에서는 도통저항의 값에 차이가 있기 때문에 노드A 및 노드B의 전위변화정도가 다르게 되는데, 이때 양 노드간의 전위차가 작아지게 되면 접지전압이 변동될 때에 센스증폭기(15)가 데이터를 잘못 검출할 우려가 있게 된다.

이와 같이, 종래의 반도체 기억장치에 있어서는 부하회로의 도통저항의 값을 작게 설정해서 독출속도의 고속화를 도모하게 되면 전원노이즈에 의해 오동작이 쉽게 일어나게 된다는 문제가 있게 된다.

#### [발명의 목적]

본 발명은 상기한 점을 감안해서 발명된 것으로, 그 제1목적은 워드선의 선택이 절환되는 과도기간에도 전원에 노이즈가 발생되지 않고, 또 데이터독출속도의 향상을 도모할 수 있도록 된 반도체 기억장치를 제공함에 있고, 그 제2목적은 노이즈에 의한 전원전압의 변동에 대해서 높은 동작마진을 갖추고, 동작속도의 고속화를 용이하게 도모할 수 있도록 된 반도체기억장치를 제공함에 있다.

#### [발명의 구성 및 작용]

제1목적을 실현하기 위한 본 발명의 제1실시예에 따른 반도체 기억장치는, 워드선(WL<sub>1</sub>~WL<sub>m</sub>)과, 이 워드선(WL<sub>1</sub>~WL<sub>m</sub>)에 의해 선택되는 메모리셀(MC<sub>11</sub>~MC<sub>m</sub>), 이 메모리셀(MC<sub>11</sub>~MC<sub>m</sub>)로부터의 데이터가 인가되는 비트선(BL<sub>1</sub>~BL<sub>n</sub>), 이 비트선(BL<sub>1</sub>~BL<sub>n</sub>)에 접속되는 제1부하회로(14A), 상기 워드선(WL<sub>1</sub>~WL<sub>m</sub>)에 의해 선택되는 제1더미셀(DC<sub>1</sub>~DC<sub>m</sub>), 이 제1더미셀(DC<sub>1</sub>~DC<sub>m</sub>)이 접속되는 더미비트선(DBL), 이 더미비트선(DBL)에 접속되는 제2부하회로(14B) 및, 상기 비트선(BL<sub>1</sub>~BL<sub>n</sub>)과 상기 더미비트선(DBL)의 전위차를 기초로 상기 메모리셀(MC<sub>11</sub>~MC<sub>m</sub>)의 기억데이터를 검출하는 센스증폭기(15)를 구비하여 이루어진 반도체 기억장치에 있어서, 상기 더미비트선(DBL)에 접속되면서 게이트에 소정 전위가 공급되는 제2더미셀(DC<sub>m</sub>+1)을 더 구비하여 구성된 것을 특징한다.

또한, 상기 제1목적을 실현하기 위한 본 발명의 제2실시예에 따른 반도체 기억장치는, 워드선(WL<sub>1</sub>~WL<sub>m</sub>)과, 이 워드선(WL<sub>1</sub>~WL<sub>m</sub>)에 의해 선택되는 메모리셀(MC<sub>11</sub>~MC<sub>m</sub>), 이 메모리셀(MC<sub>11</sub>~MC<sub>m</sub>)로부터의 데이터가 인가되는 비트선(BL<sub>1</sub>~BL<sub>n</sub>)에 접속되는 제1부하회로(14A), 상기 워드선(WL<sub>1</sub>~WL<sub>m</sub>)에 의해 선택되는 제1더미셀(DC<sub>1</sub>~DC<sub>m</sub>), 이 제1더미셀(DC<sub>1</sub>~DC<sub>m</sub>)이 접속되는 더미비트선(DBL), 이 더미비트선(DBL)에 접속되는 제2부하회로(14B) 및, 상기 비트선(BL<sub>1</sub>~BL<sub>n</sub>)과 상기 더미비트선(DBL)의 전위차를 기초로 상기 메모리셀(MC<sub>11</sub>~MC<sub>m</sub>)의 기억데이터를 검출하는 센스증폭기(15)를 구비하여 이루어진 반도체 기억장치에 있어서, 어드레스 입력의 변화를 검출해서 펄스신호를 발생시키는 펄스신호 발생회로(18)와, 상기 더미비트선(DBL)에 접속되면서 상기 펄스신호에 따라 상기 더미비트선(DBL)에 대한 전류공급능력이 제어되는 제2부하회로(14B)를 더 구비하여 구성된 것을 특징으로 한다.

그리고, 상기 제1목적을 실현하기 위한 본 발명의 제3실시예에 따른 반도체 기억장치는, 워드선(WL<sub>1</sub>~WL<sub>m</sub>)과 이 워드선(WL<sub>1</sub>~WL<sub>m</sub>)에 의해 선택되는 메모리셀(MC<sub>11</sub>~MC<sub>m</sub>), 이 메모리셀(MC<sub>11</sub>~MC<sub>m</sub>)로부터의 데이터가 인가되는 비트선(BL<sub>1</sub>~BL<sub>n</sub>)이, 이 비트선(BL<sub>1</sub>~BL<sub>n</sub>)에 접속되는 제1부하회로(14A), 상기 워드선(WL<sub>1</sub>~WL<sub>m</sub>)에 의해 선택되는 제1더미셀(DC<sub>1</sub>~DC<sub>m</sub>), 제1더미셀(DC<sub>1</sub>~DC<sub>m</sub>)이 접속되는 더미비트선(DBL) 및 상기 비트선(BL<sub>1</sub>~BL<sub>n</sub>)과 상기 더미비트선(DBL)의 전위차를 기초로 상기 메모리셀(MC<sub>11</sub>~MC<sub>m</sub>)의 기억데이터를 검출하는 센스증폭기(15)를 구비하여 이루어진 반도체 기억장치에 있어서, 어드레스 입력의 변화를 검출해서 펄스신호를 발생시키는 펄스신호 발생회로(18)와, 상기 더미비트선(DBL)에 접속되면서 상기 펄스신호에 따라 상기 더미비트선(DBL)에 대한 전류공급능력이 제어되는 제2부하회로(14B)를 더 구비하여 구성된 것을 특징으로 한다.

상기와 같이 구성된 본 발명에 의하면, 항상 또는 워드선 절환시의 과도시간에 온상태로 제어되는 제2더미셀을 더미비트선에 접속하거나, 또는 워드선 절환시에 더미비트선으로 흐르는 전류량을 변화시킴으로써 워드선 절환시의 기준전위 상승을 억제할 수 있게 된다.

더욱이, 제2부하회로의 더미비트선에 대한 전류공급능력을 워드선 절환시의 과도기간에 변화시킴으로써 워드선 절환시의 기준전위상승을 억제할 수 있게 된다.

또한, 상기 제2목적을 실현하기 위한 본 발명의 제4실시예에 따른 반도체 기억장치는, 메모리셀(MC)과, 소오스·드레인중 한쪽이 상기 메모리셀(MC)의 드레인에 결합되면서 다른 한쪽이 데이터검출노드(A)에 각각 결합됨과 더불어 그 게이트에 제1직류바이어스 전압(V1)이 공급되는 제1MOS트랜지스터(QM1)와, 소오스·드레인중 한쪽이 상기 메모리셀(MC)의 드레인에 결합되면서 다른 한쪽이 상기 제1전원전위(Vcc)에 결합됨과 더불어 게이트에 상기 제1직류바이어스전압(V1) 보다 낮은 제2직류바이어스전압(V2)이 공급되는 제2MOS트랜지스터(QM4) 및 상기 데이터검출노드(A)에 접속되어 상기 메모리셀(MC)의 기억 데이터를 독출하는 센스증폭기(15)를 구비하여 이루어진 반도체 기억장치에 있어서, 상기 데이터검출노드(A)와 제1전원전위(Vcc) 사이에 삽입되면서 상기 메모리셀(MC)이 도통상태인 때에는 정전류동작을 하는 제1부하수단과, 상기 메모리셀(MC)이 비도통상태인 때에는 상기 데이터검출노드(A)의 전위가 상기 제1전원 전위(Vcc) 보다도 낮아지도록 제어하는 제2부하수단이 직렬접속되고, 상기 제1부하수단의 도통저항값이 상기 메모리셀(MC)이 도통상태인 때의 상기 제2부하수단의 도통저항값보다 크게 되도록 설정된 부하회로(14A)를 더 구비하여 구성된 것을 특징으로 한다.

상기와 같이 구성된 본 발명에 따른 반도체 기억장치에 의하면, 메모리셀이 도통되어 소정의 전류가 흐를 때에는 주로 부하회로내의 제1부하수단에 의해 부하회로를 흐르는 전류량이 결정되고, 부하회로에서는 도통저항값은 주로 그 제1부하수단에서의 도통저항에 의해 결정된다.

한편, 메모리셀이 비도통상태인 때에는 데이터검출노드의 전위가 상승하여 그 값이 소정값에 도달된 때에는 부하회로내의 제2부하수단이 비도통상태로 되므로 데이터 검출노동의 전위는 전원전압보다 소정값만큼 낮은 값으로 설정되게 된다.

#### [실시예]

이하, 예시도면을 참조해서 본 발명에 따른 1실시예를 상세히 설명한다.

제7도는 본 발명의 1실시예에 따른 반도체 기억장치로서, 종래와 마찬가지로 부유게이트형 MOSFET를 메모리셀로 이용한 EPROM에 본 발명을 적용한 경우의 전체구성을 도시해 놓은 회로도이다.

제7도에 있어서, 참조부호 MC11, MC12, …MC1n, …, MCm은 각각 부유게이트형 MOSFET로 이루어진 메모리셀이고, DC1, DC2, …, DCm은 각각 부유 게이트형 MOSFET로 이루어진 더미셀(제1더미셀)이며, DCm+1은 부유게이트형 MOSFET로 이루어진 더미셀(제2더미셀), WL1, WL2, …, WLm은 각각 워드선, BL1, BL2, …, BLn은 각각 비트선, DBL은 더미비트선, 11은 행디코더, 12는 열디코더 BT1, BT2, …, BTn은 각각 열선택용 열게이트 MOSFET, DBT는 열게이트 MOSFET와 등가이면서 게이트에 전원전압(Vcc)이 공급되어 항상 도통상태로 디는 MOSFET, 13A는 N채널 MOSFET(QM1~QM6)로 이루어진 제1바이어스전위 설정회로, 14A는 P채널 MOSFET(QM7)로 이루어진 제1부하회로, 13B는 N채널 MOSFET(QD1~QD6)로 이루어진 제2바이어스전위 설정회로, 14B는 P채널 MOSFET(QD7)로 이루어진 제2부하회로, 15는 센스 증폭기, 16은 출력버퍼이다. 또 본 실시예의 경우에도 특별히 채널을 지정하지 않은 MOSFET는 모두 N채널 MOSFET이다.

상기 각 더미셀(DC1, DC2, …, DCm)은 각 드레인이 상기 더미비트선(DBL)에 공통으로 접속되고, 또 각 게이트는 상기 워드선(WL1~WLm)에 각각 접속되며, 각 소오스는 접지되어 있다. 더욱이, 상기 더미셀(DCm+1)의 드레인은 상기 더미비트선(DBL)에 접속되는데, 그 제어게이트에는 전원전압(Vcc)이 항상 공급되고, 소오스는 접지되어 있다.

상기 제1 및 제2바이어스전위 설정회로(13A, 13B)는 각각 종래의 것과 동일한 구성으로 되어 있다. 엘르들어, 제1바이어스전위 설정회로(13A)는 열게이트 MOSFET(BT1~BTn)의 공통접속점과 노드A의 사이에 MOSFET(QM1)의 소오스·드레인간의 전류통로가 삽입되어 있고, 그 MOSFET(QM1)의 게이트에는 2개의 MOSFET(QM2, QM3)에 의해 형성된 전원전압(Vcc)보다 낮은 직류바이어스전위(V1)가 공급된다. 또, 상기 열게이트 MOSFET(BT1~BTn)의 공통접속점과, 전원전압(Vcc)사이에는 MOSFET(QM4)의 소오스·드레인간의 전류통로가 삽입되어 있는데, 이 MOSFET(QM4)의 게이트에는 2개의 MOSFET(QM5, QM6)에 의해 형성된 상기 직류바이어스전위(V1)보다도 낮은 값의 직류바이어스전위(V2)가 공급된다.

그리고, 이 직류바이어스전위(V2)의 값은, 임계전압이 낮게 설정되어 있는 메모리셀이 선택되어 그 소오스·드레인전류통로에 소정 전류가 흐르는 때의 비트선전위에 기판바이어스효과를 고려한 N채널 MOSFET의 임계전압을 더한 값으로 설정된다. 또한 제2바이어스전위 설정회로(13B)는 그 MOSFET(QD1~QD6)를 제1바이어스전위 설정회로(13A)의 MOSFET(QM1~QM6)에 대응시킨 것으로, 실질적으로 동일한 구성을 되어 있다.

또한, 상기 제1바이어스전위 설정회로(13A)내에 설치되어 있는 MOSFET(QM4)는 선택된 비트선(BL)이 초기값인 OV로부터 충전될 때에 그 비트선을 빠르게 충전시킬 목적으로 설치된 충전용 트랜지스터로 이 MOSFET(QM4)는 비트선전위가 메모리셀에 소정 전류가 흐를 때의 비트전위 이상으로 되면 오프상태로 되도록 직류바이어스전위(V2)가 설정되어 있다.

더욱이 제1 및 제2부하회로(14A, 14B)도 각각 종래와 동일한 구성으로 되어 있다. 즉, 제1부하회로(14A)에서는 노드A와 전원전압(Vcc)의 사이에 P채널 MOSFET(QM7)의 소오스·드레인간 전류통로가 삽입되어 있고, 그 MOSFET(QM7)의 게이트는 그 드레인측, 즉 노드A에 접속되어 있다.

또, 제2부하회로(14B)는 MOSFET(QD7)를 상기 MOSFET(QM7)에 대응시킨 것으로, 이것도 마찬가지로 구성되어 있다.

그러나, 더미비트선(DBL)에는 그 게이트에 전원(Vcc)이 항상 공급되어 항상 온상태로 되어 있는 더미셀(DCm+1)이 접속되어 있기 때문에, 그 더미비트선(DBL)은 더미셀(DCm+1)과 선택된 워드선(WL)에 접속된 더미셀[DC ; 더미셀(DC1~DCm)중 임의의 1개를 칭함]을 통해서 방전된다. 이 때문에 기준전위(Vref)가 입력전위(Vin)의 "1"레벨과 "0"레벨의 정확한 중간전위를 유지하게 됨으로써 제2부하회로(14B)내의 부하용 MOSFET(QD7)의 전류공급능력은 상기 제1도에 도시된 종래의 장치의 MOSFET(QD7)이 전류공급능력보다 약 2배 정도로 설정되게 된다.

이어 상기와 같이 구성된 반도체 기억장치에 있어서, 워드선을 절환하여 서로 다른 워드선에 의해 선택되는 2개의 메모리셀로부터 연속해서 데이터를 독출하는 경우의 동작을 설명한다.

워드선의 절환을 행할 때에는 제8a도에 파형도로서 도시되어 있는 바와같이, 비선택상태로 되는 쪽의 워드선(WLi; i=1, 2---, m)의 전위는 "1"레벨로부터 "0"레벨로 저하되고, 선택상태로 되는 쪽의 워드선(WLj; j=1, 2, ---, m)의 전위는 "0"레벨로부터 "1"레벨로 상승하게 된다.

이 워드선의 절환시에 더미셀에 흐르는 전류를 제8도에 도시해 놓았다. 즉, 도면중 전류(x)의 값은 전원(Vcc)이 제어게이트에 공급된 때에 선택된 더미셀(DC)에 흐르는 전류와 동일하다. 본 실시예에서는 더미셀(DC)은 메모리 매트릭스내의 메모리셀과 동일한 구조와 동일한 채널폭, 동일 채널길이를 갖는 부유게이트구조의 MOS트랜지스터를 사용하게 되므로, 전원(Vcc)이 제어게이트에 공급될 때 메모리셀에 흐르는 전류는 x와 동일하게 된다. 이 때문에 더미셀(DCm+1)에 흐르는 전류도 x와 동일하게 되고, 워드선이 전환되기 전에 모든 더미셀에 흐르는 전류는 2x로 된다.

더미셀(DC)에 흐르는 전류의 최소값을 y로 표시하면, 본 실시예에서는 워드선의 전환시에 모든 더미셀에 흐르는 전류의 최소값은 x+y로 된다.

또, 제8b도중의 일점쇄선은 상기한 제8a도에서 설명한 워드선의 전환시에 상기 제1도에 도시된 종래장치의 더미셀에 흐르는 전류의 변화를 나타낸 것이다.

제9도는 동설에 흐르는 전류에 대한 기준전위(Vref)의 레벨(실선)을 도시해 놓은 도면이다. 또, 제9도에는 기준 전위(Vref)와 더불어 "1"기억메모리셀의 데이터를 독출할 때에 얻어지는 노드A의 전위[Vin("1" 레벨)] 및 "0"기억메모리셀의 데이터를 독출할 때는 얻어지는 노드A의 전위[Vin("0" 레벨)]인 메모리셀에 흐르는 전류에 대한 레벨(실선)과, 제1도에 도시된 종래 반도체 기억장치의 더미셀에 흐르는 전류에 대한 기준전압(Vrdf)의 레벨(일점쇄선)도 병행해서 도시되어 있다.

본 실시예에서는 어느 하나의 워드선이 선택될 경우, 그 선택된 워드선에 더미셀 외에 항상 구동되고 있는 더미셀(DC<sub>m+1</sub>)이 더미비트선(DBL)에 접속되어 있기 때문에, 2배의 셀전류가 흐른 때에 종래와 동일한 값의 기준전위가 얻어지도록 제2부하회로(14B)내의 MOSFET(QD7)의 전류 공급능력을 설정하게 된다. 즉 제1도에 도시된 종래 장치에서의 기준전위(Vref)는 더미셀에 흐르는 전류값이 2x인 점(P2)에서 [Vin("0"레벨)-Vin("1"레벨)]/2로 되도록 MOSFET(QD7)의 도통저항이 설정된다.

이와 같은 전위(Vref)의 변화 특성을 가짐으로서 인해 워드선의 절환시에 더미셀로 흐르는 전류의 값이 가장 작아져서 (전류값 y의 점) 전위[Vin("1"레벨)]가 도면중의 P3점까지 상승될 때, 제1도에 도시된 종래의 반도체 기억장치에서의 기준전위(Vref)는 P4점의 전위까지 상승하게 된다. 이에 대해 본 실시예에 따른 반도체 기억장치의 경우에 기준전위(Vref)는 더미셀로 흐르는 전류가 x+y로 되기 때문에 P5점의 전위까지밖에 상승하지 않게 된다.

제10도는 상기 실시예에 있어서, 워드선을 절환해서 "1"기억, 즉 임계전이 낮은 메모리셀의 다음에 다른 워드선 "1"기억메모리셀의 데이터를 연속해서 독출하는 경우의 기준전위(Vref)와 전위[Vin("1"레벨)]의 변화를 도시한 파형도로서, 상기한 바와 같이 워드선의 절환시 더미셀로 흐르는 전류가 가장 작아진 때에는 기준전위(Vref)가 상승하는 레벨은 상기 제4도에 도시된 바와 같이, 제3도에 도시된 종래 반도체 기억장치의 기준전위(Vref)의 상승 정도에 비해 대폭 억제된다.

더욱이, 제1도에 도시된 종래 반도체 기억장치에서 알 수 있는 바와 같이 기준전위(Vref)가 전위(Vin)와 비교되지 않기 때문에 출력버퍼동작에 의한 전원노이즈의 발생이 억제되게 된다.

또한, 제11도에 파형도로서 나타낸 바와 같이 워드선을 절환해서 "1"기억메모리셀로 "1"기억메모리셀의 데이터를 독출하는 경우에는 제11도에 점선으로 도시되어 있는 종래의 기준전위 상승에 비해 일정쇄선으로 도시되어 있는 본 실시예에 다른 따른 반도체 기억장치에서의 기준 전위 상승이 작아진 만큼 독출속도가 빨라지기 때문에, T2 만큼 데이터 독출속도의 고속화를 도모할 수 있게 된다.

또, 제7도에 도시된 실시예에서는 더미셀(DC<sub>m+1</sub>)의 게이트에 전원전압(Vcc)을 공급하는 경우에 대해서 설명했지만, 이는 일정전압이면 전원전압(Vcc)에 한정되지 않고, 그 일정전압의 레벨을 기초로 기준전위를 조정하는 것도 가능하게 된다.

또한, 본 실시예에서는 워드선에 의해 제어되는 m개의 더미셀(DC1~DC<sub>m</sub>)과 더미셀(DC<sub>m+1</sub>)을 동일한 더미비트선(DBL)으로 접속하는 경우에 대해 설명했지만, 더미셀(DC<sub>m+1</sub>)에 대해 독립적으로 더미비트선과 열게이트 MOSFET와 등가인 MOSFET 및 부하회로를 각각 설치하고, 양 부하회로의 출력을 센스증폭기(15)의 입력에 접속하여도 동일한 효과를 얻을수 있게 된다.

제12도는 본 발명의 제2실시예에 따른 반도체 기억장치를 도시해 놓은 회로도로서, 본 실시예에 따른 반도체 기억장치도 제7도에 도시된 반도체 기억장치와 마찬가지로 부유게이트형 MOSFET를 메모리셀로서 이용한 EEPROM에 본 발명을 실시한 것이다.

본 실시예에 따른 반도체 기억장치가 제7도에 도시된 제1실시예에 따른 반도체 기억장치와 다른 점은 상기 더미셀(DC<sub>m+1</sub>)의 게이트에 항상 공급해준 전원전압(Vcc)을 공급하는 대신에 행어드레스가 공급되는 행어드레스버퍼(17)의 출력을 인가받아, 행어드레스가 변화된 후 워드선이 절환될 때에 소정의 펄스폭을 갖춘 펄스신호를 발생시키는 어드레스천이 검출기(18; 펄스신호 발생회로; 이하, ATD라 칭함)를 설치하고, 이 ATD(18)로부터의 출력펄스신호를 상기 더미셀(DC<sub>m+1</sub>)의 게이트에 공급하도록되어 있는 점이다.

또한, 제12도에 있어서 참조부호 19는 열어드레스가 공급되는 열어드레스버퍼이고, 17은 행어드레스가 공급되는 행어드레스버퍼로, 상기 행디코더(11) 및 열디코더(12)에는 이 행어드레스버퍼(17)와 열어드레스 버퍼(19)의 출력이 공급되도록 되어 있다. 또 도시되지 않았지만 제7도에서 설명한 실시예에 대해서도 행어드레스버퍼와 열어드레스버퍼는 본 실시예와 동일하게 설치되어 있다.

본 실시예에서는 행어드레스가 변화하여 워드선이 절환되는 과도기간에 ATD(18)로부터 펄스신호가 발생되므로, 워드선이 절환될 때에만 더미셀(DC<sub>m+1</sub>)이 온상태로 된다. 이에 따라 워드선의 절환시에 더미비트선(DBL)에 흐르는 전류량이 증가되게 됨으로써 기준전위(Vref)의 상승이 억제되게 된다.

또, 본 실시예에 따른 반도체 기억장치의 경우, 더미셀(DC<sub>m+1</sub>)은 워드선이 절환되는 과도기간 이외에는 오프상태로 되므로, 제2도에 도시된 부하회로(14B)내의 부하용 MOSFET(QD7)의 전류구동능력은 상기 제3도에 도시된 종래 반도체 기억장치에서의 MOSFET(QD7)와 동등하게 설정된다.

상기 각 실시예에 따른 반도체 기억장치에서는 워드선의 절환시에 더미비트선(DBL)의 방전전류를 증가시켜, 제2바이어스전위 설정회로(13B) 및 제2부하회로(14B)의 전류공급능력을 실질적으로 감소시킴으로써 워드선 선절환시의 기준전위(Vref) 상승을 억제할 수 있게 된다. 또, 상기와 같은 더미셀(DC<sub>m+1</sub>)을 설치하지 않고 제2부하로회로(14B)의 전류공급능력을 제어하도록 해도 동일한 효과를 얻을 수 있게 된다.

제13도는 이와 같이 제2부하회로(14B)의 전류공급능력을 제어하도록 된 본 발명의 제3실시예에 따른 반도체 기억장치의 회로구성을 도시해 놓은 회로도로서, 본 실시예에 따른 반도체 기억장치는 제2부하회로(14B)가 2개의 부하용 P챈널 MOSFET(QD7A, QD7B)를 전원전압(Vcc)과 노드B의 사이에 병렬로 설치하고, 한쪽의 MOSFET(QD7A)의 게이트는 그 드레인에 접속하며, 다른 쪽의 MOSFET(QD7B)의 게이트에는 상기 ATD(18)로부터의 출력펄스가 공급되도록 구성되어 있다.

상기한 구성으로 되어 있는 본 실시예에 따른 반도체 기억장치는 워드선의 절환시에 ATD(18)로부터 출력되는 펄스신호에 의해 MOSFET(QD7B)가 오프상태로 되어 노드B에 공급되는 기준전위(Vref)의 전류량이 감소하게 되는 바, 이에 따라 기준전위(Vref)의 상승이 억제되게 된다. 또, 본 실시예에서는 워드선이 완전하게 전환된 후, 제 2부하회로(14B)내의 2개의 부하용 MOSFET(QD7A, QD7B)가 모두 온상태로 되기 때문에 양 MOSFET(QD7A, AD7B)의 각 전류구동능력의 합이 상기 제3도에 도시되어 있는 종래의 반도체 기억장치에서의 MOSFET(QD7)와 동등하게 설정된다. 또, 제13도에 도시된 본 실시예에

따른 반도체 기억장치의 경우에는 2개의 부하용 MOSFET(QD7A, QD7B) 각각에 대해 독립적으로 바이어스전위 설정회로를 구성하도록 해도 좋다.

제14도는 상기 제12도 및 제13도에 도시된 반도체 기억장치에 사용되는 ATD(18)의 동작을 설명하기 위한 타이밍챠트이다. 즉 이 ATD(18)는 이부로부터의 행어드레스가 변화되고, 이 어드레스변화에 수반하여 워드선이 절환되면, 이 워드선의 절환기간에 "1"레벨로 되는 소정 펄스폭의 펄스신호를 발생하게 되는데, 이와 같은 회로는 신호지연과 논리회로를 조합함으로써 용이하게 구성할 수 있다.

또 상기 실시예에서는 본 발명의 EPROM에 실시한 경우에 대해서 설명했지만 1층 게이트구조를 갖는 MOSFET를 메모리셀로서 사용하고, 제조공정의 도중에서 챔널영역에 선택적으로 이온주입을 행해서 임계 전압이 높은 것과 낮은 것을 형성하도록 한 통상의 마스크 ROM에도 본 발명을 실시할 수 있다.

또한, 상기 각 실시예에서는 부하용 MOSFET로서 P챔널의 것을 사용하는 경우에 대해 설명했지만, 이것은 동등한 전류공급능력을 갖는다면 N챔널 MOSFET를 사용할 수도 있다. 단 제13도에 도시된 반도체 기억장치의 부하용 MOSFET로서 N챔널 MOSFET를 사용하는 경우에는 ATD(18)로 상기 실시예의 경우와는 역상인 펄스신호를 발생시킬 필요가 있다.

또, 상기 각 실시예에 있어서 더미셀은 반드시 메모리셀과 동일한 것을 사용할 필요는 없다.

상기한 각 실시예에 의하면, 워드선의 선택이 절환되는 과도기간에도 기준전위( $V_{ref}$ )의 상승이 억제되어 전위에 노이즈가 발생하지 않게되고, 또 데이터의 독출속도를 향상시킬 수 있도록 된 반도체 기억장치가 제공되게 된다.

제15도는 제4실시예로서 본 발명을 EPROM에 적용시킨 경우의 반도체 기억장치를 도시해 놓은 회로로 인 바, 제15도에서는 도면을 간략화하기 위해 행디코더 및 열디코더를 생략하였다. 더욱이, 간단화를 위해 메모리셀을 대표적으로 MC로서 1개만 도시하고, 열게이트 MOSFET도 BT로서 대표적으로 1개만을 도시하였다. 한편 센스증폭기(15)는 그 회로구성을 상세히 도시해 놓았는 바, 상기 실시예에서의 센스증폭기(15)는 본 회로도에 도시된 구조의 것을 사용한 것이다.

본 실시예 장치가 상기 각 실시예와 실질적으로 다른 점은 제1부하회로(14A)가 전원전압( $V_{cc}$ )과 노드A의 사이에 직렬접속된 2개의 P챔널 MOS트랜지스터(QM7A, QM7B)로 구성되고, 마찬가지로 제2부하회로(14B)가 전원전압( $V_{cc}$ )과 노드 B의 사이에 직렬접속된 2개의 P챔널 MOS트랜지스터(QD7A, QD7B)로 구성되어 있다는 것이다. 그리고, 상기 양 부하회로(14A, 14B)내의 MOS트랜지스터(QM7A, QD7A)의 게이트는 노드(A 또는 B)에 접속되고, MOS트랜지스터(QM7B, QD7B)의 게이트는 접지되어 있다.

상기 양 부하회로(14A, 14B)에 있어서, MOS트랜지스터(QM7A, QD7A)의 각각의 크기는 동일하고, 또 MOS트랜지스터(QM7B, QD7B)의 각각의 크기도 충분히 크게 설정되어 있다. 즉, MOS트랜지스터(QM7A, QD7A)의 전류구동능력은 MOS트랜지스터(QM7B, QD7B)의 전류구동능력 보다도 크게 되어 있다.

특히, 제1부하회로(14A)내의 MOS트랜지스터(QM7B)의 크기는 메모리 셀에 소정의 전류가 흐를때에 노드A의 전위가 소저의 "0"레벨전위, 예컨대 1V정도로 되도록 설정되어 있고 또, 제2부하회로(14B)내의 MOS트랜지스터(QD7B)의 크기는 노드B의 전위가 메모리셀에 소정의 전류가 흐를때에 노드A에 얻어지는 "0"레벨의 전위와, 메모리셀에 전류가 흐르지 않을 때에 얻어지는 "1"레벨의 전위와의 정확히 중간전위로 되도록 설정된다. 또 여기서 MOS트랜지스터의 크기의 대소는 각 MOS트랜지스터의 챔널길이(L)가 모두 동등하게 설계되면 그 챔널폭(W)의 대소에 대응하게 된다.

이와 같은 구성에 있어서, 임계전압이 낮은 메모리셀이 선택되어 그 메모리셀이 도통되게 됨으로써 소정의 전류가 흐를 때에는 부하회로(14A)의 MOS트랜지스터(QM7B)의 크기가 MOS트랜지스터(QM7A)보다도 작게 설정되어 있기 때문에 부하회로(14A)의 도통 저항은 MOS트랜지스터(QM7B)에 의해 실질적으로 결정된다.

임계전압이 낮은 메모리셀의 다음에 임계전압이 높은 메모리셀이 선택되게 되면, 그 임계전압이 높은 메모리셀은 비도통상태로 되기 때문에 노드A의 전위는 "0"레벨로부터 상승하기 시작한다. 그리고 노드A의 전위가 "1"레벨( $V_{cc}$ -P챔널 트랜지스터의 임계전압)근방으로 되면, 부하회로(14A)내의 MOS트랜지스터(QM7A)의 도통저항이 커지게 된다.

이와같이, 본 실시예에서는 노드A의 전위가 낮게 될때는 부하회로(14A)에서의 도통저항의 값은 MOS트랜지스터(QM7B)에 의해 실질적으로 결정되고, 노드A의 전위가 상승하게 되면 부하회로(14A)의 도통저항은 값은 MOS트랜지스터(QM7A)에 의해 실질적으로 결정된다.

또, 센스증폭기(15)는 P챔널 MOS트랜지스터(Q21, Q22) 및 N챔널 MOS트랜지스터(Q23~Q27)로 이루어져 있는데, 여기서 트랜지스터(Q21, Q22)는 전류미러회로를 구성하고 있고, 트랜지스터(Q23, Q24)는 차동증폭기를 구성하고 있다. 이 차동증폭기는 트랜지스터(Q26, Q27)에 의해 생성되는 바이어스전압이 게이트에 공급되는 트랜지스터(Q25)를 통해서 접지되어 있다.

제16도는 제15도에 도시된 반도체 기억장치에서의 부하회로(14A)의 전압-전류특성을 도시해 놓은 도면으로, 제16도에 있어서, 횡축은 노드A의 전위( $V_{in}$ )를 나타내고 종축은 부하회로로 흐르는 전류를 나타낸다.

또, "1"레벨데이터의 기억셀이 선택되어 메모리셀에 Icell인 셀전류가 흐르는 때의 노드A의 전위가  $V_{in}$  ("1"레벨), "0"레벨데이터의 기억셀이 선택된 때의 노드A의 전위가  $V_{in}$ ("0"레벨), 노드 B의 전위가  $V_{ref}$ 로 도시되어 있다.

또한, 도면중의 실선이 제15도에 도시된 반도체 기억장치에서의 부하회로의 전압전류특성을 나타낸 것이고, 점선은 제1도에 도시된 종래 반도체 기억장치에서의 부하회로의 전압-전류특성을 나타낸 것이다.

제16도에 도시된 바와 같이 "1"레벨데이터의 기억셀이 선택되어 소정의 메모리셀전류(Icell)가 흐를 때의 노드A의 전위[ $V_{in}$ ("1"레벨)]는 종래 반도체 기억장치에서의 노드A의 전위와 일치한다. 그러나,

노드A의 전위(Vin)가 상승하게 되면 부하회로(14A)는 종래 반도체 기장치의 경우보다도 많은 부하전류를 흘릴 수 있게 된다.

이 때문에 비트선(BL)이 충전되어 노드A의 전위(in)가 Vin("1"레벨)로부터 상승할 때에는 종래의 회로 보다도 빠르게 Vin의 레벨이 상승하기 때문에 고속으로 데이터를 독출할 수 있게 된다. 그리고 노드A의 전위(Vin)가 노드B의 전위(Vref) 이상으로 되면 종래 회로의 경우와 거의 마찬가지로 부하회로(14A)에서의 MOS트랜지스터(QM7A)의 도통저항이 증가하여 부하전류는 급격히 감소하는 특성을 나타낸다.

제17도는 상기 제15도에 도시된 회로에 있어서, 비트선을 절환해서 임계전압이 낮은 메모리셀의 다음에 임계전압이 높은 메모리셀을 선택한 경우의 노드A의 전류변화를 도시해 놓은 특성도이다. 또한, 제1도에 도시된 회로와 비교하기 위해 제1도의 회로에 대한 특성을 점선으로 도시해 놓았다.

우선, 시각 t0에서 입력어드레스가 절환되고, 그 후 시각 t1에서 새로운 비트선(BL)이 선택된다. 이 시각 t1까지는 임계전압이 낮은 메모리셀이 선택되기 때문에 노드A의 전위는 Vin("1"레벨)으로 된다.

그리고, 시각 t1에서 임계전압이 높은 메모리셀이 접속된 새로운 비트선으로 절환되면, 비트선(BL)은 바이어스전위 설정회로(13A)내의 MOS트랜지스터(QM4)를 통해서 급속히 충전되고, 그 사이 노드A의 전위(Vin)는 일단 Vin("1"레벨)보다 낮아지게 된다.

이어, 시각 t2에서 노드A의 전위(Vin)가 노드B의 전위(Vref)이상으로 되면, 센스증폭기(15)의 출력레벨이 반전하여 독출되는 메모리셀의 논리"0"데이터가 출력된다.

제1도에 도시된 종래 회로의 경우에는 도면에 점선으로 도시된 바와 같이 시각 t2보다도 지연된 시각 t3에서 노드A의 전위(Vin)가 노드B의 전위(Vref)이상으로 되고, 이 시점에서 센스증폭기(15)의 출력레벨이 반전하여 데이터가 출력된다.

이와 같이 제15도에 도시된 회로에서는 도통상태의 메모리셀이 선택된때의 노드A의 전위(Vin)와 노드B의 전위(Vref)를 종래 회로와 동일한 값으로 설정한 경우에, 제3도에 도시된 종래 회로의 경우 보다도 (t3-t2)의 시간만큼 데이터 독출동작을 고속화할 수 있게 된다.

더욱이 제15도에 도시된 본 실시예에 따른 회로에 의하면 "0"데이터 출력시에 전원전압이 변동해도 오동작을 발생을 방지할 수 있게 되고, 전원노이즈 마진을 확장 할 수 있게 된다.

일반적으로, 출력버퍼회로의 출력에 접속되는 외부출력 용량을 충·방전할때에 전원전압의 변동이 발생되는 데이터 독출속도가 빠른 기억 장치에서는 센스증폭기의 출력이 절환된 후부터 출력버퍼회로의 출력이 절환될때까지의 시간이 짧기 때문에 노드A와 노드B의 전위차가 충분하지 않을 때에 전원전압이 변동하게 됨으로써 오동작하기 쉽게 된다.

제17도에 도시된 바와 같이 노드A의 전위(Vin)가 노드B의 전위(Vref)와 동일하게 되고 나서  $\Delta T$ 의 시간 후에 출력버퍼회로의 출력이 절환되게 되고, 노드A의 전위 (Vin)가 노드B의 전위(Vref)와 동일하게되고 나서  $\Delta T$ 시간후의 노드A의 전위(Vin)는 제1도에 도시된 종래 회로의 경우보다도  $\Delta V$ 만큼 높은 것으로 된다.

이 때문에 시각 t2로부터  $\Delta T$ 시간후에 출력버퍼회로의 출력이 절환되어도 본 실시예에 다른 회로에서는 노드A의 전위(Vin)가 충분히 높게 되므로, 출력버퍼회로의 출력이 절환되어 전원전압이 변동하더라도 오동작발생을 방지할 수 있게 되고, 그 결과 반도체 기억장치의 전원 노이즈마진을 크게 할 수 있게 된다.

즉, 제15도에 도시된 상기 실시예에 의하면, 고속으로 데이터를 독출할 수 있게 되고, 또 높은 전원노이즈마진을 갖는 반도체 기억장치를 실현할 수 있게 된다.

제18도는 본 발명의 제5실시예에 따른 반도체 기억장치를 도시해 놓은 회로도로서, 상기 제15도에 도시된 회로와 마찬가지로 메모리셀로서 부유게이트와 제어게이트의 2층 게이트구조를 갖는 MOS트랜지스터를 사용한 EPROM에 본 발명을 실시한 것이다. 단 본 실시예에서는 제15도에 도시된 회로와 동일한 부분에는 동일 참조부호를 붙이고, 그에 대한 상세한 설명은 생략한다.

본 실시예에서는 제1 및 제2부하회로(14A, 14B)내의 MOS트랜지스터(QM7B, QD7B)의 게이트를 접지시

키는 대신에 양 게이트에 제어신호  $(\overline{CE}')$  가 공급되도록 한 것이다.

이 제어신호  $(\overline{CE}')$  는 외부로부터는 입력되는 칩제어신호  $(\overline{CE})$  를 기초로 제어되는 신호로서,

이 제어신호  $(\overline{CE}')$  는 본 실시예에 따른 반도체 기억 장치가 활성상태인 때에는 접지전압으로 되고, 대기상태, 즉 스탠바이상태인 때에는 전원전압(Vcc)으로 되도록 제어된다.

본 실시예에 따른 반도체 기억장치가 활성상태인 때에는 제어신호  $(\overline{CE}')$  가 접지전압으로 설정되며 때문에 제15도에 도시된 회로의 경우와 동일하게 데이터 독출동작이 행해지게 된다. 한편 대기상

태인 때에는 제어신호  $(\overline{CE}')$  가 전원전압(Vcc)으로 설정되어 MOS트랜지스터(QM7B, QD7B)는 각각

비도통상태로 되기 때문에, 대기상태인 때에는 전원전압(Vcc)으로부터의 전류출력이 없게 되므로 전력소비의 절감화가 도모된다.

제19a도 내지 제19c도는 각각 제15도 및 제18도에 도시된 회로에서 사용되는 제1부하회로(14A)의 다른 구성예를 도시해 놓은 회로도이다.

제19a도에 도시된 부하회로는 제15도에 도시된 회로에서의 P챈널 MOS트랜지스터(QM7B) 대신에 임계전압이 부(-)의 값을 갖는 디플리이션형 N챈널 MOS트랜지스터(QM8)를 이용하도록 된 것이다. 그리고, 이 MOS트랜지스터(QM8)의 게이트는 그 소오스에 접속되어 있다.

이 MOS트랜지스터(QM8)는 게이트가 소오스에 접속되어 있기 때문에 상기 P챈널 MOS트랜지스터(QM7B)와 마찬가지로 노드A의 전위가 낮아지게 되면 정전류부하특성을 나타내므로 동일한 효과를 얻을 수 있게 된다.

또, MOS트랜지스터(QM8)의 도통저항은 상기 메모리셀에 소정의 전류가 흐를 때에 노드A의 전위(Vin)가 소정의 값, 예컨대 1V로 되도록 설정된다.

제19b도에 도시된 부하회로는 제15도에 도시된 회로에서의 P챈널 MOS트랜지스터(QM7A) 대신에 게이트가 전원전압(Vcc)에 접속된 인핸스먼트형 N챈널 MOS트랜지스터(QM9)를 이용하고, 제15도에 도시된 회로에서의 P챈널 MOS트랜지스터(QM7B) 대신에 임계전압이 부(-)의 값을 갖는 디플리이션형 N챈널 MOS트랜지스터(QM8)를 이용하도록 된 것으로, 여기서 MOS트랜지스터(QM9)의 도통저항은 MOS트랜지스터(QM8)의 도통저항보다 크게 설정되어 있기 때문에 제16도에 도시된 바와 같은 전압-전류특성을 얻을 수 있게 된다.

그리고, 상기 MOS트랜지스터(QM8)의 도통저항의 값은 상기 메모리셀에 소정 전류가 흐를 때에 노드A가 소정의 전위로 되도록 설정되어 있다.

이 제19b도에 도시된 부하회로를 사용함으로써, 임계전압이 높은 메모리셀이 선택된 때의 노드A의 전위는 전원전압(Vcc)보다 N챈널 MOS트랜지스터(QM8)의 임계전압 만큼 낮은 값으로 설정되고, 또 MOS 트랜지스터를 N챈널 MOS트랜지스터로 구성할 수 있게 됨으로써 본 발명의 반도체 기억장치를 저가의 N챈널 MOS형 집적회로로 실현할 수 있게 된다.

제19c도에 도시된 부하회로는 제15도에 도시된 회로에서의 P챈널 MOS트랜지스터(QM7A, QM7B) 사이에 P챈널 MOS트랜지스터(QM10)를 접속해서 구성한 것으로, 이 MOS트랜지스터(QM10)의 도통저항도 MOS트랜지스터(QM7A)와 마찬가지로 MOS트랜지스터(QM7B)에 비해 크게 설정되고, 또 이 MOS트랜지스터(QM10)의 게이트는 드레인에 접속되어 있다.

그리고, 이 MOS트랜지스터(QM10)를 직렬로 삽입함으로써 임계전압이 높은 메모리셀이 선택된 때의 노드A의 전위는 전원전압(Vcc)보다 P챈널 MOS트랜지스터 2개분의 임계전압 만큼 낮아지도록 제어된다.

또, 이 부하회로를 사용함으로써 노드A의 진폭레벨을 낮추는 것이 가능해지게 되고, 회로임계전압이 낮은 센스증폭기를 이용한 경우에도 고속동작을 실현할 수 있게 된다.

또한, 상기 제19a도 내지 제19c도에 도시된 바와 같은 구성의 제1부하회로(14A)를 사용하는 경우에는 디바이스의 특성을 고려해서 제2부하회로(14B)도 이것과 동일한 구성의 것을 사용해도 된다.

또한, 이때 트랜지스터(QM8)의 크기를 상기와 같은 조건, 즉 노드B의 전위(Vref)가 메모리셀에 소정의 전류가 흐를 때에 노드A에서 얻어지는 "0"레벨의 전위와, 메모리셀에 전류가 흐르지 않을 때에 노드A에 얻어지는 "1"레벨의 전위의 정확히 중간전위로 되도록 관계를 만족시켜 설정하는 것이 필요하다.

또, 본 발명은 상기 실시예에 한정되지 않고, 여려가지로 변형시켜 실시할 수 있다. 예를들어, 상기 각 실시예에서는 센스증폭기로서 전류미러형 센스증폭기를 이용하는 경우에 대해 설명했지만, 이것은 예컨대 인버터형 센스증폭기를 사용해도 상기와 같이 고속으로 전원노이즈에 강한 반도체 기억장치를 실현할 수 있다. 또, 상기 실시예에서는 메모리셀에 소정의 전류가 흐를 때, 노드A의 전위가 소정값이 되도록 설정하게 되는 MOS트랜지스터, 예컨대 제15도에 도시된 MOS트랜지스터(QM7)등의 도통저항을 챤널폭(W)으로 조정하는 경우에 대해서 설명했지만, 이것은 접지전위를 게이트에 공급하거나, 게이트에 소정 바이어스전압을 공급함으로써 도통저항의 값을 설정해도 된다.

또, 상기 각 실시예에서는 메모리셀로서 2층게이트구조를 갖는 불휘발성 트랜지스터를 사용하는 불휘발성 반도체 기억장치에 본 발명을 적용시킨 경우에 대해서 설명했지만, 본 발명은 1층게이트구조의 MOS트랜지스터를 메모리셀로서 사용하고, 제조공정중에 챤널영역에 선택적으로 이온주입을 행함으로써 임계전압을 높이거나 낮추게 되는 마스크 ROM에도 실시할 수 있다.

제15도 내지 제19도에 도시된 각 실시예에 의하면, 부하회로를 메모리셀이 도통되어 데이터 검출노드전위가 낮을 때에는 거의 정전류특성을 나타내는 제1부하수단과, 메모리셀이 비도통상태로 될 때에는 데이터검출노드의 전위를 전원전압보다도 소정 값만큼 낮은 값으로 설정하는 제2부하수단이 직렬접속된 구조으로 하게 되므로, 노이즈에 대한 전원전압의 변동에 대해서 높은 동작마진을 갖는 한편, 동작속도의 고속화를 용이하게 도모할 수 있도록 된 반도체 기억장치를 제공할 수 있게 된다.

제20도 및 제21도는 본 발명의 제6 및 제7실시예에 따른 반도체 기억장치를 도시한 것인 바, 제20도에 도시된 실시예는 제7도에 도시된 실시예와 제15도에 도시된 실시예를 조합시킨 것으로, 즉 더미비트선(DBL)에 그 게이트가 Vcc에 접속된 더미셀(DCm+1)을 설치함과 더불어, 부하회로(14A, 14B)를 각각 직렬접속된 MOSFET(QM7A, QM7B), (QD7A, QD7B)로 구성한 것이다.

또한, 제21도에 도시된 실시예는 제12도에 도시된 실시예와 제18도에 도시된 실시예를 조합시킨 것으로, 즉 ATD(18)로부터의 펄스출력이 그 게이트에 인가되는 더미셀(DCm+1)을 더미비트선(DBC)에 설치함과 더불어, 제1 및 제2부하회로(14A, 14B)를 각각 직렬접속된 MOSFET(QM7A, QM7B), (QD7A, QD7B)로 구성한 것이다.

QD7B)로 구성시킨 것이다.

제20도 및 제21도에 도시된 실시예에서 부하회로(14A, 14B)는 제19a도 내지 제19c도에 도시된 구성으로 해도 된다.

제20도 및 제21도에 도시된 실시예의 동작은 각각 제7도에 도시된 실시예의 동작과 제15도에 도시된 실시예의 동작을 조합시키거나, 제12도에 도시된 실시예의 동작과 제18도에 도시된 실시예의 동작을 조합시키면 되므로 그 동작설명은 생략한다.

그리고, 본 실시예에 의해서 워드선의 선택이 절환되는 과정기간에도 기준전위(Vref)의 상승이 억제되고, 전원에 노이즈가 발생되지 않게될 뿐 아니라 전원전압의 변동에 대해 높은 마진을 갖게 됨으로써 동작 속도의 향상을 도모할 수 있게 된다.

제22도는 본 발명의 제8실시예에 따른 반도체 기억장치를 도시해 놓은 회로로서, 제18도에 도시된 회로에서의 바이어스전위 설정회로(13A, 13B)의 정전위발생회로 대신에 비트선전위에 따라 출력전위가 변화되는 피드백형 바이어스발생회로를 사용한 것이다.

제22도에 도시된 바와 같이 바이어스전위 설정회로(13A)의 N채널 MOS트랜지스터(QM5, QM6)로 구성되는 정전위발생회로는 각각 게이트가 열게이트 트랜지스터(BT)의 드레인에 접속된 P채널 MOS트랜지스터(QM5)와 N채널 MOS트랜지스터(QM6)로 치환되어 있고, 또 N채널 MOS트랜지스터(QM2), (QM3)로 구성되는 정전위발생회로도 각각 그 게이트가 상기 열게이트 트랜지스터(BT)의 드레인에 접속되는 P채널 MOS트랜지스터(QM2)와 N채널 MOS트랜지스터(QM3)로 치환되어 있다. 또, 바이어스전위 설정회로(13B)도 상기 바이어스전위 설정회로(13A)와 동일하게 변경되어 P채널 MOS트랜지스터(QD2, QD5) 및 N채널 트랜지스터(QD3, QD6)의 게이트는 N채널 MOS트랜지스터(DBT)의 드레인에 접속되어 있다.

이와 같이 구성된 바이어스전위 설정회로를 사용하게 되면, 비트선 전위의 미소한 진폭에 대해서 노드A의 전위(Vin)가 크게 변화되기 때문에 데이터 독출속도가 고속화된다. 제22도에 도시된 바와 같이, 본 발명에 따른 부하회로(14A)를 이와 같은 피드백형 바이어스회로가 사용된 불휘발성 반도체 기억장치에 응용함으로써 보다 고속으로 동작되는 불휘발성 반도체 기억장치를 실현할 수 있게 된다.

또한, 이와 마찬가지로 제7도에 도시된 회로에서의 바이어스전위 설정회로(13A, 13B)를 제22도에 도시된 피드백형 바이어스회로로 치환함으로써 전원노이즈로 인한 오동작이 발생되지 않는 불휘발성 반도체 기억장치를 실현할 수 있게 된다.

한편, 본원 청구범위의 각 구성요소에 병기된 도면참조부호는 본원 발명의 이해를 용이하게 하기 위한 것으로, 본원 발명의 기술적 범위를 도면에 도시한 실시예로 한정할 의도에서 병기한 것은 아니다.

### (57) 청구의 범위

#### 청구항 1

워드선(WL<sub>1</sub>~WL<sub>m</sub>)과, 이 워드선(WL<sub>1</sub>~WL<sub>m</sub>)에 의해 선택되는 메모리셀(MC<sub>11</sub>~MC<sub>mnn</sub>), 이 메모리셀(MC<sub>11</sub>~MC<sub>mnn</sub>)로부터의 데이터가 인가되는 비트선(BL<sub>1</sub>~BL<sub>n</sub>), 이 비트선(BL<sub>1</sub>~BL<sub>n</sub>)에 접속되는 제1부하회로(14A), 상기 워드선(WL<sub>1</sub>~WL<sub>m</sub>)에 의해 선택되는 제1더미셀(DC<sub>1</sub>~DC<sub>m</sub>), 이 제1더미셀(DC<sub>1</sub>~DC<sub>m</sub>)이 접속되는 더미비트선(DBL), 이 더미비트선(DBL)에 접속되는 제2부하회로(14B) 및, 상기 비트선(BL<sub>1</sub>~BL<sub>m</sub>)과 상기 더미비트선(DBL)의 전위차를 기초로 상기 메모리셀(MC<sub>11</sub>~MC<sub>mnn</sub>)의 기억데이터를 검출하는 센스증폭기(15)를 구비하여 이루어진 반도체 기억장치에 있어서, 상기 더미비트선(DBL)에 접속되면서 게이트에 소정 전위가 공급되는 제2더미셀(DC<sub>m+1</sub>)을 더 구비하여 구성된 것을 특징으로 하는 반도체 기억장치.

#### 청구항 2

제1항에 있어서, 상기 소정 전위가 전원전위(Vcc)인 것을 특징으로 하는 반도체 기억장치.

#### 청구항 3

제1항에 있어서, 상기 소정 전위가 전원전위(Vcc)와는 다른 전위인 것을 특징으로 하는 반도체 기억장치.

#### 청구항 4

워드선(WL<sub>1</sub>~WL<sub>m</sub>)과, 이 워드선(WL<sub>1</sub>~WL<sub>m</sub>)에 의해 선택되는 메모리셀(MC<sub>11</sub>~MC<sub>mnn</sub>), 이 메모리셀(MC<sub>11</sub>~MC<sub>mnn</sub>)로부터의 데이터가 인가되는 비트선(BL<sub>1</sub>~BL<sub>n</sub>), 이 비트선(BL<sub>1</sub>~BL<sub>n</sub>)에 접속되는 제1부하회로(14A), 상기 워드선(WL<sub>1</sub>~WL<sub>m</sub>)에 의해 선택되는 제1더미셀(DC<sub>1</sub>~DC<sub>m</sub>), 이 제1더미셀(DC<sub>1</sub>~DC<sub>m</sub>)이 접속되는 더미비트선(DBL), 이 더미비트선(DBL)에 접속되는 제2부하회로(14B) 및, 상기 비트선(BL<sub>1</sub>~BL<sub>m</sub>)과 상기 더미비트선(DBL)의 전위차를 기초로 상기 메모리셀(MC<sub>11</sub>~MC<sub>mnn</sub>)의 기억데이터를 검출하는 센스증폭기(15)를 구비하여 이루어진 반도체 기억장치에 있어서, 어드레스 입력의 변화를 검출해서 펄스신호를 발생시키는 펄스신호 발생회로(18)와, 상기 더미비트선(DBL)에 접속되면서 상기 펄스신호에 의해 도통제어되는 제2더미셀(DC<sub>m+1</sub>)을 더 구비하여 구성된 것을 특징으로 하는 반도체 기억장치.

#### 청구항 5

워드선(WL<sub>1</sub>~WL<sub>m</sub>)과, 이 워드선(WL<sub>1</sub>~WL<sub>m</sub>)에 의해 선택되는 메모리셀(MC<sub>11</sub>~MC<sub>mnn</sub>), 이 메모리셀(MC<sub>11</sub>~MC<sub>mnn</sub>)로부터의 데이터가 인가되는 비트선(BL<sub>1</sub>~BL<sub>n</sub>), 이 비트선(BL<sub>1</sub>~BL<sub>n</sub>)에 접속되는 제1부하회로(14A), 상기 워드선(WL<sub>1</sub>~WL<sub>m</sub>)에 의해 선택되는 제1더미셀(DC<sub>1</sub>~DC<sub>m</sub>), 이 제1더미셀(DC<sub>1</sub>~DC<sub>m</sub>)이 접

속되는 더미비트선(DBL) 및, 상기 비트선(BL<sub>1</sub>~BL<sub>m</sub>)과 상기 더미비트선(DBL)의 전위차를 기초로 상기 메모리셀(MC<sub>11</sub>~MC<sub>m</sub>)의 기억데이터를 검출하는 센스증폭기(15)를 구비하여 이루어진 반도체 기억장치에 있어서, 어드레스 입력의 변화를 검출해서 펄스신호를 발생시키는 펄스신호 발생회로(18)와, 상기 더미비트선(DBL)에 접속되면서 상기 펄스신호에 따라 상기 더미비트선(DBL)에 대한 전류공급능력이 제어되는 제1부하회로(14B)를 더 구비하여 구성된 것을 특징으로 하는 반도체 기억장치.

#### 청구항 6

제5항에 있어서, 상기 제2부하회로(14B)는 전원전압(Vcc)과 더미비트선(DBL)과의 사이에 병렬로 접속된 제1 및 제2MOSFET(QD7A, QD7B)로 구성됨과 더불어, 상기 제1MOSFET(QD7A)의 게이트가 더미비트선(DBL)에 접속되고, 상기 제2MOSFET(QD7B)의 게이트에는 상기 펄스신호 발생회로(18)로부터의 출력펄스신호가 인가되도록 구성된 것을 특징으로 하는 반도체 기억장치.

#### 청구항 7

메모리셀(MC)과, 소오스·드레인중 한쪽이 상기 메모리셀(MC)의 드레인에 결합되면서 다른 한쪽이 데이터검출노드(A)에 각각 결합됨과 더불어 그 게이트에 제1직류바이어스전압(V1)이 공급되는 제1MOS트랜지스터(QM1)와, 소오스·드레인중 한쪽이 상기 메모리셀(MC)의 드레인에 결합되면서 다른 한쪽이 상기 제1전원전위(Vcc)에 결합됨과 더불어 게이트에 상기 제1직류바이어스전압(V1) 보다 낮은 제2직류바이어스전압(V2)이 공급되는 제2MOS트랜지스터(QM4) 및, 상기 데이터검출노드(A)에 접속되어 상기 메모리셀(MC)의 기억데이터를 검출하는 센스증폭기(15)를 구비하여 이루어진 반도체 기억장치에 있어서, 상기 데이터검출노드(A)와 제1전원전위(Vcc) 사이에 삽입되면서 상기 메모리셀(MC)이 도통상태인 때에는 정전류동작을 하는 제1부하수단과, 상기 메모리셀(MC)이 비도통상태인 때에는 상기 데이터검출노드(A)의 전위가 상기 제1전원전위(Vcc) 보다도 낮아지도록 제어하는 제2부하수단이 직렬접속되고, 상기 제1부하 수단의 도통저항값이 상기 메모리셀(MC)이 도통상태인 때의 상기 제2부하수단의 도통저항값보다 크게 되도록 설정된 부하회로(14A)를 더 구비하여 구성된 것을 특징으로 하는 반도체 기억장치.

#### 청구항 8

제7항에 있어서, 상기 제1부하수단은 게이트가 상기 제1전원전위(Vcc) 보다도 낮은 일정전압으로 바이어스된 P챈널형 MOS트랜지스터(QM7B)로 구성된 것을 특징으로 하는 반도체 기억장치.

#### 청구항 9

제7항에 있어서, 상기 제1부하수단은 게이트가 소오스에 접속되면서 임계전압이 부(-)의 값을 갖는 N챈널형 MOS트랜지스터(QM8)로 구성된 것을 특징으로 하는 반도체 기억장치.

#### 청구항 10

제7항에 있어서, 상기 제2부하수단은 게이트가 상기 데이터검출노드(A)에 접속된 P챈널형 MOS트랜지스터(QM7A)로 구성된 것을 특징으로 하는 반도체 기억장치.

#### 청구항 11

제7항에 있어서, 상기 제2부하수단은 게이트가 상기 제1전원전위(Vcc)로 바이어스되면서 임계전압이 정(+)의 값을 갖는 N챈널형 MOS트랜지스터(QM9)로 구성된 것을 특징으로 하는 반도체 기억장치.

#### 청구항 12

제7항에 있어서, 상기 제1부하수단이 외부신호에 응답해서 활성상태인 때에는 접지전압으로 되고,

$\overline{(\overline{CE})}$

대기상태인 때에는 상기 제1전원전위(Vcc)로 되는 내부제어신호가 공급되는 P챈널형 MOS트랜지스터(QM7B)로 구성된 것을 특징으로 하는 반도체 기억장치.

#### 청구항 13

제7항에 있어서, 상기 부하회로(14)내의 제2부하수단이 외부신호에 응답해서 활성상태인 때에는 상기 제1전원전위(Vcc)로 되고, 대기상태인 때에는 접지전위로 되는 내부제어신호가 게이트에 공급되는 N챈널형 MOS트랜지스터로 구성된 것을 특징으로 하는 반도체 기억장치.

#### 청구항 14

워드선(WL<sub>1</sub>~WL<sub>m</sub>)과, 이 워드선(WL<sub>1</sub>~WL<sub>m</sub>)에 의해 선택되는 메모리셀(MC<sub>11</sub>~MC<sub>m</sub>), 이 메모리셀(MC<sub>11</sub>~MC<sub>m</sub>)로부터의 데이터가 인가되는 비트선(BL<sub>1</sub>~BL<sub>n</sub>), 데이터검출노드(A), 상기 메모리셀(MC<sub>11</sub>~MC<sub>m</sub>)과 데이터검출노드(A)사이에 삽입되면서 게이트에 제1직류바이어스전위(V1)가 공급되는 제1MOS트랜지스터(QM1)와, 상기 메모리셀(MC<sub>11</sub>~MC<sub>m</sub>)과 상기 제1전원전위(Vcc) 사이에 삽입되면서 게이트에 상기 제1직류바이어스전위(V1) 보다 낮은 제2직류바이어스전위(V2)가 공급되는 제2MOS트랜지스터(QM4)를 갖춘 제1바이어스전위 설정회로(13A), 상기 워드선(WL<sub>1</sub>~WL<sub>m</sub>)에 의해 선택되는 제1더미셀(DC<sub>1</sub>~DC<sub>m</sub>), 이 제1더미셀(DC<sub>1</sub>~DC<sub>m</sub>)이 접속되는 더미비트선(DBL), 기준전위노드(B), 상기 제1더미셀(DC<sub>1</sub>~DC<sub>m</sub>)과 기준전위노드(B) 사이에 삽입되면서 게이트에 제3직류바이어스전위가 공급되는 제3MOS트랜지스터(QD1)와, 상기 제1더미셀(DC<sub>1</sub>~DC<sub>m</sub>)과 제1전원전위(Vcc) 사이에 삽입되면서 게이트에 상기 제3직류바이어스전위 보다 낮은 제4직류바이어스전위가 공급되는 제4MOS트랜지스터(QD4)를 갖춘 제2바이어스전위 설정회로(13B) 및, 상기 데이터검출노드(A)와 상기 기준전위노드(B)의 전위차를 기초로 상기 메모리셀(MC<sub>11</sub>~MC<sub>m</sub>)의 기억데이터를 검출하는 센스증폭기(15)를 구비하여 이루어진 반도체 기억장치에 있어서, 상기 데이터검출노드(A)와 제1전원전위(Vcc) 사이에 삽입되면서 상기 메

모리셀(MC)이 도통상태인 때에는 정전류동작을 하는 제1부하수단과, 상기 메모리셀(MC)이 비도통상태인 때에는 상기 데이터검출노드(A)의 전위가 상기 제1전원전위(Vcc) 보다도 낮아지도록 제어하는 제2부하수단이 직렬접속되고, 상기 제1부하수단의 도통저항값이 상기 메모리셀(MC)이 도통상태인 때의 상기 제2부하수단의 도통저항값보다 크게 되도록 설정된 제1부하회로(14A)와; 상기 기준전위노드(B)와 상기 제1전원전위(Vcc) 사이에 직렬로 삽입된 제3 및 제4부하수단으로 이루어지면서 제3부하수단의 도통저항값이 제4부하수단의 도통저항값보다 크게 되도록 설정된 제2부하회로(14B) 및; 상기 더미비트선(DBL)에 접속되면서 게이트에 소정전위가 공급되는 제2더미셀(DCm+1)을 더 구비하여 구성된 것을 특징으로 하는 반도체 기억장치.

#### 청구항 15

제14항에 있어서, 상기 제1 및 제3부하수단의 적어도 어느 한쪽이 게이트가 상기 제1전원전위 보다도 낮은 일정 전압으로 바이어스된 P챈널형 MOS트랜지스터(QM7B, QD7B)로 구성된 것을 특징으로 하는 반도체 기억장치.

#### 청구항 16

제14항에 있어서, 상기 제1 및 제3부하수단의 적어도 어느 한쪽이 게이트 그 소奥斯에 접속되면서 임계전압이 부(-)의 값을 갖는 N챈널형 MOS트랜지스터(QM8)로 구성된 것을 특징으로 하는 반도체 기억장치.

#### 청구항 17

제14항에 있어서, 상기 제2 및 제4부하수단의 적어도 어느 한쪽이 게이트가 상기 데이터검출노드(A)에 접속된 P챈널형 MOS트랜지스터(QM7A)로 구성된 것을 특징으로 하는 반도체 기억장치.

#### 청구항 18

제14항에 있어서, 상기 제2 및 제4부하수단의 적어도 어느 한쪽이 게이트가 상기 제1전원전위(Vcc)로 바이어스되면서 임계전압이 정(+)의 값을 갖는 N챈널 MOS트랜지스터(QM9)로 구성된 것을 특징으로 하는 반도체 기억장치.

#### 청구항 19

제14항에 있어서, 상기 제1 및 제3부하수단의 적어도 어느 한쪽이 외부신호에 응답해서 활성상태인 **(CE')** 때는 접지전압으로 되고, 대기상태인 때는 상기 제1전원전위(Vcc)로 되는 내부제어신호가 게이트에 공급되는 P챈널형 MOS트랜지스터(QM7B, QD7B)로 구성된 것을 특징으로 하는 반도체 기억장치.

#### 청구항 20

제14항에 있어서, 상기 제2 및 제4부하수단의 적어도 어느 한쪽이 외부신호에 응답해서 활성상태인 때에는 상기 제1전원전위(Vcc)로 되고, 대기상태인 때에는 접지전압으로 되는 내부제어신호가 게이트에 공급되는 N챈널형 MOS트랜지스터로 구성된 것을 특징으로 하는 반도체 기억장치.

#### 청구항 21

워드선(WL1~WLm)과, 이 워드선(WL1~WLm)에 의해 선택되는 메모리셀(MC11~MCmn), 이 메모리셀(MC11~MCmn)로부터의 데이터가 인가되는 비트선(BL1~BLn), 데이터검출노드(A), 상기 메모리셀(MC11~MCmn)과 데어터검출노드(A) 사이에 삽입되면서 게이트에 제1직류바이어스전위(V1)가 공급되는 제1MOS트랜지스터(QM1)와, 상기 메모리셀(MC11~MCmn)과 상기 제1전원전위(Vcc) 사이에 삽입되면서 게이트에 상기 제1직류바이어스전위(V1) 보다 낮은 제2직류바이어스전위(V2)가 공급되는 제2MOS트랜지스터(QM4)를 갖춘 제1바이어스전위 설정회로(13A), 상기 워드선(WL1~WLm)에 의해 선택되는 제1더미셀(DC1~DCm), 이 제1더미셀(DC1~DCm)이 접속되는 더미비트선(DBL), 기준전위노드(B), 상기 제1더미셀(DC1~DCm)과 기준전위노드(B) 사이에 삽입되면서 게이트에 제3직류바이어스전위가 공급되는 제3MOS트랜지스터(QD1)와, 상기 제1더미셀(DC1~DCm)과 제1전원전위(Vcc) 사이에 삽입되면서 게이트에 상기 제3직류바이어스전위 보다 낮은 제4직류바이어스전위가 공급되는 제4MOS트랜지스터(QD4)를 갖춘 제2바이어스전위 설정회로(13B) 및, 상기 데이터검출노드(A)와 상기 기준전위노드(B)의 전위차를 기초로 상기 메모리셀(MC11~MCmn)의 기억데이터를 검출하는 센스증폭기(15)를 구비하여 이루어진 반도체 기억장치에 있어서, 상기 데이터검출노드(A)와 제1전원전위(Vcc) 사이에 삽입되면서 상기 메모리셀(MC)이 도통상태인 때에는 정전류동작을 하는 제1부하수단과, 상기 메모리셀(MC)이 비도통상태인 때에는 상기 데이터검출노드(A)의 전위가 상기 제1전원전위(Vcc) 보다도 낮아지도록 제어하는 제2부하수단이 직렬접속되고, 상기 제1부하수단의 도통저항값이 상기 메모리셀(MC)이 도통상태인 때의 상기 제2부하수단의 도통저항값보다 크게 되도록 설정된 제1부하회로(14A)와; 상기 기준전위노드(B)와 상기 제1전원전위(Vcc)의 사이에 직렬로 삽입된 제3 및 제4부하수단으로 이루어지면서 제3부하수단의 도통저항값이 제4부하수단의 도통저항값보다 크게 되도록 설정된 제2부하회로(14B); 어드레스입력의 변화를 검출해서 펄스신호를 발생시키는 펄스신호 발생회로(18) 및; 상기 더미비트선(DBL)에 접속되면서 상기 펄스신호에 의해 도통제어되는 제2더미셀(DCm+1)을 더 구비하여 구성된 것을 특징으로 하는 반도체 기억장치.

#### 청구항 22

제21항에 있어서, 상기 제1 및 제3부하수단의 적어도 어느 한쪽이 게이트가 상기 제1전원전위보다도 낮은 일정 전압으로 바이어스된 P챈널형 MOS트랜지스터(QM7B, QD7B)로 구성된 것을 특징으로 하는

반도체 기억장치.

### 청구항 23

제21항에 있어서, 상기 제1 및 제3부하수단의 적어도 어느 한쪽이 게이트가 그 소오스에 접속되면서 임계전압이 부(-)의 값을 갖는 N챈널형 MOS트랜지스터(QM8)로 구성된 것을 특징으로 하는 반도체 기억장치.

### 청구항 24

제21항에 있어서, 상기 제2 및 제4부하수단의 적어도 어느 한쪽이 게이트가 상기 데이터검출노드(A)에 접속된 P챈널형 MOS트랜지스터(QM7A)로 구성된 것을 특징으로 하는 반도체 기억장치.

### 청구항 25

제21항에 있어서, 상기 제2 및 제4부하수단의 적어도 어느 한쪽이 게이트가 상기 제1전원전위(Vcc)로 바이어스되면서 임계전압이 정(+)의 값을 갖는 N챈널 MOS트랜지스터(QM9)로 구성된 것을 특징으로 하는 반도체 기억장치.

### 청구항 26

제21항에 있어서, 상기 제1 및 제3부하수단의 적어도 어느 한쪽이 외부신호에 응답해서 활성상태인 때에는 접지전압으로 되고, 대기상태인 때에는 상기 제1전원전위(Vcc)로 되는 내부제어신호

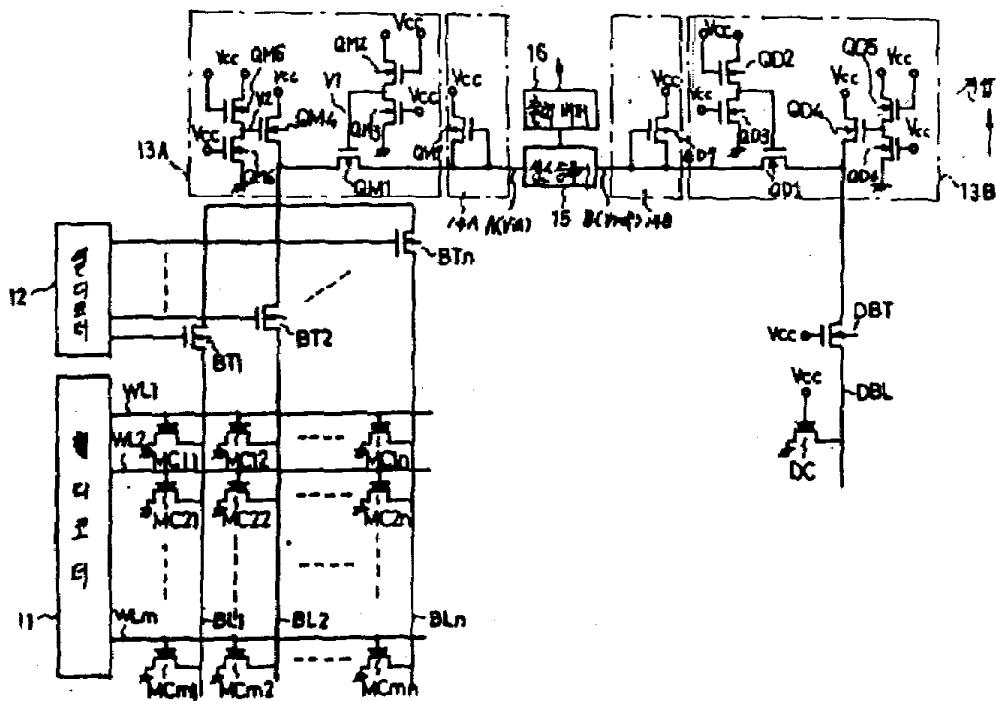
(CE') 가 게이트에 공급되는 P챈널형 MOS트랜지스터(QM7B, QD7B)로 구성된 것을 특징으로 하는 반도체 기억장치.

### 청구항 27

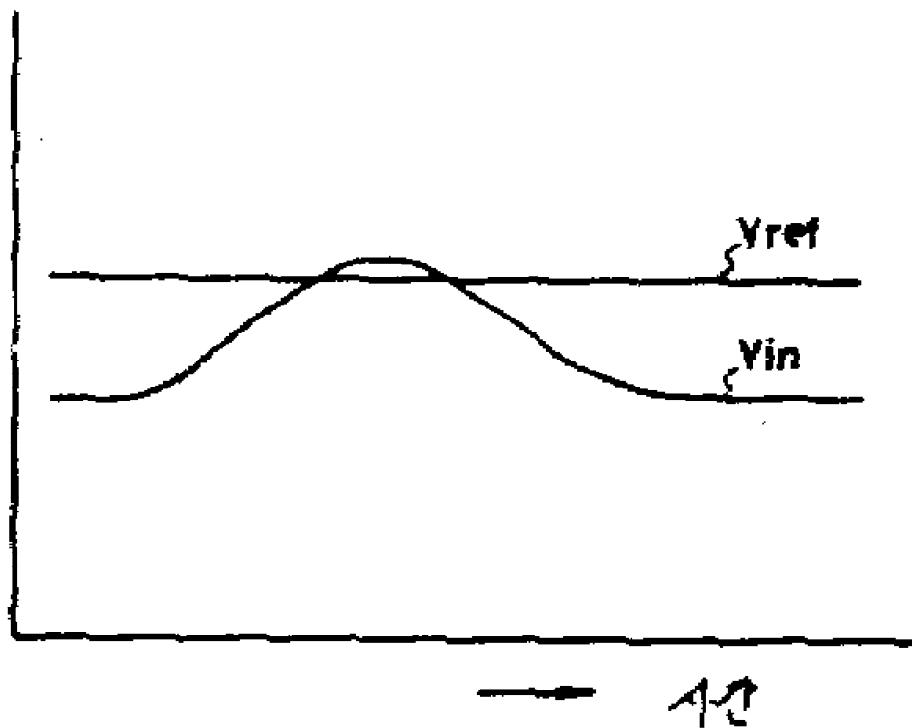
제21항에 있어서, 상기 제2 및 제4부하수단의 적어도 어느 한쪽이 외부신호에 응답해서 활성상태인 때에는 상기 제1전원전위(Vcc)로 되고, 대기상태인 때에는 접지전압으로 되는 내부제어신호가 게이트에 공급되는 N챈널형 MOS트랜지스터로 구성된 것을 특징으로 하는 반도체 기억장치.

## 도면

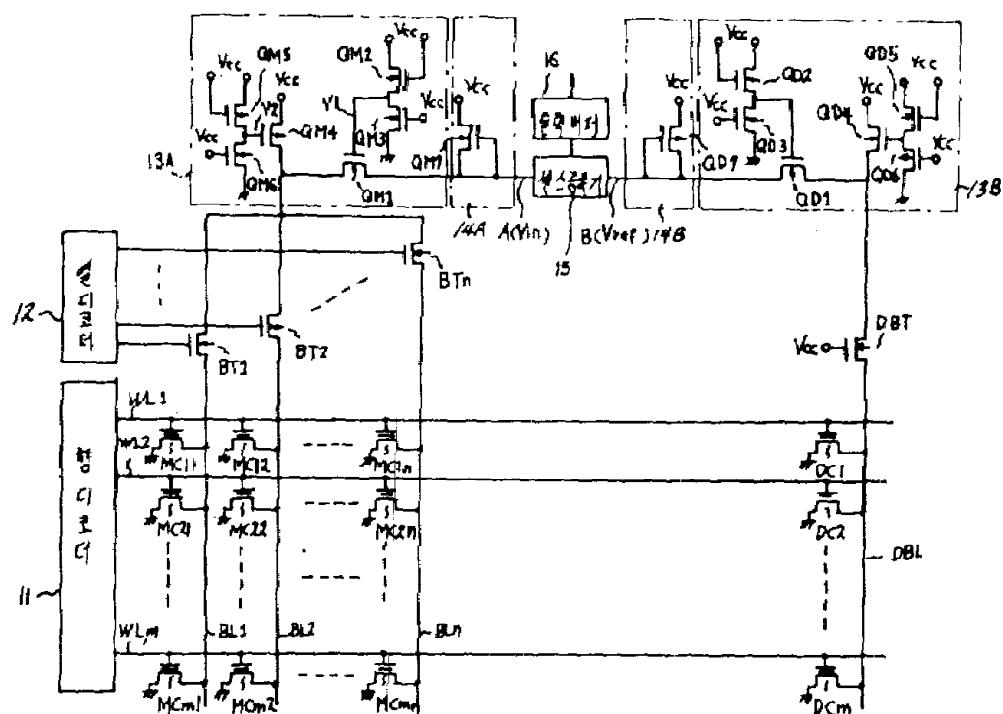
도면1



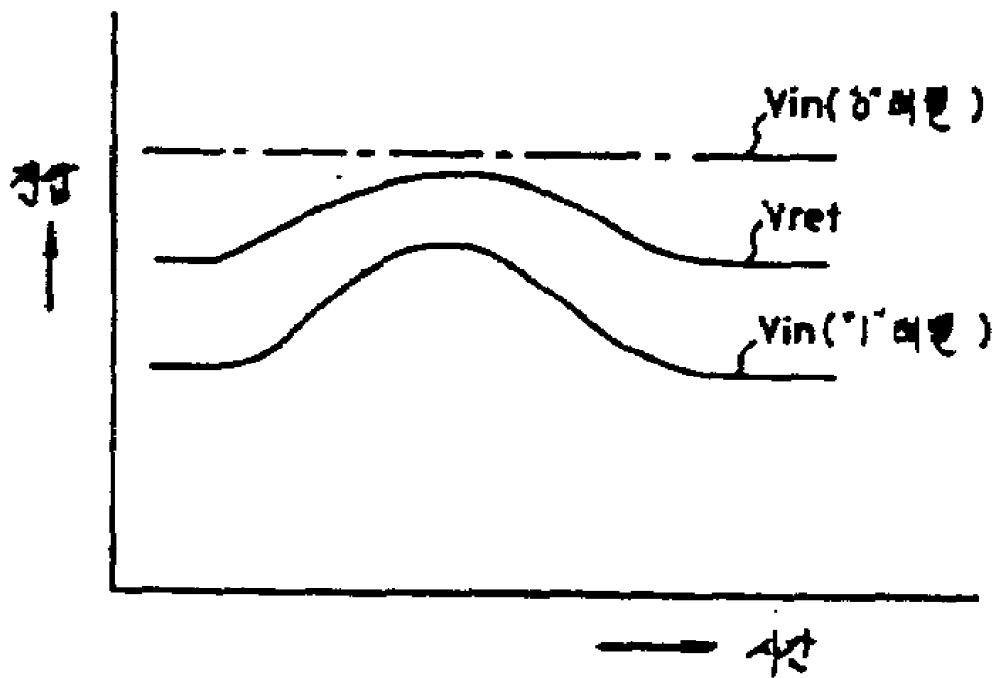
## 도면2



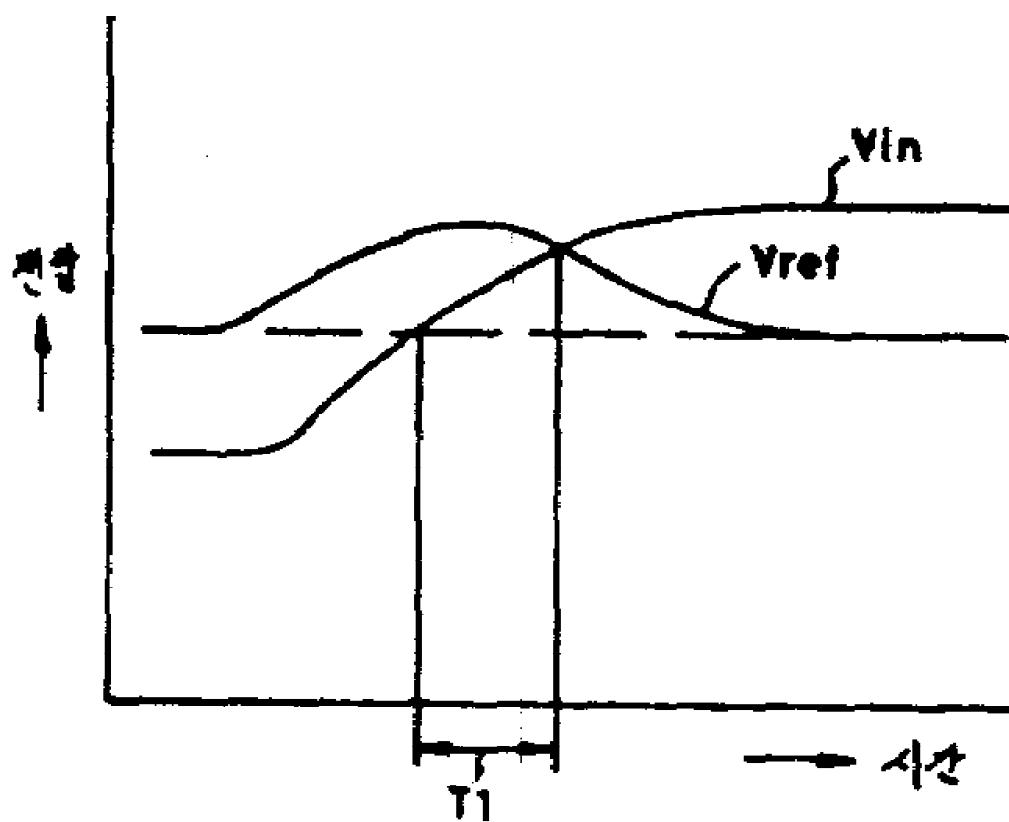
도면3



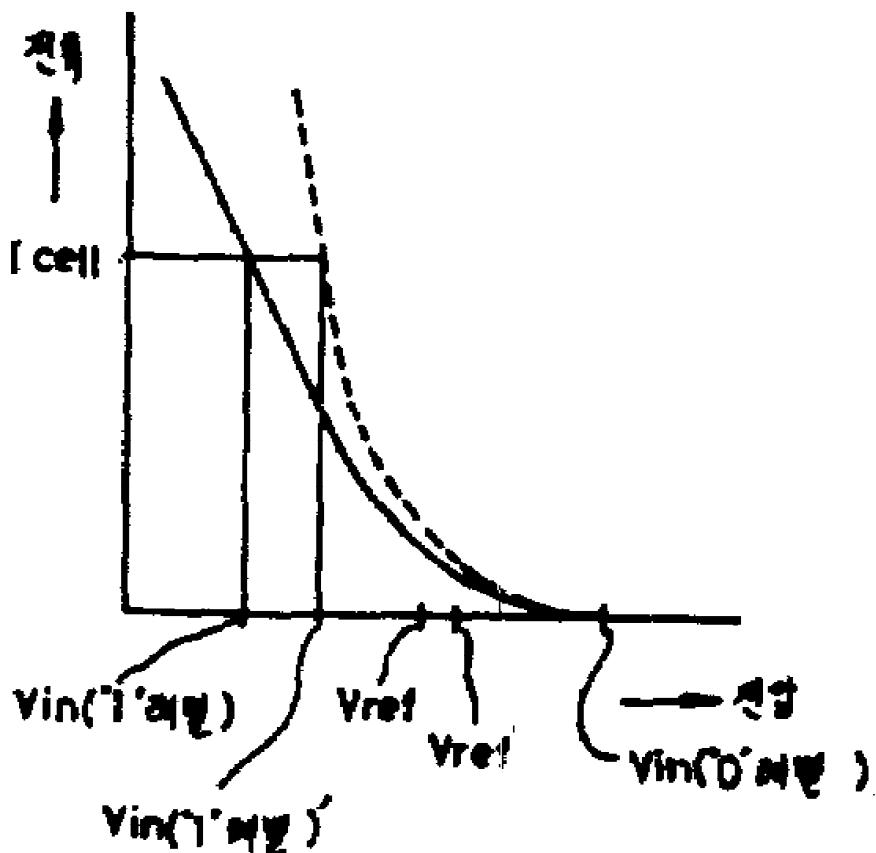
도면4



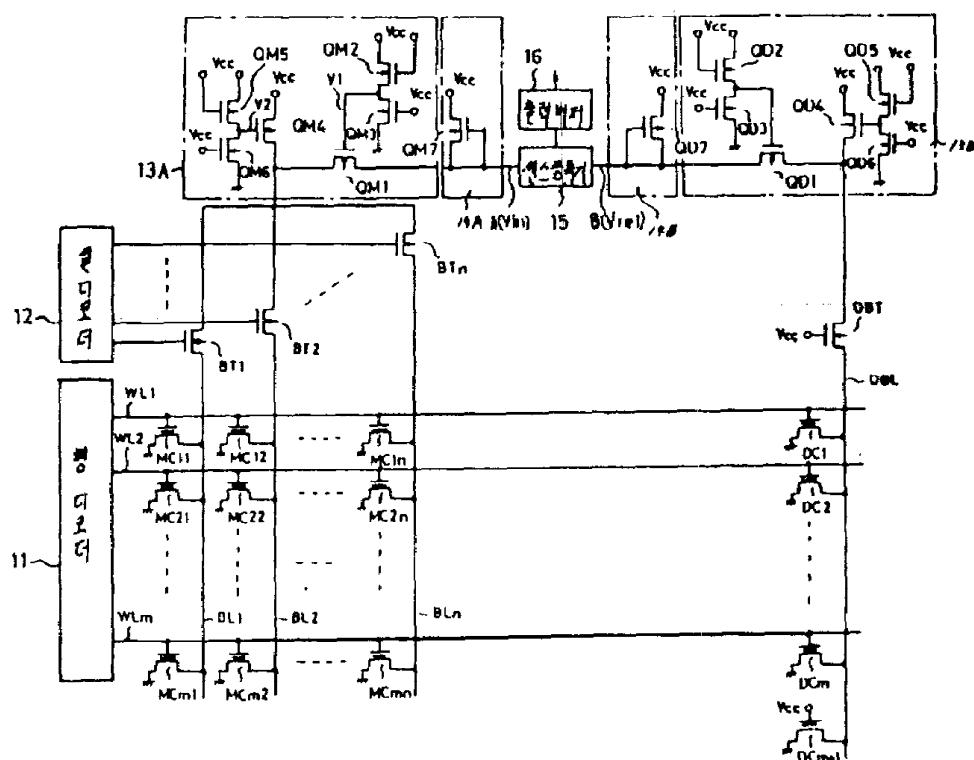
도면5



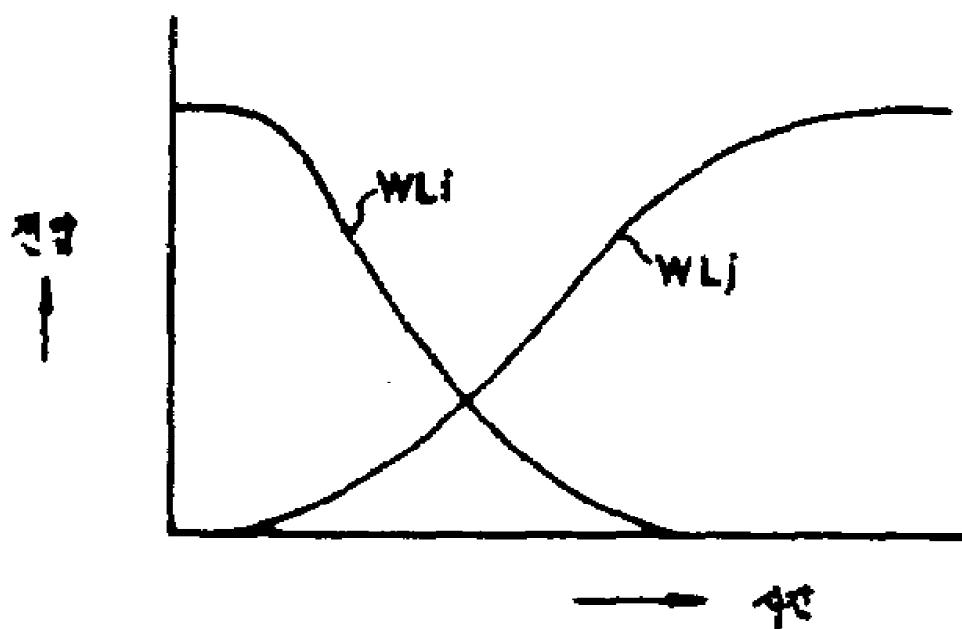
도면6



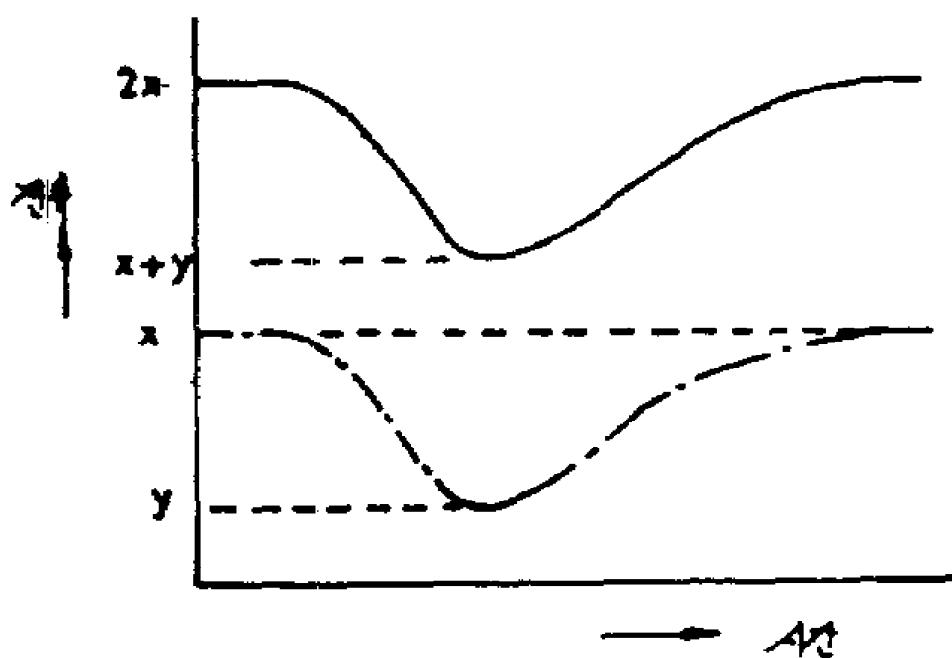
도면7



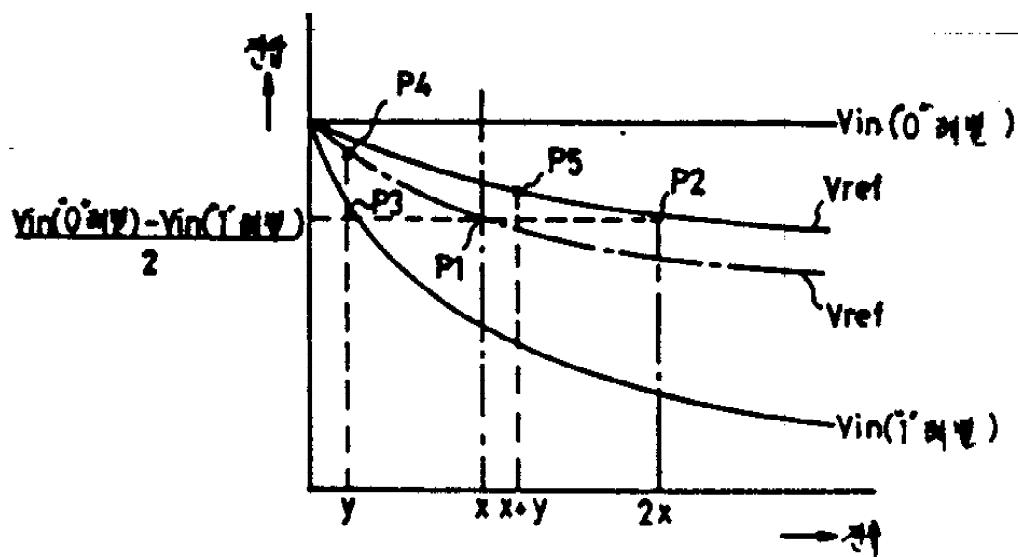
도면8-A



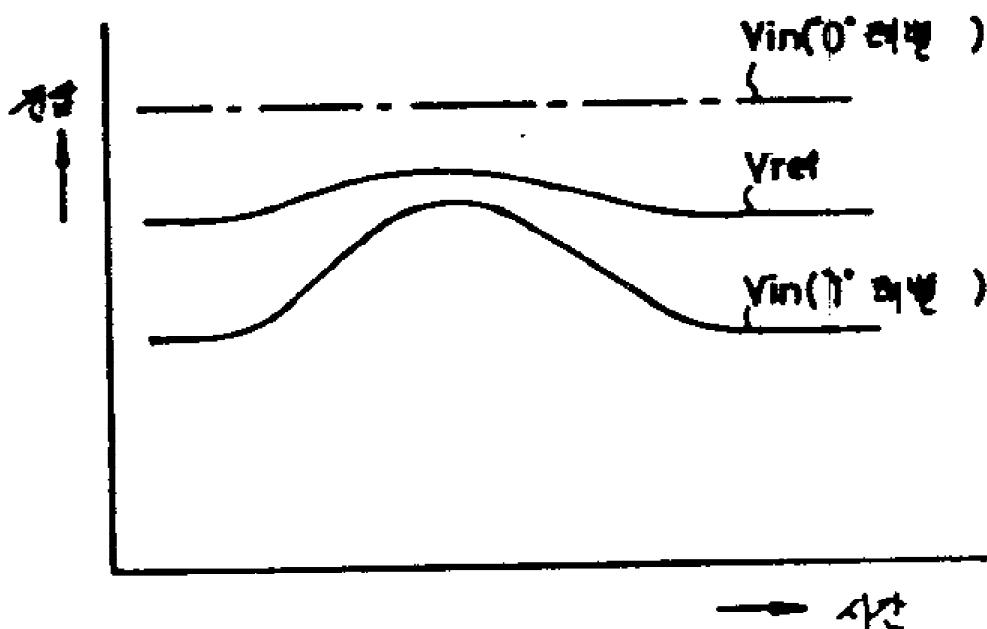
도면8-B



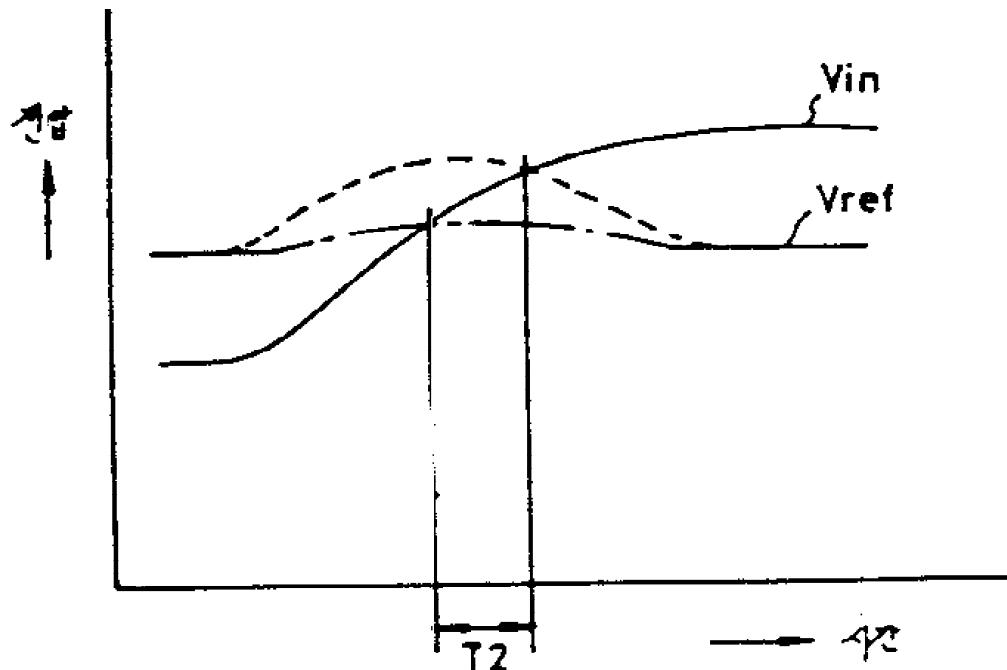
도면9



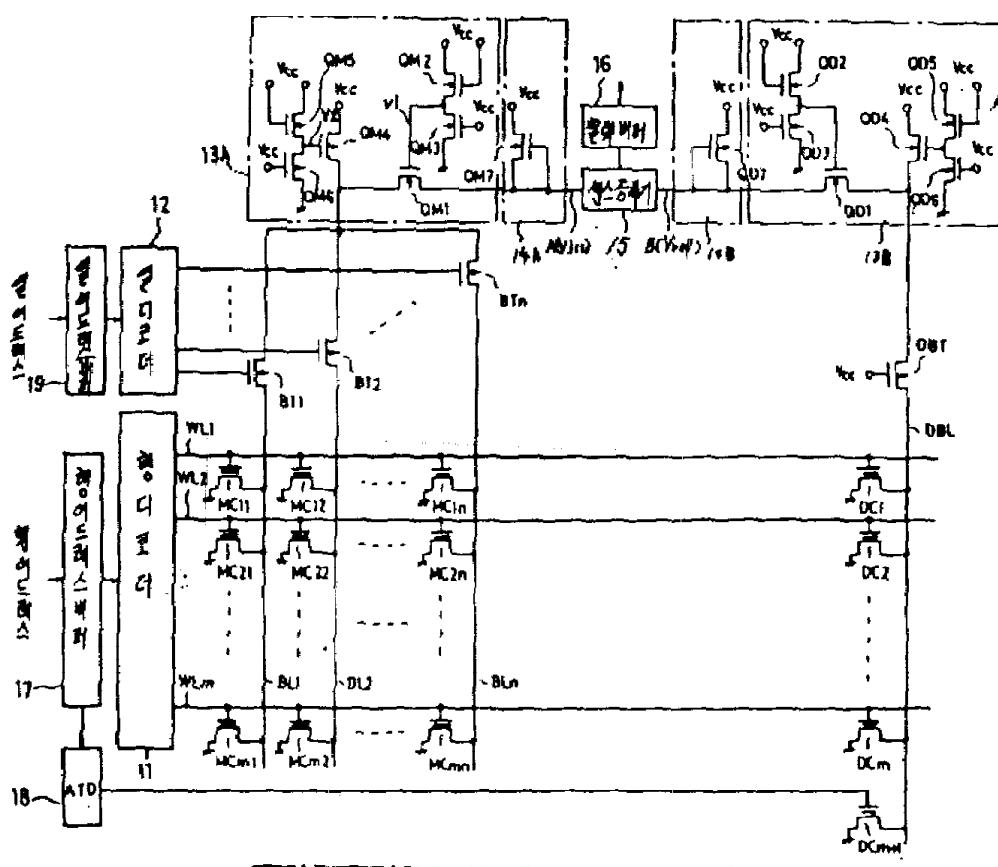
도면10



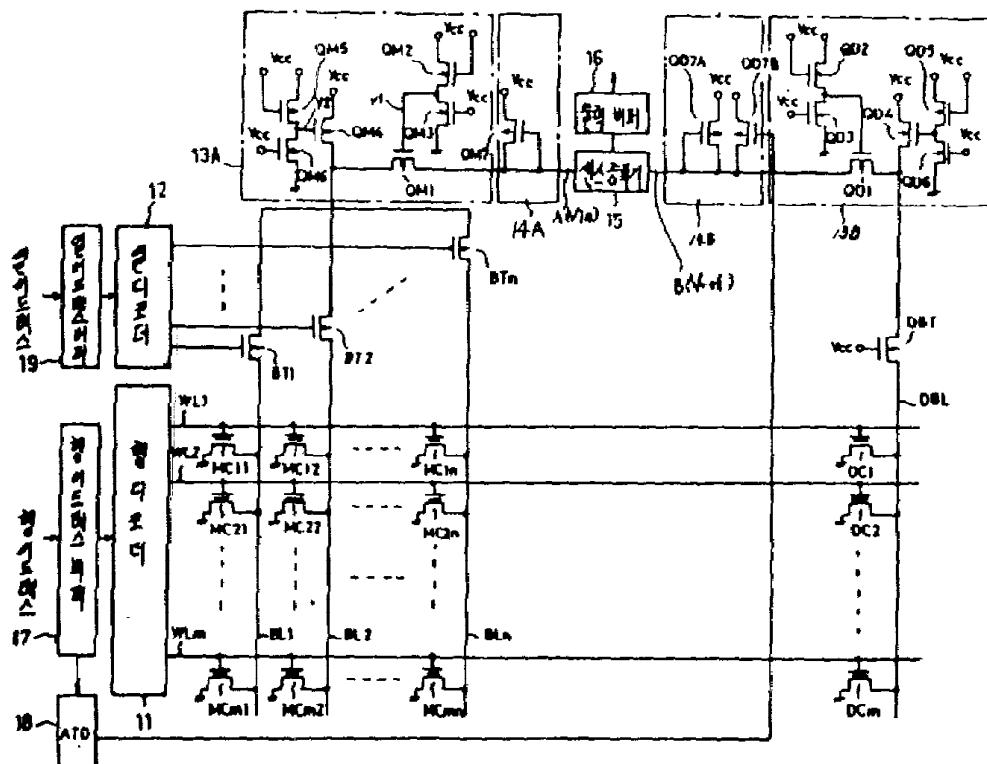
도면11



도면 12



### 도면 13

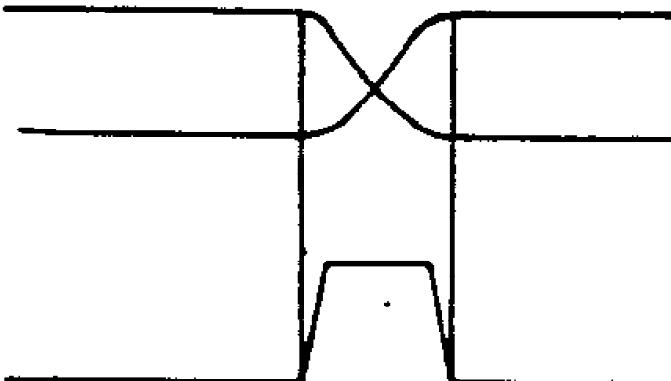


도면 14

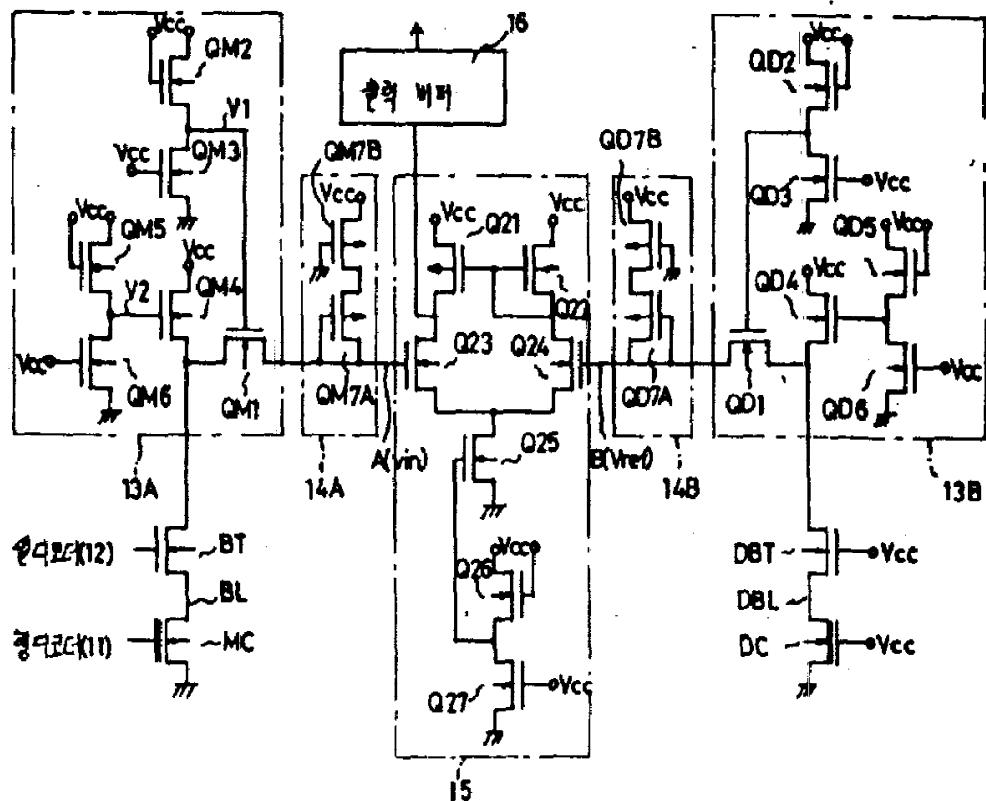
영어드레스



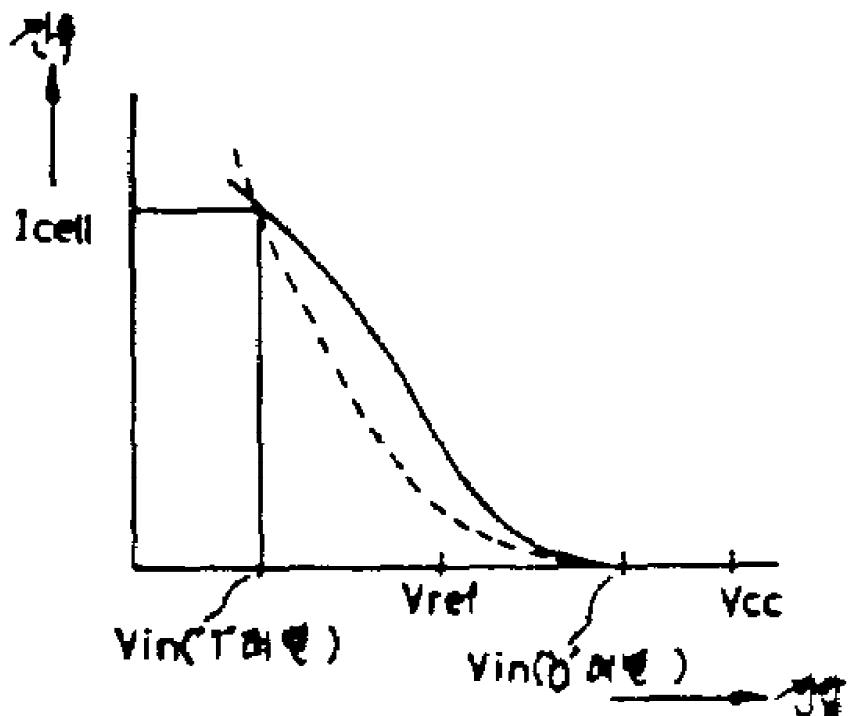
卷之三



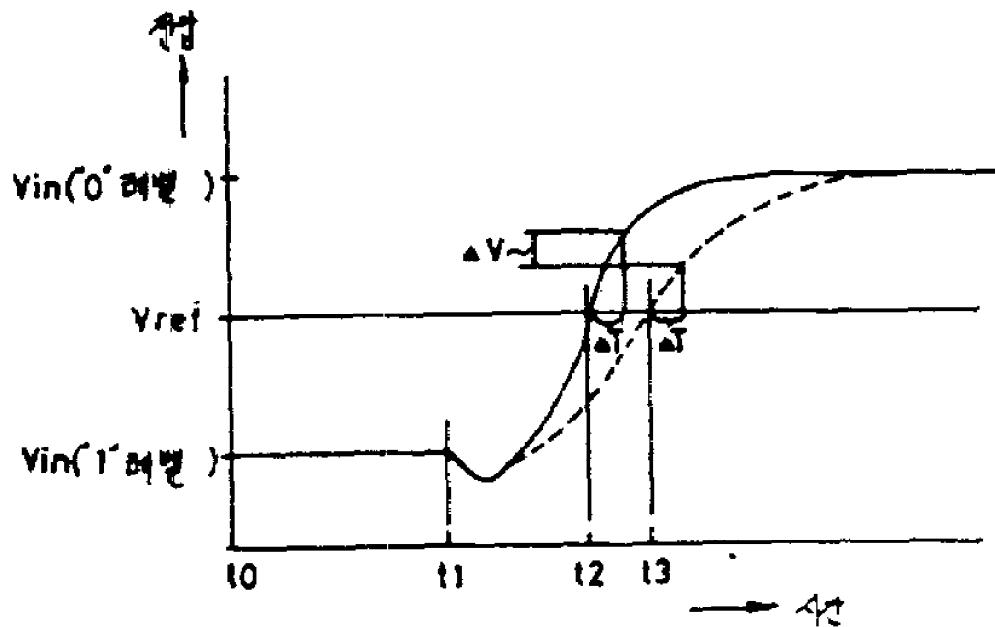
도면 15



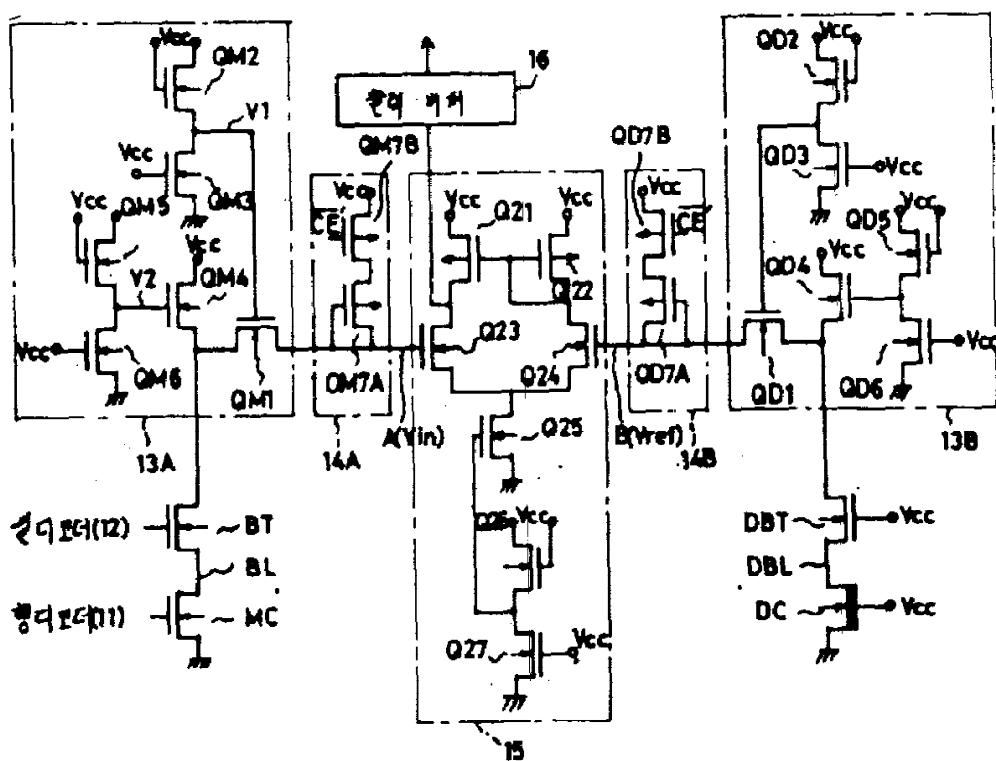
도면 16



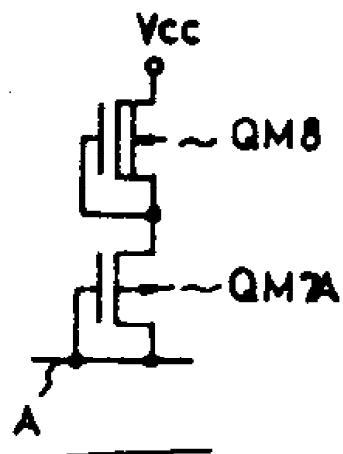
도면17



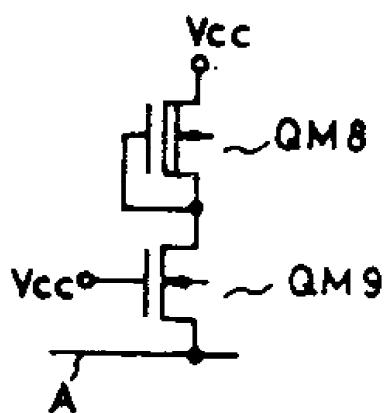
도면18



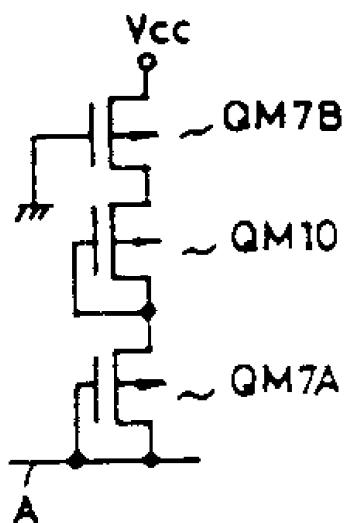
도면 19-A



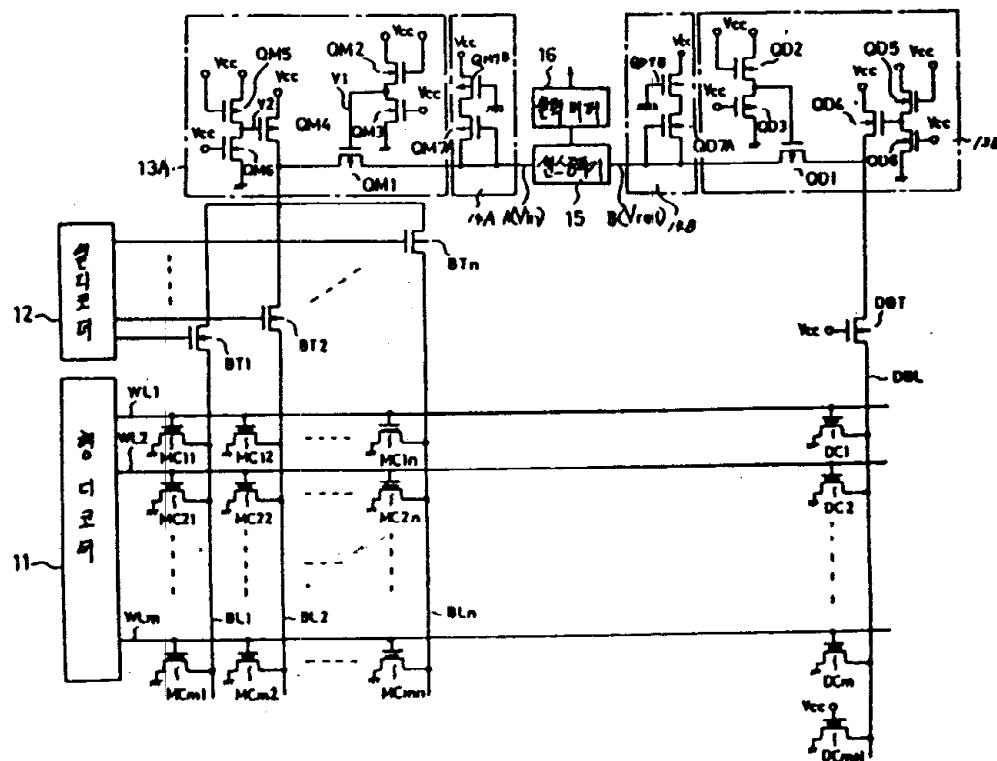
도면 19-B



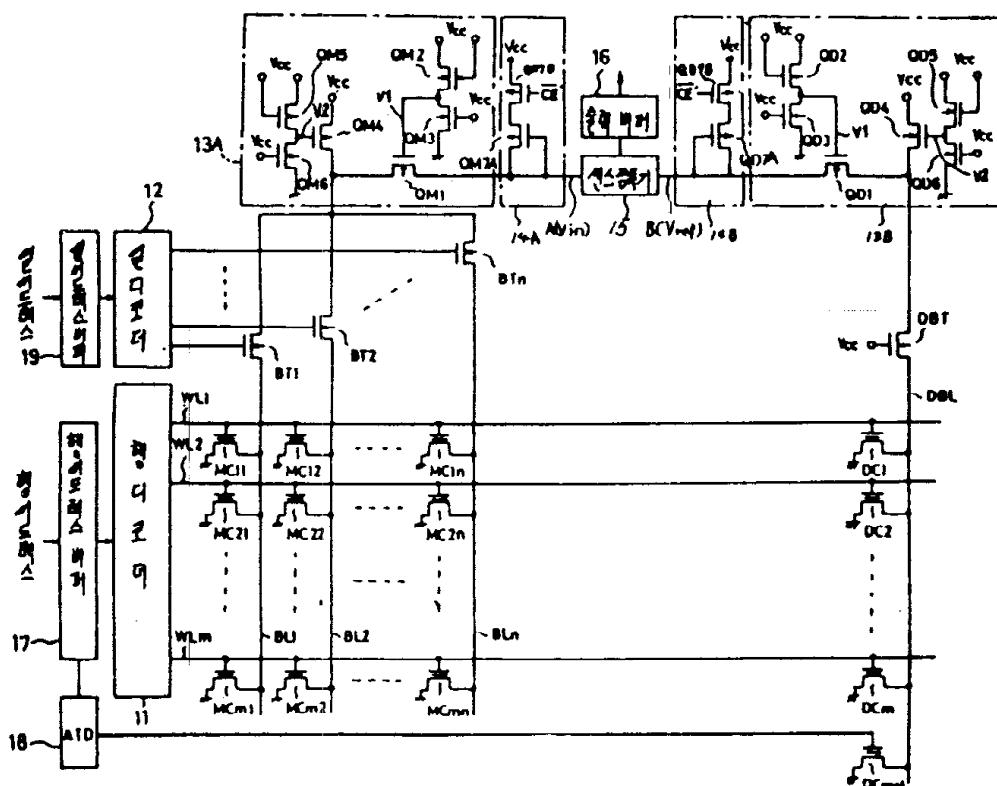
도면 19-C



도면20



도면21



도면22

