

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7118658号

(P7118658)

(45)発行日 令和4年8月16日(2022.8.16)

(24)登録日 令和4年8月5日(2022.8.5)

(51)国際特許分類

F I

H 0 4 N 5/3745(2011.01)

H 0 4 N 5/3745

H 0 4 N 5/378(2011.01)

H 0 4 N 5/378

H 0 1 L 27/146(2006.01)

H 0 1 L 27/146

F

H 0 1 L 27/146

A

請求項の数 21 (全28頁)

(21)出願番号	特願2018-22404(P2018-22404)	(73)特許権者	000001007
(22)出願日	平成30年2月9日(2018.2.9)		キヤノン株式会社
(65)公開番号	特開2019-140535(P2019-140535 A)		東京都大田区下丸子3丁目30番2号
(43)公開日	令和1年8月22日(2019.8.22)	(74)代理人	100126240
審査請求日	令和3年2月5日(2021.2.5)		弁理士 阿部 琢磨
		(74)代理人	100124442
			弁理士 黒岩 創吾
		(72)発明者	中村 恒一
			東京都大田区下丸子3丁目30番2号キ
			ヤノン株式会社内
		(72)発明者	小林 昌弘
			東京都大田区下丸子3丁目30番2号キ
			ヤノン株式会社内
		(72)発明者	小林 秀央
			東京都大田区下丸子3丁目30番2号キ
			最終頁に続く

(54)【発明の名称】 撮像装置、撮像システム、移動体

(57)【特許請求の範囲】

【請求項1】

光電変換部と、差動段を備えるA/D変換部と、ランプ信号生成部と、前記ランプ信号生成部によって生成されるランプ信号を伝送し、前記ランプ信号生成部に接続される複数のバッファ回路と、複数の接続部とを有する撮像装置であって、

第1チップに前記光電変換部と前記差動段の一部とが配され、

前記第1チップとは別のチップであって、前記第1チップに積層される第2チップに、前記差動段の他の一部が配され、

前記複数の接続部は、前記第1チップと前記第2チップとを各々が接続し、

前記ランプ信号生成部が、前記第1チップとは別のチップに配されており、

前記複数のバッファ回路が、前記第1チップとは別のチップに配されており、

前記複数のバッファ回路の一部のバッファ回路が、前記複数の接続部のうちの一部の接続部に接続され、

前記複数のバッファ回路の別の一部のバッファ回路が、前記複数の接続部のうちの別の一部の接続部に接続されることを特徴とする撮像装置。

【請求項2】

前記差動段は、複数の入力ノードを有し、

前記複数の入力ノードのうち一方の入力ノードが前記光電変換部に接続され、

前記複数の入力ノードのうち他方の入力ノードが前記ランプ信号生成部に接続され、

前記一方の入力ノードが第1のチップに形成されることを特徴とする請求項1に記載の

10

20

撮像装置。

【請求項 3】

前記差動段は、複数の入力ノードと、前記複数の入力ノードに接続されたカレントミラー回路とを有し、

前記複数の入力ノードのうちの一方の入力ノードが前記光電変換部に接続され、

前記複数の入力ノードのうちの他方の入力ノードが前記ランプ信号生成部に接続され、

前記カレントミラー回路が前記第 2 チップに配され、

前記一方の入力ノードが前記第 1 チップに配されていることを特徴とする請求項 2 に記載の撮像装置。

【請求項 4】

前記他方の入力ノードが、前記第 2 チップに配されていることを特徴とする請求項 3 に記載の撮像装置。

【請求項 5】

前記他方の入力ノードが、前記第 1 チップに配されていることを特徴とする請求項 3 に記載の撮像装置。

【請求項 6】

前記差動段は、前記複数の入力ノードと、前記カレントミラー回路に接続された電流源を有し、

前記電流源が、前記第 1 チップに配されていることを特徴とする請求項 3 ~ 5 のいずれか 1 項に記載の撮像装置。

【請求項 7】

前記差動段は、前記複数の入力ノードと、前記カレントミラー回路に接続された電流源を有し、

前記電流源が、前記第 2 チップに配されていることを特徴とする請求項 3 ~ 5 のいずれか 1 項に記載の撮像装置。

【請求項 8】

前記ランプ信号生成部と前記複数のバッファ回路が前記第 2 チップに配されていることを特徴とする請求項 2 ~ 7 のいずれか 1 項に記載の撮像装置。

【請求項 9】

浮遊拡散部と、前記光電変換部と前記浮遊拡散部とを接続する転送トランジスタとを有し、

前記一方の入力ノードが入力トランジスタの制御ノードであって、

前記浮遊拡散部と、前記入力トランジスタの制御ノードとが接続されていることを特徴とする請求項 2 ~ 8 のいずれか 1 項に記載の撮像装置。

【請求項 10】

前記光電変換部、前記浮遊拡散部、前記転送トランジスタ、前記入力トランジスタを各々が有する複数の組を有し、

前記複数の組の各々の前記入力トランジスタが、前記他方の入力ノードである第 2 入力トランジスタと差動段を形成することを特徴とする請求項 9 に記載の撮像装置。

【請求項 11】

前記他方の入力ノードが、第 2 入力トランジスタの制御ノードであって、

前記第 2 入力トランジスタの制御ノードと、前記ランプ信号生成部とが接続されていることを特徴とする請求項 2 ~ 9 のいずれか 1 項に記載の撮像装置。

【請求項 12】

複数の前記差動段を有し、

前記複数の差動段の各々の前記他方の入力ノードと、前記ランプ信号生成部とが伝送線を介して接続され、

前記伝送線に、前記ランプ信号生成部と前記他方の入力ノードとに接続されたバッファ回路が配されていることを特徴とする請求項 11 に記載の撮像装置。

【請求項 13】

10

20

30

40

50

前記複数の差動段が複数行および複数列に渡って配されており、
前記伝送線は、前記第 1 チップに配された第 1 伝送線と、前記第 2 チップに配された第 2 伝送線とを含み、
前記第 2 伝送線が前記複数の接続部に接続され、
前記複数の接続部の各々は、前記第 1 伝送線を介して前記差動段の前記他方の入力ノードに接続されることを特徴とする請求項 1 2 に記載の撮像装置。

【請求項 1 4】

前記複数の接続部のうちの一の接続部に対し、一の前記第 1 伝送線と、前記複数の差動段のうちの一部の差動段の前記他方の入力ノードに接続されることを特徴とする請求項 1 3 に記載の撮像装置。

10

【請求項 1 5】

前記一部の差動段が 1 つの差動段であることを特徴とする請求項 1 4 に記載の撮像装置。

【請求項 1 6】

複数の前記差動段を有し、
前記複数の差動段の各々の前記他方の入力ノードと、前記ランプ信号生成部とが伝送線を介して接続され、

前記伝送線に前記複数のバッファ回路が配され、
前記第 1 チップと前記第 2 チップとを各々が接続する複数の接続部を有し、
前記複数の差動段が複数行および複数列に渡って配されており、
前記伝送線は、前記第 1 チップに配された第 1 伝送線と、前記第 2 チップに配された第 2 伝送線とを含み、

20

前記第 2 伝送線が前記複数の接続部に接続され、
前記複数の接続部の各々は、前記第 1 伝送線を介して前記差動段の前記他方の入力ノードに接続され、

前記複数のバッファ回路の各々は、前記複数の接続部の 1 つに対応して配されていることを特徴とする請求項 1 1 に記載の撮像装置。

【請求項 1 7】

前記複数のバッファ回路が、前記ランプ信号生成部に対して並列に接続されていることを特徴とする請求項 1 ~ 1 6 のいずれか 1 項に記載の撮像装置。

【請求項 1 8】

前記複数のバッファ回路が直列に接続されていることを特徴とする請求項 1 ~ 1 5 のいずれか 1 項に記載の撮像装置。

30

【請求項 1 9】

前記別のチップと前記第 1 チップとを接続する、金属部材によって形成された接続部を介して前記ランプ信号生成部からランプ信号が前記第 1 チップに供給されることを特徴とする請求項 1 ~ 1 8 のいずれか 1 項に記載の撮像装置。

【請求項 2 0】

請求項 1 ~ 1 9 のいずれか 1 項に記載の撮像装置と、前記撮像装置が出力する信号を処理する信号処理部とを有することを特徴とする撮像システム。

【請求項 2 1】

40

請求項 1 ~ 1 9 のいずれか 1 項に記載の撮像装置を有する移動体であって、
前記移動体の移動を制御する制御部をさらに有することを特徴とする移動体。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、撮像装置、撮像システム、移動体に関する。

【背景技術】

【0 0 0 2】

光電変換部と、光電変換部の信号を A/D 変換する A/D 変換部とを備える撮像装置が知られている。

50

【 0 0 0 3 】

この撮像装置の一例として、特許文献 1 には、A D 変換部が 2 つの入力ノードとカレントミラー回路を有する差動段を備える例が記載されている。この差動段の一方の入力ノードにランプ信号が入力され、他方の入力ノードに光電変換部の信号が入力される。そして、この他方の入力ノードが、光電変換部が形成された第 1 チップに設けられ、他方の入力ノードが第 2 チップに設けられ、第 1 チップと第 2 チップとを積層した積層型の撮像装置が記載されている。すなわち、A D 変換部が備える差動段の 2 つの入力ノードが 2 つのチップに分かれて配される撮像装置が記載されている。

【先行技術文献】

【特許文献】

10

【 0 0 0 4 】

【文献】国際公開第 2 0 1 6 / 0 0 9 8 3 2 号

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 5 】

特許文献 1 には、A D 変換部が備える差動段の一部が第 1 チップに設けられ、差動段の他の一部が第 2 チップに設けられる場合におけるランプ信号生成部の好適な配置について、何ら検討がなされていない。

【 0 0 0 6 】

本発明は、A D 変換部が備える差動段の一部が第 1 チップに設けられ、差動段の他の一部が第 2 チップに設けられる場合におけるランプ信号生成部の好適な配置を提供するものである。

20

【課題を解決するための手段】

【 0 0 0 7 】

本発明は上記の課題を鑑みて為されたものであり、一の態様は、光電変換部と、差動段を備える A D 変換部と、ランプ信号生成部と、前記ランプ信号生成部によって生成されるランプ信号を伝送し、前記ランプ信号生成部に接続される複数のバッファ回路と、複数の接続部とを有する撮像装置であって、第 1 チップに前記光電変換部と前記差動段の一部とが配され、前記第 1 チップとは別のチップであって、前記第 1 チップに積層される第 2 チップに、前記差動段の他の一部が配され、前記複数の接続部は、前記第 1 チップと前記第 2 チップとを各々が接続し、前記ランプ信号生成部が、前記第 1 チップとは別のチップに配されており、前記複数のバッファ回路が、前記第 1 チップとは別のチップに配されており、前記複数のバッファ回路の一部のバッファ回路が、前記複数の接続部のうちの一部の接続部に接続され、前記複数のバッファ回路の別の一部のバッファ回路が、前記複数の接続部のうちの別の一部の接続部に接続されることを特徴とする撮像装置である。

30

【発明の効果】

【 0 0 0 8 】

本発明により、A D 変換部が備える差動段の一部が第 1 チップに設けられ、差動段の他の一部が第 2 チップに設けられる場合におけるランプ信号生成部の好適な配置を提供することができる。

40

【図面の簡単な説明】

【 0 0 0 9 】

【図 1】撮像装置の模式図

【図 2】撮像装置の回路図

【図 3】撮像装置の動作を示した図

【図 4】撮像装置の断面図

【図 5】撮像装置の回路図

【図 6】撮像装置の断面図

【図 7】撮像装置の回路図

【図 8】バッファ回路の回路図

50

【図 9】撮像装置の回路図

【図 10】バッファ回路の回路図

【図 11】撮像装置の回路図

【図 12】撮像装置の回路図

【図 13】撮像装置の動作を示した図

【図 14】ランプ信号生成部の回路図と動作を示した図

【図 15】ランプ信号生成部の回路図と動作を示した図

【図 16】撮像装置の回路図

【図 17】撮像装置の回路図

【図 18】撮像装置の動作を示した図

10

【図 19】撮像装置の回路図

【図 20】撮像装置の回路図

【図 21】撮像装置の模式図

【図 22】撮像装置の模式図

【図 23】撮像装置の模式図

【図 24】撮像装置の模式図

【図 25】撮像システムの全体図

【図 26】移動体の全体図

【図 27】撮像システムの信号処理フローを示した図

【発明を実施するための形態】

20

【0010】

以下、図面を参照しながら各実施例を説明する。

【0011】

（実施例 1）

図 1 は、本実施例の撮像装置が備える、第 1 チップ 1、第 2 チップ 2 を示した図である。第 1 チップ 1 には、複数行および複数列に渡って光電変換部 13 が配されている。また、第 2 チップ 5 には、複数行および複数列に渡って、信号処理回路 10 が配されている。なお、ここでは光電変換部 13 と信号処理回路 10 のみを図示しているが、他に光電変換部 13 を制御する制御線、光電変換部 13 が蓄積した電荷に基づく信号を伝送する信号線が適宜、第 1 チップ 1、第 2 チップ 5 に配される。また、垂直走査回路、タイミングジェネレータ等の駆動回路が適宜、第 1 チップ 1 あるいは第 2 チップ 2 に配される。

30

【0012】

図 2 は、本実施例の撮像装置の回路を示した回路図である。

【0013】

第 1 チップ 1 には、光電変換部（フォトダイオード）13、転送トランジスタ 14、リセットトランジスタ 15、浮遊拡散部 20 を有する画素 12 が配されている。画素 12 は、図 1 のように、複数行および複数列に渡って配されている。

【0014】

また、画素 12 は、入力トランジスタ 17 - 1、17 - 2、電流源 19 を有する。

【0015】

40

第 2 チップ 2 には、カレントミラー回路を構成するトランジスタ群 18、メモリ部 21、ランプ信号生成部 11 が配されている。

【0016】

トランジスタ群 18 の共通ノードには、電源電圧 VDD が供給される。また、電流源 19 の一方の主ノードは入力トランジスタ 17 - 1、17 - 2 が接続される。電流源 19 の他方の主ノードは電源電圧 GND（接地電位）が供給される。

【0017】

入力トランジスタ 17 - 1、17 - 2、カレントミラー回路を構成するトランジスタ群 18、電流源 19 によって差動段 25 が構成される。入力トランジスタ 17 - 1、17 - 2 によって差動対が形成される。差動段 25 の複数の入力ノードとして、入力トランジスタ

50

タ 17 - 1、17 - 2 が設けられている。差動段 25 の入力トランジスタ 17 - 1 は制御ノードであるゲートが浮遊拡散部 20 に接続されている。また、入力トランジスタ 17 - 1 は転送トランジスタ 14 を介して光電変換部 13 に接続されていることから、入力トランジスタ 17 - 1 は光電変換部 13 に接続された、差動段 25 の入力ノードと言える。

【0018】

また、入力トランジスタ 17 - 2 の制御ノードであるゲートは、伝送線 16 を介して、ランプ信号生成部 11 に接続されていることから、入力トランジスタ 17 - 2 は、ランプ信号生成部 11 が接続された、差動段 25 の入力ノードと言える。

【0019】

差動段 25 の一部である入力トランジスタ 17 - 1、17 - 2、電流源 19 は、光電変換部 13 が配された第 1 チップ 1 に配されている。一方、差動段 25 の他の一部であるカレントミラー回路であるトランジスタ群 18 は第 2 チップ 2 に配されている。そして、本実施例では、ランプ信号生成部 11 は、差動段 25 の一部である入力トランジスタ 17 - 1、17 - 2、電流源 19 は、光電変換部 13 が配された第 1 チップ 1 とは別のチップである第 2 チップ 2 に配されている。

10

【0020】

差動段 25 は、入力トランジスタ 17 - 1 の制御ノードの電位と、入力トランジスタ 17 - 2 の制御ノードの電位とを比較した結果を示す比較結果信号 C O U T を出力する比較器である。すなわち、差動段 25 を備える比較器と、メモリ部 21 は、光電変換部 13 が蓄積した電荷に基づくアナログ信号をデジタル信号に変換する A D 変換部である。

20

【0021】

図 3 は、図 2 に示した撮像装置の動作を示した図である。図 3 に示した各信号は、図 2 に示した各信号に対応している。

【0022】

時刻 t_1 に、不図示の垂直走査回路が信号 R S T を H i g h レベルとした後、L o w レベルとする。これにより、浮遊拡散部 20 の電位のリセットと、リセットの解除が行われる。入力トランジスタ 17 - 1 の制御ノードの電位は、浮遊拡散部 20 の、リセットが解除された電位となっている。

【0023】

この後、リセットが解除された浮遊拡散部 20 の電位に基づく A D 変換を行う。これはノイズ信号の A D 変換である。

30

【0024】

時刻 t_2 に、ランプ信号生成部 11 は、ランプ信号の電位を時間の経過に伴って単調変化させる。ここでいう単調変化とは、電位の変化の方向が、変化の開始から終了までの間、同じ方向に維持されることを意味する。ランプ信号の単位時間当たりの電位変化率が、変化の開始から終了までの間に変化が有った場合においても、これは電位の単調変化の範囲内である。

【0025】

また、不図示のカウンタ回路から、クロック信号を計数したカウント信号がメモリ部 21 に入力される。カウンタ回路は、ランプ信号生成部 11 が供給するランプ信号の電位の変化が開始したことに応じて、クロック信号の計数を開始する。

40

【0026】

時刻 t_3 に、入力トランジスタ 17 - 1、17 - 2 の電位の大小関係が逆転する。これにより、信号 C O U T の信号レベルが変化する。メモリ部 21 は、比較結果信号 C O U T の信号レベルが変化したことを受けて、カウント信号をラッチする。これにより、浮遊拡散部 20 の電位に基づくデジタル信号がメモリ部 21 に保持される。このメモリ部 21 が保持したカウント信号は、浮遊拡散部 20 の電位に基づくノイズ信号をデジタル化した信号である。このデジタル信号をノイズデータと表記する。

【0027】

その後、ランプ信号生成部 11 は、ランプ信号の電位の変化を終了した後、所定の電位

50

にリセットする。

【 0 0 2 8 】

時刻 t_4 に、垂直走査回路が信号 TX を $High$ レベルとした後、 Low レベルとする。これにより、光電変換部 13 に蓄積されていた電荷が浮遊拡散部 20 に転送される。

【 0 0 2 9 】

時刻 t_6 に、ランプ信号生成部 11 は、ランプ信号の電位を時間の経過に伴って単調変化させる。

【 0 0 3 0 】

時刻 t_7 に、入力トランジスタ 17 - 1、17 - 2 の電位の大小関係が逆転する。これにより、信号 $COUT$ の信号レベルが変化する。メモリ部 21 は、比較結果信号 $COUT$ の信号レベルが変化したことを受けて、カウント信号をラッチする。これにより、浮遊拡散部 20 の電位に基づくデジタル信号がメモリ部 21 に保持される。このメモリ部 21 が保持したカウント信号は、浮遊拡散部 20 の電位に基づく光信号をデジタル化した信号である。このデジタル信号を光データと表記する。

【 0 0 3 1 】

その後、不図示の走査回路が、各画素 12 に対応するメモリ部 21 から、各メモリ部 21 が保持した光データ、ノイズデータを読み出す。

【 0 0 3 2 】

差動段 25 は、ランプ信号生成部 11 が出力するランプ信号の電位と、光電変換部 13 が生成した電荷が転送トランジスタ 14 を介して転送された浮遊拡散部 20 の電位とを比較する。ランプ信号の電位の変化が開始された後、ランプ信号の電位と、浮遊拡散部 20 の電位との大小関係が反転すると比較結果信号 $COUT$ の信号レベルが変化する。

【 0 0 3 3 】

比較結果信号 $COUT$ は、メモリ部 21 に出力される。メモリ部 21 は、不図示のカウント回路から、クロック信号を計数したカウント信号が入力される。カウント回路は、ランプ信号生成部 11 が供給するランプ信号の電位の変化が開始したことに応じて、クロック信号の計数を開始する。メモリ部 21 は、比較結果信号 $COUT$ の信号レベルが変化したことを受けて、カウント信号をラッチする。これにより、浮遊拡散部 20 の電位に基づくデジタル信号がメモリ部 21 に保持されることとなる。

【 0 0 3 4 】

図 4 は、図 2 に示した撮像装置の断面図である。図 2 で説明した部材と同じ部材には、図 2 で付した符号と同じ符号を図 4 でも付している。

【 0 0 3 5 】

接合面 35 によって、第 1 チップ 1 と第 2 チップ 2 は接合されている。接続部 37 は、ランプ信号を伝送する第 1 伝送線 16 - 1 と第 2 伝送線 16 - 2 とを接続する。図 2 で示した伝送線 16 は、第 1 伝送線 16 - 1 と第 2 伝送線 16 - 2 を有する。接続部 37 は、第 1 チップ 1 の配線層である第 1 チップ配線層 30 と、第 2 チップ 2 の配線層である第 2 チップ配線層 33 とを金属で直接接続している。典型的には、金属として、 Cu 、 Al 、 Au 、 W を用いることができる。第 2 伝送線 16 - 2 は、複数の差動段 25 の入力トランジスタ 17 - 2 に接続される。換言すると、1 つの接続部 37 に対し、複数の差動段 25 の各々の入力トランジスタ 17 - 2 が接続されていると言える。つまり、1 つの接続部 37 を、複数の差動段 25 の各々の入力トランジスタ 17 - 2 で共有している。

【 0 0 3 6 】

本実施例では、図 2 に示したように、差動段 25 の一部である入力トランジスタ 17 - 1、17 - 2、電流源 19、光電変換部 13 が配された第 1 チップ 1 とは別のチップである第 2 チップ 2 にランプ信号生成部 11 が配されている。ランプ信号の生成を行うランプ信号生成部 11 は、スイッチングノイズ、ランダムノイズ等の種々のノイズ源となる。このため、デジタル回路に比べてノイズによる S/N 比の低下が生じやすいアナログ回路とランプ信号生成部 11 との距離を大きくすることが好ましい。そこで、本実施例は、ノイズによる S/N 比の低下が生じやすい画素 12 とランプ信号生成部 11 との距離を大きく

10

20

30

40

50

するため、ランプ信号生成部 11 を、画素 12 が配された第 1 チップ 1 とは別のチップに配している。これにより、ランプ信号生成部 11 が生じさせるノイズによる影響が、画素 12 に生じにくいようにしている。

【0037】

これにより、本実施例の撮像装置は、ランプ信号生成部 11 によるノイズの影響が抑制された信号を得ることができる効果を有する。

【0038】

また、ランプ信号生成部 11 が有するトランジスタは、高速動作を行うためにシリサイド化を行う。典型的にはシリサイド化として、ニッケルとシリコン、あるいはコバルトとシリコンによる金属半導体化合物を形成する。一方で、第 1 チップ 1 が有する画素 12 については、光電変換部 13 への金属の拡散を抑制するため、シリサイド化を行わない。このため、シリサイド化を行うチップと、シリサイド化を行わないチップとを別々に形成することが好ましい。よって、シリサイド化を行うランプ信号生成部 11 を、シリサイド化を行わない第 1 チップ 1 とは別のチップに形成することが好ましい。

【0039】

メモリ部 21 についても同じく、高速動作を行うためにシリサイド化を行う。このため、メモリ部 21 とランプ信号生成部 11 とを同じ第 2 チップ 2 に形成し、ともにシリサイド化を行うことができる。

【0040】

(実施例 2)

本実施例について、実施例 1 と異なる点を中心に説明する。

【0041】

実施例 1 の撮像装置では、ランプ信号を伝送する伝送線 16 は、1 つの接続部 37 によって複数の差動段 25 の入力トランジスタ 17 - 2 に接続されていた。本実施例の撮像装置は、1 つの差動段 25 に対し、1 つの接続部 37 を対応するように設けている。

【0042】

図 5 は本実施例の撮像装置の回路図である。

【0043】

伝送線 16 は、実施例 1 では、第 1 チップ 1 において、複数の差動段 25 に渡って配されていた。一方、本実施例では第 2 チップ 2 において、複数の差動段 25 に渡って配されている。

【0044】

図 6 は、図 5 に示した撮像装置の断面図である。図 5 に示した部材と同じ機能を有する部材については、図 5 で付した符号と同じ符号を図 6 でも付している。図 5 でも述べたように、本実施例の撮像装置は、ランプ信号を伝送する第 1 伝送線 16 - 1 が、複数の差動段 25 に渡って配されている。そして、接続部 37 を介して、第 2 伝送線 16 - 2 に接続されている。1 つの接続部 37 は、第 1 伝送線 16 - 1 と、1 つの差動段 25 の入力トランジスタ 17 - 2 に接続されている。

【0045】

実施例 1 の図 4 の構成と比較して、本実施例では、接続部 37 の単位面積当たりの個数が多くなる。その一方で、第 1 チップ 1 の配線層を低減するため、第 1 チップ 1 の設計の自由度が向上する効果を有する。

【0046】

(実施例 3)

本実施例の撮像装置について、実施例 1 の撮像装置と異なる点を中心に説明する。

【0047】

本実施例の撮像装置は、第 1 チップ 1 の伝送線 16 において、ランプ信号を中継するバッファ回路を設けた点が実施例 1 と異なる。

【0048】

図 7 は、本実施例の撮像装置の回路図である。図 2 に示した部材と同じ機能を有する部

10

20

30

40

50

材については、図 2 で付した符号と同じ符号を図 7 でも付している。

【 0 0 4 9 】

本実施例では、第 1 チップ 1 において、伝送線 1 6 が伝送する信号を中継するバッファ回路 3 1 を有する。バッファ回路 3 1 を備えることにより、ランプ信号生成部 1 1 の駆動負荷が実施例 1 の撮像装置に比べて減少する。これにより、ランプ信号の信号精度を向上させることができる。

【 0 0 5 0 】

図 8 は、バッファ回路 3 1 の回路を示している。バッファ回路 3 1 は、N 型 MOS トランジスタである、トランジスタ 4 1、4 2 を有する。トランジスタ 4 1 のゲートは、伝送線 1 6 が接続されている。トランジスタ 4 1 の一方の主ノードには電源電圧 VDD が供給され、他方の主ノードはトランジスタ 4 2 が接続されている。トランジスタ 4 2 のゲートには所定の電圧が入力され、他方の主ノードには電源電圧 GND が供給される。トランジスタ 4 1、トランジスタ 4 2 のそれぞれの主ノードが接続されたノードに配線 4 4 が接続されている。配線 4 4 は、入力トランジスタ 1 7 - 2 のゲートに接続される。

【 0 0 5 1 】

本実施例のバッファ回路 3 1 は、入力トランジスタ 1 7 - 2 と同じ導電型のトランジスタで構成することが好ましい。なぜなら、入力トランジスタ 1 7 - 2 と異なる導電型のトランジスタを備えるバッファ回路 3 1 の場合には、異なる導電型のトランジスタを形成するために複数のウエルを第 1 チップ 1 に形成することとなる。このため、第 1 チップ 1 の微細化の障害となることから、入力トランジスタ 1 7 - 2 の近傍に設けられるバッファ回路 3 1 は、入力トランジスタ 1 7 - 2 と同じ導電型であることが好ましい。また、さらに言えば、画素 1 2 が備えるトランジスタと同じ導電型とし、第 1 チップ 1 に設けられるトランジスタは、1 つの導電型に統一することが好ましい。これにより、異なる導電型のトランジスタを設ける場合に対して、ウエルの数を減らすことができるため、第 1 チップ 1 の微細化を進めることができる。

【 0 0 5 2 】

(実施例 4)

本実施例の撮像装置について、実施例 3 と異なる点を中心に説明する。

【 0 0 5 3 】

実施例 3 の撮像装置はランプ信号を中継するバッファ回路を第 1 チップ 1 に設けていた。本実施例の撮像装置は、ランプ信号を中継するバッファ回路を第 2 チップ 2 に設ける。

【 0 0 5 4 】

図 9 は、本実施例の撮像装置の回路図である。本実施例では、伝送線 1 6 の形態は図 5、図 6 と同じく、第 2 チップ 2 において、複数の差動段 2 5 に渡って配されている。

【 0 0 5 5 】

本実施例の撮像装置では、複数のバッファ回路 7 1 は、直列に接続されている。

【 0 0 5 6 】

本実施例のバッファ回路 7 1 は第 2 チップ 2 に配されているため、入力トランジスタ 1 7 - 2 および画素 1 2 が備えるトランジスタと異なる導電型のトランジスタを備える構成としても第 1 チップ 1 のウエルの数は増えない。また、トランジスタ群 1 8 は P 型の MOS トランジスタを有している。したがって、バッファ回路 7 1 のトランジスタとトランジスタ群 1 8 とを近接して配置する場合には、バッファ回路 7 1 のトランジスタを P 型の MOS トランジスタとする。これにより、トランジスタ群 1 8 とバッファ回路 7 1 のウエルを共通化できるため、第 2 チップ 2 を微細化することができる。よって、本実施例にバッファ回路 7 1 は、入力トランジスタ 1 7 - 2 とは異なる導電型であって、トランジスタ群 1 8 と同じ導電型のトランジスタを有する構成とすることが好ましい。

【 0 0 5 7 】

図 10 は、このバッファ回路 7 1 の回路を示した回路図である。図 8 のバッファ回路 3 1 のトランジスタ 4 1、4 2 に対し、反対の導電型である P 型のトランジスタ 5 2、5 3 を備える。トランジスタ 5 2 のゲートには伝送線 1 6 が接続される。トランジスタ 5 2 の

ゲートは、伝送線 1 6 が接続されている。トランジスタ 5 2 の一方の主ノードには電源電圧 GND が供給され、他方の主ノードはトランジスタ 5 3 が接続されている。トランジスタ 5 3 のゲートには所定の電圧が入力され、他方の主ノードには電源電圧 VDD が供給される。トランジスタ 5 2、トランジスタ 5 3 のそれぞれの主ノードが接続されたノードに配線 5 5 が接続されている。配線 5 5 は、接続部 3 7 を介して入力トランジスタ 1 7 - 2 のゲートに接続される。

【 0 0 5 8 】

以上のように、本実施例の撮像装置は、ランプ信号を中継するバッファ回路を備える構成においても、バッファ回路が第 1 チップ 1、第 2 チップ 2 の微細化の障害になるのを抑制する効果を有する。

【 0 0 5 9 】

(実施例 5)

本実施例の撮像装置について、実施例 4 と異なる点を中心に説明する。

【 0 0 6 0 】

実施例 4 の撮像装置は、ランプ信号を中継するバッファ回路を直列に設けていた。本実施例の撮像装置は、バッファ回路を伝送線 1 6 に対して並列に設けた例である。

【 0 0 6 1 】

図 1 1 は本実施例の撮像装置の回路図である。複数のバッファ回路 5 1 が伝送線 1 6 に対し、並列に設けられている。また、別の言い方をすれば、図 9 の構成ではランプ信号生成部 1 1 に対し、1 つのバッファ回路 5 1 の入力ノードが接続されていた。本実施例では、ランプ信号生成部 1 1 に対し、複数のバッファ回路 5 1 の入力ノードが接続されている。

【 0 0 6 2 】

図 9 の構成では、バッファ回路 7 1 が直列に配されていたため、ランプ信号を中継するバッファ回路 5 1 の数が増えるにつれてバッファ回路 5 1 のそれぞれ起因するノイズが積算され、ノイズが増加していた。また、バッファ回路 7 1 による遅延が積算されることにより、ランプ信号の遅延が増加していた。一方、本実施例の撮像装置は、複数のバッファ回路 5 1 が伝送線 1 6 に対し並列に接続されているため、ランプ信号の遅延が図 9 の構成に対して小さい。よって、ランプ信号生成部 1 1 から最も短い配線長の差動段 2 5 と、最も長い配線長の差動段 2 5 との間のランプ信号の遅延は、図 9 の構成に対し、本実施例の方が小さくすることができる。

【 0 0 6 3 】

また、本実施例の撮像装置は、バッファ回路 5 1 を第 2 チップ 2 に設けている。実施例 4 でも説明したように、バッファ回路 5 1 は第 2 チップ 2 に配されているため、入力トランジスタ 1 7 - 2 および画素 1 2 が備えるトランジスタと異なる導電型のトランジスタを備える構成としても第 1 チップ 1 のウエルの数は増えない。また、トランジスタ群 1 8 は P 型の MOS トランジスタを有している。したがって、バッファ回路 5 1 のトランジスタとトランジスタ群 1 8 とを近接して配置する場合には、バッファ回路 5 1 のトランジスタを P 型の MOS トランジスタとする。これにより、トランジスタ群 1 8 とバッファ回路 5 1 のウエルを共通化できるため、第 2 チップ 2 を微細化することができる。よって、本実施例にバッファ回路 5 1 は、入力トランジスタ 1 7 - 2 とは異なる導電型であって、トランジスタ群 1 8 と同じ導電型のトランジスタを有する構成とすることが好ましい。

【 0 0 6 4 】

以上のように、本実施例の撮像装置は、ランプ信号を中継するバッファ回路を備える構成においても、バッファ回路が第 1 チップ 1、第 2 チップ 2 の微細化の障害になるのを抑制する効果を有する。

【 0 0 6 5 】

(実施例 6)

本実施例の撮像装置について、実施例 1 と異なる点を中心に説明する。

【 0 0 6 6 】

図 1 2 は、本実施例の撮像装置の回路図である。

【 0 0 6 7 】

本実施例の撮像装置は、伝送線 1 6 と入力トランジスタ 1 7 - 2 との間に、容量素子 9 3 を設けている。

【 0 0 6 8 】

容量素子 9 3 の一方の主ノードにはランプ信号生成部 1 1 が接続され、他方の主ノードにはトランジスタ 9 2 の一方の主ノードが接続されている。

【 0 0 6 9 】

トランジスタ 9 2 の制御ノードには、不図示の垂直走査回路から信号 C R S T が供給される。トランジスタ 9 2 の他方の主ノードは差動段 2 5 に接続されている。具体的には、トランジスタ 9 2 の他方の主ノードは、入力トランジスタ 1 7 - 2 とトランジスタ群 1 8 とを接続するノードに接続されている。

10

【 0 0 7 0 】

入力トランジスタ 1 7 - 2 の制御ノードの電位を、信号 R S I G として表すこととする。

【 0 0 7 1 】

トランジスタ 9 1 は、一方の主ノードが浮遊拡散部 2 0 に接続され、他方の主ノードが差動段 2 5 に接続されている。具体的には、トランジスタ 9 1 の他方の主ノードは、入力トランジスタ 1 7 - 1 とトランジスタ群 1 8 とを接続するノードに接続されている。トランジスタ 9 1 の制御ノードには、トランジスタ 9 2 の制御ノードとともに信号 C R S T が入力される。

【 0 0 7 2 】

20

図 1 3 は、図 1 2 に示した撮像装置の動作を示したタイミング図である。

【 0 0 7 3 】

時刻 t 1 1 に、ランプ信号生成部 1 1 は、ランプ信号の電位を差動段 2 5 のリセット用の電位に変更する。

【 0 0 7 4 】

時刻 t 1 2 に、不図示の垂直走査回路は、信号 C R S T を H i g h レベルとした後、時刻 t 1 3 に信号 C R S T を L o w レベルにする。これにより、容量素子 9 3 は、時刻 t 1 3 における伝送線 1 6 の電位（ランプ信号生成部 1 1 の出力）と、信号 R S I G との電位差をクランプする。

【 0 0 7 5 】

30

その後、ランプ信号生成部 1 1 は、ランプ信号の電位をランプ開始電位に変更する。

【 0 0 7 6 】

時刻 t 1 4 に、ランプ信号生成部 1 1 は、ランプ信号の電位の単調変化を開始する。

【 0 0 7 7 】

時刻 t 1 5 に、信号 R S I G と信号 P S I G との大小関係が逆転する。これにより、信号 C O U T の信号レベルが変化し、メモリ部 2 1 はカウント信号をラッチする。このメモリ部 2 1 がラッチした信号は、ノイズデータである。

【 0 0 7 8 】

時刻 t 1 6 に、ランプ信号生成部 1 1 はランプ信号の電位の変化を終了し、ランプ開始電位にランプ信号の電位をリセットする。

40

【 0 0 7 9 】

以降の S データを得る動作は、図 3 を参照しながら説明した動作と同様である。

【 0 0 8 0 】

本実施例では、トランジスタ 9 1、トランジスタ 9 2 を第 1 チップ 1 に設けている。トランジスタ 9 1 と浮遊拡散部 2 0 との間の寄生容量（配線容量）は、浮遊拡散部 2 0 を実質的に増加させる。このため、この寄生容量を少なくすることによって、撮像装置の感度を向上させることができる。よって、トランジスタ 9 1 を第 2 チップ 2 に設けると第 1 チップ 1 に設ける場合に比べて配線長が長くなる。また、トランジスタ 9 1 と浮遊拡散部 2 0 とが接続部 3 7 を介した接続となるため、接続部 3 7 による寄生容量もまた増加する。このため、トランジスタ 9 1 は第 1 チップ 1 に設けることが寄生容量低減の点で好ましい。

50

【 0 0 8 1 】

そして、トランジスタ 9 2 の制御ノードと、トランジスタ 9 1 の制御ノードは、共通の信号線が接続されていることが好ましい。トランジスタ 9 1、9 2 は、ともに動作タイミングが同じである。よって、配線面積の低減と、トランジスタ 9 1、9 2 の動作の同期の点で、トランジスタ 9 1、9 2 の制御ノードは共通の信号線で接続されていることが好ましいためである。

【 0 0 8 2 】

容量素子 9 3 は、設計に応じて第 1 チップ 1、第 2 チップ 2 のいずれにも設けることが可能である。画素 1 2 の微細化が求められる場合には、容量素子 9 3 を第 2 チップ 2 に設けるのが良い。

10

【 0 0 8 3 】

このように、本実施例の撮像装置は、クランプを行う容量素子 9 3 と、トランジスタ 9 2、9 3 を備える場合においても、浮遊拡散部 2 0 の容量増加を抑制した、高感度の積層型の撮像装置を提供することができる。

【 0 0 8 4 】

(実施例 7)

本実施例では、ランプ信号生成部 1 1 の一例を説明する。

【 0 0 8 5 】

図 1 4 (A) は、ランプ信号生成部 1 1 の回路図である。本実施例のランプ信号生成部 1 1 は、入力される制御信号に基づいて出力電圧を変化させるデジタルアナログ変換器 (DAC : Digital to Analog Converter) である。ランプ信号生成部 1 1 は、電流値がバイナリ比の関係となる電流源を備える。そして、ランプ信号生成部 1 1 は、スイッチ群 1 2 1 を有する。スイッチ群 1 2 1 は、不図示の制御部から入力される信号 S 1 ~ S n の信号レベルに応じて、対応するスイッチのオン、オフを切り替える。

20

【 0 0 8 6 】

図 1 4 (B) は、信号 S 1 ~ S n の一部である信号 S 1 ~ S 4 と、出力信号 O U T (ランプ信号) とを示した図である。制御部から出力される信号 S 1 ~ S 4 により、出力信号 O U T は階段状に電位が変化する。本実施例では、この階段状に電位が変化する信号をランプ信号として用いることができる。

30

【 0 0 8 7 】

なお、ランプ信号生成部 1 1 は、この DAC の例に限定されるものではない。例えば、図 1 5 (A) に示すように、ランプ信号生成部 1 1 として、電流源 I と、電流源 I に接続された容量素子 C と、制御信号 R R E S によって制御されるスイッチを設ける。この容量素子 C に電流源 I が充電を行うことによって経時的に出力電圧がランプ信号として変化するようにしてもよい。

【 0 0 8 8 】

なお、DAC はスイッチ群 1 2 1 のオン、オフが頻繁に行われるため、スイッチングノイズを生じさせる。このスイッチングノイズは、例えばアナログ回路である画素 1 2 が DAC に近接していると、画素 1 2 の生成する信号に DAC のスイッチングノイズが重畳する場合が有る。したがって、DAC のようなノイズの大きいランプ信号生成部 1 1 を用いる場合には、画素 1 2 が設けられた第 1 チップ 1 とは別のチップにランプ信号生成部 1 1 を設けるのがよい。

40

【 0 0 8 9 】

(実施例 8)

本実施例の撮像装置について、実施例 5 と異なる点を中心に説明する。

【 0 0 9 0 】

実施例 5 の撮像装置では、信号処理回路 1 0 とランプ信号生成部 1 1 とが同じ第 2 チップ 2 に設けられていた。本実施例は、図 1 6 に示すように、ランプ信号生成部 1 1 は画素 1 2 が設けられた第 1 チップ 1 と、信号処理回路 1 0 が設けられた第 2 チップとは別の第

50

３チップ３に設けられている。

【００９１】

この構成によれば、ランプ信号生成部１１が第１チップ１、第２チップ２とは別のチップに設けられていることにより、ランプ信号生成部１１によるノイズが第１チップ１、第２チップ２に伝搬しにくくすることができる。

【００９２】

これにより、本実施例の撮像装置は、ランプ信号生成部１１によるノイズの、画素１２、信号処理回路１０への伝搬を抑制することができる。

【００９３】

（実施例９）

本実施例の撮像装置について、実施例２と異なる点を中心に説明する。

【００９４】

本実施例は、光電変換部１３が蓄積した電荷量と閾値とを比較する。この比較の結果が、蓄積した電荷量が閾値よりも大きいことを示す場合には、単位時間あたりの電位の変化量（傾き）が相対的に大きいランプ信号を用いる。一方、比較の結果が、光電変換部１３が蓄積した電荷量が閾値よりも小さいことを示す場合には、単位時間あたりの電位の変化量（傾き）が相対的に小さいランプ信号を用いる。

【００９５】

図１７は、本実施例の撮像装置の回路図である。本実施例の撮像装置は、ランプ信号生成部１１に、複数の伝送線である、伝送線１６０、伝送線１６５が接続されている。ランプ信号生成部１１は、伝送線１６５には相対的に傾きの大きいランプ信号を出力し、伝送線１６０には相対的に傾きの小さいランプ信号を出力する。

【００９６】

撮像装置は、第２チップ２に選択部１６４を有する。選択部１６４には、不図示の制御部から信号ＪＤＧ、信号ＲＥＳＢが入力される。また、選択部１６４には、差動段２５の信号ＣＯＵＴが入力される。

【００９７】

また、撮像装置は、第１チップ１に切替部１６３を有する。切替部１６３は、スイッチｓｗ１、スイッチｓｗ２を有する。スイッチｓｗ１には、選択部１６４から信号ＳＥＬＨが入力される。また、スイッチｓｗ２には、選択部１６４から信号ＳＥＬＬが入力される。

【００９８】

図１８は、図１７に示した撮像装置の動作を示したタイミング図である。

【００９９】

時刻ｔ３１よりも前の期間は、図３に示した、時刻ｔ１～ｔ４のノイズデータの取得が行われる。この期間、選択部１６４は、スイッチｓｗ１をオンとし、スイッチｓｗ２をオフとする。そして、ランプ信号生成部１１は、伝送線１６５にランプ信号を供給することによって、時刻ｔ１～ｔ４のノイズデータの取得が行われる。

【０１００】

図１８では、信号ＰＳＩＧについて、信号ＰＳＩＧ１、ＰＳＩＧ２として２つの場合を示している。信号ＰＳＩＧ１は、閾値よりも光電変換部１３が蓄積した電荷が小さい場合である。また、信号ＰＳＩＧ２は、閾値よりも光電変換部１３が蓄積した電荷が大きい場合である。光電変換部１３が蓄積する電荷が電子であるので、信号ＰＳＩＧ１は、閾値よりも電圧が大きい値となる。信号ＰＳＩＧ２は、閾値よりも電圧が小さい値となる。換言すると、信号ＰＳＩＧ１は、閾値よりも振幅が小さい値である。また、信号ＰＳＩＧ２は閾値よりも振幅が大きい値である。ここでいう振幅とは、基準の電位に対する差として取り扱うことができる。基準の電位とは、典型的には、リセットされた浮遊拡散部２０の電位である。

【０１０１】

時刻ｔ３１の前に、不図示であるが、図３の時刻ｔ４～ｔ５に示した信号ＴＸの変化が行われる。これにより、浮遊拡散部２０は、信号ＰＳＩＧ１あるいはＰＳＩＧ２の電位と

10

20

30

40

50

なる。以下、信号 P S I G 1 の例を中心に説明することとし、信号 P S I G 2 については、信号 P S I G 1 の場合に対する差を説明することとする。なお、図 1 8 では信号 P S I G 1 の場合については、実線で示しており、信号 P S I G 2 の場合については破線で示している。

【 0 1 0 2 】

時刻 t 3 2 に、ランプ信号生成部 1 1 は、伝送線 1 6 5 の電位を、閾値のレベルに変更する。信号 C O U T は、H i g h レベルから L o w レベルに変化する。

【 0 1 0 3 】

時刻 t 3 4 に、不図示の制御部が信号 J D G を H i g h レベルとする。これにより、この時刻 t 3 4 における信号 C O U T の信号レベルに基づいて、信号 S E L L、信号 S E L H の信号レベルが決定される。この結果、選択部 1 6 4 は信号 S E L L の信号レベルを H i g h レベルのままとし、信号 S E L H の信号レベルを L o w レベルのままとする。

【 0 1 0 4 】

一方、信号 P S I G 2 の場合では、信号 S E L L は H i g h レベルから L o w レベルに変化し、信号 S E L H は L o w レベルから H i g h レベルに変化する。

【 0 1 0 5 】

その後、時刻 t 3 6 に、ランプ信号生成部 1 1 は、伝送線 1 6 5 の電位をランプ開始電位にリセットする。

【 0 1 0 6 】

時刻 t 3 7 に、ランプ信号生成部 1 1 は、ランプ信号 V L、ランプ信号 V H の電位の変化を開始する。ランプ信号 V L はランプ信号生成部 1 1 が伝送線 1 6 0 に出力するランプ信号である。ランプ信号 V H はランプ信号生成部 1 1 が伝送線 1 6 5 に出力するランプ信号である。

【 0 1 0 7 】

時刻 t 3 8 に、信号 C O U T の信号レベルが変化する。これにより、メモリ部 2 1 は、この時刻 t 3 8 におけるカウント値を S データとして保持する。信号 P S I G 2 の場合は、時刻 t 3 9 におけるカウント値を S データとして保持する。

【 0 1 0 8 】

このようにして、閾値よりも振幅の小さい信号に対しては高い分解能で A D 変換を行う。一方、閾値よりも振幅の大きい信号に対しては、A D 変換の分解能を抑え、閾値よりも振幅の小さい信号の A D 変換の期間と同等の長さで A D 変換を行う。これにより、高速化と高分解能とを両立した A D 変換を実現することができる。

【 0 1 0 9 】

なお、本実施例では、切替部 1 6 3 を第 1 チップ 1 に設けていた。他の例として、図 1 9 に示すように、切替部 1 6 3 を第 2 チップ 2 に設けるようにすることができる。図 1 7 では、伝送線 1 6 0、1 6 5 から入力トランジスタ 1 7 - 2 に至る電氣的経路において、第 1 チップ 1、第 2 チップ 2 の間に、ランプ信号 V L、ランプ信号 V H、信号 S E L L、信号 S E L H の 4 つの接続部を設けることが求められる。一方、図 1 9 では、切替部 1 6 3 から入力トランジスタ 1 7 - 2 に至る経路のみの 1 つの接続部とすることができる。これにより、接続部の数を減らすことができる。これにより、画素 1 2 の微細化を進展させることができる。また、第 1 チップ 1 の配線数もまた、図 1 7 の例に比べて図 1 9 の例は減らすことができる。これによってもまた、画素 1 2 の微細化を進めることができる。

【 0 1 1 0 】

また、スイッチ s w 1、s w 2 の設計の自由度を向上させることができる。つまり、第 1 チップ 1 は、画素 1 2 の微細化を進める上では、第 1 チップ 1 に設けるトランジスタを同一導電型のトランジスタとすることが好ましい。したがって、図 1 7 の例では、N 型の M O S トランジスタをスイッチ s w 1、s w 2 として用いるのが好ましい。しかし、N 型の M O S トランジスタで形成する場合、スイッチとしての動作が保証されるランプ信号の範囲が、C M O S スイッチに比べて小さくなる。一方、図 1 9 に示した形態では、切替部 1 6 3 は第 2 チップ 2 に設けられている。よって、スイッチ s w 1、s w 2 を P 型の M O

10

20

30

40

50

Sトランジスタと、N型のMOSトランジスタとで構成されたCMOSスイッチとすることができる。これにより、ランプ信号の取り得る範囲を、P型のMOSトランジスタを用いず、N型のMOSトランジスタでスイッチsw1、sw2を形成した場合に比べて大きくすることができる。

【0111】

(実施例10)

本実施例について、実施例1と異なる点を中心に説明する。

【0112】

図20は、本実施例の撮像装置の回路図である。本実施例の撮像装置は、入力トランジスタ17-2、電流源19が第2チップ2に設けられている例である。第1チップ1には、画素12と、入力トランジスタ17-1が設けられている。この例もまた、差動段25の一部が第1チップ1に設けられ、他の一部が第2チップ2に設けられた例に含まれる。具体的には、差動段25の一部である入力トランジスタ17-1が第1チップ1に設けられ、差動段25の他の一部である入力トランジスタ17-2、電流源19、トランジスタ群18が第2チップ2に設けられている。

10

【0113】

ランプ信号生成部11は、第2チップ2に設けられている。

【0114】

この例においても、実施例1の撮像装置と同じ効果を得ることができる。

【0115】

また、ランプ信号生成部11から入力トランジスタ17-2に至る電氣的経路において第1チップ1と第2チップ2との接続部を省略することができる。これにより、実施例1の撮像装置に比べて、第1チップ1と第2チップ2の接続部の数を減らすことができる。

20

【0116】

(実施例11)

本実施例の撮像装置について、実施例2と異なる点を中心に説明する。

【0117】

本実施例の撮像装置の回路は、図5のようにすることができる。

【0118】

図21は、本実施例の撮像装置の配線のレイアウトを示した模式図である。

30

【0119】

本実施例の撮像装置は、ランプ信号を供給する伝送線16-1を、偶数行と奇数行の差動段25で分けて配線している。すなわち、複数の伝送線16-1のうちの一の伝送線16-1は、奇数行の差動段25の入力トランジスタ17-2に接続されるように配されている。また、他の伝送線16-1は、偶数行の差動段25の入力トランジスタ17-1に接続されるように配されている。

【0120】

1つの伝送線16-1で偶数行および奇数行の両方の行の差動段25にランプ信号を供給すると、AD変換期間中に、ある差動段25の信号COUTの信号レベルが変化したことによるキックバックノイズが、伝送線16-1を通じて他の差動段25に伝搬する。これにより、キックバックノイズの影響を受けた差動段25が、このキックバックにより、信号COUTの信号レベルが変化するタイミングが本来のタイミングに対して、前後する場合が生じる。

40

【0121】

一方、本実施例の撮像装置は、偶数行と奇数行とでランプ信号を伝送する伝送線16-1を分けている。このため、ある差動段25の信号COUTの信号レベルが変化したことによるキックバックノイズが、隣接する行の差動段25に伝搬することを抑制することができる。これにより、キックバックノイズによるAD変換の精度の低下を抑制することができる。また、撮像装置の各画素12にカラーフィルタが配されている場合には、ある色の画素12に対応する差動段25のキックバックノイズが他の色の画素12に対応する差

50

動段 2 5 に伝搬すると混色となる。したがって、本実施例の撮像装置は混色を低減することの効果もある。

【 0 1 2 2 】

なお、本実施例では、ランプ信号を伝送する伝送線 1 6 - 1 を偶数行と奇数行とで分けていた。他の例として、偶数列と奇数列とでランプ信号を伝送する伝送線を分けるようにしてもよい。

【 0 1 2 3 】

また、本実施例では、1つの接続部に対し、1つの差動段 2 5 の入力トランジスタ 1 7 - 2 が接続される例を説明した。この例に限定されるものではなく、例えば図 2 2 のように、1つの接続部に対し、複数の差動段 2 5 の入力トランジスタが接続されるようにしてもよい。

10

【 0 1 2 4 】

(実施例 1 2)

本実施例の撮像装置について、実施例 1 1 と異なる点を中心に説明する。

【 0 1 2 5 】

本実施例の撮像装置の回路は、図 2 のようにすることができる。

【 0 1 2 6 】

図 2 3 は、本実施例の撮像装置の配線のレイアウトを示した模式図である。

【 0 1 2 7 】

本実施例の撮像装置は、第 1 チップ 1 において、ランプ信号を伝送する 1 つの伝送線 1 6 - 2 に、1行複数列の画素 1 2 の差動段 2 5 の入力トランジスタ 1 7 - 2 が接続されている。

20

【 0 1 2 8 】

これにより、実施例 1 1 の撮像装置に比べて、伝送線 1 6 - 1 と伝送線 1 6 - 2 とを接続する接続部の数を、少なくすることができる。これにより、第 1 チップ 1、第 2 チップ 2 の微細化を進展させることができる。

【 0 1 2 9 】

(実施例 1 3)

本実施例の撮像装置について、実施例 1 1 と異なる点を中心に説明する。

【 0 1 3 0 】

図 2 4 は、本実施例の撮像装置の配線のレイアウトを示した図である。

30

【 0 1 3 1 】

本実施例の撮像装置は、画素 1 2 の中心位置と、信号処理回路 1 0 の中心位置とを異ならせて配置した例である。画素 1 2 のピッチと、信号処理回路 1 0 のピッチは同じとしている。

【 0 1 3 2 】

画素 1 2 の中心位置、信号処理回路 1 0 の中心位置について説明する。まず 1 つの画素 1 2 の外延は、例えば隣接する画素 1 2 同士を電氣的に分離する素子分離領域によって規定することができる。その素子分離領域によって囲まれた領域の中心を、画素 1 2 の中心とすることができる。

40

【 0 1 3 3 】

また、信号処理回路 1 0 についても同じく、隣接する信号処理回路 1 0 同士を電氣的に分離する素子分離領域によって、1つの信号処理回路 1 0 の外延を規定することができる。この素子分離領域に囲まれた領域の中心を信号処理回路 1 0 の中心とすることができる。

【 0 1 3 4 】

そして、この画素 1 2 の中心位置と、信号処理回路 1 0 の中心位置を平面視において重ならないようにする。これにより、入力トランジスタ 1 7 - 2 の位置が画素 1 2 の中心位置からずれていた場合であっても、伝送線 1 6 - 1 と、伝送線 1 6 - 2 を第 1 チップ 1 に対して垂直方向に、かつ直線状に配線することができる。これにより、入力トランジスタ 1 7 - 2 と伝送線 1 6 - 1 との間の配線長を、伝送線 1 6 - 2 が直線状から蛇行した場合

50

に比べて短くすることができる。これにより、ランプ信号の配線長による遅延を低減することができる。

【 0 1 3 5 】

(実施例 1 4)

図 2 5 は、本実施例による撮像システム 5 0 0 の構成を示すブロック図である。本実施例の撮像システム 5 0 0 は、上述の各実施例で述べた撮像装置のいずれかの構成を適用した撮像装置 2 0 0 を含む。撮像システム 5 0 0 の具体例としては、デジタルスチルカメラ、デジタルカムコーダー、監視カメラ等が挙げられる。図 2 5 に、上述の各実施例のいずれかの撮像装置を撮像装置 2 0 0 として適用したデジタルスチルカメラの構成例を示す。

【 0 1 3 6 】

図 2 5 に例示した撮像システム 5 0 0 は、撮像装置 2 0 0、被写体の光学像を撮像装置 2 0 0 に結像させるレンズ 5 0 2 0、レンズ 5 0 2 0 を通過する光量を可変にするための絞り 5 0 4、レンズ 5 0 2 0 の保護のためのバリア 5 0 6 を有する。レンズ 5 0 2 0 及び絞り 5 0 4 は、撮像装置 2 0 0 に光を集光する光学系である。

【 0 1 3 7 】

撮像システム 5 0 0 は、また、撮像装置 2 0 0 から出力される出力信号の処理を行う信号処理部 5 0 8 0 を有する。信号処理部 5 0 8 0 は、必要に応じて入力信号に対して各種の補正、圧縮を行って出力する信号処理の動作を行う。信号処理部 5 0 8 0 は、撮像装置 2 0 0 より出力される出力信号に対して A D 変換処理を実施する機能を備えていてもよい。この場合、撮像装置 2 0 0 の内部には、必ずしも A D 変換回路を有する必要はない。

【 0 1 3 8 】

撮像システム 5 0 0 は、更に、画像データを一時的に記憶するためのバッファメモリ部 5 1 0、外部コンピュータ等と通信するための外部インターフェース部（外部 I / F 部） 5 1 2 を有する。更に撮像システム 5 0 0 は、撮像データの記録又は読み出しを行うための半導体メモリ等の記録媒体 5 1 4、記録媒体 5 1 4 に記録又は読み出しを行うための記録媒体制御インターフェース部（記録媒体制御 I / F 部） 5 1 6 を有する。なお、記録媒体 5 1 4 は、撮像システム 5 0 0 に内蔵されていてもよく、着脱可能であってもよい。

【 0 1 3 9 】

更に撮像システム 5 0 0 は、各種演算を行うとともにデジタルスチルカメラ全体を制御する全体制御・演算部 5 1 8、撮像装置 2 0 0 と信号処理部 5 0 8 0 に各種タイミング信号を出力するタイミング発生部 5 2 0 を有する。ここで、タイミング信号などは外部から入力されてもよく、撮像システム 5 0 0 は、少なくとも撮像装置 2 0 0 と、撮像装置 2 0 0 から出力された出力信号を処理する信号処理部 5 0 8 0 とを有すればよい。全体制御・演算部 5 1 8 及びタイミング発生部 5 2 0 は、撮像装置 2 0 0 の制御機能の一部又は全部を実施するように構成してもよい。

【 0 1 4 0 】

撮像装置 2 0 0 は、画像用信号を信号処理部 5 0 8 0 に出力する。信号処理部 5 0 8 0 は、撮像装置 2 0 0 から出力される画像用信号に対して所定の信号処理を実施し、画像データを出力する。また、信号処理部 5 0 8 0 は、画像用信号を用いて、画像を生成する。

【 0 1 4 1 】

上述した各実施例の撮像装置による撮像装置を用いて撮像システムを構成することにより、より良質の画像が取得可能な撮像システムを実現することができる。

【 0 1 4 2 】

(実施例 1 5)

本実施例の撮像システム及び移動体について、図 2 6 及び図 2 7 を用いて説明する。

【 0 1 4 3 】

図 2 6 は、本実施例による撮像システム及び移動体の構成例を示す概略図である。図 2 7 は、本実施例による撮像システムの動作を示すフロー図である。

【 0 1 4 4 】

本実施例では、車載カメラに関する撮像システムの一例を示す。図 2 6 は、車両システ

10

20

30

40

50

ムとこれに搭載される撮像システムの一例を示したものである。撮像システム 701 は、撮像装置 702、画像前処理部 715、集積回路 703、光学系 714 を含む。光学系 714 は、撮像装置 702 に被写体の光学像を結像する。撮像装置 702 は、光学系 714 により結像された被写体の光学像を電気信号に変換する。撮像装置 702 は、上述の各実施例のいずれかの撮像装置である。画像前処理部 715 は、撮像装置 702 から出力された信号に対して所定の信号処理を行う。画像前処理部 715 の機能は、撮像装置 702 内に組み込まれていてもよい。撮像システム 701 には、光学系 714、撮像装置 702 及び画像前処理部 715 が、少なくとも 2 組設けられており、各組の画像前処理部 715 からの出力が集積回路 703 に入力されるようになっている。

【0145】

集積回路 703 は、撮像システム用途向けの集積回路であり、メモリ 705 を含む画像処理部 704、光学測距部 706、視差演算部 707、物体認知部 708、異常検出部 709 を含む。画像処理部 704 は、画像前処理部 715 の出力信号に対して、現像処理や欠陥補正等の画像処理を行う。メモリ 705 は、撮像画像の一次記憶、撮像画素の欠陥位置を格納する。光学測距部 706 は、被写体の合焦や、測距を行う。視差演算部 707 は、複数の撮像装置 702 により取得された複数の画像データから視差（視差画像の位相差）の算出を行う。物体認知部 708 は、車、道、標識、人等の被写体の認知を行う。異常検出部 709 は、撮像装置 702 の異常を検出すると、主制御部 713 に異常を発報する。

【0146】

集積回路 703 は、専用に設計されたハードウェアによって実現されてもよいし、ソフトウェアモジュールによって実現されてもよいし、これらの組合せによって実現されてもよい。また、FPGA (Field Programmable Gate Array) や ASIC (Application Specific Integrated Circuit) 等によって実現されてもよいし、これらの組合せによって実現されてもよい。

【0147】

主制御部 713 は、撮像システム 701、車両センサ 710、制御ユニット 720 等の動作を統括・制御する。なお、主制御部 713 を持たず、撮像システム 701、車両センサ 710、制御ユニット 720 が個別に通信インターフェースを有して、それぞれが通信ネットワークを介して制御信号の送受を行う（例えば CAN 規格）方法も取りうる。

【0148】

集積回路 703 は、主制御部 713 からの制御信号を受け或いは自身の制御部によって、撮像装置 702 へ制御信号や設定値を送信する機能を有する。例えば、集積回路 703 は、撮像装置 702 内の電圧スイッチ 13 をパルス駆動させるための設定や、フレーム毎に電圧スイッチ 13 を切り替える設定等を送信する。

【0149】

撮像システム 701 は、車両センサ 710 に接続されており、車速、ヨーレート、舵角などの自車両走行状態及び自車外環境や他車・障害物の状態を検出することができる。車両センサ 710 は、視差画像から対象物までの距離情報を取得する距離情報取得手段でもある。また、撮像システム 701 は、自動操舵、自動巡行、衝突防止機能等の種々の運転支援を行う運転支援制御部 711 に接続されている。特に、衝突判定機能に関しては、撮像システム 701 や車両センサ 710 の検出結果を基に他車・障害物との衝突推定・衝突有無を判定する。これにより、衝突が推定される場合の回避制御、衝突時の安全装置起動を行う。

【0150】

また、撮像システム 701 は、衝突判定部での判定結果に基づいて、ドライバーに警報を発する警報装置 712 にも接続されている。例えば、衝突判定部の判定結果として衝突可能性が高い場合、主制御部 713 は、ブレーキをかける、アクセルを戻す、エンジン出力を抑制するなどして、衝突を回避、被害を軽減する車両制御を行う。警報装置 712 は、音等の警報を鳴らす、カーナビゲーションシステムやメーターパネルなどの表示部画面に警報情報を表示する、シートベルトやステアリングに振動を与えるなどしてユーザに警

10

20

30

40

50

告を行う。

【 0 1 5 1 】

本実施例では、車両の周囲、例えば前方又は後方を撮像システム 7 0 1 で撮影する。図 2 6 (b) に、車両前方を撮像システム 7 0 1 で撮像する場合の撮像システム 7 0 1 の配置例を示す。

【 0 1 5 2 】

2 つの撮像装置 7 0 2 は、車両 7 0 0 の前方に配置される。具体的には、車両 7 0 0 の進退方位又は外形（例えば車幅）に対する中心線を対称軸に見立て、その対称軸に対して 2 つの撮像装置 7 0 2 が線対称に配置されると、車両 7 0 0 と被写対象物との間の距離情報の取得や衝突可能性の判定を行う上で好ましい。また、撮像装置 7 0 2 は、運転者が運転席から車両 7 0 0 の外の状況を視認する際に運転者の視野を妨げない配置が好ましい。警報装置 7 1 2 は、運転者の視野に入りやすい配置が好ましい。

10

【 0 1 5 3 】

次に、撮像システム 7 0 1 における撮像装置 7 0 2 の故障検出動作について、図 2 7 を用いて説明する。撮像装置 7 0 2 の故障検出動作は、図 2 7 に示すステップ S 8 1 0 ~ S 8 8 0 に従って実施される。

【 0 1 5 4 】

ステップ S 8 1 0 は、撮像装置 7 0 2 のスタートアップ時の設定を行うステップである。すなわち、撮像システム 7 0 1 の外部（例えば主制御部 7 1 3 ）又は撮像システム 7 0 1 の内部から、撮像装置 7 0 2 の動作のための設定を送信し、撮像装置 7 0 2 の撮像動作及び故障検出動作を開始する。

20

【 0 1 5 5 】

次いで、ステップ S 8 2 0 において、有効画素から画素信号を取得する。また、ステップ S 8 3 0 において、故障検出用に設けた故障検出画素からの出力値を取得する。この故障検出画素は、有効画素と同じく光電変換部を備える。この光電変換部には、所定の電圧が書き込まれる。故障検出用画素は、この光電変換部に書き込まれた電圧に対応する信号を出力する。なお、ステップ S 8 2 0 とステップ S 8 3 0 とは逆でもよい。

【 0 1 5 6 】

次いで、ステップ S 8 4 0 において、故障検出画素の出力期待値と、実際の故障検出画素からの出力値との該非判定を行う。

30

【 0 1 5 7 】

ステップ S 8 4 0 における該非判定の結果、出力期待値と実際の出力値とが一致している場合は、ステップ S 8 5 0 に移行し、撮像動作が正常に行われていると判定し、処理ステップがステップ S 8 6 0 へと移行する。ステップ S 8 6 0 では、走査行の画素信号をメモリ 7 0 5 に送信して一次保存する。そののち、ステップ S 8 2 0 に戻り、故障検出動作を継続する。

【 0 1 5 8 】

一方、ステップ S 8 4 0 における該非判定の結果、出力期待値と実際の出力値とが一致していない場合は、処理ステップはステップ S 8 7 0 に移行する。ステップ S 8 7 0 において、撮像動作に異常があると判定し、主制御部 7 1 3 、又は警報装置 7 1 2 に警報を発報する。警報装置 7 1 2 は、表示部に異常が検出されたことを表示させる。その後、ステップ S 8 8 0 において撮像装置 7 0 2 を停止し、撮像システム 7 0 1 の動作を終了する。

40

【 0 1 5 9 】

なお、本実施例では、1 行毎にフローチャートをループさせる例を例示したが、複数行毎にフローチャートをループさせてもよいし、1 フレーム毎に故障検出動作を行ってもよい。

【 0 1 6 0 】

なお、ステップ S 8 7 0 の警報の発報は、無線ネットワークを介して、車両の外部に通知するようにしてもよい。

【 0 1 6 1 】

50

また、本実施例では、他の車両と衝突しない制御を説明したが、他の車両に追従して自動運転する制御や、車線からはみ出さないように自動運転する制御などにも適用可能である。さらに、撮像システム 701 は、自車両等の車両に限らず、例えば、船舶、航空機或いは産業用ロボットなどの移動体（移動装置）に適用することができる。加えて、移動体に限らず、高度道路交通システム（ITS）等、広く物体認識を利用する機器に適用することができる。

【0162】

〔変形実施例〕

本発明は、上記実施例に限らず種々の変形が可能である。

【0163】

例えば、いずれかの実施例の一部の構成を他の実施例に追加した例や、他の実施例の一部の構成と置換した例も、本発明の実施例である。

【0164】

また、上述の実施例は、いずれも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらの例示によって本発明の技術的範囲が限定的に解釈されてはならない。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な態様で実施することができる。

【0165】

例えば、図 20 の実施例に対し、ランプ信号を中継するバッファ回路をさらに設けた構成として、図 7、図 9、図 11 のいずれか、または複数の実施例を組み合わせることができる。

【符号の説明】

【0166】

- 1 第 1 チップ
- 2 第 2 チップ
- 3 第 3 チップ
- 11 ランプ信号生成部
- 12 画素
- 13 光電変換部
- 16 伝送線
- 17 入力トランジスタ
- 18 トランジスタ群（カレントミラー回路）
- 19 電流源
- 20 浮遊拡散部
- 21 メモリ部
- 25 差動段

10

20

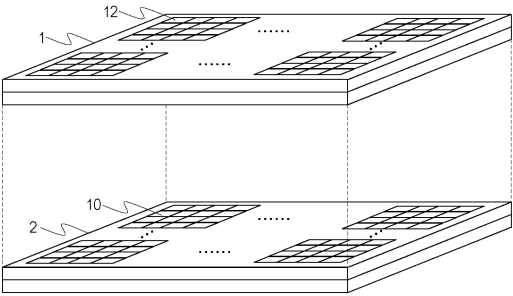
30

40

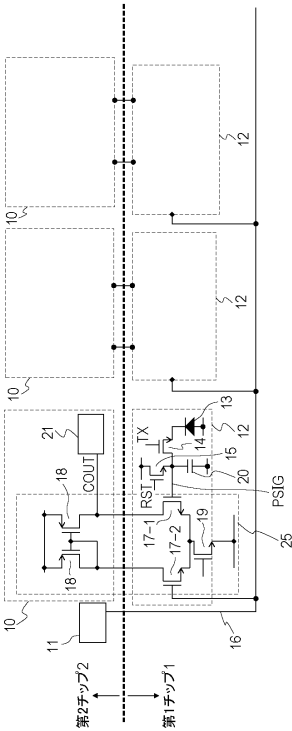
50

【図面】

【図 1】



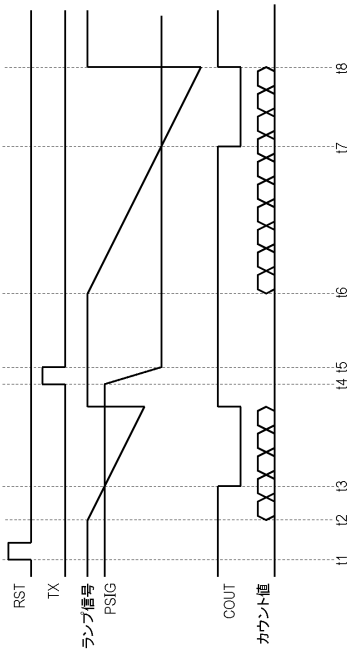
【図 2】



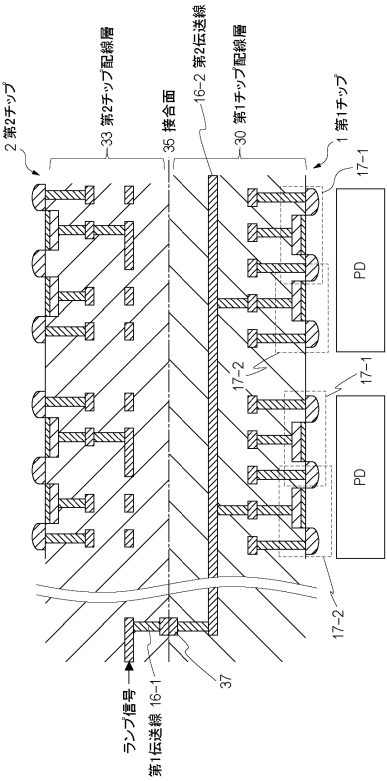
10

20

【図 3】



【図 4】

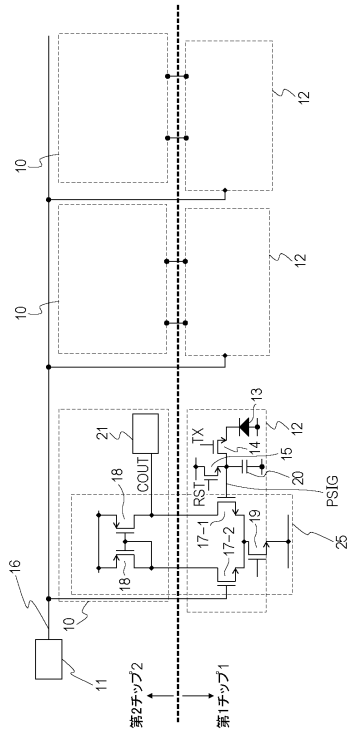


30

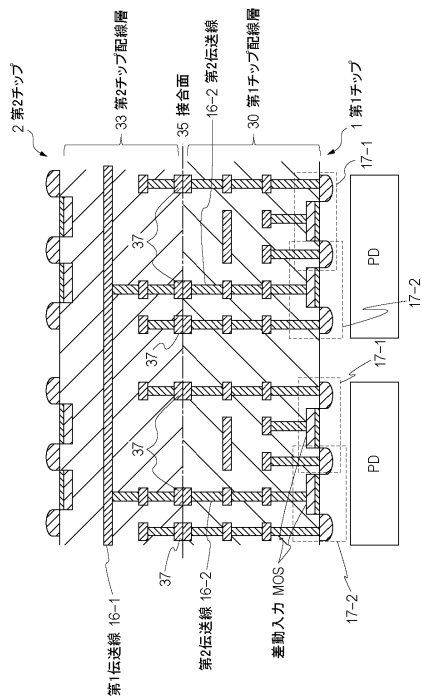
40

50

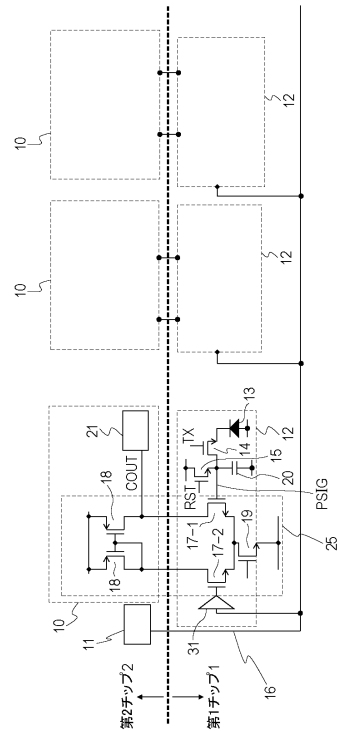
【図 5】



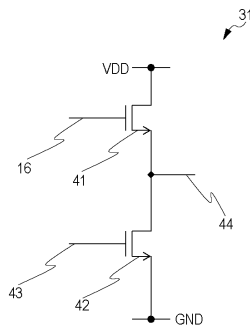
【図 6】



【図 7】



【図 8】



10

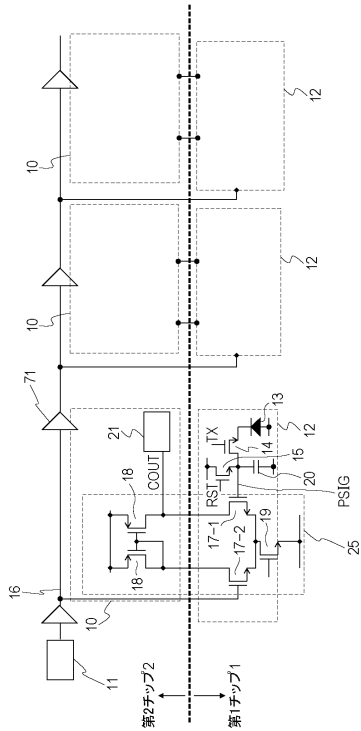
20

30

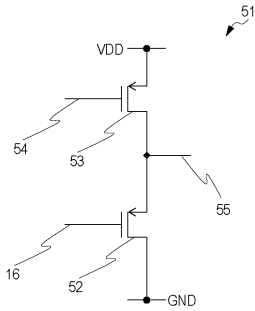
40

50

【図 9】



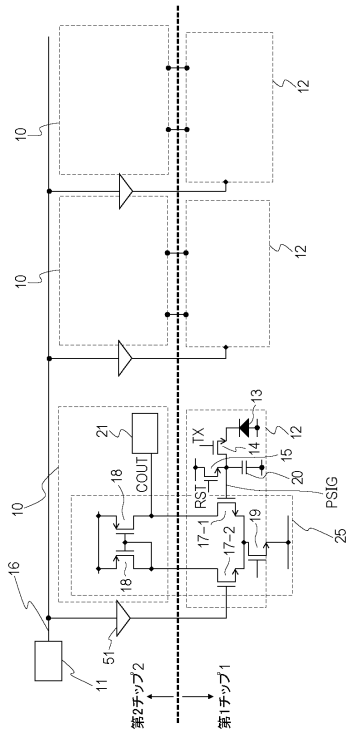
【図 10】



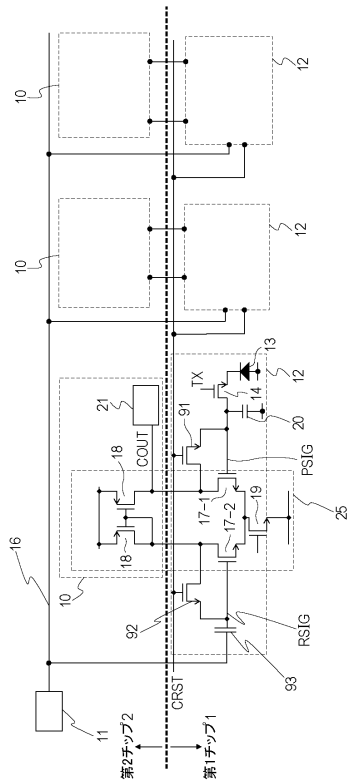
10

20

【図 11】



【図 12】

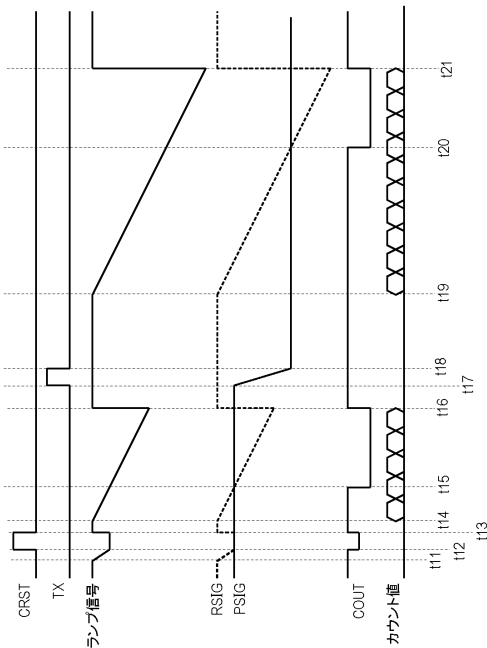


30

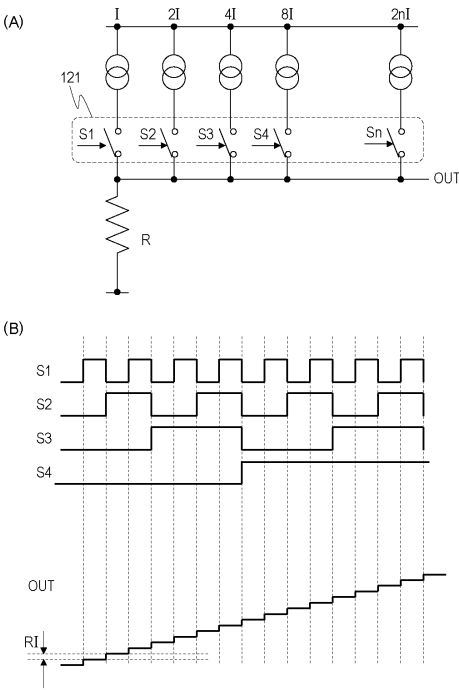
40

50

【図 1 3】



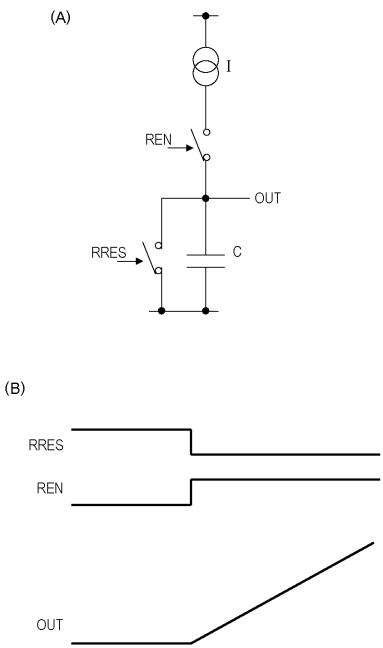
【図 1 4】



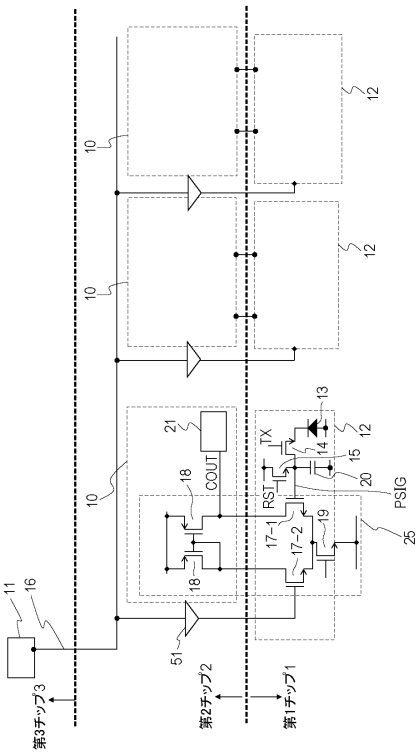
10

20

【図 1 5】



【図 1 6】

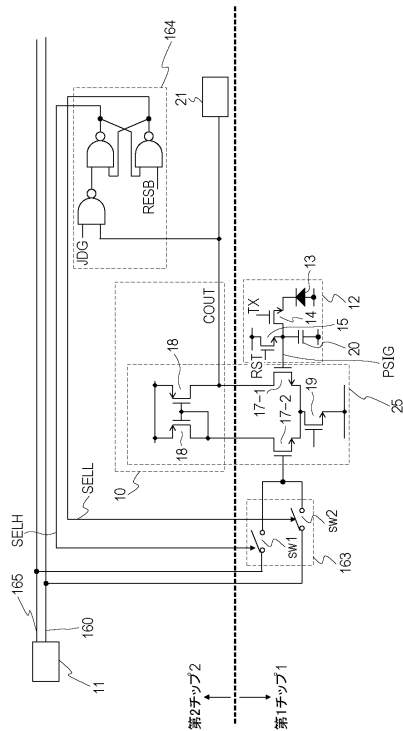


30

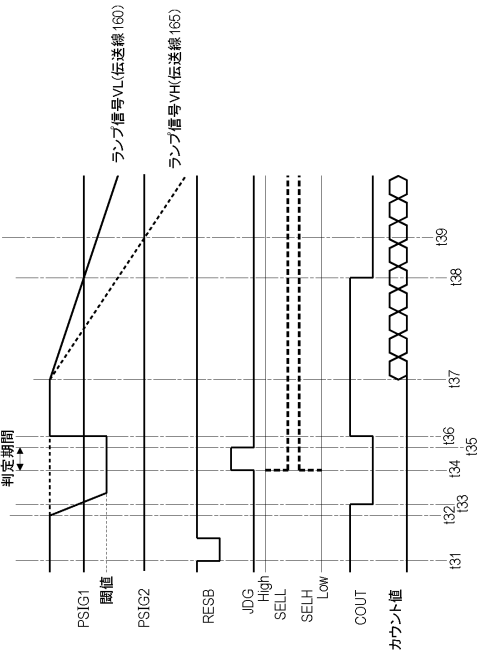
40

50

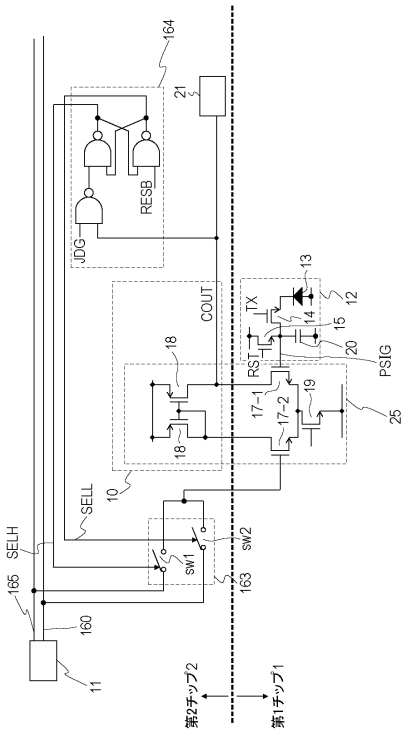
【図 17】



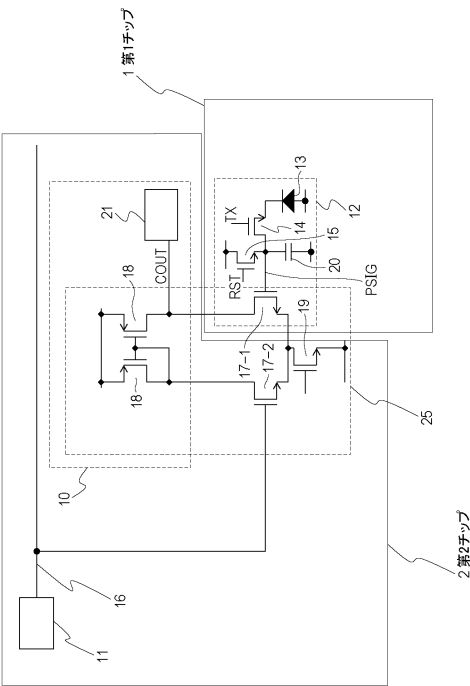
【図 18】



【図 19】



【図 20】



10

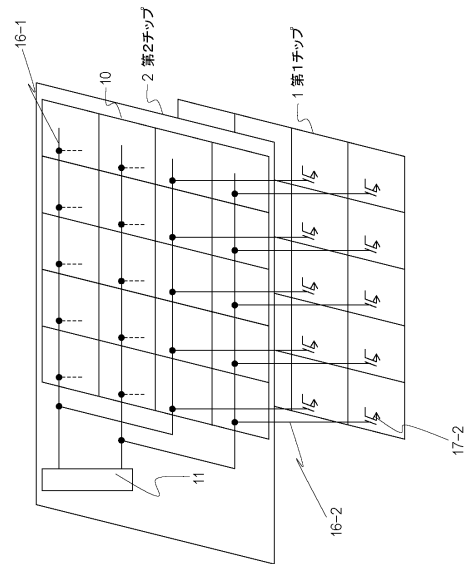
20

30

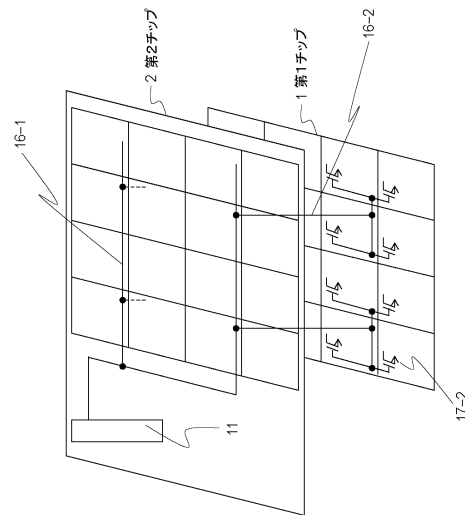
40

50

【図 2 1】



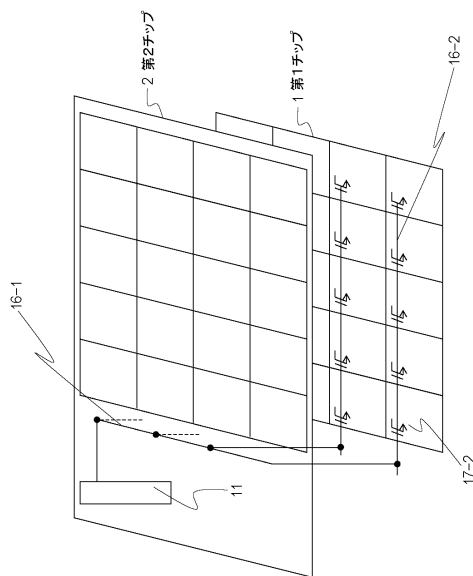
【図 2 2】



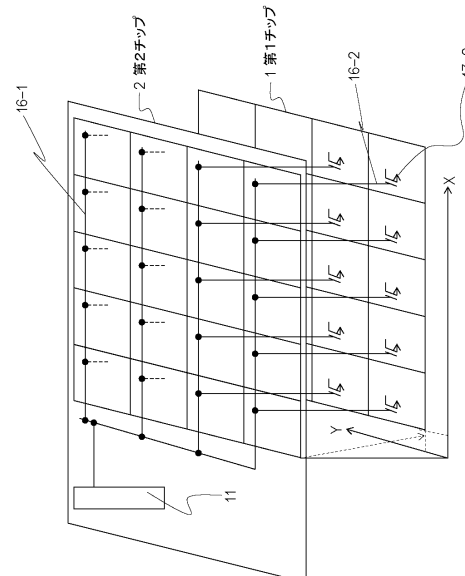
10

20

【図 2 3】



【図 2 4】

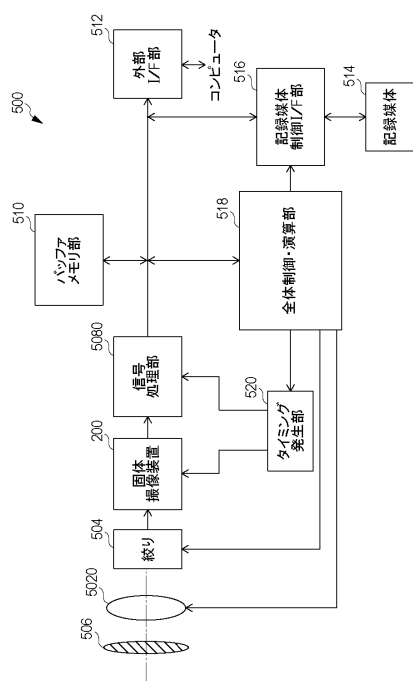


30

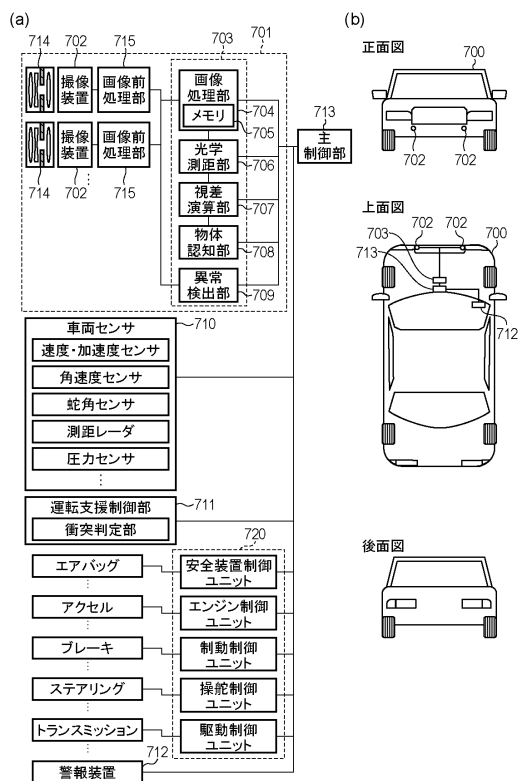
40

50

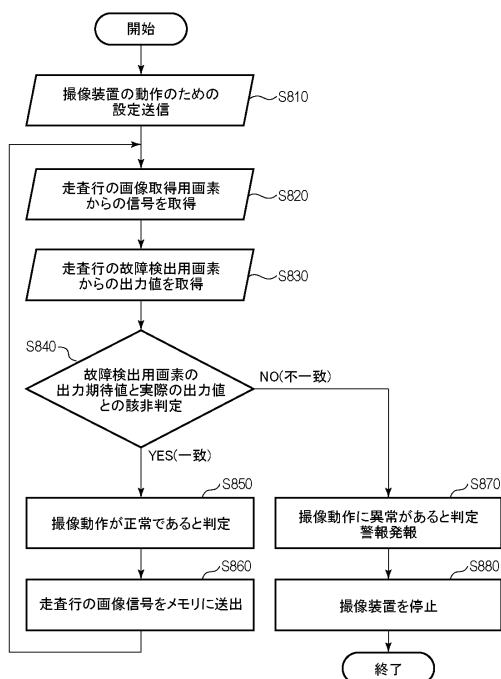
【图 25】



【 図 2 6 】



【圖 27】



フロントページの続き

ヤノン株式会社内

審査官 鈴木 明

- (56)参考文献 国際公開第2016/009832(WO, A1)
特開2013-168880(JP, A)
特開2018-019354(JP, A)
- (58)調査した分野 (Int.Cl., DB名)
H04N 5/30 - 5/378
H01L 27/14 - 27/148