



(12) 发明专利

(10) 授权公告号 CN 102110057 B

(45) 授权公告日 2013. 05. 08

(21) 申请号 200910200826. 1

(22) 申请日 2009. 12. 25

(73) 专利权人 澜起科技(上海)有限公司

地址 200233 上海市徐汇区桂平路 680 号创意中心大厦 406 室

(72) 发明人 山岗 霍华德·杨

(74) 专利代理机构 上海翰鸿律师事务所 31246

代理人 李佳铭

(51) Int. Cl.

G06F 12/08 (2006. 01)

(56) 对比文件

CN 1797351 A, 2006. 07. 05,

US 2009/0119527 A1, 2009. 05. 07,

CN 1584848 A, 2005. 02. 23,

CN 101154131 A, 2008. 04. 02,

CN 101299349 A, 2008. 11. 05,

审查员 林芳

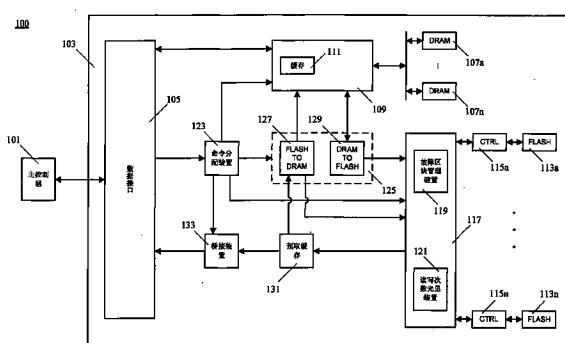
权利要求书3页 说明书9页 附图6页

(54) 发明名称

存储器模组及存储器模组内的数据交换方法

(57) 摘要

一种存储器模组及存储器模组内的数据交换方法，存储器模组是用于缓存一计算机的CPU和其他装置之间的数据交换。存储器模组包括至少一个易失性存储器装置，至少一个非易失性存储装置，以及数据交换控制装置。数据交换控制装置根据指令控制易失性存储器装置和非易失性存储装置在存储器模组内的数据交换。



1. 一种用于缓冲计算机的 CPU 与其他装置之间的数据交换的存储器模组, 包括至少一个易失性存储器装置, 其特征在于, 所述存储器模组还包括:

至少一个非易失性存储装置, 其中该至少一个非易失性存储装置为闪速存储装置; 以及

数据交换控制装置, 根据接收到的指令控制所述易失性存储器装置和所述非易失性存储装置之间在所述存储器模组内的数据交换。

2. 如权利要求 1 所述的存储器模组, 其特征在于, 当所述数据交换控制装置接收到第一指令时, 控制从所述非易失性存储装置读取数据并把这些数据写入所述易失性存储装置。

3. 如权利要求 1 所述的存储器模组, 其特征在于, 当所述数据交换控制装置接收到第二指令时, 控制从所述易失性存储装置读取数据并把这些数据写入所述非易失性存储装置。

4. 如权利要求 1 所述的存储器模组, 其特征在于, 所述易失性存储装置是动态随机存取存储装置。

5. 如权利要求 1 所述的存储器模组, 其特征在于, 所述存储器模组还包括一数据接口, 所述存储器模组通过该数据接口与外部进行通信, 该数据接口是双数据率双面引脚存储器模组数据接口。

6. 如权利要求 1 所述的存储器模组, 其特征在于, 所述易失性存储器装置和所述非易失性存储装置之间的数据交换不经过控制所述存储器模组的主控制器。

7. 如权利要求 1 所述的存储器模组, 其特征在于, 它还包括一管理装置, 以管理所述非易失性存储装置中的故障区块和管理所述非易失性存储装置各区块的读写次数。

8. 如权利要求 1 所述的存储器模组, 其特征在于, 它还包括一预取缓存, 以缓存从所述非易失性存储装置读出的数据, 其中, 所述非易失性存储装置平行地连接于所述预取缓存。

9. 如权利要求 1 所述的存储器模组, 其特征在于, 它还包括命令分配装置, 用于判断所述存储器模组接收到的命令, 并根据判断结果把接收到的命令分配给所述易失性存储装置或所述非易失性存储装置或所述数据交换控制装置。

10. 如权利要求 9 所述的存储器模组, 其特征在于, 当所述命令分配装置接收到从所述易失性存储装置读取数据并输出所述存储器模组的命令, 或把所述存储器模组接收到的数据写入所述易失性存储装置的命令, 命令分配装置把接收到的命令分配给所述易失性存储装置。

11. 如权利要求 9 所述的存储器模组, 其特征在于, 当所述命令分配装置接收到从所述非易失性存储装置读取数据并输出所述存储器模组的命令, 命令分配装置把接收到的命令分配给所述非易失性存储装置。

12. 如权利要求 9 所述的存储器模组, 其特征在于, 当所述命令分配装置接收到从所述易失性存储装置读取数据并写入所述非易失性存储装置的命令, 或从所述非易失性存储装置读取数据并写入所述易失性存储装置的命令, 命令分配装置把接收到的命令分配给所述数据交换控制装置。

13. 如权利要求 1 所述的存储器模组, 其特征在于, 所述非易失性存储装置的总容量大于所述易失性存储装置的总容量。

14. 如权利要求 1 所述的存储器模组,其特征在于,所述非易失性存储装置和所述易失性存储装置被编址在同一地址空间。

15. 一种计算机存储系统,用于缓存计算机的处理器和其他装置之间的数据交换,该计算机存储系统包括一个或多个存储器模组以及一个主控制器,该主控制器控制存储器模组与其他装置之间的数据交换,其特征在于,所述存储器模组是如权利要求 1-14 之一所述的存储器模组。

16. 一种存储器模组,用于缓冲计算机的 CPU 与其他装置之间的数据交换,该存储器模组包括至少一个易失性存储装置,其特征在于,该存储器模组还包括至少一个非易失性存储装置,用于存储计算机操作系统,其中,所述易失性存储装置和所述非易失性存储装置之间可在所述存储器模组内进行数据交换。

17. 如权利要求 16 所述的存储器模组,所述易失性存储装置为动态随机存取存储装置,所述非易失性存储装置为闪速存储装置。

18. 一种存储器模组,用于缓冲计算机的 CPU 与其他装置之间的数据交换,该存储器模组包括至少一个易失性存储装置,其特征在于,该存储器模组还包括至少一个非易失性存储装置,当所述计算机从运行状态切换至休眠状态时,在所述存储器模组内,所述易失性存储装置中的相应数据被读取并写入所述非易失性存储装置;当所述计算机从休眠状态切换至运行状态时,在所述存储器模组内,所述非易失性存储装置中的相应数据被读取并写入所述易失性存储装置。

19. 如权利要求 18 所述的存储器模组,所述易失性存储装置为动态随机存取存储装置,所述非易失性存储装置为闪速存储装置。

20. 一种存储器模组内的数据交换方法,该存储器模组用于缓存计算机处理器与其他装置之间的数据交换,该存储器模组包括至少一个易失性存储装置和至少一个非易失性存储装置,该方法包括以下操作:

接收从所述非易失性存储装置读取数据并写入所述易失性存储装置的命令;

从所述非易失性存储装置读取数据;以及

把从所述非易失性存储装置读取的数据写入所述易失性存储装置,其中,从所述非易失性存储装置读取所述数据并写入所述易失性存储装置的操作是在所述存储器模组内进行。

21. 一种存储器模组内的数据交换方法,该存储器模组用于缓存计算机处理器与其他装置之间的数据交换,该存储器模组包括至少一个易失性存储装置和至少一个非易失性存储装置,该方法包括以下操作:

接收从所述易失性存储装置读取数据并写入所述非易失性存储装置的命令;

从所述易失性存储装置读取数据;以及

把从所述易失性存储装置读取的数据写入所述非易失性存储装置,其中,从所述易失性存储装置读取所述数据并写入所述非易失性存储装置的操作是在所述存储器模组内进行。

22. 一种存储器模组,用于缓存计算机处理器与其他装置之间的数据交换,该存储器模组包括至少一个易失性存储装置,其特征在于,该存储器模组还包括至少一个非易失性存储装置,并且该存储器模组被设置成当接收到从所述易失性存储装置读取数据并写入所述

非易失性存储装置的命令,从所述易失性存储装置读取数据,并把从所述易失性存储装置读取的数据写入所述非易失性存储装置,其中,从所述易失性存储装置读取所述数据并写入所述非易失性存储装置的操作是在所述存储器模组内进行。

23. 一种存储器模组,用于缓存计算机处理器与其他装置之间的数据交换,该存储器模组包括至少一个易失性存储装置,其特征在于,该存储器模组还包括至少一个非易失性存储装置,并且该存储器模组被设置成当接收到从所述非易失性存储装置读取数据并写入所述易失性存储装置的命令,从所述非易失性存储装置读取数据,并把从所述非易失性存储装置读取的数据写入所述易失性存储装置,其中,从所述非易失性存储装置读取所述数据并写入所述易失性存储装置的操作是在所述存储器模组内进行。

存储器模组及存储器模组内的数据交换方法

【技术领域】

[0001] 本申请的一方面是有关一种存储器模组及存储器模组内的数据交换方法,尤其是有关一种包括易失性存储装置和非易失性存储装置的存储器模组。

【背景技术】

[0002] 存储器大致可分为易失性存储器 (volatile memory) 和非易失性存储器 (non-volatile memory)。易失性存储器包括动态随机存取存储器 (DRAM) 和静态随机存取存储器 (SRAM) 等,具有存取速度快的优点,但由于工作时需要持续为其供电否则将导致存储于其内的数据丢失,因而具有较高的功耗。非易失性存储器包括闪速存储器 (FLASH memory),相比易失性存储器具有高集成度的优点,即单位体积存储密度高,并且由于断电不会导致存储于其内的数据丢失而具有较低的功耗。非易失性存储器的存取速度低于易失性存储器,高于机械式硬盘。

[0003] 目前,被用于计算机存储系统的主要昰易失性存储器,如 DRAM。而非易失性存储器,如 FLASH,则越来越多地被用于通过 I/O 接口存取的外部存储设备,比如固态硬盘 (solid statedisk) 或 U 盘等。

【发明内容】

[0004] 一方面,在计算机系统中通过 I/O 接口与存储系统进行数据交换一般需要经过多次数据格式转换,比如外部设备的数据格式与 I/O 接口的数据格式之间的转换,以及 I/O 接口的数据格式与存储系统的数据格式之间的转换等,因此,外部设备与存储系统之间的数据交换过程比较复杂并且会消耗较大的系统资源。

[0005] 另一方面,存储系统是由系统中各设备所共享,一个外部设备,如固态硬盘,若要与存储系统进行数据交换就需要跟其他设备进行竞争。而连接于 I/O 接口的外部设备的优先级一般较低,在竞争中处于劣势,这样将使外部设备中的一些重要数据无法及时送至存储系统而降低了整个系统的效率。

[0006] 又一方面,通过 I/O 接口与存储系统进行数据交换需要由中央处理器 (CPU) 进行调度,而这又进一步的消耗了 CPU 的资源。

[0007] 又一方面,通过 I/O 接口与存储系统进行数据交换需要由主控制器参与,这会消耗主控制器的资源。

[0008] 又一方面,当计算机处于休眠状态时,存储系统中仍存储着大量数据,为保持这些数据不丢失,系统必须为存储系统一直供电,而这将进一步增加系统的功耗;若将这些数据在计算机休眠时存储于连接于 I/O 接口的硬盘的话,由于 I/O 接口与存储系统之间的数据交换速度较慢,将导致恢复系统的时间较长。

[0009] 发明人意识到由于 I/O 接口传输速率的瓶颈以及 I/O 接口与存储系统之间的数据交换的复杂机制,非易失性存储器,如 FLASH,远高于传统机械式硬盘存取速度的优势并未得到充分利用。

[0010] 本申请的一方面提供了一种存储器模组 (memory module), 该存储器模组包括至少一个易失性存储装置、至少一个非易失性存储装置以及数据交换控制装置。该数据交换控制装置根据接收到的指令控制易失性存储器装置和非易失性存储装置在该存储器模组内的数据交换。

[0011] 在一些实施例中, 当数据交换控制装置接收到第一指令时, 控制从非易失性存储装置读取数据并把这些数据写入易失性存储装置; 当数据交换控制装置接收到第二指令时, 控制从易失性存储装置读取数据并把这些数据写入非易失性存储装置。

[0012] 在一些实施例中, 存储器模组用于缓存一计算机处理器, 如 CPU, 和其他装置, 如通过 I/O 接口连接于该计算机的装置, 之间的数据交换。

[0013] 在一些实施例中, 存储器模组是由一主控制器控制, 主控制器与处理器和存储器模组直接连接。

[0014] 在一些实施例中, 存储器模组的易失性存储装置用于存储计算机处理器正在使用的数据。

[0015] 易失性存储器包括但不限于动态随机存取存储装置 (DRAM)、静态随机存取存储装置 (SRAM) 等。非易失性存储器包括但不限于闪速存储装置 (FLASH)、铁电随机存取存储装置 (FRAM)、相变随机存取存储装置 (PCRAM) 等。

[0016] 在一些实施例中, 存储器模组是安装在一块印刷电路板上的至少一个存储装置的总成。

[0017] 在一些实施例中, 计算机可以包括一个以上处理器。

[0018] 该存储器模组包括一个数据接口, 该存储器模组通过该数据接口与其他装置进行数据交换。在一些实施例中, 该数据接口为双数据率 (DDR, double data rate) 接口; 在又一实施例中, 该存储器模组数据接口为 RAMBUS 存储器模组接口。

[0019] 在一些实施例中, 易失性存储装置和非易失性存储装置之间的数据交换可以是单向的, 如自非易失性存储装置至易失性存储装置, 或自易失性存储装置至非易失性存储装置。在又一实施例中, 易失性存储装置和非易失性存储装置之间的数据交换可以是双向的。其中, 易失性存储装置和非易失性存储装置之间的数据交换不经过控制各存储器模组和其他装置之间数据交换的主控制器。

[0020] 在一些实施例中, 存储器模组对应每一非易失性存储装置设有非易失性存储装置控制器, 以控制对应的非易失性存储装置。

[0021] 在一些实施例中, 存储器模组还包括易失性存储装置控制器, 以控制易失性存储装置。

[0022] 在一些实施例中, 存储器模组还包括故障区块管理装置, 以管理非易失性存储装置中的故障区块。

[0023] 在一些实施例中, 存储器模组还包括读写次数管理装置, 以使非易失性存储装置中各区块的读写次数尽量平均, 从而提高非易失性存储装置的使用寿命。

[0024] 在一些实施例中, 存储器模组还包括一个预取缓存, 以缓存由非易失性存储装置读出的数据。在一些实施例中, 复数个非易失性存储装置并行地连接于预取缓存, 以提高数据读取速度。

[0025] 在一些实施例中, 存储器模组还包括一个命令分配装置。命令分配装置把从存储

器模组外部接收到的命令分配给对应的装置。在一些实施例中,当命令分配装置接收到向易失性存储装置写入从存储器模组外部接收到的数据的命令时,把接收到的写命令分配给易失性存储装置控制器。当命令分配装置接收到由易失性存储器读出数据至其他设备时,把接收到的读命令分配给易失性存储装置控制器。当命令分配装置接收到从非易失性存储装置读取数据至数据接口的命令时,命令分配装置把接收到的命令分配给非易失性存储装置。当命令分配装置接收到从易失性存储装置读取数据并写入非易失性存储装置的命令时,把接收到的命令分配给数据交换控制装置。接着,数据交换控制装置产生一个读命令至易失性存储装置,产生一个写命令至非易失性存储装置。当命令分配装置接收到从非易失性存储装置读取数据并写入易失性存储装置的命令时,把接收到的命令分配给数据交换控制装置。接着,数据交换控制装置产生一个读命令至非易失性存储装置,产生一个写命令至易失性存储装置。

[0026] 本申请的又一方面提供了一种计算机存储系统,用于缓存一计算机内的CPU和其他装置之间的数据交换。该存储系统包括一个或多个存储器模组以及一个主控制器。该主控制器控制存储器模组与其他装置之间的数据交换。该存储器模组包括至少一个易失性存储器装置、至少一个非易失性存储装置以及数据交换控制装置。该数据交换控制装置根据接到的指令控制该至少一个易失性存储器装置和该至少一个非易失性存储装置在该存储器模组内的数据交换。存储器模组内易失性存储器装置和非易失性存储装置之间的数据交换不经过主控制器。

[0027] 在一些实施例中,主控制器可以是一个独立的装置,也可以是集成在计算机处理器中。

[0028] 本申请的又一方面提供了一种存储器模组,用于缓存计算机处理器与其他装置之间的数据交换。该存储器模组包括至少一个易失性存储器装置、至少一个非易失性存储装置以及数据交换控制装置。该数据交换控制装置根据接到的指令控制该至少一个易失性存储器装置和该至少一个非易失性存储装置在该存储器模组内的数据交换。

[0029] 本申请的又一方面提供了一种存储器模组,用于计算机系统,该存储器模组包括至少一个易失性存储装置和至少一个非易失性存储装置。其中,非易失性存储装置可用于当计算机系统处于关机或休眠状态时存储计算机程序,易失性存储装置可用于运行这些计算机程序。

[0030] 本申请的又一方面提供了一种存储器模组,用于计算机系统,该存储器模组包括至少一个易失性存储装置和至少一个非易失性存储装置。其中,非易失性存储装置可用于当计算机系统从运行状态切换休眠状态时,存储至少部分易失性存储装置中的数据。

[0031] 在一些实施例中,存储器模组是双面引脚存储器模组 (dual-in-line memory module)。

[0032] 在一些实施例中,存储器模组为双数据率双面引脚存储器模组。

[0033] 在一些实施例中,非易失性存储装置的总容量大于等于易失性存储装置的总容量。

[0034] 本申请的又一方面提供了一种存储器模组内的数据读写方法,该存储器模组包括至少一个易失性存储装置和至少一个非易失性存储装置,该方法包括以下操作:接收来自主控制器的把非易失性存储装置中的数据读出并写入易失性存储装置的指令;自非易失性

存储装置读出这些数据；以及把这些数据写入易失性存储装置。

[0035] 在一些实施例中，这些数据在从非易失性存储装置中读出到写入易失性存储装置的过程不经过主控制器。在又一实施例中，这些数据在从非易失性存储装置中读出到写入易失性存储装置的过程在存储器模组内进行。在又一实施例中，这些数据在从非易失性存储装置中读出到写入易失性存储装置的过程不经过存储器模组对外的接口。

[0036] 在一些实施例中，存储器模组还包括缓存，方法还包括以下操作：把自非易失性存储装置读出这些数据存储在缓存中；以及把缓存中的这些数据写入易失性存储装置。

[0037] 本申请的又一方面提供了一种存储器模组内的数据读写方法，该存储器模组包括至少一个易失性存储装置和至少一个非易失性存储装置，该方法包括以下操作：接收来自主控制器的把易失性存储装置中的数据读出并写入非易失性存储装置的指令；自易失性存储装置读出这些数据；以及把这些数据写入非易失性存储装置。其中，这些数据在从易失性存储装置中读出到写入非易失性存储装置的过程中不经过主控制器。

[0038] 在一些实施例中，存储器模组还包括缓存，方法还包括以下操作：把自易失性存储装置读出这些数据存储在缓存中；以及把缓存中的这些数据写入非易失性存储装置。

[0039] 在一些实施例中，这些数据在从易失性存储装置中读出到写入非易失性存储装置的过程不经过主控制器。在又一实施例中，这些数据在从易失性存储装置中读出到写入非易失性存储装置的过程在存储器模组内进行。在又一实施例中，这些数据在从易失性存储装置中读出到写入非易失性存储装置的过程不经过存储器模组对外的接口。

[0040] 本申请的又一方面提供了一种存储器模组，用于一计算机，该存储器模组包括至少一个易失性存储装置，该存储器模组还包括至少一个非易失性存储装置，用于存储计算机操作系统，其中，易失性存储装置和非易失性存储装置可在存储器模组内进行数据交换。

[0041] 本申请的又一方面提供了一种存储器模组，用于一计算机，该存储器模组包括至少一个易失性存储装置，该存储器模组还包括至少一个非易失性存储装置，当计算机从运行状态切换至休眠状态时，在存储器模组内，易失性存储装置中的相应数据被读取并写入非易失性存储装置；当计算机从休眠状态切换至运行状态时，在存储器模组内，非易失性存储装置中的相应数据被读取并写入易失性存储装置。

[0042] 本申请的又一方面提供了一种存储器模组内的数据交换方法，该存储器模组用于缓存计算机的CPU与其他装置之间的数据交换，该存储器模组包括至少一个易失性存储装置和至少一个非易失性存储装置，该方法包括以下操作：接收从非易失性存储装置读取数据并写入所述易失性存储装置的命令；从非易失性存储装置读取数据；以及把从非易失性存储装置读取的数据写入易失性存储装置，其中，从非易失性存储装置读取数据并写入易失性存储装置的操作是在存储器模组内进行。

[0043] 本申请的又一方面提供了一种存储器模组内的数据交换方法，该存储器模组用于缓存计算机的CPU与其他装置之间的数据交换，该存储器模组包括至少一个易失性存储装置和至少一个非易失性存储装置，该方法包括以下操作：接收从易失性存储装置读取数据并写入非易失性存储装置的命令；从易失性存储装置读取数据；以及把从易失性存储装置读取的数据写入非易失性存储装置，其中，从易失性存储装置读取数据并写入非易失性存储装置的操作是在存储器模组内进行。

[0044] 本申请的又一方面提供了一种存储器模组，用于缓存计算机处理器与其他装置之

间的数据交换。该存储器模组包括至少一个易失性存储装置和至少一个非易失性存储装置。该存储器模组被设置成当接收到从易失性存储装置读取数据并写入非易失性存储装置的命令,从易失性存储装置读取数据,并把从易失性存储装置读取的数据写入非易失性存储装置,其中,从易失性存储装置读取数据并写入非易失性存储装置的操作是在存储器模组内进行。

[0045] 本申请的又一方面提供了一种存储器模组,用于缓存计算机处理器与其他装置之间的数据交换,该存储器模组包括至少一个易失性存储装置和至少一个非易失性存储装置。该存储器模组被设置成当接收到从非易失性存储装置读取数据并写入易失性存储装置的命令,从非易失性存储装置读取数据,并把从非易失性存储装置读取的数据写入易失性存储装置,其中,从非易失性存储装置读取数据并写入易失性存储装置的操作是在存储器模组内进行。

[0046] 本申请的设计可以在一定程度上减轻计算机系统中 CPU 和主控制器的负担,提高计算机系统开关机速度以及在运行状态和休眠状态之间的切换的速度,以及降低存储系统的功耗。

【附图说明】

[0047] 以下附图为本申请的一部分,结合以下附图可以更好地理解本申请。以下附图展示了本申请的一些实施例,以帮助技术人员更好地理解本申请的原理。在参考以下具体实施方式后,业界一般技术人员在本申请的启示下可以本申请的范围内得到更多其它实施例,并且理解本申请的其他优势。

[0048] 图 1 展示了本申请一个实施例中存储系统的功能模块图。

[0049] 图 2 展示了本申请一个实施例中把从主控制器接收到的数据写入易失性存储装置的方法的流程图。

[0050] 图 3 展示了本申请一个实施例中从易失性存储装置读取数据至主控制器的方法的流程图。

[0051] 图 4 展示了本申请一个实施例中从非易失性存储装置读取数据并写入易失性存储装置的方法的流程图。

[0052] 图 5 展示了本申请一个实施例中从易失性存储装置读取数据并写入非易失性存储装置的方法的流程图。

[0053] 图 6 展示了本申请一实施例中从非易失性存储装置读取数据至主控制器的方法的流程图。

【具体实施方式】

[0054] 以下将对本申请的具体实施例进行详细描述,并且这些描述将详细到使业界一般技术人员能够理解本申请。可以理解,除了本申请描述的具体实施例外,还可以在本申请的精神下和范围内通过改变结构、逻辑以及电路以获得其他实施方案,这些实施方案依然在本申请的保护范围之内。在描述以下具体实施例的过程中,为了对这些具体实施例进行清楚的描述,将采用一些特定的术语,然而采这些术语的本意并非限制本申请的保护范围,这些术语的范围应该扩展至任何以大致相同的手段达到大致相同的目的的等效物。比如“连

接”一词,不仅包括直接连接,还包括通过其他电路连接。

[0055] 图1展示了本申请一个实施例中存储系统100的功能模块图。存储系统100可用于缓存CPU(图中未示)与其他装置之间的数据交换。存储系统100包括主控制器101和存储器模组103。为便于说明,图1所示的实施例中只展示了一个存储器模组,但可以理解的是,一个存储系统中可以包括任意个存储器模组,比如2个、3个、4个、6个等。

[0056] 主控制器101控制对存储器模组103的读写操作。

[0057] 存储器模组103包括数据接口105,存储器模组103通过数据接口105与外部进行数据交换。在一些实施例中,数据接口105符合DDR DIMM(双数据率双列直插存储器模组)的数据接口标准,比如DDR-1、DDR-2或DDR-3等。在一些实施例中,数据接口105符合RAMBUS存储器模组的数据接口标准。

[0058] 存储器模组103包括多个动态随机存取存储装置107a-107n和动态随机存取存储装置控制器109。动态随机存取存储装置控制器109控制对动态随机存取存储装置107a-107n的读写操作。在一些实施例中,动态随机存取存储装置控制器109包括缓存111,用以缓存写入动态随机存取存储装置107a-107n的数据和/或从动态随机存取存储装置107a-107n读出的数据。

[0059] 存储器模组103还包括多个闪速存储装置113a-113n,并且对应每一闪速存储装置113a-113n设有闪速存储装置控制器115a-115n,用以控制对对应的闪速存储装置的读写操作。

[0060] 存储器模组103还包括管理装置117,以优化对闪速存储装置113a-113n的使用。管理装置117包括故障区块管理装置119和读写次数管理装置121。故障区块管理装置119检测闪速存储装置113a-113n中的故障区块,并防止系统再次使用这些故障区块。读写次数管理装置121均化对各闪速存储装置各区块的读写次数,防止系统对某些区块进行读写的次数远高于其他区块而使这些区块过早损坏。

[0061] 存储器模组103还包括一个命令分配装置123,通过数据接口105接收主控制器101发出的指令,并把相应的指令发送至存储器模组103内对应的装置。

[0062] 存储器模组103还包括一个内部数据交换控制装置125,以控制闪速存储装置113a-113n与动态随机存取存储装置107a-107n之间的数据交换。内部数据交换控制装置125可以包括第一数据交换控制装置127,以控制自闪速存储装置113a-113n读取数据并写入动态随机存取存储装置107a-107n的操作。内部数据交换控制装置125可以包括第二数据交换控制装置129,以控制从动态随机存取存储装置107a-107n读取数据并写入闪速存储装置113a-113n的操作。在一些实施例中,内部数据交换控制装置125可以采用状态机实现。

[0063] 存储器模组103还包括预取缓存131和桥接装置133。预取缓存131用于缓存从闪速存储装置113a-113n读出的数据。在一些实施例中,预取缓存131的位宽比单个闪速存储装置的位宽大。把多个闪速存储装置并行地连接至预取缓存131,从这些闪速存储装置读出的数据可以并行地写入预取缓存131,可以在一定程度上弥补闪速存储装置较慢的读取速度,以提高存储器模组103的整体效率。预取缓存131通过桥接装置133与数据接口105连接,把从闪速存储装置113a-113n读出的数据输出存储器模组103。桥接装置105把从预取缓存131接收到的数据转换成符合数据接口105标准的数据,并通过数据接口105

把这些数据发送给对应的装置。在一些实施例中，预取缓存 131 与桥接装置 105 可以整合为一个装置。

[0064] 在一些实施例中，动态随机存取存储装置 107a-107n 和闪速存储装置 113a-113n 在同一地址空间被编址，或使用一统一的编址空间。

[0065] 以下结合图 1 和图 2-7 说明本申请一个实施例中的存储器模组 103 的操作。

[0066] 图 2 展示了本申请一个实施例中数据由主控制器 101 写入动态随机存取存储装置 107a-107n 的方法 200 的流程图。方法 200 包括以下操作：数据接口 105 接收由主控制器 101 发出的对动态随机存取存储装置 107a-107n 之一或多个进行写操作的命令以及需要写入的数据（201）；数据接口 105 把接收到的命令发送给命令分配装置 123（203）；数据接口 105 把接收到的数据发送至缓存 111（205）；命令分配装置 123 对接收到的命令进行判断（207）；命令分配装置 123 发送写命令给动态随机存取存储装置控制器 109（209）；动态随机存取存储装置控制器 109 根据从命令分配装置 123 接收到的命令把缓存 111 中的数据写入对应的动态随机存取存储装置（211）。

[0067] 在一些实施例中，命令可以包括需要写入这些数据的动态随机存取存储装置的地址。

[0068] 在一些实施例中，命令分配装置 123 可以根据接收到的命令发出新的命令。在一些实施例中，命令分配装置 123 也可以判断接收到的命令，再根据判断的结果直接把接收到的命令发送至相应的装置。

[0069] 图 3 展示了本申请一个实施例中主控制器 101 从动态随机存取存储装置 107a-107n 读取数据的方法 300 的流程图。方法 300 包括以下操作：数据接口 105 接收由主控制器 101 发出的从动态随机存取存储装置 107a-107n 之一或多个读取数据的命令（301）；数据接口 105 把接收到的命令发送给命令分配装置 123（303）；命令分配装置 123 对接收到的命令进行判断（305）；命令分配装置 123 把命令发送给动态随机存取存储装置控制器 109（307）；动态随机存取存储装置控制器 109 根据接收到的命令控制动态随机存取存储装置 107a-107n 读出数据并把这些数据发送给数据接口 105（309）；数据接口 105 把这些数据发送给主控制器 101（311）。

[0070] 图 4 展示了本申请一个实施例中从闪速存储装置 113a-113n 读取数据并写入动态随机存取存储装置 107a-107n 的方法 400 的流程图。方法 400 包括以下操作：数据接口 105 接收由主控制器 101 发出的从闪速存储装置 113a-113n 读取数据并写入动态随机存取存储装置 107a-107n 的命令（401）；数据接口 105 把接收到的命令发送给命令分配装置 123（403）；命令分配装置 123 对接收到的命令进行判断（405）；命令分配装置 123 把接收到的命令发送给第一数据交换控制装置 127（407）；第一数据交换控制装置 127 根据接收到的命令，产生从闪速存储装置 113a-113n 读取数据的命令并将该命令发送至管理装置 117，产生把这些数据写入动态随机存取存储装置 107a-107n 的命令并把该命令发送至动态随机存取存储装置控制器 109（409）；管理装置 117 根据接收到的命令从闪速存储装置 113a-113n 读取数据至预取缓存 131（411）；缓存 111 通过第一数据交换控制装置 127 从预取缓存 131 接收这些数据（413）；动态随机存取存储装置控制器 109 根据接收到的命令把缓存 111 中的数据写入动态随机存取存储装置 107a-107n（415）。

[0071] 图 5 展示了本申请一个实施例中从动态随机存取存储装置 107a-107n 读取数据

并写入闪速存储装置 113a-113n 的方法 500 的流程图。方法 500 包括以下操作：数据接口 105 接收由主控制器 101 发出的从动态随机存取存储装置 107a-107n 读取数据并写入闪速存储装置 113a-113n 的命令（501）；数据接口 105 把接收到的命令发送给命令分配装置 123（503）；命令分配装置 123 对接收到的命令进行判断（505）；命令分配装置 123 把接收到的命令发送给第二数据交换控制装置 129（507）；第二数据交换控制装置 129 根据接收到的命令，产生从动态随机存取存储装置 107a-107n 读取数据的命令并将该命令发送至动态随机存取存储装置控制器 109，产生把这些数据写入闪速存储装置 113a-113n 的命令并把该命令发送至管理装置 117（509）；动态随机存取存储装置控制器根据 109 接收到的命令控制动态随机存取存储装置 107a-107n 读出数据经过第二数据交换控制装置 129 至管理装置 117（511）；管理装置 117 根据接收到的命令把接收到的数据写入闪速存储装置 113a-113n（513）。

[0072] 图 6 展示了本申请一个实施例中主控制器 101 从闪速存储装置 113a-113n 读取数据的方法 600 的流程图。方法 600 包括以下操作：数据接口 105 从主控制器 101 接收从闪速存储装置 113a-113n 之一或多个读取数据的命令（601）；数据接口 105 把接收到的命令发送给命令分配装置 123（603）；命令分配装置 123 对接收到的命令进行判断（605）；命令分配装置 123 根据判断结果把接收到的命令发送给管理装置 117（607）；管理装置 117 根据接收到的命令从闪速存储装置 113a-113n 中读取数据至预取缓存 131（609）；桥接装置 133 从预取缓存 131 接收数据（611）；桥接装置 133 把接收到的数据转换成主控制器 101 所要求的格式（613）；桥接装置 133 通过数据接口 105 把这些数据发送给主控制器 101（615）。

[0073] 对以上的方法的描述只是示例性的，以上每一方法的各操作可以不严格按照上述的顺序进行。一些操作可以合并为一个，而一些操作可以被分割成多个。

[0074] 在一些实施例中，闪速存储装置 113a-113n 和动态随机存取存储装置 107a-107n 之间的数据交换可以不经过数据交换控制装置 125。

[0075] 以上所述的装置可以是电路装置，也可以是电路装置与计算机程序的结合，还可以是计算机程序所实现的功能。比如，命令分配装置 123、桥接装置 133、数据交换控制装置 125 和管理装置 117 等。

[0076] 在一些实施例中，存储器模组 103 可以包括一个内建检测装置（MBIST）（图中未示）。因为内建检测装置具有读写存储器模组 103 上各存储装置的功能，数据交换控制装置 125 可以借用内建检测装置的部分电路或功能，以降低成本。

[0077] 在一些实施例中，管理装置 117 可以在抽象层中（abstraction layer）。

[0078] 在一些实施例中，闪速存储装置 113a-113n 可用于存储计算机操作系统、用户配置数据以及一些其他计算机程序，比如启动计算机时被自动运行的计算机程序，这些计算机程序包括但不限于杀毒软件、电子词典、各种驱动程序等。

[0079] 在一些实施例中，一个存储系统中的各存储器模组可同时进行模组内的数据交换，比如从非易失性存储装置读取数据并写入易失性存储装置，或从易失性存储装置读取数据并写入非易失性存储装置。如果把计算机操作系统和其他相关的计算机程序存储在非易失性存储装置中，当需要把这些计算机程序载入非易失性存储装置时，各存储器模组只需要从主控制器接收一个命令即可，数据的交换在存储器模组内部完成。而现有的存储系统中，开机前，所有计算机程序和数据都是存储在硬盘或其它装置内，需要载入这些数据至

易失性存储装置时,所有的数据都要经过同一主控制器载入各存储器模组,其效率显然较低。本申请的存储系统可以提高计算机开关机以及休眠和从休眠中恢复的速度。

[0080] 在一些实施例中,可以在动态随机存取存储装置 107a-107n 中开辟一个区块作为缓存,把系统需要写入闪速存储装置 113a-113n 的数据先存储在这个缓存中。

[0081] 由于本申请的存储器模组内易失性存储装置和非易失性存储装置之间的数据交换过程不需要主控制器和 CPU 参与,一方面可节约计算机系统的资源,另一方面还可提高系统效率。

[0082] 在一些实施例中,在计算机开机时,用户可选择从硬盘或存储器模组载入操作系统和其他计算机程序。

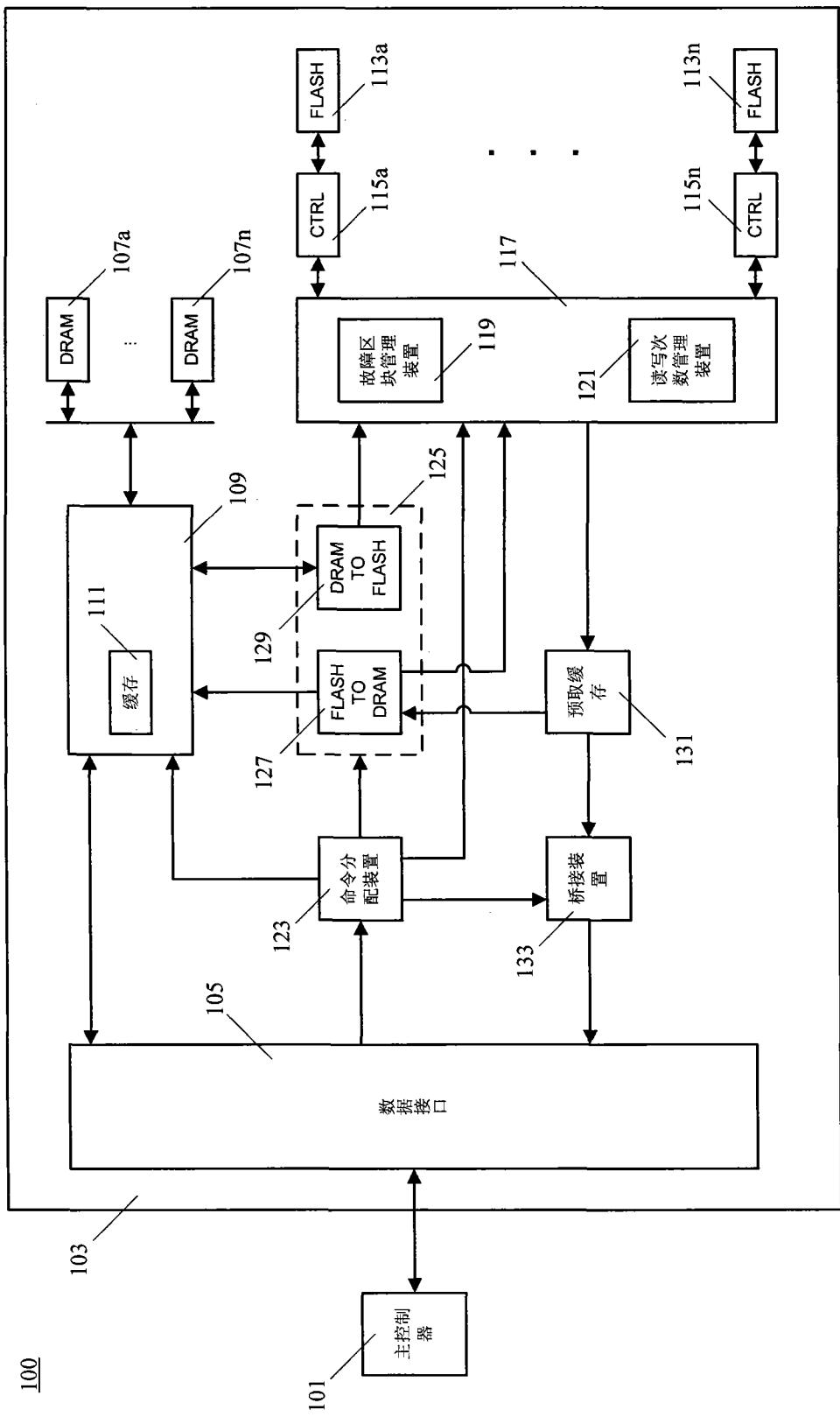


图 1

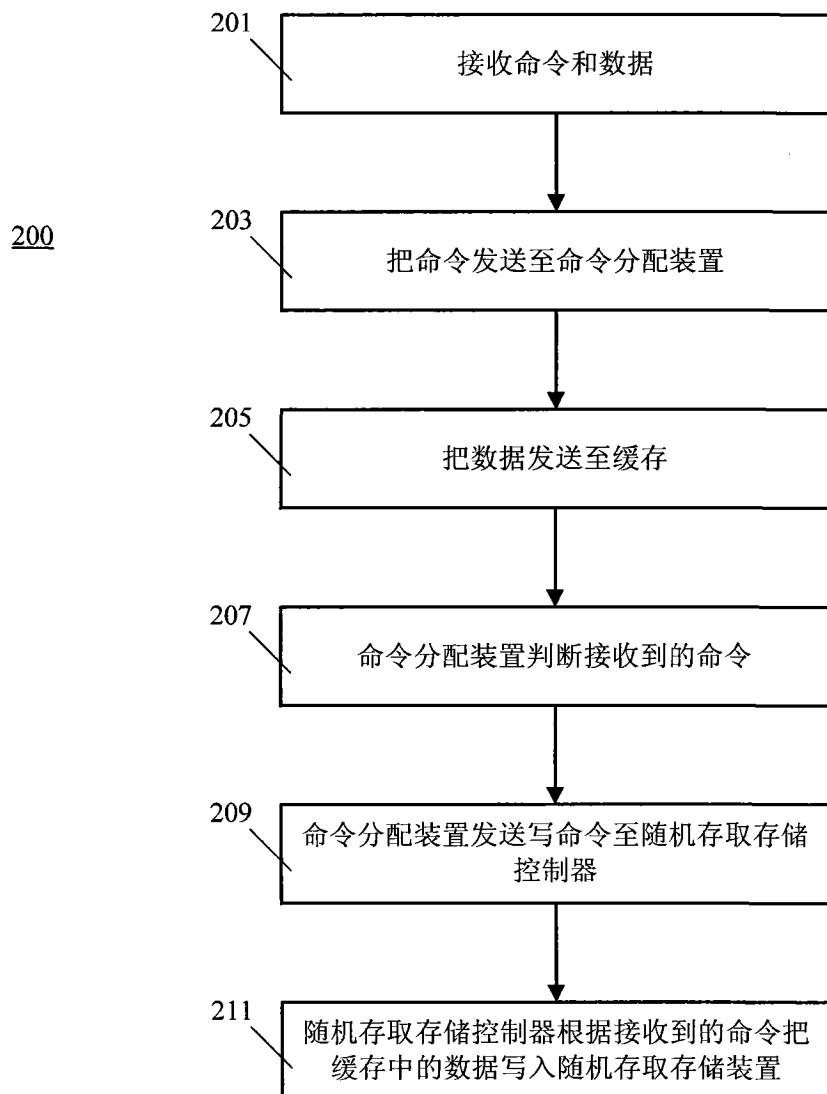


图 2

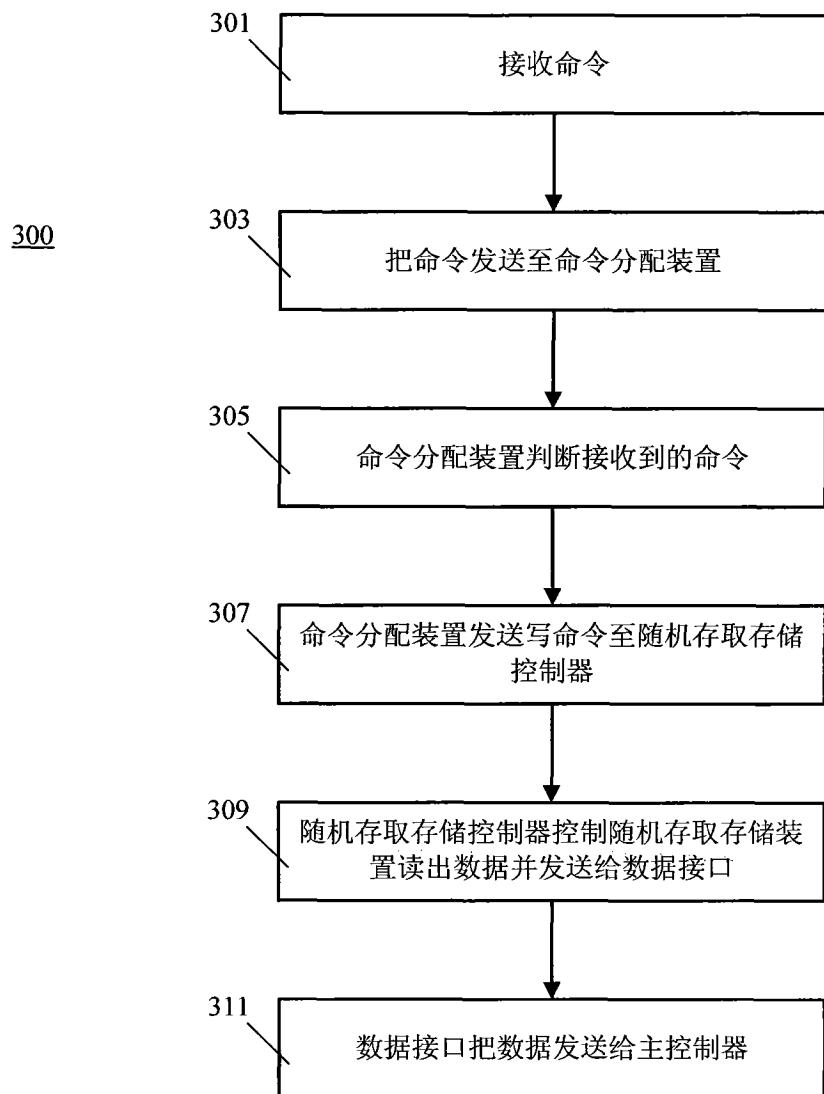


图 3

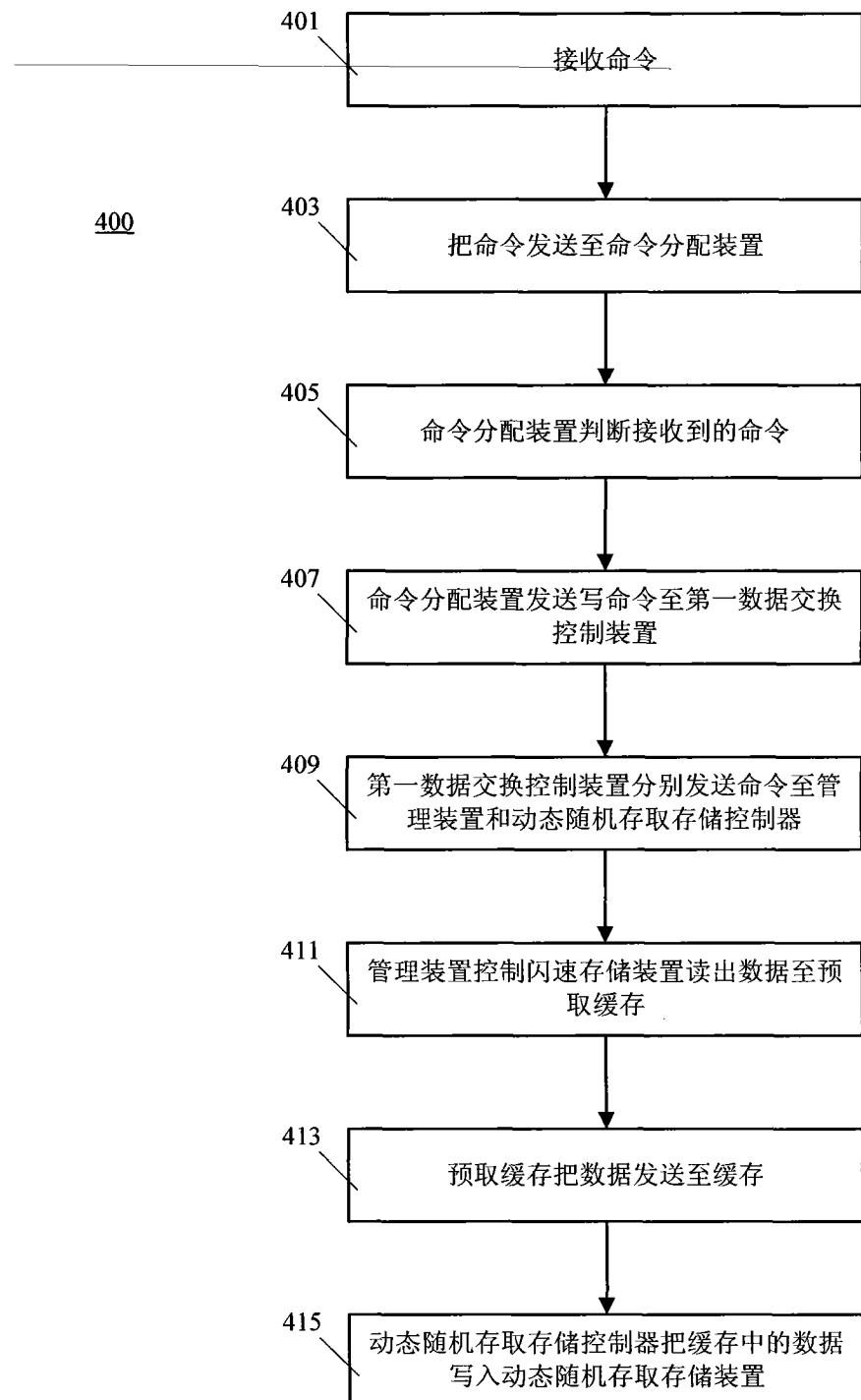


图 4

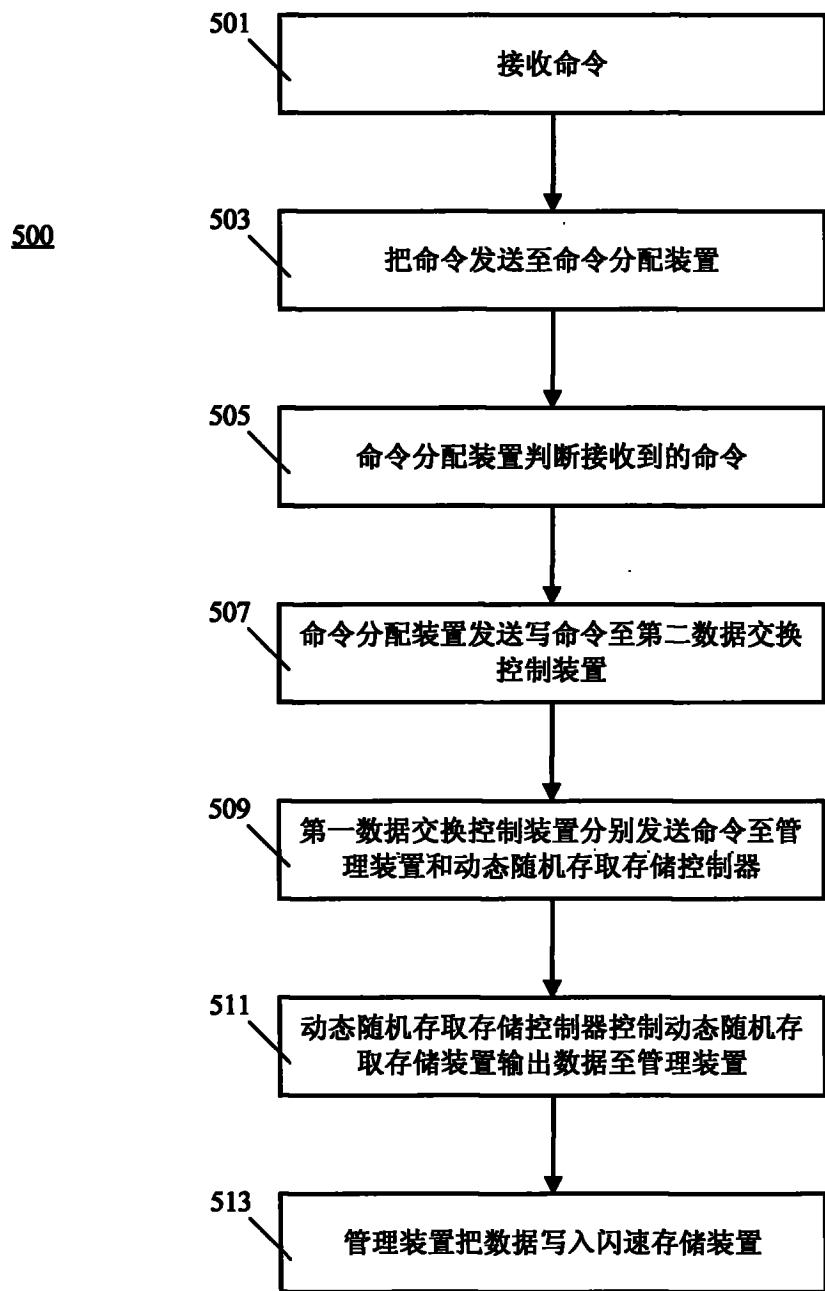


图 5

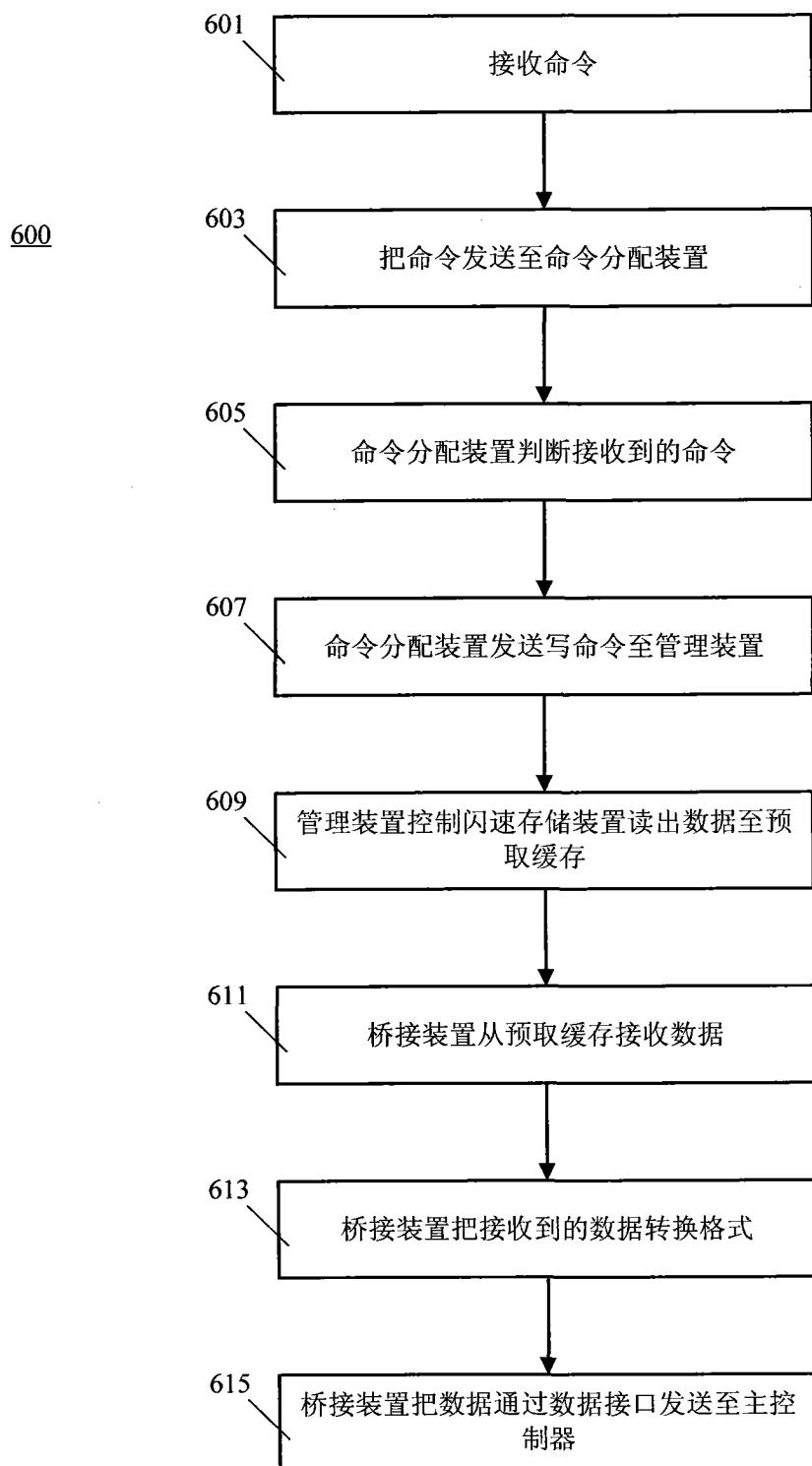


图 6