



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I594574 B

(45)公告日：中華民國 106 (2017) 年 08 月 01 日

(21)申請案號：104143366

(22)申請日：中華民國 98 (2009) 年 06 月 08 日

(51)Int. Cl. : **H03K19/0185(2006.01)****G09G3/20 (2006.01)****H03K19/003 (2006.01)**

(30)優先權：2008/06/17 日本

2008-157400

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY

LABORATORY CO., LTD. (JP)

日本

(72)發明人：梅崎敦司 UMEZAKI, ATSUSHI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 567452

TW 200807121A

TW 200826052A

EP 1755103A1

US 2005/0285840A1

US 2006/0145998A1

US 2007/0046608A1

US 2007/0115245A1

審查人員：范士隆

申請專利範圍項數：17 項 圖式數：25 共 146 頁

(54)名稱

驅動電路，顯示裝置以及電子設備

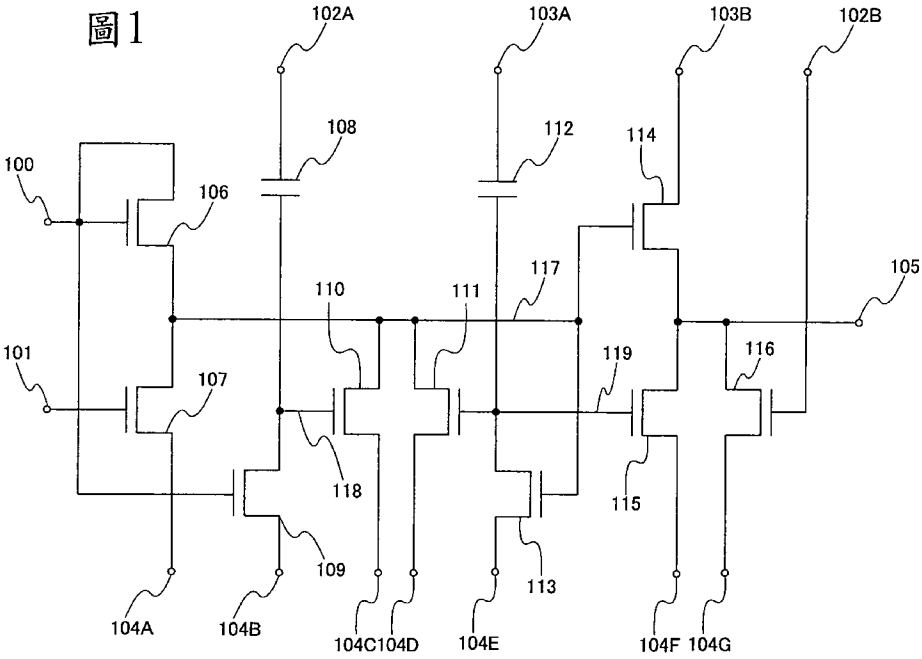
DRIVER CIRCUIT, DISPLAY DEVICE, AND ELECTRONIC DEVICE

(57)摘要

本發明的目的在於抑制移位暫存器電路中的工作不良。提供具有多個正反器電路的移位暫存器。該正反器電路具有電晶體(11)、電晶體(12)、電晶體(13)、電晶體(14)以及電晶體(15)。當在非選擇期間中使電晶體(13 或電晶體(14 變成開啟(on)狀態時，設定節點(A)的電位，以抑制節點(A)變成浮動狀態。

To suppress malfunctions in a shift register circuit. A shift register having a plurality of flip-flop circuits is provided. The flip-flop circuit includes a transistor 11, a transistor 12, a transistor 13, a transistor 14, and a transistor 15. When the transistor 13 or the transistor 14 is turned on in a non-selection period, the potential of a node A is set, so that the node A is prevented from entering into a floating state.

指定代表圖：



符號簡單說明：

100、101、102A、
102B . . . 端子

103A、103B、
104A、104B . . . 端
子

104C、104D、
104E、104F、
104G . . . 端子

105 . . . 端子

106、107、108、
109、110、
111 . . . 電晶體

112、113、114、
115、116 . . . 電晶
體

117、118、
119 . . . 節點

發明摘要

※申請案號：104143366

(由/03/44990 分割)

※申請日：098年06月08日

※IPC分類：H03K 19/0185 (2006.01)

【發明名稱】(中文/英文)

5096 3/20 (2006.01)

驅動電路，顯示裝置以及電子設備

H03K 19/003 (2006.01)

Driver circuit, display device, and electronic device

【中文】

本發明的目的在於抑制移位暫存器電路中的工作不良。提供具有多個正反器電路的移位暫存器。該正反器電路具有電晶體（11）、電晶體（12）、電晶體（13）、電晶體（14）以及電晶體（15）。當在非選擇期間中使電晶體（13 或電晶體（14 變成開啓（on）狀態時，設定節點（A）的電位，以抑制節點（A）變成浮動狀態。

【英文】

To suppress malfunctions in a shift register circuit. A shift register having a plurality of flip-flop circuits is provided. The flip-flop circuit includes a transistor 11, a transistor 12, a transistor 13, a transistor 14, and a transistor 15. When the transistor 13 or the transistor 14 is turned on in a non-selection period, the potential of a node A is set, so that the node A is prevented from entering into a floating state.

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

100、101、102A、102B：端子

103A、103B、104A、104B：端子

104C、104D、104E、104F、104G：端子

105：端子

106、107、108、109、110、111：電晶體

112、113、114、115、116：電晶體

117、118、119：節點

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

驅動電路，顯示裝置以及電子設備

Driver circuit, display device, and electronic device

【技術領域】

● 本發明涉及驅動電路。本發明還涉及具有上述驅動電路的顯示裝置。再者，本發明涉及在顯示部中具有上述顯示裝置的電子設備。

【先前技術】

● 近幾年，隨著諸如液晶電視的大型顯示設備的增加，對液晶顯示裝置或發光裝置等顯示裝置積極地進行研究開發。尤其是，在同一基板上一體形成由具有形成在絕緣基板上的半導體層的電晶體等構成的像素電路及包括移位暫存器等的驅動電路（以下也稱為內部電路）的技術對低耗電量化和低成本化做出較大貢獻，因而目前積極地進行研究開發。形成在絕緣基板上的內部電路藉由 FPC 等連接至配置在絕緣基板外的包括控制器 IC 等的外部電路，上述內部電路的工作受到控制。

內部電路之一的驅動電路（也稱為驅動器）例如有掃描線驅動電路等，例如使用專利文獻 1 所示的由多個正反器電路構成的移位暫存器而形成。

專利文獻 1 日本專利申請公開 2006-24350 號公報

專利文獻 1 所示的現有驅動電路有因正反器電路內的電晶體的開關工作的定時與所希望的定時間產生偏差而導致工作不良的問題。電晶體的開關工作的定時產生偏差的原因是：例如，在非選擇期間，移位暫存器的正反器電路中，上拉電晶體的閘極端子處於浮動狀態，從而在非選擇期間中產生的雜訊等影響到上拉電晶體的閘極端子的電位。

另外，電晶體本身的退化也成為開關工作的定時產生偏差的原因之一。若電晶體退化，則電晶體的臨界值電壓值變化，這導致驅動電路的工作不良。在使用半導體層為非晶半導體的電晶體的情況下，因為半導體層為非晶半導體的電晶體容易退化，所以特別容易發生工作不良。

【發明內容】

作為本發明的實施例之一，其目的之一在於抑制使用移位暫存器的電路中的工作不良。

本發明的實施例之一為：一種驅動電路，包括：包括多個正反器電路的移位暫存器，多個正反器電路中的至少一個是輸入第一信號、第二信號以及第三信號並輸出輸出信號的正反器電路，並且多個正反器電路中的至少一個包括：第一電晶體，該第一電晶體具有閘極端子、源極端子以及汲極端子，對閘極端子施加第一信號的電位，即第一電位，並且對源極端子及汲極端子中的一個端子施加第一

電位或第二電位；第二電晶體，該第二電晶體具有閘極端子、源極端子以及汲極端子，對閘極端子施加第二信號的電位，即第三電位，源極端子及汲極端子中的一個端子電連接於第一電晶體的源極端子及汲極端子中的另一個端子，並且對源極端子及汲極端子中的另一個端子施加第四電位；第三電晶體及第四電晶體，其中一個電晶體控制是否將第一電晶體的源極端子及汲極端子中的另一個端子的電位設定為第一電位或第四電位，而其中另一個電晶體控制是否將第一電晶體的源極端子及汲極端子中的另一個端子的電位設定為第四電位，並且在一個電晶體處於開啓（on）狀態時另一個電晶體變成截止（off）狀態，而在另一個電晶體處於開啓（on）狀態時一個電晶體變成截止（off）狀態；以及第五電晶體，該第五電晶體具有閘極端子、源極端子以及汲極端子，閘極端子電連接於第一電晶體的源極端子及汲極端子中的另一個端子，對源極端子及汲極端子中的一個端子施加第三信號的電位，即第五電位，源極端子及汲極端子中的另一個端子的電位成為輸出信號的電位，並且在第三電晶體或第四電晶體處於開啓（on）狀態時處於截止（off）狀態。

本發明的實施例之一為：一種驅動電路，包括：包括多個正反器電路的移位暫存器，正反器電路是輸入第一控制信號、第二控制信號、第一時鐘信號以及第二時鐘信號並輸出輸出信號的正反器電路，並且正反器電路包括：第一電晶體，該第一電晶體具有閘極端子、源極端子以及汲

極端子，對閘極端子施加第一控制信號的電位，即第一電位，並且對源極端子及汲極端子中的一個端子施加第一電位或第二電位；第二電晶體，該第二電晶體具有閘極端子、源極端子以及汲極端子，對閘極端子施加第二控制信號的電位，即第三電位，源極端子及汲極端子中的一個端子電連接於第一電晶體的源極端子及汲極端子中的另一個端子，並且對源極端子及汲極端子中的另一個端子施加第四電位；第三電晶體及第四電晶體，該第三電晶體及第四電晶體分別具有閘極端子、源極端子以及汲極端子，其中一個電晶體的源極端子及汲極端子中的一個端子電連接於第一電晶體的源極端子及汲極端子中的另一個端子，對一個電晶體的源極端子及汲極端子中的另一個端子施加第一電位或第四電位，而其中另一個電晶體的源極端子及汲極端子中的一個端子電連接於第一電晶體的源極端子及汲極端子中的另一個端子，對另一個電晶體的源極端子及汲極端子中的另一個端子施加第四電位，並且在一個電晶體處於開啓（on）狀態時另一個電晶體變成截止（off）狀態，而在另一個電晶體處於開啓（on）狀態時一個電晶體變成截止（off）狀態；第五電晶體，該第五電晶體具有閘極端子、源極端子以及汲極端子，閘極端子電連接於第一電晶體的源極端子及汲極端子中的另一個端子，對源極端子及汲極端子中的一個端子施加第一時鐘信號的電位，即第五電位，源極端子及汲極端子中的另一個端子的電位成為輸出信號的電位，並且在第三電晶體或第四電晶體處

於開啓（on）狀態時處於截止（off）狀態；第六電晶體，該第六電晶體具有閘極端子、源極端子以及汲極端子，閘極端子電連接於第三電晶體及第四電晶體中的另一個電晶體的閘極端子，源極端子及汲極端子中的一個端子電連接於第五電晶體的源極端子及汲極端子中的另一個端子，並且對源極端子及汲極端子中的另一個端子施加第四電位；以及第七電晶體，該第七電晶體具有閘極端子、源極端子以及汲極端子，對閘極端子施加第二時鐘信號的電位，即第六電位，源極端子及汲極端子中的一個端子電連接於第五電晶體的源極端子及汲極端子中的另一個端子，並且對源極端子及汲極端子中的另一個端子施加第四電位。

作為本發明的實施例之一，還可以採用如下結構：正反器電路包括：第一電容器，該第一電容器至少具有兩個端子，對其中一個端子施加第五電位，並且其中另一個端子電連接於第三電晶體及第四電晶體中的另一個電晶體的閘極端子；第八電晶體，該第八電晶體具有閘極端子、源極端子以及汲極端子，閘極端子電連接於第五電晶體的閘極端子，源極端子及汲極端子中的一個端子電連接於第三電晶體及第四電晶體中的另一個電晶體的閘極端子，並且對源極端子及汲極端子中的另一個端子施加第四電位；第二電容器，該第二電容器至少具有兩個端子，對其中一個端子施加第六電位，並且其中另一個端子電連接於第三電晶體及第四電晶體中的一個電晶體的閘極端子；以及第九

電晶體，該第九電晶體具有閘極端子、源極端子以及汲極端子，閘極端子電連接於第一電晶體的閘極端子，源極端子及汲極端子中的一個端子電連接於第三電晶體及第四電晶體中的一個電晶體的閘極端子，並且對源極端子及汲極端子中的另一個端子施加第四電位。

作為本發明的實施例之一，還可以採用如下結構：正反器電路包括：第一電容器，該第一電容器至少具有兩個端子，對其中一個端子施加第五電位，並且其中另一個端子電連接於第三電晶體及第四電晶體中的另一個電晶體的閘極端子；第八電晶體，該第八電晶體具有閘極端子、源極端子以及汲極端子，閘極端子電連接於第五電晶體的閘極端子，源極端子及汲極端子中的一個端子電連接於第三電晶體及第四電晶體中的另一個電晶體的閘極端子，並且對源極端子及汲極端子中的另一個端子施加第四電位。

作為本發明的實施例之一，還可以採用如下結構：正反器電路包括：第十電晶體，該第十電晶體具有閘極端子、源極端子以及汲極端子，對閘極端子施加第一電位，源極端子及汲極端子中的一個端子電連接於第三電晶體及第四電晶體中的另一個電晶體的閘極端子，並且對源極端子及汲極端子中的另一個端子施加第四電位。

作為本發明的實施例之一，還可以採用如下結構：正反器電路具有輸出第二輸出信號的功能，並且正反器電路包括：第十一電晶體，該第十一電晶體具有閘極端子、源極端子以及汲極端子，閘極端子電連接於第一電晶體的源

極端子及汲極端子中的一個端子，對源極端子及汲極端子中的一個端子施加第五電位，並且源極端子及汲極端子中的另一個端子的電位成為第二輸出信號的電位；第十二電晶體，該第十二電晶體具有閘極端子、源極端子以及汲極端子，閘極端子電連接於第三電晶體及第四電晶體中的另一個電晶體的閘極端子，源極端子及汲極端子中的一個端子電連接於第十一電晶體的源極端子及汲極端子中的另一個端子，並且對源極端子及汲極端子中的另一個端子施加第四電位；第十三電晶體，該第十三電晶體具有閘極端子、源極端子以及汲極端子，閘極端子電連接於第七電晶體的閘極端子，源極端子及汲極端子中的一個端子電連接於第十一電晶體的源極端子及汲極端子中的另一個端子，並且對源極端子及汲極端子中的另一個端子施加第四電位。

作為本發明的實施例之一，還可以採用如下結構：第一控制信號及第二控制信號為數位信號，並且使數位信號的 High 狀態與 Low 狀態間的電位差的絕對值大於正反器電路內的電晶體的臨界值電壓的絕對值。

作為本發明的實施例之一，還可以採用如下結構：第四電位值與第一控制信號、第二控制信號、第一時鐘信號或第二時鐘信號的 High 狀態或 Low 狀態的電位值相同。

作為本發明的實施例之一，還可以採用如下結構：第一時鐘信號及第二時鐘信號的相位相反，並且使第一時鐘信號及第二時鐘信號的 High 狀態與 Low 狀態間的電位差

的絕對值大於正反器電路內的電晶體的臨界值電壓的絕對值。

作為本發明的實施例之一，還可以採用如下結構：正反器電路內的電晶體都具有同一導電類型。

作為本發明的實施例之一，還可以採用如下結構：正反器電路內的電晶體包括：閘極電極；閘極絕緣膜，該閘極絕緣膜覆蓋閘極電極而設置；第一半導體層，該第一半導體層中間夾閘極絕緣膜而設置在閘極電極上並包含微晶半導體層；緩衝層，該緩衝層設置在第一半導體層上；一對第二半導體層，該一對第二半導體層被設置在緩衝層上並包含雜質元素；源極電極，該源極電極設置在一對第二半導體層中的一個第二半導體層上；汲極電極，該汲極電極設置在一對第二半導體層中的另一個第二半導體層上。

本發明的實施例之一是：一種顯示裝置，包括：掃描線驅動電路及信號線驅動電路，該掃描線驅動電路及信號線驅動電路中的任何一種包括上述驅動電路；多個掃描線；多個信號線；像素部，其中像素部具有藉由多個掃描線的任何一個電連接於掃描線驅動電路且藉由多個信號線的任何一個電連接於信號線驅動電路的多個像素。

本發明的實施例之一是：一種電子設備，在其顯示部中具有上述顯示裝置。

在本發明說明中，電晶體具有閘極端子、源極端子以及汲極端子的至少三個端子，閘極端子是指閘極電極的部分（包括導電層及佈線等）或者與閘極電極電連接的部分

的一部分。源極端子是指源極電極的部分（包括導電層及佈線等）或者與源極電極電連接的部分（包括半導體層等）的一部分。再者，汲極端子是指汲極電極的部分（包括導電層及佈線等）或者與汲極電極電連接的部分（包括半導體層等）的一部分。另外，電晶體在汲區和源區間具有通道區域，並能夠藉由汲區、通道區域以及源區流動電流。

另外，在本發明說明中，電晶體的源極端子和汲極端子根據電晶體的結構或工作條件等改變，因此不容易說哪個是源極端子或汲極端子。因此，在本檔（發明說明、申請專利範圍書和附圖等）中，將從源極端子及汲極端子中任意選出的一個端子稱為源極端子及汲極端子之一，並將其另一個端子稱為源極端子及汲極端子之另一。

注意，在明確地說“B 形成在 A 之上”或“B 形成在 A 上”的情況下，不局限於 B 直接接觸 A 地形成在 A 之上。還包括不直接接觸的情況，即在 A 和 B 之間夾有其他物件的情況。這裏，A 和 B 為物件（如裝置、元件、電路、佈線、電極、端子、導電膜、層等）。

因此，例如，“層 B 形成在層 A 之上（或層 A 上）”包括如下兩種情況：層 B 直接接觸層 A 地形成在層 A 之上；以及其他層（例如層 C 或層 D 等）直接接觸層 A 地形成在層 A 之上，層 B 直接接觸其他層地形成在其他層之上。注意，其他層（例如層 C 或層 D 等）可以是單層或疊層。

另外，在明確地說“B 形成在 A 之上”或“B 形成在 A 上”的情況下，還包括 B 形成在斜上方的情況。

另外，在本發明說明中，使用第一、第二等序數的詞語是爲了避免構成要素的混淆，而不是在數量上加以限定。

根據本發明的實施例之一，能夠抑制使用移位暫存器的電路中的工作不良。

【圖式簡單說明】

在附圖中：

圖 1 是示出實施例 1 中的驅動電路的結構的一個例子的電路圖；

圖 2 是示出圖 1 所示的驅動電路的工作的時序圖；

圖 3 是示出實施例 1 中的驅動電路的結構的一個例子的電路圖；

圖 4 是示出實施例 1 中的驅動電路的結構的一個例子的電路圖；

圖 5 是示出圖 4 所示的驅動電路的工作的時序圖；

圖 6 是示出實施例 1 中的驅動電路的結構的一個例子的電路圖；

圖 7 是示出實施例 2 中的驅動電路的結構的一個例子的電路圖；

圖 8 是示出圖 7 所示的驅動電路的工作的時序圖；

圖 9 是示出實施例 2 中的驅動電路的結構的一個例子

的電路圖；

圖 10 是示出實施例 2 中的驅動電路的結構的一個例子的電路圖；

圖 11 是示出圖 10 所示的驅動電路的工作的時序圖；

圖 12 是示出實施例 2 中的驅動電路的結構的一個例子的電路圖；

圖 13 是示出實施例 3 中的顯示裝置的結構的一個例子的電路圖；

圖 14 是示出圖 13 所示的掃描線驅動電路 702 的工作的時序圖；

圖 15A 至 15G 是示出實施例 3 的液晶顯示裝置中的像素的結構及工作的一個例子的圖；

圖 16A 至 16H 是示出實施例 3 的液晶顯示裝置中的像素的結構及工作的一個例子的圖；

圖 17A 和 17B 是分別示出適用於實施例 4 中的驅動電路的電晶體的結構的一個例子的截面示意圖；

圖 18 是示出適用於實施例 4 中的驅動電路的電晶體的結構的一個例子的截面示意圖；

圖 19A 至 19C 是示出適用於實施例 4 中的驅動電路的電晶體的製造方法的一個例子的截面示意圖；

圖 20D 至 20F 是示出適用於實施例 4 中的驅動電路的電晶體的製造方法的一個例子的截面示意圖；

圖 21G 和 21H 是示出適用於實施例 4 中的驅動電路的電晶體的製造方法的一個例子的截面示意圖；

圖 22A 至 22H 是分別示出能夠將實施例 5 中的顯示裝置適用於顯示部的電子設備的一個例子的圖；

圖 23A 至 23C 是示出能夠將實施例 5 中的顯示裝置適用於顯示部的電子設備的一個例子的圖；

圖 24 是示出實施例 1 中的驅動電路的結構的一個例子的圖；

圖 25A 和 25B 是示出實施例 1 中的驅動電路的電路模擬結果的圖。

【實施方式】

下面，參照附圖說明本發明的實施例的例子。但是，本發明不局限於以下說明，發明所屬之技術領域的技術人員可以很容易地理解一個事實就是其方式和詳細內容可以不脫離本發明的宗旨及其範圍地變換為各種各樣的形式。因此，本發明不應該解釋為僅限定在以下實施例所記載的內容中。

實施例 1

在本實施例中，說明本發明的實施例之一的驅動電路。

本實施例中的驅動電路具有包括多個正反器電路的移位暫存器。

再者，參照圖 24 說明正反器電路的電路結構的一個例子。圖 24 是示出本實施例的驅動電路中的正反器電路

的電路結構的一個例子的電路圖。

多個正反器電路中的至少一個可以為圖 24 所示的電路結構的正反器電路。例如，圖 24 所示的正反器電路具有輸入第一信號及第二信號並輸出輸出信號的功能。

圖 24 所示的正反器電路具有電晶體 11、電晶體 12、電晶體 13、電晶體 14 以及電晶體 15。

電晶體 11 是：對閘極端子施加第一信號的電位，即第一電位；對源極端子及汲極端子中的一個端子施加第一電位或第二電位。

電晶體 12 是：源極端子及汲極端子中的一個端子電連接於電晶體 11 的源極端子及汲極端子中的另一個端子；對閘極端子施加第二信號的電位，即第三電位；對源極端子及汲極端子中的另一個端子施加第四電位。

電晶體 13 及電晶體 14 中的一個電晶體具有控制是否將電晶體 11 的源極端子及汲極端子中的另一個端子的電位設定為第一電位或第四電位的功能，而其另一個電晶體具有控制是否將電晶體 11 的源極端子及汲極端子中的另一個端子的電位設定為第四電位的功能。

另外，電晶體 13 具有在電晶體 14 處於開啓（on）狀態時變成截止（off）狀態的功能，而電晶體 14 具有在電晶體 13 處於開啓（on）狀態時變成截止（off）狀態的功能。

電晶體 15 是：閘極端子電連接於電晶體 11 的源極端子及汲極端子中的另一個端子；對源極端子及汲極端子中

的一個端子施加第五電位；源極端子及汲極端子中的另一個端子的電位成為輸出信號的電位。另外，也將電晶體 11 的源極端子及汲極端子中的另一個端子與電晶體 15 的閘極端子的連接部分稱為節點 A。

另外，當電晶體 13 或電晶體 14 處於開啓（on）狀態時，電晶體 15 處於截止（off）狀態。

根據上述結構，當電晶體 13 或電晶體 14 處於開啓（on）狀態時，將節點 A 的電位，即電晶體 15 的閘極端子的電位設定為預定數值，不使節點 A 處於浮動狀態，從而能夠抑制正反器電路的工作不良。

再者，參照圖 1 說明本實施例的驅動電路中的正反器電路的電路結構的一個例子。圖 1 是示出本實施例的正反器電路的電路結構的一個例子的電路圖。

本實施例的驅動電路中的多個正反器電路分別可以為圖 1 所示的電路結構的正反器電路。圖 1 所示的正反器電路具有端子 100、端子 101、端子 102、端子 103、端子 104、端子 105、電晶體 106、電晶體 107、電容器 108、電晶體 109、電晶體 110、電晶體 111、電容器 112、電晶體 113、電晶體 114、電晶體 115 以及電晶體 116。

注意，雖然在圖 1 所示的正反器電路中示出端子 102A 及端子 102B 作為端子 102，但是不局限於此，也可以在本實施例的驅動電路中的正反器電路中將端子 102A 及端子 102B 電連接而作為一個端子 102。另外，雖然在圖 1 所示的正反器電路中示出端子 103A 及端子 103B 作

為端子 103，但是不局限於此，也可以在本實施例的驅動電路中的正反器電路中將端子 103A 及端子 103B 電連接而作為一個端子 103。

另外，雖然在本實施例的驅動電路中的正反器電路中示出端子 104A 至端子 104G 作為端子 104，但是不局限於此，也可以在本實施例的驅動電路中的正反器電路中將端子 104A 至端子 104G 電連接而作為一個端子 104。

● 電晶體 106 是：閘極端子電連接於端子 100；源極端子及汲極端子中的一個端子電連接於電晶體 106 的閘極端子。

● 電晶體 107 是：閘極端子電連接於端子 101；源極端子及汲極端子中的一個端子電連接於電晶體 106 的源極端子及汲極端子中的另一個端子；源極端子及汲極端子中的另一個端子電連接於端子 104A。雖然為方便起見而未圖示，但是可以在本實施例的驅動電路中的正反器電路中不設置電晶體 107。藉由採用不設置電晶體 107 的結構，可以縮小電路面積。

電容器 108 具有至少兩個端子，其中一個端子電連接於端子 102A。

● 電晶體 109 是：閘極端子電連接於電晶體 106 的源極端子及汲極端子中的一個端子；源極端子及汲極端子中的一個端子電連接於電容器 108 的另一個端子；源極端子及汲極端子中的另一個端子電連接於端子 104B。

電晶體 110 是：閘極端子電連接於電晶體 109 的源極

端子及汲極端子中的一個端子；源極端子及汲極端子中的一個端子電連接於電晶體 106 的源極端子及汲極端子中的另一個端子；源極端子及汲極端子中的另一個端子電連接於端子 104C。

電容器 112 具有至少兩個端子，其中一個端子電連接於端子 103A。

電晶體 111 是：閘極端子電連接於電容器 112 的另一個端子；源極端子及汲極端子中的一個端子電連接於電晶體 106 的源極端子及汲極端子中的另一個端子；源極端子及汲極端子中的另一個端子電連接於端子 104D。

電晶體 113 是：閘極端子電連接於電晶體 106 的源極端子及汲極端子中的另一個端子；源極端子及汲極端子中的一個端子電連接於電晶體 111 的閘極端子；源極端子及汲極端子中的另一個端子電連接於端子 104E。

電晶體 114 是：閘極端子電連接於電晶體 106 的源極端子及汲極端子中的另一個端子；源極端子及汲極端子中的一個端子電連接於端子 103B；源極端子及汲極端子中的另一個端子電連接於端子 105；源極端子及汲極端子中的另一個端子的電位成為輸出信號，並藉由端子 105 輸出。另外，本實施例的驅動電路中的正反器電路也可以採用在電晶體 114 的閘極端子與源極端子及汲極端子中的另一個端子間設置另一電容器的結構。

電晶體 115 是：閘極端子電連接於電晶體 111 的閘極端子；源極端子及汲極端子中的一個端子電連接於電晶體

114 的源極端子及汲極端子中的另一個端子；源極端子及汲極端子中的另一個端子電連接於端子 104F。

電晶體 116 是：閘極端子電連接於端子 102B；源極端子及汲極端子中的一個端子電連接於電晶體 114 的源極端子及汲極端子中的另一個端子；源極端子及汲極端子中的另一個端子電連接於端子 104G。

另外，也將電晶體 109 的源極端子及汲極端子中的一個端子與電容器 108 的另一個端子或電晶體 110 的閘極端子間的連接部分稱為節點 118。另外，也將電晶體 106 的源極端子及汲極端子中的另一個端子與電晶體 107 的源極端子及汲極端子中的一個端子、電晶體 110 的源極端子及汲極端子中的一個端子、電晶體 111 的源極端子及汲極端子中的一個端子、電晶體 113 的源極端子及汲極端子中的一個端子或電晶體 114 的閘極端子間的連接部分稱為節點 117。另外，也將電晶體 111 的閘極端子與電容器 112 的另一個端子、電晶體 113 的源極端子及汲極端子中的一個端子或電晶體 115 的閘極端子間的連接部分稱為節點 119。

另外，圖 1 所示的正反器電路藉由端子 100 輸入第一控制信號，並藉由端子 101 輸入第二控制信號。作為第一控制信號及第二控制信號，例如可以使用分別具有 High 狀態及 Low 狀態這兩種狀態的數位信號。在使用數位信號的情況下，當所輸入的第一控制信號或第二控制信號處於 High 狀態（也稱為 High 位準）時，藉由端子 100 或端

子 101 將具有預定電位值的第一控制信號或第二控制信號作為第一電位（也稱為 V1）輸入，而當所輸入的第一控制信號或第二控制信號處於 Low 狀態（也稱為 Low 位準）時，藉由端子 100 或端子 101 將其電位值比上述 High 狀態下的預定電位值低的第一控制信號或第二控制信號作為第二電位（也稱為 V2）輸入。例如，可以根據電晶體的臨界值電壓值等適當地設定 High 狀態及 Low 狀態下的電位值。較佳地是，例如以 High 狀態與 Low 狀態的電位差大於正反器電路內的電晶體的臨界值電壓的絕對值的方式設定 High 狀態及 Low 狀態下的電位值。

另外，圖 1 所示的正反器電路藉由端子 102（也稱為端子 102A 及端子 102B）輸入第一相位的時鐘信號（也稱為第一時鐘信號或 CK 信號）或第二相位的時鐘信號（也稱為第二時鐘信號、CKB 信號或第一時鐘信號的反相信號）。第一時鐘信號及第二時鐘信號具有 High 狀態及 Low 狀態這兩種電位狀態，當處於 High 狀態（也稱為 High 位準）時，時鐘信號的電位成為電位 V1，而當處於 Low 狀態（也稱為 Low 位準）時，時鐘信號的電位成為電位 V2。較佳地是，處於 High 狀態時的第一時鐘信號及第二時鐘信號的電位值與處於 High 狀態時的第一控制信號及第二控制信號的電位值相同，而處於 Low 狀態時的第一時鐘信號及第二時鐘信號的電位值與處於 Low 狀態時的第一控制信號及第二控制信號的電位值相同。例如，可以根據電晶體的臨界值電壓值等適當地設定 High 狀態

及 Low 狀態下的電位值。較佳地是，例如以 High 狀態與 Low 狀態的電位差大於正反器電路內的電晶體的臨界值電壓的絕對值的方式設定 High 狀態及 Low 狀態下的電位值。

第一時鐘信號和第二時鐘信號這兩種時鐘信號是相位相反的時鐘信號，例如在預定的期間，當第一時鐘信號處於 High 狀態時，第二時鐘信號處於 Low 狀態，而當第一時鐘信號處於 Low 狀態時，第二時鐘信號處於 High 狀態。

另外，正反器電路藉由端子 103（也稱為端子 103A 及端子 103B）輸入第一時鐘信號或第二時鐘信號。藉由端子 102 輸入的時鐘信號和藉由端子 103 輸入的時鐘信號是相反的時鐘信號，例如，在藉由端子 102 輸入第一時鐘信號的情況下，藉由端子 103 輸入第二時鐘信號，而在藉由端子 102 輸入第二時鐘信號的情況下，藉由端子 103 輸入第一時鐘信號。

另外，圖 1 所示的正反器電路藉由端子 104（也稱為端子 104A 至端子 104G）施加預定數值的電位。此時，例如，預定電位值可以為 V1 或 V2，即可以與時鐘信號或控制信號等數位信號的 High 狀態或 Low 狀態下的電位值相同。

在圖 1 所示的正反器電路中，雖然示出電晶體 106 的源極端子及汲極端子中的一個端子電連接於端子 100 的結構，但是不局限於此，也可以採用將本實施例的驅動電路

中的正反器電路另外電連接於電源極端子並施加電位 V1 或電位 V2 的結構。

電晶體 106 具有根據藉由端子 100 輸入的信號控制端子 100 和節點 117 間的導通的功能。

電晶體 107 具有根據藉由端子 101 輸入的信號控制端子 104A 和節點 117 間的導通的功能，藉由使端子 104A 與節點 117 處於導通狀態，將節點 117 的電位設定為 V1 或 V2。

電容器 108 具有根據藉由端子 102（端子 102A）輸入的信號利用電容耦合作用改變節點 118 的電位的功能。例如，在藉由端子 102（端子 102A）輸入的信號從 Low 狀態變成 High 狀態的情況下，電容器 108 具有利用電容耦合作用將節點 118 的電位設定為電位 V1 的功能。與此相反，在藉由端子 102 輸入的信號從 High 狀態變成 Low 狀態的情況下，電容器 108 具有利用電容耦合作用將節點 118 的電位設定為 V1 或 V2 的功能。

電晶體 109 具有根據藉由端子 100 輸入的信號控制端子 104B 和節點 118 間的導通的功能，藉由使端子 104B 與節點 118 處於導通狀態，將節點 118 的電位設定為 V1 或 V2。

電晶體 110 具有根據節點 118 的電位控制端子 104C 和節點 117 間的導通的功能，藉由使端子 104C 與節點 117 處於導通狀態，將節點 117 的電位設定為 V1 或 V2。另外，電晶體 110 具有在電晶體 111 處於開啓（on）狀態

時變成截止（off）狀態的功能。

電晶體 111 具有根據節點 119 的電位控制端子 104D 和節點 117 間的導通的功能，藉由使端子 104D 與節點 117 處於導通狀態，將節點 117 的電位設定為 V1 或 V2。另外，電晶體 111 具有在電晶體 110 處於開啓（on）狀態時變成截止（off）狀態的功能。

電容器 112 具有根據藉由端子 103A 輸入的信號利用電容耦合作用改變節點 119 的電位的功能。例如，在藉由端子 103A 輸入的信號從 Low 狀態變成 High 狀態的情況下，電容器 112 利用電容耦合作用將節點 119 的電位設定為電位 V1。與此相反，在藉由端子 103A 輸入的信號從 High 狀態變成 Low 狀態的情況下，電容器 112 利用電容耦合作用將節點 119 的電位設定為 V2。

電晶體 113 具有控制端子 104E 和節點 119 間的導通的功能，藉由使端子 104E 與節點 119 處於導通狀態，將節點 119 的電位設定為 V1 或 V2。

電晶體 114 具有如下功能：根據節點 117 的電位控制端子 103B 和端子 105 間的導通，並且藉由使端子 103B 與端子 105 處於導通狀態，使藉由端子 103B 輸入的信號的電位值與藉由端子 105 輸出的信號的電位值相同。

另外，電晶體 114 還具有如下功能：例如在其是 N 型電晶體且節點 117 的電位為 V1 的情況下，當藉由端子 103B 輸入的信號從 Low 狀態變成 High 狀態時，隨著與端子 105 間的連接部分的電位上升使節點 117 的電位上升。

這是所謂的自舉（bootstrap）。通常，利用電晶體 114 的閘極端子與源極端子及汲極端子中的另一個端子間的寄生電容進行自舉。

電晶體 115 具有根據節點 119 的電位控制端子 104F 和端子 105 間的導通的功能，藉由使端子 104F 與端子 105 處於導通狀態，將藉由端子 105 輸出的信號的電位設定為 V1 或 V2。

電晶體 116 具有如下功能：根據藉由端子 102B 輸入的信號控制端子 104G 和端子 105 間的導通，並且藉由使端子 104G 與端子 105 處於導通狀態，將藉由端子 105 輸出的信號的電位設定為 V1 或 V2。

注意，本實施例的驅動電路可以由具有同一導電類型的電晶體構成，從而能夠簡化製造步驟。因此，能夠縮減製造成本或提高成品率。再者，容易製造大型顯示面板等的半導體裝置。在本實施例的驅動電路中，所有電晶體都可以為具有 N 導電類型的電晶體（也稱為 N 型電晶體）或具有 P 導電類型的電晶體（也稱為 P 型電晶體）。注意，在本發明說明中，“同一”這詞還具有“實質上同一”的意思。

下面，參照圖 2 說明圖 1 所示的驅動電路的工作。圖 2 是示出圖 1 所示的驅動電路的工作的一個例子的時序圖。在本實施例中，作為一個例子，藉由端子 102 輸入第二時鐘信號，並藉由端子 103 輸入第一時鐘信號。這裏，說明正反器電路內的電晶體都是 N 型電晶體的情況作為圖

1 所示的驅動電路的工作的一個例子。

如圖 2 所示，圖 1 所示的驅動電路的工作反復進行一定期間的預定工作。一定期間主要分為選擇期間和非選擇期間，選擇期間及非選擇期間進一步分為第一期間、第二期間、第三期間、第四期間以及第五期間。在圖 2 中，第一期間、第三期間、第四期間以及第五期間為非選擇期間，第二期間為選擇期間。

首先，在第一期間，藉由端子 100 輸入 High 狀態的第一控制信號 201，藉由端子 101 輸入 Low 狀態的第二控制信號 208，藉由端子 102 輸入 High 狀態的第二時鐘信號 203，並且藉由端子 103 輸入 Low 狀態的第一時鐘信號 202，從而電晶體 106、電晶體 109 以及電晶體 116 變成開啓（on）狀態，而電晶體 107 變成截止（off）狀態。

當電晶體 106 變成開啓（on）狀態時，節點 117 的電位 204 開始上升。此時，節點 117 的電位上升直到其成為從第一控制信號 201 的電位 $V1$ 減去電晶體 106 的臨界值電壓（也稱為 V_{th106} ）的值，即 $V1 - V_{th106}$ ，當成為 $V1 - V_{th106}$ 時電晶體 106 變成截止（off）狀態。

再者，當節點 117 的電位 204 成為 $V1 - V_{th106}$ 時，電晶體 113 變成開啓（on）狀態。此時，節點 119 的電位 206 與藉由端子 104E 施加的電位 $V2$ 相同。

再者，當節點 119 的電位 206 成為 $V2$ 時，電晶體 111 及電晶體 115 變成截止（off）狀態。

另外，當電晶體 109 處於開啓（on）狀態時，節點

118 的電位 205 與藉由端子 104B 施加的電位 V_2 相同。

再者，當節點 118 的電位 205 成為 V_2 時，電晶體 110 變成截止 (off) 狀態。

如上所述，當電晶體 106、電晶體 107、電晶體 110 以及電晶體 111 變成截止 (off) 狀態時，節點 117 在保持電位 $V_1 - V_{th106}$ 的狀態下變成浮動狀態。

另外，當節點 117 的電位 204 成為 $V_1 - V_{th106}$ 時，電晶體 114 變成開啓 (on) 狀態。

再者，此時藉由端子 105 輸出的輸出信號 207 的電位與藉由端子 103B 施加的電位 V_2 或藉由端子 104G 施加的電位 V_2 相同。如上所述的是第一期間的工作。

接著，在第二期間，藉由端子 100 輸入 Low 狀態的第一控制信號 201，藉由端子 101 輸入 Low 狀態的第二控制信號 208，藉由端子 102 輸入 Low 狀態的第二時鐘信號 203，並且藉由端子 103 輸入 High 狀態的第一時鐘信號 202。此時，電晶體 106、電晶體 109 以及電晶體 116 變成截止 (off) 狀態，而電晶體 107 繼續處於截止 (off) 狀態。

很多情況下，在藉由端子 102A 輸入的第二時鐘信號 203 變成 Low 狀態後，電晶體 109 變成截止 (off) 狀態。這是因為很多情況下，藉由端子 100 的第一控制信號 201 比第二時鐘信號 203 延遲的緣故。在第二時鐘信號 203 變成 Low 狀態後，電晶體 109 變成截止 (off) 狀態，從而節點 118 在保持電位 V_2 的狀態下變成浮動狀

態，電晶體 110 繼續處於截止（off）狀態。

另外，電容器 108 保持藉由端子 102A 輸入的第二時鐘信號 203 的電位與節點 118 的電位 205 的電位差，即 Low 狀態下的第二時鐘信號 203 的電位與藉由端子 104B 施加的電位 V2 的電位差。

如上所述，當電晶體 106、電晶體 107 以及電晶體 110 處於截止（off）狀態時，節點 117 的電位 204 繼續為 $V1 - V_{th_{106}}$ 。

再者，當節點 117 的電位 204 為 $V1 - V_{th_{106}}$ 時，電晶體 113 繼續處於開啓（on）狀態，當電晶體 113 繼續處於開啓（on）狀態時，節點 119 的電位 206 繼續為 V2，電晶體 111 及電晶體 115 繼續處於截止（off）狀態。

當節點 117 的電位 204 繼續為 $V1 - V_{th_{106}}$ ，電晶體 114 的源極端子及汲極端子中的一個端子的電位成為第一時鐘信號 202 的電位 V1 時，藉由端子 105 輸出的輸出信號 207 的電位上升。於是，因為節點 117 處於浮動狀態，所以根據利用電晶體 114 的閘極端子與源極端子及汲極端子中的另一個端子間的寄生電容的電容耦合，節點 117 的電位 204 隨著輸出信號 207 的電位而上升。這是所謂的自舉（bootstrap）。

節點 117 的電位 204 上升到比第一時鐘信號 202 的電位 V1 加電晶體 114 的臨界值電壓（也稱為 $V_{th_{114}}$ ）的和更大的數值，即 $V1 + V_{th_{114}} + V_a$ （ V_a 是任意正值）。此時，電晶體 114 繼續處於開啓（on）狀態。

再者，此時藉由端子 105 輸出的輸出信號 207 的電位的數值與藉由端子 103B 施加的電位 V_1 相同。上述工作是第二期間的工作。

接著，在第三期間，藉由端子 100 輸入 Low 狀態的第一控制信號 201，藉由端子 101 輸入 High 狀態的第二控制信號 208，藉由端子 102 輸入 High 狀態的第二時鐘信號 203，並且藉由端子 103 輸入 Low 狀態的第一時鐘信號 202。此時，電晶體 107 及電晶體 116 變成開啓 (on) 狀態，而電晶體 106 及電晶體 109 繼續處於截止 (off) 狀態。

當電晶體 107 變成開啓 (on) 狀態時，節點 117 的電位 204 的數值與藉由端子 104A 施加的電位 V_2 相同。

再者，根據電容器 108 的電容耦合，節點 118 的電位 205 成為 $V_2 + V_b$ 。 V_b 較佳大於電晶體 110 的臨界值電壓，並較佳小於 $V_1 - V_2$ 。

再者，當節點 118 的電位 205 成為 $V_2 + V_b$ 時，電晶體 110 變成開啓 (on) 狀態。再者，當電晶體 110 處於開啓 (on) 狀態時，節點 117 的電位 204 與藉由端子 104C 施加的電位 V_2 相同。

再者，當節點 117 的電位 204 成為 V_2 時，電晶體 113 及電晶體 114 變成截止 (off) 狀態。很多情況下，在藉由端子 103A 輸入的第一時鐘信號 202 變成 Low 狀態後，電晶體 113 變成截止 (off) 狀態。這是因為很多情況下，節點 117 的電位 204 比第一時鐘信號 202 延遲或畸

變的緣故。在第一時鐘信號 202 變成 Low 狀態後，電晶體 113 變成截止 (off) 狀態，從而在保持與藉由 104E 施加的電位 V_2 相同的數值的狀態下，節點 119 變成浮動狀態。

再者，在節點 119 處於浮動狀態時，電晶體 111 及電晶體 115 繼續處於截止 (off) 狀態。

再者，電容器 112 保持藉由端子 103A 輸入的第一時鐘信號 202 的電位與節點 119 的電位 206 間的電位差，即 Low 狀態下的第一時鐘信號 202 的電位與藉由端子 104E 施加的電位 V_2 間的電位差。

再者，此時藉由端子 105 輸出的輸出信號 207 的電位的數值與藉由端子 104G 施加的電位 V_2 相同。上述工作是第三期間的工作。

接著，在第四期間，藉由端子 100 輸入 Low 狀態的第一控制信號 201，藉由端子 101 輸入 Low 狀態的第二控制信號 208，藉由端子 102 輸入 Low 狀態的第二時鐘信號 203，並且藉由端子 103 輸入 High 狀態的第一時鐘信號 202。此時，電晶體 107 及電晶體 116 變成截止 (off) 狀態，而電晶體 106 及電晶體 109 繼續處於截止 (off) 狀態。

此時，根據電容器 108 的電容耦合，節點 118 的電位 205 成為 V_2 。因此，電晶體 110 變成截止 (off) 狀態。

另外，根據電容器 112 的電容耦合，節點 119 的電位 206 成為 $V_2 + V_c$ 。 V_c 較佳大於電晶體 111 的臨界值電壓

或電晶體 115 的臨界值電壓，並較佳小於 $V1-V2$ 。

再者，當節點 119 的電位 206 成為 $V2+Vc$ 時，電晶體 111 及電晶體 115 變成開啓 (on) 狀態。

再者，當電晶體 111 變成開啓 (on) 狀態時，節點 117 的電位 204 與藉由端子 104D 施加的電位 $V2$ 相同。

再者，當節點 117 的電位 204 成為 $V2$ 時，電晶體 113 及電晶體 114 變成截止 (off) 狀態。

另外，當電晶體 115 變成開啓 (on) 狀態時，藉由端子 105 輸出的輸出信號 207 的電位的數值與藉由端子 104G 施加的電位 $V2$ 相同。上述工作是第四期間的工作。

接著，在第五期間，藉由端子 100 輸入 Low 狀態的第一控制信號 201，藉由端子 101 輸入 Low 狀態的第二控制信號 208，藉由端子 102 輸入 High 狀態的第二時鐘信號 203，並且藉由端子 103 輸入 Low 狀態的第一時鐘信號 202。此時，電晶體 116 變成開啓 (on) 狀態，而電晶體 106、電晶體 107 以及電晶體 109 繼續處於截止 (off) 狀態。

此時，根據電容器 108 的電容耦合，節點 118 的電位 205 成為 $V2+Vb$ 。再者，當節點 118 的電位 205 成為 $V2+Vb$ 時，電晶體 110 變成開啓 (on) 狀態。再者，當電晶體 110 變成開啓 (on) 狀態時，節點 117 的電位 204 與藉由端子 104C 施加的電位 $V2$ 相同。

另外，根據電容器 112 的電容耦合，節點 119 的電位 206 成為 $V2$ 。再者，當節點 119 的電位 206 成為 $V2$ 時，

電晶體 111 及電晶體 115 變成截止 (off) 狀態。

再者，當節點 117 的電位 204 成為 V2 時，電晶體 113 及電晶體 114 變成截止 (off) 狀態。

再者，此時藉由端子 105 輸出的輸出信號 207 的電位的數值與藉由端子 104G 施加的電位 V2 相同。上述工作是第五期間的工作。

如上所述，在復位期間（第三期間）後的非選擇期間，本實施例中的驅動電路反復進行多次的第四期間及第五期間的工作。因此，在非選擇期間的任一期間對節點 117 施加預定數值的電位，從而能夠抑制節點 117 變成浮動狀態。因此，能夠減少雜訊導致的影響，從而能夠抑制工作不良。

另外，因為在本實施例中的驅動電路的工作中藉由第四期間與第五期間互不相同的電晶體變成開啓 (on) 狀態而能夠對節點 117 施加預定數值的電位，所以即使在應用例如半導體層由非晶半導體構成的電晶體等容易退化的電晶體的情況下，也可以抑制各電晶體中的退化。因此，能夠減少退化導致的電晶體的開關工作的定時的偏差，從而能夠抑制工作不良。

這裏，將在圖 2 所示的第四期間和第五期間只設置電晶體 110 及電晶體 111 中的一個電晶體以控制節點 117 的電位的現有驅動電路的情況及設置電晶體 110 及電晶體 111 雙方以控制節點 117 的電位的本發明的實施例之一的驅動電路情況下的電路模擬結果示出於圖 25A 和 25B。注

意，使用 SPICE 電路模擬器進行模擬。這裏，作為一個例子，正反器電路內的電晶體都是 N 型電晶體， $V_2=0V$ 。

圖 25A 是示出在第四期間和第五期間使用電晶體 110 及電晶體 111 中的一個電晶體控制節點 117 的情況下的節點 117 的電位（電壓）的變化的圖，而圖 25B 是示出在第四期間和第五期間使用電晶體 110 及電晶體 111 雙方控制節點 117 的情況下的節點 117 的電位（電壓）的變化的圖。在圖 25A 及 25B 中，電壓的單位是任意單位（A.U.：Arbitrary Unit）。

在復位期間（第三期間）後的第四期間及第五期間產生的雜訊主要因為圖 1 所示的電晶體 114 的寄生電容而影響到節點 117。首先，就現有的驅動電路而言，使用與一個時鐘信號同步的信號控制電晶體，從而在復位期間後第四期間及第五期間中的任何一個期間發生浮動狀態。當發生浮動狀態時，對通常的電位加入雜訊，這導致如圖 25A 所示那樣在每個固定期間（圖 25A 中的第五期間）節點 117 的電位（電壓）變化 0.4 左右。

另一方面，在本發明的實施例之一的驅動電路中，使用與相位相反的兩個時鐘信號分別同步的信號而分別控制電晶體 110 及電晶體 111，從而在第四期間及第五期間雙方施加預定電位而不發生浮動狀態，如圖 25B 所示那樣節點 117 的電位變化少，即等於或小於 0.2。就是說，雜訊的影響小。由此可見，藉由使用多個電晶體在第四期間及第五期間中的每個期間使電晶體 110 或電晶體 111 變成開

啓 (on) 狀態以對節點 117 施加預定數值的電位，而能夠減少雜訊的影響。

再者，在本實施例中，可以以與圖 1 不同的結構為本發明的實施例之一的驅動電路。下面，參照圖 3 說明本實施例中的驅動電路的其他結構。圖 3 是示出本實施例的驅動電路的結構的一個例子的電路圖。

作為圖 3 所示的本實施例中的驅動電路的其他結構，除了圖 1 所示的電路結構以外，還有圖 3 中成為電晶體的電晶體 120 和端子 104H。

在圖 3 中使用同一附圖標記而表示的元件與圖 1 中的驅動電路相同，從而省略說明。

電晶體 120 是：閘極端子電連接於端子 100；源極端子及汲極端子中的一個端子電連接於電晶體 111 的閘極端子；源極端子及汲極端子中的另一個端子電連接於端子 104H。

因為藉由端子 104H 施加與圖 1 中的端子 104A 至 104G 相同的電位，所以引用圖 1 中的說明。另外，可以將端子 104A 至 104H 電連接而作為一個端子 104。

電晶體 120 具有根據藉由端子 100 輸入的信號控制端子 104H 和節點 119 間的導通的功能，藉由使端子 104H 與節點 119 處於導通狀態，將節點 119 的電位設定為 V1 或 V2。

下面，說明圖 3 所示的驅動電路的工作。注意，就圖 3 中的驅動電路的工作而言只說明電晶體 120 的工作，就

與圖 1 所示的驅動電路的元件的工作相同的部分而言適當地引用圖 1 中的說明。另外，這裏，說明正反器電路內的電晶體都是 N 型電晶體的情況作為圖 3 所示的驅動電路的工作的一個例子。

在第一期間，藉由端子 100 輸入 High 狀態的第一控制信號 201。此時，電晶體 120 變成開啓（on）狀態。

當電晶體 120 變成開啓（on）狀態時，節點 119 的電位與藉由端子 104H 施加的電位 V2 相同。因此，電晶體 111 及電晶體 115 變成截止（off）狀態。

然後，在第二期間至第五期間，藉由端子 100 輸入 Low 狀態的第一控制信號 201。此時，電晶體 120 變成截止（off）狀態。

如上所述，圖 3 所示的驅動電路除了圖 1 中的電路結構的效果以外還具有如下效果：藉由在第一期間將第一控制信號 201 直接輸入到電晶體 120 來使電晶體 120 變成開啓（on）狀態，而能夠在第一期間更確實地將節點 119 的電位設定為電位 V2。

再者，在本實施例中，可以以與圖 1 及圖 3 不同的結構為本發明的實施例之一的驅動電路。下面，參照圖 4 說明本實施例中的驅動電路的其他結構。圖 4 是示出本實施例的驅動電路的結構的一個例子的電路圖。

作為圖 4 所示的驅動電路的結構，除了圖 1 所示的電路結構以外，還有端子 103C、端子 104I 及端子 104J、端子 121、電晶體 122、電晶體 123 以及電晶體 124。

在圖 4 中使用與圖 1 同一附圖標記而表示的元件與圖 1 中的驅動電路的各元件相同，從而引用圖 1 中的說明。

電晶體 122 是：閘極端子電連接於電晶體 106 的源極端子及汲極端子中的另一個端子；源極端子及汲極端子中的一個端子電連接於端子 103C；源極端子及汲極端子中的另一個端子電連接於端子 121。

電晶體 123 是：閘極端子電連接於電晶體 111 的閘極端子；源極端子及汲極端子中的一個端子電連接於電晶體 122 的源極端子及汲極端子中的另一個端子；源極端子及汲極端子中的另一個端子電連接於端子 104I。

電晶體 124 是：閘極端子電連接於端子 102B；源極端子及汲極端子中的一個端子電連接於電晶體 122 的源極端子及汲極端子中的另一個端子；源極端子及汲極端子中的另一個端子電連接於端子 104J。

因為藉由端子 103C 輸入與圖 1 中的端子 103A 及 103B 相同的信號，所以引用圖 1 中的說明。另外，可以將端子 103A 至 103C 電連接而作為一個端子 103。

因為藉由端子 104I 及端子 104J 施加的電位與藉由圖 1 中的端子 104A 至 104G 施加的電位相同，所以引用圖 1 中的說明。另外，可以將端子 104A 至 104G、端子 104I 及端子 104J 電連接而作為一個端子 104。

另外，正反器電路藉由端子 121 輸出正反器電路中產生的信號。

電晶體 122 具有如下功能：根據節點 117 的電位使端

子 103C 與端子 121 成爲導通狀態，使藉由端子 103C 輸入的信號的電位值與藉由端子 121 輸出的信號的電位值相同。尤其是在節點 117 的電位爲 V_1 的情況下，當藉由端子 103C 輸入的信號從 Low 狀態變成 High 狀態時，電晶體 122 具有隨著藉由端子 121 輸出的信號的電位上升使節點 117 的電位上升的功能。這是所謂的自舉（bootstrap）。通常，利用電晶體 122 的閘極端子與源極端子及汲極端子中的另一個端子間的寄生電容進行自舉。

電晶體 123 具有根據節點 119 的電位控制端子 104I 和端子 121 間的導通的功能，藉由使端子 104I 與端子 121 處於導通狀態，將藉由端子 121 輸出的信號的電位設定爲 V_1 或 V_2 。

電晶體 124 具有如下功能：根據藉由端子 102B 輸入的信號控制端子 104J 和端子 121 間的導通，並且藉由使端子 104J 與端子 121 處於導通狀態，將藉由端子 121 輸出的信號的電位設定爲 V_1 或 V_2 。

下面，參照圖 5 說明圖 4 中的驅動電路的工作。圖 5 是示出本實施例中的驅動電路的工作的一個例子的時序圖。注意，就圖 4 中的驅動電路的工作而言只說明電晶體 122、電晶體 123 以及電晶體 124 的工作，就與圖 1 所示的驅動電路的元件的工作相同的部分而言適當地引用圖 1 中的驅動電路的工作的說明。假設在圖 5 中將第一時鐘信號輸入到端子 103C 而進行說明。另外，這裏，說明正反器電路內的電晶體都是 N 型電晶體的情況作爲圖 4 所示的

驅動電路的工作的一個例子。

在第一期間，除了圖 1 所示的電路的工作以外，還進行如下工作：藉由端子 103C 輸入 Low 狀態的第一時鐘信號 202。此時，電晶體 124 變成開啓（on）狀態。

此時，節點 117 的電位 204 成爲 $V1-V_{th_{106}}$ ，並且電晶體 113 變成開啓（on）狀態。再者，當電晶體 113 變成開啓（on）狀態時，電晶體 123 變成截止（off）狀態。

另外，當節點 117 的電位 204 成爲 $V1-V_{th_{106}}$ 時，電晶體 122 變成開啓（on）狀態。

再者，此時藉由端子 121 輸出的輸出信號 209 的電位與藉由端子 103C 施加的第一時鐘信號的電位 $V2$ 或藉由端子 104J 施加的電位 $V2$ 相同。如上所述的是第一期間的工作。

接著，在第二期間，除了圖 1 所示的電路的工作以外，還進行如下工作：藉由端子 103C 輸入 High 狀態的第一時鐘信號 202。此時，電晶體 124 變成截止（off）狀態。

此時，節點 117 的電位 204 繼續爲 $V1-V_{th_{106}}$ ，並且電晶體 113 繼續處於開啓（on）狀態。當電晶體 113 處於開啓（on）狀態時，電晶體 123 繼續處於截止（off）狀態。

再者，此時節點 117 繼續處於浮動狀態，節點 117 的電位 204 繼續爲 $V1-V_{th_{106}}$ 。

再者，當節點 117 的電位 204 繼續爲 $V1-V_{th_{106}}$ ，電

晶體 122 的源極端子及汲極端子中的一個端子的電位成為第一時鐘信號 202 的電位 $V1$ 時，因為自舉（bootstrap），根據利用電晶體 122 的閘極端子與源極端子及汲極端子中的另一個端子間的寄生電容的電容耦合，節點 117 的電位 204 隨著輸出信號 209 的電位而上升。此時，節點 117 的電位 204 上升到比第一時鐘信號 202 的電位 $V1$ 加電晶體 114 的臨界值電壓的和或第一時鐘信號 202 的電位 $V1$ 加電晶體 122 的臨界值電壓（也稱為 V_{th122} ）的和更大的數值，即 $V1+V_{th114}+Va$ 或 $V1+V_{th122}+Va$ （ Va 是任意正值）。

再者，當節點 117 的電位 204 為 $V1+V_{th114}+Va$ 或 $V1+V_{th122}+Va$ 時，電晶體 122 繼續處於開啓（on）狀態。

再者，此時藉由端子 121 輸出的輸出信號 209 的電位的數值與藉由端子 103C 輸入的第一時鐘信號 202 的電位 $V1$ 相同。上述工作是第二期間的工作。

接著，在第三期間，除了圖 1 所示的電路的工作以外，還進行如下工作：藉由端子 103C 輸入 Low 狀態的第一時鐘信號 202。此時，電晶體 124 變成開啓（on）狀態。

此時，節點 118 的電位 205 成為 $V2+Vb$ ，電晶體 110 變成開啓（on）狀態，節點 117 的電位 204 與電位 $V2$ 相同。當節點 117 的電位 204 成為電位 $V2$ 時，電晶體 122 變成截止（off）狀態。

再者，節點 119 的電位 206 的數值與電位 V_2 相同。當節點 119 的電位 206 為 V_2 時，節點 119 變成浮動狀態。當節點 119 處於浮動狀態時，電晶體 123 繼續處於截止 (off) 狀態。

再者，此時藉由端子 121 輸出的輸出信號 209 的電位的數值與藉由端子 104J 施加的電位 V_2 相同。上述工作是第三期間的工作。

● 接著，在第四期間，除了圖 1 所示的電路的工作以外，還進行如下工作：藉由端子 103C 輸入 High 狀態的第一時鐘信號 202。此時，電晶體 116 變成截止 (off) 狀態。

此時，節點 119 的電位 206 成為 $V_2 + V_c$ ，當節點 119 的電位 206 成為 $V_2 + V_c$ 時，電晶體 123 變成開啓 (on) 狀態。

● 再者，節點 117 的電位 204 成為藉由端子 104D 施加的電位 V_2 。當節點 117 的電位成為 V_2 時，電晶體 122 變成截止 (off) 狀態。

再者，此時藉由端子 121 輸出的輸出信號 209 的電位的數值與藉由端子 104I 施加的電位 V_2 相同。上述工作是第四期間的工作。

接著，在第五期間，除了圖 1 所示的電路的工作以外，還進行如下工作：藉由端子 103C 輸入 Low 狀態的第一時鐘信號 202。此時，電晶體 124 變成開啓 (on) 狀態。

此時，節點 118 的電位成為 $V2+Vb$ ，電晶體 110 變成開啓（on）狀態。當電晶體 110 變成開啓（on）狀態時，節點 117 的電位 204 與藉由端子 104C 施加的電位 $V2$ 相同。

再者，當節點 117 的電位 204 成為 $V2$ 時，電晶體 122 變成截止（off）狀態。

另外，節點 119 的電位 206 成為 $V2$ ，電晶體 123 變成截止（off）狀態。

再者，此時藉由端子 121 輸出的輸出信號 209 的電位的數值與藉由端子 104J 施加的電位 $V2$ 相同。上述工作是第五期間的工作。

如上所述，圖 4 所示的驅動電路除了圖 1 中的電路結構的效果以外還具有如下效果：藉由利用多個輸出信號，將一個輸出信號輸出到下一級的正反器電路並將另一個輸出信號輸出到像素的電晶體的閘極端子，而能夠將偏差小的輸出信號輸出到正反器電路，能夠抑制工作不良。

再者，在本實施例中，可以採用圖 3 中的結構和圖 4 中的結構組合的結構。下面，參照圖 6 說明本實施例中的驅動電路的其他結構。圖 6 是示出本實施例的驅動電路的結構的一個例子的電路圖。

作為圖 6 所示的本實施例中的驅動電路的其他結構，除了圖 1 所示的電路結構以外，還有端子 103D、端子 104K、端子 104L、端子 104M、端子 125、電晶體 126、電晶體 127、電晶體 128 以及電晶體 129。

在圖 6 中使用與圖 1 同一附圖標記而表示的元件與圖 1 中的驅動電路的各元件相同，從而引用圖 1 中的說明。

另外，在圖 6 中，端子 103D 相當於圖 4 中的端子 103C，端子 104K 相當於圖 3 中的端子 104H，端子 104L 相當於圖 4 中的端子 104I，端子 104M 相當於圖 4 中的端子 104J，端子 125 相當於圖 4 中的端子 121，電晶體 126 相當於圖 3 中的電晶體 120，電晶體 127 相當於圖 4 中的電晶體 122，電晶體 128 相當於圖 4 中的電晶體 123，並且電晶體 129 相當於圖 4 中的電晶體 124。對各元件的說明引用圖 3 及圖 4 中的各元件的說明。

另外，圖 6 中的驅動電路的工作是圖 3 及圖 4 中的驅動電路的工作組合的工作，從而引用圖 3 及圖 4 中的驅動電路的工作的說明。

藉由採用圖 6 所示的結構，能夠得到與圖 3 及圖 4 所示的結構的驅動電路的效果相同的效果。

實施例 2

在本實施例中，說明與上述實施例 1 不同的結構的驅動電路。

本實施例中的驅動電路具有包括多個正反器電路的移位暫存器。

再者，參照圖 7 說明本實施例的驅動電路中的正反器電路的電路結構的一個例子。圖 7 是示出本實施例的驅動電路中的正反器電路的電路結構的一個例子的電路圖。

圖 7 所示的正反器電路具有端子 500、端子 501、端子 502、端子 503、端子 504、端子 505、電晶體 506、電晶體 507、電晶體 508、電晶體 509、電容器 510、電晶體 511、電晶體 512、電晶體 513 以及電晶體 514。

注意，雖然在本實施例中示出端子 502A 及端子 502B 作為端子 502，但是不局限於此，也可以將端子 502A 及端子 502B 電連接而作為一個端子 502。另外，雖然在本實施例中示出端子 503A 及端子 503B 作為端子 503，但是不局限於此，也可以將端子 503A 及端子 503B 電連接而作為一個端子 503。

另外，雖然在本實施例中示出端子 504A 至端子 504E 作為端子 504，但是不局限於此，也可以將端子 504A 至端子 504E 電連接而作為一個端子 504。

電晶體 506 是：閘極端子電連接於端子 502A，而源極端子及汲極端子中的一個端子電連接於端子 500。

電晶體 507 是：閘極端子電連接於端子 500；源極端子及汲極端子中的一個端子電連接於電晶體 507 的閘極端子；源極端子及汲極端子中的另一個端子電連接於電晶體 506 的源極端子及汲極端子中的另一個端子。雖然為方便起見而未圖示，但是藉由在本實施例中採用不設置電晶體 507 的結構，而也可以縮小電路面積。

電晶體 508 是：閘極端子電連接於端子 501；源極端子及汲極端子中的一個端子電連接於電晶體 507 的源極端子及汲極端子中的另一個端子；源極端子及汲極端子中的

另一個端子電連接於端子 504A。雖然為方便起見而未圖示，但是藉由在本實施例的驅動電路中的正反器電路中採用不設置電晶體 508 的結構，而也可以縮小電路面積。

電容器 510 具有至少兩個端子，其中一個端子電連接於端子 503A。

電晶體 509 是：閘極端子電連接於電容器 510 的另一個端子；源極端子及汲極端子中的一個端子電連接於電晶體 506 的源極端子及汲極端子中的另一個端子；源極端子及汲極端子中的另一個端子電連接於端子 504B。

電晶體 511 是：閘極端子電連接於電晶體 506 的源極端子及汲極端子中的另一個端子；源極端子及汲極端子中的一個端子電連接於電晶體 509 的閘極端子；源極端子及汲極端子中的另一個端子電連接於端子 504C。

電晶體 512 是：閘極端子電連接於電晶體 506 的源極端子及汲極端子中的另一個端子；源極端子及汲極端子中的一個端子電連接於端子 503B；源極端子及汲極端子中的另一個端子電連接於端子 505。雖然為方便起見而未圖示，但是本實施例的驅動電路中的正反器電路可以採用在電晶體 512 的閘極端子與源極端子及汲極端子中的另一端子間設置另一電容器的結構。

電晶體 513 是：閘極端子電連接於電晶體 509 的閘極端子；源極端子及汲極端子中的一個端子電連接於電晶體 512 的源極端子及汲極端子中的另一個端子；源極端子及汲極端子中的另一個端子電連接於端子 504D。

電晶體 514 是：閘極端子電連接於端子 502B；源極端子及汲極端子中的一個端子電連接於電晶體 512 的源極端子及汲極端子中的另一個端子；源極端子及汲極端子中的另一個端子電連接於端子 504E。

另外，將電晶體 506 的源極端子及汲極端子中的另一個端子與電晶體 507、電晶體 508、電晶體 509、電晶體 511 以及電晶體 512 間的連接部分稱為節點 515。另外，將電容器 510 的端子與電晶體 509、電晶體 511 以及電晶體 513 間的連接部分稱為節點 516。

另外，正反器電路藉由端子 500 輸入第一控制信號，並藉由端子 501 輸入第二控制信號。作為第一控制信號及第二控制信號，例如可以使用分別具有 High 狀態及 Low 狀態這兩種狀態的數位信號。在使用數位信號的情況下，當所輸入的第一控制信號或第二控制信號處於 High 狀態（也稱為 High 位準）時，藉由端子 500 或端子 501 將具有預定電位值的第一控制信號或第二控制信號作為第一電位（也稱為 V1）輸入，而當所輸入的第一控制信號或第二控制信號處於 Low 狀態（也稱為 Low 位準）時，藉由端子 500 或端子 501 將其電位值比上述 High 狀態下的預定電位值低的第一控制信號或第二控制信號作為第二電位（也稱為 V2）輸入。例如，可以根據電晶體的臨界值電壓值等適當地設定 High 狀態及 Low 狀態下的電位值。較佳地是，例如以 High 狀態與 Low 狀態的電位差大於正反器電路內的電晶體的臨界值電壓的絕對值的方式設定

High 狀態及 Low 狀態下的電位值。

另外，圖 7 所示的正反器電路藉由端子 502（也稱為端子 502A 及端子 502B）輸入第一相位的時鐘信號（第一時鐘信號或 CK 信號）或第二相位的時鐘信號（第二時鐘信號或 CKB 信號）。第一時鐘信號及第二時鐘信號具有 High 狀態及 Low 狀態這兩種電位狀態，當處於 High 狀態（也稱為 High 位準）時，輸入第一電位（也稱為 V1）的時鐘信號，而當處於 Low 狀態（也稱為 Low 位準）時，輸入第二電位（也稱為 V2）的時鐘信號。較佳地是，處於 High 狀態時的第一時鐘信號及第二時鐘信號的電位值與處於 High 狀態時的第一控制信號及第二控制信號的電位值相同，而處於 Low 狀態時的第一時鐘信號及第二時鐘信號的電位值與處於 Low 狀態時的第一控制信號及第二控制信號的電位值相同。例如，可以根據電晶體的臨界值電壓值等適當地設定 High 狀態及 Low 狀態下的電位值。較佳地是，例如以 High 狀態與 Low 狀態的電位差大於正反器電路內的電晶體的臨界值電壓的絕對值的方式設定 High 狀態及 Low 狀態下的電位值。

第一時鐘信號和第二時鐘信號這兩種時鐘信號是相位相反的時鐘信號，例如在預定的期間，當第一時鐘信號處於 High 狀態時，第二時鐘信號處於 Low 狀態，而當第一時鐘信號處於 Low 狀態時，第二時鐘信號處於 High 狀態。

另外，正反器電路藉由端子 503（也稱為端子 503A

及端子 503B) 分別輸入第一時鐘信號或第二時鐘信號。藉由端子 502 輸入的時鐘信號和藉由端子 503 輸入的時鐘信號是相反的時鐘信號，例如，在藉由端子 502 輸入第一時鐘信號的情況下，藉由端子 503 輸入第二時鐘信號，而在藉由端子 502 輸入第二時鐘信號的情況下，藉由端子 503 輸入第一時鐘信號。

另外，正反器電路藉由端子 504 (也稱為端子 504A 至端子 504E) 施加預定數值的電位。此時，例如，預定電位值可以為 V1 或 V2，即可以與時鐘信號或控制信號等數位信號的 High 狀態或 Low 狀態下的電位值相同。

電晶體 506 具有根據藉由端子 502A 輸入的信號而控制端子 500 和節點 515 間的導通的功能，藉由使端子 500 與節點 515 處於導通狀態，將藉由端子 500 輸入的信號的電位與節點 515 的電位設定為相同的數值。另外，電晶體 506 具有在電晶體 509 處於開啓 (on) 狀態時變成截止 (off) 狀態的功能。

電晶體 507 具有根據藉由端子 500 輸入的信號控制端子 500 和節點 515 間的導通的功能，並且藉由使端子 500 與節點 515 處於導通狀態，將節點 515 的電位設定為 V1 或 V2，然後藉由使端子 500 與節點 515 處於非導通狀態，節點 151 變成浮動狀態。

電晶體 508 具有根據藉由端子 501 輸入的信號控制端子 504A 和節點 515 間的導通的功能，藉由使端子 504A 與節點 515 處於導通狀態，將節點 515 的電位設定為 V1

或 V2。

電晶體 509 具有根據節點 516 的電位控制端子 504B 和節點 515 間的導通的功能，藉由使端子 504B 與節點 515 處於導通狀態，將節點 515 的電位設定為 V1 或 V2。另外，電晶體 509 具有在電晶體 506 處於開啓（on）狀態時變成截止（off）狀態的功能。

電容器 510 具有根據藉由端子 503A 輸入的信號利用電容耦合作用改變節點 516 的電位的功能。例如，在藉由端子 503A 輸入的信號從 Low 狀態變成 High 狀態的情況下，電容器 510 利用電容耦合作用將節點 516 的電位設定為電位 V1。與此相反，在藉由端子 503A 輸入的信號從 High 狀態變成 Low 狀態的情況下，電容器 510 利用電容耦合作用將節點 516 的電位設定為 V1 或 V2。

電晶體 511 具有根據節點 515 的電位控制端子 504C 和節點 516 間的導通的功能，藉由使端子 504C 與節點 516 處於導通狀態，將節點 516 的電位設定為 V1 或 V2。

電晶體 512 具有如下功能：根據節點 515 的電位控制端子 503B 和端子 505 間的導通，並且藉由使端子 503B 與端子 505 處於導通狀態，使藉由端子 503B 輸入的信號的電位值與藉由端子 505 輸出的信號的電位值相同。另外，電晶體 512 還具有如下功能：例如在其是 N 型電晶體且節點 515 的電位為 V1 的情況下，當藉由端子 503B 輸入的信號從 Low 狀態變成 High 狀態時，隨著與藉由端子 505 輸出的信號的電位上升使節點 515 的電位上升。這是

所謂的自舉（bootstrap）。通常，利用電晶體 512 的閘極端子與源極端子及汲極端子中的另一個端子間的寄生電容進行自舉。

電晶體 513 具有根據節點 516 的電位控制端子 504D 和端子 505 間的導通的功能，藉由使端子 504D 與端子 505 處於導通狀態，將藉由端子 505 輸出的信號的電位設定為 V1 或 V2。

電晶體 514 具有如下功能：根據藉由端子 502B 輸入的信號控制端子 504E 和端子 505 間的導通，並且藉由使端子 504E 與端子 505 處於導通狀態，將藉由端子 505 輸出的信號的電位設定為 V1 或 V2。

注意，本實施例的驅動電路可以由具有同一導電類型的電晶體構成，從而能夠簡化製造步驟。因此，能夠縮減製造成本或提高成品率。再者，容易製造大型顯示面板等的半導體裝置。在圖 7 中的本實施例的驅動電路中，所有電晶體都可以為 N 型電晶體或 P 型電晶體。

下面，參照圖 8 說明圖 7 所示的驅動電路的工作。圖 8 是示出圖 7 所示的驅動電路的工作的時序圖。這裏，作為一個例子，藉由端子 503 輸入第一時鐘信號，並藉由端子 502 輸入第二時鐘信號。這裏，說明正反器電路內的電晶體都是 N 型電晶體的情況作為圖 7 所示的驅動電路的工作的一個例子。

如圖 8 所示，圖 7 中的驅動電路的工作反復進行一定期間的預定工作。一定期間主要分為選擇期間和非選擇期

間，選擇期間及非選擇期間進一步分為第一期間、第二期間、第三期間、第四期間以及第五期間。在圖 8 中，第一期間、第三期間、第四期間以及第五期間為非選擇期間，第二期間為選擇期間。

首先，在第一期間，藉由端子 500 輸入 High 狀態的第一控制信號 601，藉由端子 501 輸入 Low 狀態的第二控制信號 607，藉由端子 502 輸入 High 狀態的第二時鐘信號 603，並且藉由端子 503 輸入 Low 狀態的第一時鐘信號 602，從而電晶體 506、電晶體 507 以及電晶體 514 變成開啓 (on) 狀態，而電晶體 508 變成截止 (off) 狀態。

當電晶體 506 及電晶體 507 變成開啓 (on) 狀態時，節點 515 的電位 604 上升直到其成為從藉由端子 502A 輸入的第二時鐘信號 603 的電位 $V1$ 減去電晶體 506 的臨界值電壓 (也稱為 V_{th506}) 的值，即 $V1 - V_{th506}$ 或者從藉由端子 500 輸入的第一控制信號 601 的電位 $V1$ 減去電晶體 507 的臨界值電壓 (也稱為 V_{th507}) 的值，即 $V1 - V_{th507}$ 。當節點 515 的電位成為 $V1 - V_{th506}$ 或 $V1 - V_{th507}$ 時電晶體 507 變成截止 (off) 狀態。此時，電晶體 506 的臨界值電壓和電晶體 507 的臨界值電壓較佳是相同的數值。在圖 8 中，假設第二期間的節點 515 的電位成為 $V1 - V_{th507}$ 而進行說明。

另外，當節點 515 的電位 604 成為 $V1 - V_{th507}$ 時，電晶體 511 及電晶體 512 變成開啓 (on) 狀態。

再者，當電晶體 511 變成開啓 (on) 狀態時，節點

516 的電位 605 與藉由端子 504C 施加的電位 V_2 相同。再者，當節點 516 的電位成為 V_2 時，電晶體 509 及電晶體 513 變成截止 (off) 狀態。

再者，此時藉由端子 505 輸出的輸出信號 606 的電位與藉由端子 503B 輸入的第一時鐘信號 602 的電位 V_2 或藉由端子 504E 施加的電位 V_2 相同。以上是第一期間的工作。

接著，在第二期間，藉由端子 500 輸入 Low 狀態的第一控制信號 601，藉由端子 501 輸入 Low 狀態的第二控制信號 607，藉由端子 502 輸入 Low 狀態的第二時鐘信號 603，並且藉由端子 503A 及端子 503B 輸入 High 狀態的第一時鐘信號 602。此時，電晶體 506、電晶體 507 以及電晶體 514 變成截止 (off) 狀態，而電晶體 508 繼續處於截止 (off) 狀態。

此時，節點 515 的電位 604 繼續為 $V_1 - V_{th_{507}}$ ，電晶體 511 繼續處於開啓 (on) 狀態。再者，當節點 515 的電位 604 繼續為 $V_1 - V_{th_{507}}$ 時，節點 516 的電位 605 繼續為藉由端子 504C 施加的電位 V_2 ，電晶體 509 及電晶體 513 繼續處於截止 (off) 狀態。

如上所述，當電晶體 506、電晶體 507、電晶體 508、電晶體 509 以及電晶體 513 處於截止 (off) 狀態時，節點 515 繼續處於浮動狀態，節點 515 的電位 604 繼續為 $V_1 - V_{th_{507}}$ 。

當節點 515 的電位 604 繼續為 $V_1 - V_{th_{507}}$ ，電晶體 512

的源極端子及汲極端子中的一個端子的電位成為第一時鐘信號 602 的電位 V_1 時，藉由端子 505 輸出的輸出信號 606 的電位上升。於是，因為節點 515 處於浮動狀態，所以發生自舉（bootstrap），根據利用電晶體 512 的閘極端子與源極端子及汲極端子中的另一個端子間的寄生電容的電容耦合，節點 515 的電位 604 隨著輸出信號 606 的電位而上升。

● 節點 515 的電位 604 上升到比第一時鐘信號 602 的電位 V_1 加電晶體 512 的臨界值電壓（也稱為 $V_{th_{512}}$ ）的和更大的數值，即 $V_1 + V_{th_{512}} + V_a$ （ V_a 是任意正值）。此時，電晶體 512 繼續處於開啓（on）狀態。

再者，此時藉由端子 505 輸出的輸出信號 606 的電位的數值與藉由端子 503B 輸入的電位 V_1 相同。上述工作是第二期間的工作。

● 接著，在第三期間，藉由端子 500 輸入 Low 狀態的第一控制信號 601，藉由端子 501 輸入 High 狀態的第二控制信號 607，藉由端子 502A 及 502B 輸入 High 狀態的第二時鐘信號 603，並且藉由端子 503A 及端子 503B 輸入 Low 狀態的第一時鐘信號 602。此時，電晶體 506、電晶體 508 以及電晶體 514 變成開啓（on）狀態，而電晶體 507 繼續處於截止（off）狀態。

當電晶體 506 及電晶體 508 變成開啓（on）狀態時，節點 515 的電位與藉由端子 500 輸入的第一控制信號 601 的電位 V_2 或藉由端子 504A 施加的電位 V_2 相同。

再者，當節點 515 的電位 604 成為 V_2 時，電晶體 511 及電晶體 512 變成截止 (off) 狀態。通常，在藉由端子 502B 輸入的第一時鐘信號 602 變成 Low 狀態後，電晶體 511 變成截止 (off) 狀態。這是因為通常，節點 515 的電位 604 比第一時鐘信號 602 延遲或畸變的緣故。在第一時鐘信號 602 變成 Low 狀態後，電晶體 511 變成截止 (off) 狀態，從而在保持與藉由 504C 施加的電位 V_2 相同的數值的狀態下，節點 516 變成浮動狀態。

再者，在節點 516 處於浮動狀態時，電晶體 509 及電晶體 513 繼續處於截止 (off) 狀態。

再者，電容器 510 保持藉由端子 503A 輸入的第一時鐘信號 602 的電位與節點 516 的電位間的電位差，即 Low 狀態下的第一時鐘信號 602 的電位與藉由端子 504C 施加的電位 V_2 間的電位差。

再者，此時藉由端子 505 輸出的輸出信號 606 的電位的數值與藉由端子 504E 施加的電位 V_2 相同。上述工作是第三期間的工作。

接著，在第四期間，藉由端子 500 輸入 Low 狀態的第一控制信號 601，藉由端子 501 輸入 Low 狀態的第二控制信號 607，藉由端子 502A 及端子 502B 輸入 Low 狀態的第二時鐘信號 603，並且藉由端子 503A 及端子 503B 輸入 High 狀態的第一時鐘信號 602。此時，電晶體 506 電晶體 508 以及電晶體 514 變成截止 (off) 狀態，而電晶體 507 繼續處於截止 (off) 狀態。

此時，根據電容器 510 的電容耦合，節點 516 的電位 605 成爲 $V_2 + V_b$ 。 V_b 較佳大於電晶體 509 的臨界值電壓或電晶體 513 的臨界值電壓，並較佳小於 $V_1 - V_2$ 。

再者，當節點 516 的電位 605 成爲 $V_2 + V_c$ 時，電晶體 509 及電晶體 513 變成開啓 (on) 狀態，當電晶體 509 及電晶體 513 變成開啓 (on) 狀態時，節點 515 的電位 604 的數值與藉由端子 504B 施加的電位 V_2 或藉由端子 504D 施加的電位 V_2 相同。

再者，當節點 515 的電位 604 成爲 V_2 時，電晶體 511 及電晶體 512 變成截止 (off) 狀態。

再者，此時藉由端子 505 輸出的輸出信號 606 的電位的數值與藉由端子 504D 施加的電位 V_2 相同。上述工作是第四期間的工作。

接著，在第五期間，藉由端子 500 輸入 Low 狀態的第一控制信號 601，藉由端子 501 輸入 Low 狀態的第二控制信號 607，藉由端子 502A 及端子 502B 輸入 High 狀態的第二時鐘信號 603，並且藉由端子 503A 及端子 503B 輸入 High 狀態的第一時鐘信號 602。此時，電晶體 506 及電晶體 514 變成開啓 (on) 狀態，而電晶體 507 及電晶體 508 繼續處於截止 (off) 狀態。

此時，根據電容器 510 的電容耦合，節點 516 電位 605 成爲 V_2 。再者，當節點 516 的電位 605 成爲 V_2 時，電晶體 509 及電晶體 513 變成截止 (off) 狀態。

再者，當節點 515 的電位 604 成爲 V_2 時，電晶體

511 及電晶體 512 變成截止 (off) 狀態。

再者，此時藉由端子 505 輸出的輸出信號 606 的電位的數值與藉由端子 504D 施加的電位 V2 相同。上述工作是第五期間的工作。

注意，在第三期間後的非選擇期間，本實施例中的驅動電路反復進行多次的第四期間及第五期間的工作。因此，在非選擇期間的任一期間對節點 515 施加預定數值的電位，從而能夠抑制節點 515 變成浮動狀態。因此，能夠減少雜訊導致的影響，從而能夠抑制工作不良。

另外，因為在本實施例中的驅動電路的工作中藉由第四期間與第五期間互不相同的電晶體（本實施例中電晶體 506 及電晶體 509）變成開啓 (on) 狀態而能夠對節點 515 施加預定數值的電位，所以即使在應用例如半導體層由非晶半導體構成的電晶體的情況下，也可以抑制各電晶體中的退化。因此，能夠減少退化導致的電晶體的工作定時的偏差，從而能夠抑制工作不良。

另外，本實施例中的驅動電路由比上述實施例的結構更少的元件構成，從而能夠縮小電路面積。

再者，在本實施例中，可以以與圖 7 不同的結構為本發明的實施例之一的驅動電路。下面，參照圖 9 說明本實施例中的驅動電路的其他結構。圖 9 是示出本實施例的驅動電路的結構的一個例子的電路圖。

作為圖 9 所示的驅動電路，除了圖 7 所示的驅動電路的電路結構以外，還有端子 504F 及電晶體 517。

在圖 9 所示的驅動電路中，使用與圖 7 所示的驅動電路相同的附圖標記而表示的元件與圖 7 中的驅動電路相同，從而省略說明。

電晶體 517 是：閘極端子電連接於端子 500；源極端子及汲極端子中的一個端子電連接於電晶體 509 的閘極端子；源極端子及汲極端子中的另一個端子電連接於端子 504F。

在圖 9 所示的驅動電路中，藉由端子 504F 施加的電位與圖 7 所示的端子 504A 至 504E 相同。另外，可以將端子 504A 至 504F 電連接而作為一個端子 504。

電晶體 517 具有根據藉由端子 500 輸入的信號控制端子 504F 和節點 516 間的導通的功能，藉由使端子 504F 和節點 516 處於導通狀態，將節點 516 的電位設定為 V1 或 V2。

下面，參照說明圖 9 所示的驅動電路的工作。注意，就圖 9 中的驅動電路的工作而言只說明電晶體 517 的工作，因為電晶體 517 以外的元件的工作與圖 7 所示的驅動電路的工作相同，故省略說明。另外，這裏，說明正反器電路內的電晶體都是 N 型電晶體的情況作為圖 9 所示的驅動電路的工作的一個例子。

在第一期間，藉由端子 500 輸入 High 狀態的第一控制信號 601。此時，電晶體 517 變成開啓（on）狀態。

當電晶體 517 變成開啓（on）狀態時，節點 516 的電位與藉由端子 504F 施加的電位 V2 相同。

然後，在第二期間至第五期間，藉由端子 500 輸入 Low 狀態的第一控制信號 601，從而電晶體 517 變成截止（off）狀態。

如上所述，圖 9 所示的驅動電路除了圖 7 中的電路結構的效果以外還具有如下效果：藉由在第一期間將第一控制信號 601 直接輸入到電晶體 517 來使電晶體 517 變成開啓（on）狀態，而能夠在第一期間更確實地將節點 516 的電位設定為電位 V2。

再者，在本實施例中，可以以與圖 7 及圖 9 不同的結構為本發明的實施例之一的驅動電路。下面，參照圖 10 說明本實施例中的驅動電路的其他結構。圖 10 是示出本實施例的驅動電路的結構的一個例子的電路圖。

作為圖 10 所示的驅動電路的結構，除了圖 7 所示的電路結構以外，還有端子 503C、端子 504G、端子 504H、端子 518、電晶體 519、電晶體 520 以及電晶體 521。

在圖 10 中使用與圖 7 同一附圖標記而表示的元件與圖 7 中的驅動電路相同，從而引用圖 7 中的各元件的說明。

電晶體 519 是：閘極端子電連接於電晶體 506 的源極端子及汲極端子中的另一個端子；源極端子及汲極端子中的一個端子電連接於端子 503C。

電晶體 520 是：閘極端子電連接於電晶體 509 的閘極端子；源極端子及汲極端子中的一個端子電連接於電晶體

519 的源極端子及汲極端子中的另一個端子；源極端子及汲極端子中的另一個端子電連接於端子 504G。

電晶體 521 是：閘極端子電連接於電晶體 514 的閘極端子；源極端子及汲極端子中的一個端子電連接於電晶體 519 的源極端子及汲極端子中的另一個端子；源極端子及汲極端子中的另一個端子電連接於端子 504H。

電晶體 519 具有如下功能：根據節點 515 的電位使端子 503C 與端子 518 導通狀態，使藉由端子 503C 輸入的信號的電位值與藉由端子 518 輸出的信號的電位值相同。尤其是在節點 515 的電位為 V_1 的情況下，當藉由端子 503C 輸入的信號的電位從 Low 狀態變成 High 狀態時，電晶體 519 具有隨著電晶體 519 的源極端子及汲極端子中的另一個端子的電位上升使節點 515 的電位上升的功能。這是所謂的自舉（bootstrap）。通常，利用電晶體 519 的閘極端子與源極端子及汲極端子中的另一個端子間的寄生電容進行自舉。

電晶體 520 具有如下功能：根據節點 516 的電位使端子 504G 和端子 518 處於導通狀態，將藉由端子 518 輸出的信號的電位設定為 V_1 或 V_2 。

電晶體 521 具有如下功能：根據藉由端子 502B 輸入的信號使端子 504H 和端子 518 處於導通狀態，將藉由端子 518 輸出的信號的電位設定為 V_1 或 V_2 。

下面，參照圖 11 說明圖 10 中的驅動電路的工作。圖 11 是示出本實施例中的驅動電路的工作的一個例子的時

序圖。注意，就圖 10 中的驅動電路的工作而言只說明電晶體 519、電晶體 520 以及電晶體 521 的工作，就與圖 7 所示的驅動電路的元件的工作相同的部分而言適當地引用圖 7 中的驅動電路的工作的說明。假設將第一時鐘信號輸入到圖 10 中的端子 503C 而進行說明。另外，這裏，說明正反器電路內的電晶體都是 N 型電晶體的情況作為圖 10 所示的驅動電路的工作的一個例子。

在第一期間，除了圖 7 所示的電路的工作以外，還進行如下工作：藉由端子 503C 輸入 Low 狀態的第一時鐘信號 602。此時，電晶體 521 變成開啓（on）狀態。

此時，節點 515 的電位 604 成為 $V1-V_{th_{507}}$ ，並且電晶體 511 變成開啓（on）狀態。再者，當電晶體 511 變成開啓（on）狀態時，電晶體 520 變成截止（off）狀態。

另外，當節點 515 的電位 604 成為 $V1-V_{th_{507}}$ 時，電晶體 512 變成開啓（on）狀態。

再者，此時藉由端子 518 輸出的輸出信號 608 的電位與藉由端子 503C 輸入的第一時鐘信號的電位 $V2$ 或藉由端子 504H 施加的電位 $V2$ 相同。如上所述的是第一期間的工作。

接著，在第二期間，除了圖 7 所示的電路的工作以外，還進行如下工作：藉由端子 503C 輸入 High 狀態的第一時鐘信號 602。此時，電晶體 521 變成截止（off）狀態。

此時，節點 515 的電位 604 繼續為 $V1-V_{th_{507}}$ ，並且

電晶體 511 繼續處於開啓 (on) 狀態。當電晶體 511 繼續處於開啓 (on) 狀態時，電晶體 520 繼續處於截止 (off) 狀態。

再者，此時節點 515 繼續處於浮動狀態，節點 515 的電位 604 繼續為 $V1-V_{th_{507}}$ 。

再者，當節點 515 的電位 604 繼續為 $V1-V_{th_{507}}$ ，源極端子及汲極端子中的一個端子的電位成為第一時鐘信號 602 的電位 $V1$ 時，根據利用電晶體 519 的閘極端子與源極端子及汲極端子中的另一個端子間的寄生電容的電容耦合，節點 515 的電位 604 隨著輸出信號 608 的電位而上升。此時，節點 515 的電位 604 上升到比第一時鐘信號 602 的電位 $V1$ 加電晶體 512 的臨界值電壓（也稱為 $V_{th_{512}}$ ）的和或第一時鐘信號 602 的電位 $V1$ 加電晶體 519 的臨界值電壓（也稱為 $V_{th_{519}}$ ）的和更大的數值，即 $V1+V_{th_{512}}+V_a$ 或 $V1+V_{th_{519}}+V_a$ （ V_a 是任意正值）。

再者，當節點 515 的電位 604 為 $V1+V_{th_{512}}+V_a$ 或 $V1+V_{th_{519}}+V_a$ 時，電晶體 519 繼續處於開啓 (on) 狀態。

再者，此時藉由端子 518 輸出的輸出信號 608 的數值與藉由端子 503C 輸入的第一時鐘信號 602 的電位 $V1$ 相同。上述工作是第二期間的工作。

接著，在第三期間，除了圖 7 所示的電路的工作以外，還進行如下工作：藉由端子 503C 輸入 Low 狀態的第一時鐘信號 602。此時，電晶體 521 變成開啓 (on) 狀

態。

此時，節點 516 的電位 605 的數值與電位 V_2 相同。當節點 516 的電位 605 為 V_2 時，節點 516 變成浮動狀態。當節點 516 處於浮動狀態時，電晶體 520 繼續處於截止 (off) 狀態。

再者，此時藉由端子 518 輸出的輸出信號 608 的電位的數值與藉由端子 504H 施加的電位 V_2 相同。上述工作是第三期間的工作。

接著，在第四期間，除了圖 7 所示的電路的工作以外，還進行如下工作：藉由端子 503C 輸入 High 狀態的第一時鐘信號 602。此時，電晶體 521 變成截止 (off) 狀態。

此時，節點 516 的電位 605 成為 $V_2 + V_b$ ，當節點 516 的電位 605 成為 $V_2 + V_b$ 時，電晶體 520 變成開啓 (on) 狀態。

再者，節點 515 的電位 604 成為與藉由端子 504B 施加的電位 V_2 相同的數值。當節點 515 的電位 604 成為 V_2 時，電晶體 519 變成截止 (off) 狀態。

再者，此時藉由端子 518 輸出的輸出信號 608 的電位的數值與藉由端子 504G 施加的電位 V_2 相同。上述工作是第四期間的工作。

接著，在第五期間，除了圖 7 所示的電路的工作以外，還進行如下工作：藉由端子 503C 輸入 Low 狀態的第一時鐘信號 602。此時，電晶體 521 變成開啓 (on) 狀

態。

此時，當節點 515 的電位 604 成為 V_2 時，電晶體 519 變成截止（off）狀態。

另外，當節點 516 的電位 605 成為 V_2 時，電晶體 520 變成截止（off）狀態。

再者，此時藉由端子 518 輸出的輸出信號 608 的電位的數值與藉由端子 504H 施加的電位 V_2 相同。上述工作是第五期間的工作。

如上所述，就圖 10 所示的驅動電路中的正反器電路而言，藉由利用多個輸出信號，將一個輸出信號輸出到下一級的正反器電路並將另一個輸出信號輸出到像素的電晶體的閘極端子，而能夠將偏差小的輸出信號輸出到正反器電路，能夠抑制工作不良。

再者，本實施例的驅動電路中的正反器電路，可以採用圖 7 中的結構和圖 10 中的結構組合的結構。下面，參照圖 12 說明本實施例的驅動電路中的正反器電路的其他結構。圖 12 是示出本實施例的驅動電路中的正反器電路的其他結構的電路圖。

作為圖 12 所示的本實施例中的驅動電路中的正反器電路的其他結構，除了圖 7 所示的電路結構以外，還有端子 503D、端子 504I、端子 504J、端子 504K、端子 522、電晶體 523、電晶體 524、電晶體 525 以及電晶體 526。

在圖 12 中使用與圖 7 同一附圖標記而表示的元件與圖 7 中的驅動電路相同，從而適當地引用圖 7 中的各元件

的說明。

另外，在圖 12 中，端子 503D 相當於圖 10 中的端子 503C，端子 504I 相當於圖 9 中的端子 504F，端子 504J 相當於圖 10 中的端子 504G，端子 504K 相當於圖 10 中的端子 504H，端子 522 相當於圖 10 中的端子 518，電晶體 523 相當於圖 9 中的電晶體 517，電晶體 524 相當於圖 10 中的電晶體 519，電晶體 525 相當於圖 10 中的電晶體 520，並且電晶體 526 相當於圖 10 中的電晶體 521。對各元件的說明適當地引用圖 9 及圖 10 中的各元件的說明。

另外，圖 12 中的驅動電路的工作是圖 9 及圖 10 中的驅動電路的工作組合的工作，從而引用圖 9 及圖 10 中的驅動電路的工作的說明。

藉由採用圖 12 所示的上述結構，能夠得到圖 9 及圖 10 所示的驅動電路的效果。

另外，本實施例可以與其他實施例適當地組合。

實施例 3

在本實施例中，說明應用本發明的實施例之一的驅動電路的顯示裝置的結構。

首先，參照圖 13 說明本實施例的顯示裝置的結構。圖 13 是示出本實施例的顯示裝置的結構的一個例子的方塊圖。

圖 13 所示的顯示裝置包括像素部 700、信號線驅動電路 701、掃描線驅動電路 702、控制電路 703、時鐘信

號產生電路 704、信號線 705A、信號線 705B、掃描線 706A、掃描線 706B、掃描線 706C、掃描線 706D、時鐘信號線 707 以及時鐘信號線 708。注意，在圖 13 所示的顯示裝置中，也將掃描線 706A、掃描線 706B、掃描線 706C 或掃描線 706D 簡單地稱為掃描線 706，也將信號線 705A、信號線 705B 簡單地稱為信號線 705。另外，雖然在圖 13 中示出兩個信號線及四個掃描線，但是在本實施例的顯示裝置中對信號線及掃描線的個數沒有特別的限制，也可以採用具有其他個數的信號線及掃描線的結構。如果信號線及掃描線的個數變多，則也可以在增加了像素數的情況下進行顯示工作。

再者，像素部 700 具有多個像素 709。注意，雖然在圖 13 中只圖示八個像素 709，但是不局限於此。在本實施例的顯示裝置中，像素 709 也可以由其他個數的像素 709 構成。例如，如果是同一面積的像素部，藉由增加像素數而能夠進行清晰的顯示。

另外，像素部 700 中的像素 709 藉由多個信號線 705 中的任何一個信號線 705 電連接於信號線驅動電路 701，並藉由多個掃描線 706 中的任何一個掃描線 706 電連接於掃描線驅動電路 702。

再者，掃描線驅動電路 702 具有移位暫存器，移位暫存器包括成為第一正反器電路（也稱為第一級正反器電路）的正反器電路 710A、成為第二正反器電路（也稱為第二級正反器電路）的正反器電路 710B 成為第三正反器

電路（也稱為第三級正反器電路）的正反器電路 710C 以及成為第四正反器電路（也稱為第四級正反器電路）的正反器電路 710D。注意，也將正反器電路 710A、正反器電路 710B、正反器電路 710C、正反器電路 710D 簡單地稱為正反器電路 710。注意，在本實施例的顯示裝置中，正反器電路的個數不局限於圖 13 所示的正反器電路的個數，也可以為其他個數（ N 為自然數）。例如，藉由增加正反器電路的個數，能夠控制更多的信號線，從而對增大像素部的面積的情況有效。

另外，在本實施例的顯示裝置中，可以將上述實施例 1 至 3 中的任何一種正反器電路的結構應用於正反器電路 710。在圖 13 所示的顯示裝置中，說明應用圖 1 的結構的正反器電路的情況作為一個例子。注意，雖然在圖 13 所示的顯示裝置中說明將本發明的實施例之一的驅動電路應用於掃描線驅動電路的例子，但是不局限於此，也可以在本實施例的顯示裝置中將本發明的實施例之一的驅動電路應用於信號線驅動電路。

例如，在具有 N 級（ N 是等於或大於 2 的自然數）的正反器電路 710 的情況下，在第一級的正反器電路中，圖 1 所示的端子 100 電連接於控制電路 703，而圖 1 所示的端子 105 藉由第一掃描線 706 電連接於像素 709。

在第 N 級的正反器電路 710 中，圖 1 所示的端子 100 電連接於第 $N-1$ 級的正反器電路 710 的端子 105，而圖 1 所示的端子 105 電連接於第 $N-1$ 級的正反器電路 710 的圖

1 所示的端子 101，並藉由第 K 的掃描線 706 電連接於像素 709。

另外，在奇數級的正反器電路 710 中，圖 1 所示的端子 102 藉由時鐘信號線 708 電連接於時鐘信號產生電路 704，而圖 1 所示的端子 103 藉由時鐘信號線 707 電連接於時鐘信號產生電路 704。

另外，在偶數級的正反器電路 710 中，圖 1 所示的端子 102 藉由時鐘信號線 707 電連接於時鐘信號產生電路 704，而圖 1 所示的端子 103 藉由時鐘信號線 708 電連接於時鐘信號產生電路 704。

下面，詳細地說明圖 13 所示的掃描線驅動電路 702 的結構。

再者，在圖 13 所示的掃描線驅動電路 702 中，正反器電路 710A 是：圖 1 所示的端子 100 電連接於控制電路 703；圖 1 所示的端子 102 藉由時鐘信號線 708 電連接於時鐘信號產生電路 704；圖 1 所示的端子 103 藉由時鐘信號線 707 電連接於時鐘信號產生電路 704；圖 1 所示的端子 105 藉由掃描線 706A 電連接於像素 709。

另外，正反器電路 710B 是：圖 1 所示的端子 100 電連接於正反器電路 710A 的端子 105；圖 1 所示的端子 102 藉由時鐘信號線 707 電連接於時鐘信號產生電路 704；圖 1 所示的端子 103 藉由時鐘信號線 708 電連接於時鐘信號產生電路 704；圖 1 所示的端子 105 電連接於正反器電路 710A 的圖 1 所示的端子 101，並藉由掃描線 706B 電連接

於像素 709。

另外，正反器電路 710C 是：圖 1 所示的端子 100 電連接於正反器電路 710B 的端子 105；圖 1 所示的端子 102 藉由時鐘信號線 708 電連接於時鐘信號產生電路 704；圖 1 所示的端子 103 藉由時鐘信號線 707 電連接於時鐘信號產生電路 704；圖 1 所示的端子 105 電連接於正反器電路 710B 的圖 1 所示的端子 101，並藉由掃描線 706C 電連接於像素 709。

另外，正反器電路 710D 是：圖 1 所示的端子 100 電連接於正反器電路 710C 的端子 105；圖 1 所示的端子 102 藉由時鐘信號線 707 電連接於時鐘信號產生電路 704；圖 1 所示的端子 103 藉由時鐘信號線 708 電連接於時鐘信號產生電路 704；圖 1 所示的端子 105 電連接於正反器電路 710C 的圖 1 所示的端子 101，並藉由掃描線 706D 電連接於像素 709。

時鐘信號產生電路 704 藉由時鐘信號線 707 輸出第一時鐘信號，並藉由時鐘信號線 708 輸出第二時鐘信號。注意，因為第一時鐘信號及第二時鐘信號分別與上述實施例 1 中的第一時鐘信號及第二時鐘信號相同，所以適當地引用實施例 1 的說明。

從控制電路 703 輸出開始信號作為正反器電路開始工作的第一控制信號。注意，因為開始信號與上述實施例 1 中的第一控制信號相同，所以引用實施例 1 中的第一控制信號的說明。另外，控制電路 703 可以電連接於信號線驅

動電路 701。藉由採用控制電路 703 與信號線驅動電路 701 電連接的結構，也能夠在信號線驅動電路 701 中使用控制信號進行所希望的工作。

下面，說明圖 13 所示的顯示裝置的工作。

首先，參照圖 14 說明掃描線驅動電路 702 的工作。圖 14 是示出圖 13 所示的顯示裝置中的掃描線驅動電路的工作的一個例子的時序圖。這裏，說明正反器電路由 N 型電晶體構成的情況作為一個例子。

圖 13 所示的掃描線驅動電路 702 的工作可以根據正反器電路的級數 N 分為 T (T 為自然數) 個期間。這裏，作為一個例子， $T=8$ ，說明圖 13 所示的正反器電路 710A 至正反器電路 710D 的四個正反器電路的工作。

首先，在第一期間，對於正反器電路 710A，從控制電路 703 藉由正反器電路 710A 的端子 100 輸入 High 狀態的開始信號 801，藉由端子 102 輸入 High 狀態的第二時鐘信號 803，並且藉由端子 103 輸入 Low 狀態的第一時鐘信號 802。這裏，第一期間的工作相當於上述實施例 1 中的圖 2 所示的時序圖的第一期間的工作。

接著，在第二期間，對於正反器電路 710A，從控制電路 703 藉由正反器電路 710A 的端子 100 輸入 Low 狀態的開始信號 801，藉由端子 102 輸入 Low 狀態的第二時鐘信號 803，並且藉由端子 103 輸入 High 狀態的第一時鐘信號 802。此時，將 High 狀態的輸出信號 804 藉由端子 105 輸出到正反器電路 710B 的端子 100 及掃描線 706A。

另外，在第二期間，對於正反器電路 710B，藉由端子 100 輸入正反器電路 710A 的輸出信號 804，藉由端子 102 輸入 High 狀態的第一時鐘信號 802，並且藉由端子 103 輸入 Low 狀態的第二時鐘信號 803。

接著，在第三期間，對於正反器電路 710B，藉由端子 100 輸入 Low 狀態的輸出信號 804，藉由端子 102 輸入 Low 狀態的第一時鐘信號 802，並且藉由端子 103 輸入 High 狀態的第二時鐘信號 803。此時，將 High 狀態的輸出信號 805 藉由端子 105 輸出到正反器電路 710C 的端子 100、正反器電路 710A 的端子 101 以及掃描線 706B。

另外，在第三期間，對於正反器電路 710C，藉由端子 100 輸入 High 狀態的輸出信號 805，藉由端子 102 輸入 High 狀態的第二時鐘信號 803，並且藉由端子 103 輸入 Low 狀態的第一時鐘信號 802。

接著，在第四期間，對於正反器電路 710C，藉由端子 100 輸入 Low 狀態的輸出信號 805，藉由端子 102 輸入 Low 狀態的第二時鐘信號 803，並且藉由端子 103 輸入 High 狀態的第一時鐘信號 802。此時，將 High 狀態的輸出信號 806 藉由端子 105 輸出到正反器電路 710D 的端子 100、正反器電路 710B 的端子 101 以及掃描線 706C。

另外，在第四期間，對於正反器電路 710D，藉由端子 100 輸入 High 狀態的輸出信號 806 作為第一控制信號，藉由端子 102 輸入 High 狀態的第一時鐘信號 802，並且藉由端子 103 輸入 Low 狀態的第二時鐘信號 803。

接著，在第五期間，對於正反器電路 710D，藉由端子 100 輸入 Low 狀態的輸出信號 806 作為第一控制信號，藉由端子 102 輸入 Low 狀態的第一時鐘信號 802，並且藉由端子 103 輸入 High 狀態的第二時鐘信號 803。此時，將輸出信號 807 藉由端子 105 輸出到下一級的正反器電路的端子 100、正反器電路 710C 的端子 101 以及掃描線 706D。上述工作是掃描線驅動電路的工作。

下面，說明像素部的工作。

首先，由掃描線驅動電路 702 選擇多個掃描線 706 中的任何一個。電連接於所選擇的掃描線 706 的像素 709，由信號線驅動電路 701 藉由信號線 705 輸入信號，對顯示元件施加預定數值的電位，以進行顯示工作。再者，藉由依次選擇其他掃描線 706，使其他像素同樣地進行顯示工作。上述工作是像素部的工作。

如上所述，本實施例中的顯示裝置以本發明的實施例之一的驅動電路作為掃描線驅動電路使用，從而在正反器電路被重定後能夠抑制信號值的變化，能夠抑制工作不良。另外，因為在各掃描線中能夠保持所希望的電位，所以能夠提高可靠性。

另外，可以將本實施例的顯示裝置應用於例如液晶顯示裝置。下面，說明應用於液晶顯示裝置的情況。

作為可以應用於本實施例的液晶顯示裝置的液晶元件的工作模式，可以採用 TN（Twisted Nematic，即扭曲向列）模式、IPS（In-Plane-Switching，即平面內切換）模

式、FFS (Fringe Field Switching, 即邊緣場切換) 模式、MVA (Multi-domain Vertical Alignment, 即多象限垂直配向) 模式、PVA (Patterned Vertical Alignment, 即垂直取向構型) 模式、ASM (Axially Symmetric aligned Micro-cell, 即軸對稱排列微胞) 模式、OCB (Optical Compensated Birefringence, 即光學補償彎曲) 模式、FLC (Ferroelectric Liquid Crystal, 即鐵電液晶) 模式、AFLC (Antiferroelectric Liquid Crystal, 即反鐵電液晶) 模式等。

下面，說明可以應用於本實施例中的液晶顯示裝置的像素的結構及像素的工作。

首先，參照圖 15A 說明可以應用於本實施例中的液晶顯示裝置的像素的結構。圖 15A 是示出本實施例中的液晶顯示裝置的像素部結構的一個例子的電路圖。

圖 15A 所示的像素部具有像素 750、佈線 754、佈線 755、佈線 756 以及佈線 757，像素 750 具有電晶體 751、液晶元件 752 以及電容器 753。

電晶體 751 是：閘極端子電連接於佈線 755，而源極端子及汲極端子中的一個端子電連接於佈線 754。

液晶元件 752 是：具有第一端子、第二端子以及液晶層，第一端子電連接於電晶體 751 的源極端子及汲極端子中的另一個端子，而第二端子電連接於佈線 757。

電容器 753 是：具有至少兩個端子，一個端子電連接於液晶元件 752 的第一端子，而另一端子電連接於佈線

756。

例如，佈線 754 可以用作信號線。信號線是用來將從像素外部輸入的預定電位的資料信號傳送到像素 750 的佈線。

佈線 755 可以用作掃描線。掃描線是用來控制電晶體 751 的開啓（on）狀態及截止（off）狀態的佈線。

佈線 756 可以用作電容線。電容線是用來將預定的電壓施加到電容器 753 的端子的佈線。

電晶體 751 可以用作開關。

電容器 753 可以用作儲存電容器。電容器 753 是用來在電晶體 751 處於截止（off）狀態時將施加到液晶元件 752 的電壓維持一定期間的電容器。

佈線 757 可以用作液晶元件 752 的對置電極。對置電極是用來將預定的電壓施加到液晶元件 752 的佈線。

注意，各佈線的功能不局限於此，而可以附加各種功能。例如，也可以藉由改變施加到用作電容線的佈線的電位而調整施加到液晶元件 752 的電壓。

另外，只要電晶體 751 用作開關，電晶體 751 的極性既可為 P 型又可為 N 型。

下面，參照圖 15B 說明可以應用於本實施例中的液晶顯示裝置的像素的其他結構。圖 15B 是示出本實施例中的液晶顯示裝置的像素部的其他結構的一個例子的電路圖。

圖 15B 所示的像素部的結構與圖 15A 所示的像素部的結構不同的點只在於省略佈線 757，並且液晶元件 752

的端子與電容器 753 的端子電連接，其他部分與圖 15A 所示的像素部相同。尤其是在液晶元件為水平電場模式（包括 IPS 模式、FFS 模式）的情況下，較佳應用圖 15B 所示的像素部。這是因為如下緣故：在液晶元件為水平電場模式的情況下，因為可以在同一基板上形成成為液晶元件 752 的端子的一部分的電極及成為電容器 753 的端子的一部分的電極，所以容易電連接液晶元件 752 的電極與電容器 753 的電極。另外，藉由採用圖 15B 所示的像素部的結構，可以省略佈線 757，從而能夠簡化製造步驟，能夠降低製造成本。

圖 15A 或圖 15B 所示的像素部可以採用將多個像素配置為矩陣形狀的結構。藉由採用該結構，形成液晶顯示裝置的顯示部，而能夠顯示各種圖像。

下面，參照圖 15C 說明具有多個像素的像素部的結構。圖 15C 是示出本實施例中的液晶顯示裝置的像素部的結構的一個例子的電路圖。

圖 15C 所示的像素部具有將圖 15A 所示的多個像素 750 配置為矩陣形狀的結構。在圖 15C 中，從像素部具有的多個像素中抽出四個像素而表示，並將位於 i 列 j 行（ i 和 j 為自然數）的像素表示為像素 $750_i, j$ 。在圖 15C 所示的像素部中，像素 $750_i, j$ 與佈線 754_ i 、佈線 755_ j 、佈線 756_ j 電連接，像素 $750_i+1, j$ 與佈線 754_ $i+1$ 、佈線 755_ j 、佈線 756_ j 電連接，像素 $750_i, j+1$ 與佈線 754_ i 、佈線 755_ $j+1$ 、佈線 756_ $j+1$ 電連接，

並且像素 750_{i+1, j+1} 與佈線 754_{i+1}、佈線 755_{j+1}、佈線 756_{j+1} 電連接。注意，在圖 15C 所示的像素部中，各佈線可以在屬於同一列或行的多個像素間共同使用。在圖 15C 所示的像素部中，佈線 757 是對置電極，對置電極是在所有像素中共同使用的，從而佈線 757 不以自然數 i 或 j 而表示。注意，在本實施例的液晶顯示裝置中，也可以採用圖 15B 所示的像素部的結構，從而即使有佈線 757 的記載，佈線 757 也不是必需的，也可以藉由與其他佈線共同使用等而省略。

圖 15C 所示的像素部的像素能夠根據各種方法而驅動。尤其是，藉由稱為交流驅動的方法驅動，而能夠抑制液晶元件的退化（圖像燒傷）。下面，參照圖 15D 說明藉由交流驅動而驅動圖 15C 所示的像素部的像素的情況下的工作。圖 15D 是示出圖 15C 所示的像素部的像素的工作的時序圖。注意，這裏說明採用交流驅動之一的點反轉驅動的工作作為圖 15C 所示的像素部的像素的工作。藉由採用點反轉驅動，能夠抑制在交流驅動的情況下發生的閃爍。

在圖 15C 所示的像素部的像素中，電連接於佈線 755_j 的像素中的開關在一個框期間的第 j 閘極選擇期間變成選擇狀態（開啓（on）狀態），而在除此以外的期間變成非選擇狀態（截止（off）狀態）。然後，在第 j 閘極選擇期間後，出現第 $j+1$ 閘極選擇期間。像這樣，依次進行掃描，從而在一個框期間內所有像素依次變成選擇狀

態。在圖 15D 所示的時序圖中，作為一個例子，當電位變成高狀態（High 狀態）時，該像素中的開關變成選擇狀態，而當電位變成低狀態（Low 狀態）時，該像素中的開關變成非選擇狀態。注意，上述情況是各像素中的電晶體為 N 型的情況，從而在使用 P 型電晶體的情況下，電壓和選擇狀態的關係與 N 型的情況相反。

在圖 15D 所示的時序圖中，在第 k 框（ k 為自然數）中的第 j 閘極選擇期間，對用作信號線的佈線 754_i 施加正的電位，而對佈線 754_{i+1} 施加負的電位。然後，在第 k 框中的第 $j+1$ 閘極選擇期間，對佈線 754_i 施加負的電位，而對佈線 754_{i+1} 施加正的電位。然後，繼續對各信號線交替地施加其極性根據每個閘極選擇期間而反轉的信號。其結果是，在第 k 框中，對像素 750_{i, j} 施加正的電位，對像素 750_{i+1, j} 施加負的電位，對像素 750_{i, j+1} 施加負的電位，並且對像素 750_{i+1, j+1} 施加正的電位。然後，在第 $k+1$ 框中，對各像素寫入其極性與在第 k 框中寫入的電位相反的電位作為資料。其結果是，在第 $k+1$ 框中，對像素 750_{i, j} 施加負的電位，對像素 750_{i+1, j} 施加正的電位，對像素 750_{i, j+1} 施加正的電位，並且對像素 750_{i+1, j+1} 施加負的電位。像這樣，在同一框中相鄰的像素間施加其極性不相同的電位，並且在各像素中電位的極性根據每一框而反轉這一種驅動方法被稱為點反轉驅動。藉由點反轉驅動，能夠抑制液晶元件的退化，並能夠減少在所顯示的圖像整體或一部分均勻的

情況下看到的閃爍。另外，施加到包括佈線 756_j、佈線 756_{j+1} 的所有佈線 756 的電壓可以為一定電壓。注意，在佈線 754 的時序圖中，雖然只表示電位的極性，但是在實際上根據所表示的極性而成為各種電位值。這裏，雖然說明極性根據每一個點（一個像素）而反轉的情況，但是不局限於此，而可以使極性根據每多個像素而反轉。例如，藉由使所寫入的電位的極性根據每兩個閘極選擇期間而反轉，可以降低寫入電位時的耗電量。除此以外，還可以使極性根據每一列而反轉（源極線反轉）或者使極性根據每一行而反轉（閘極線反轉）。

只要在一個框期間對像素 750 中的電容器 753 施加一定電壓，即可。這裏，因為在一個框期間的大部分中施加到用作掃描線的佈線 755 的信號處於 Low 狀態，即大致施加了一定電壓，所以可以將像素 750 中的電容器 753 的另一個端子連接於佈線 755。圖 15E 示出電容器 753 的另一個端子與佈線 755 電連接的結構。

圖 15E 所示的像素部的像素結構與圖 15C 所示的像素部的像素結構不同的點在於省略佈線 756，並且像素 750 內的電容器 753 的端子與前一行中的佈線 755 電連接。具體地說，像素 750_{i, j+1} 及像素 750_{i+1, j+1} 中的電容器 753 的端子電連接於佈線 755_j。像這樣，藉由電連接像素 750 內的電容器 753 的端子與前一行中的佈線 755，可以省略佈線 756，從而佈線個數減少了，能夠提高像素的開口率。注意，也可以將電容器 753 的端子連接

於其他行中的佈線 755，而不連接於前一行中的佈線 755。另外，圖 15E 所示的像素部的像素的驅動方法可以與圖 15C 所示的像素部的像素的驅動方法相同。

另外，藉由使用電容器 753 及電連接於電容器 753 的另一個端子的佈線，能夠減小施加到用作信號線的佈線 754 的電壓。就此時的像素部的結構及驅動方法而言，參照圖 15F 及圖 15G 進行說明。

圖 15F 所示的像素部的結構與圖 15A 所示的像素部的結構不同的點在於在一個像素列中設置兩個佈線 756，並且在相鄰的像素間交替進行與像素 750 中的電容器 753 的端子間的電連接。注意，將兩個佈線 756 分別稱為佈線 756-1 及佈線 756-2。具體地說，在圖 15F 所示的範圍中，像素 $750_i, j$ 中的電容器 753 的端子電連接於佈線 756-1_j，像素 $750_i+1, j$ 中的電容器 753 的端子電連接於佈線 756-2_j，像素 $750_i, j+1$ 中的電容器 753 的端子電連接於佈線 756-2_{j+1}，並且像素 $750_i+1, j+1$ 中的電容器 753 的端子電連接於佈線 756-1_{j+1}。

例如，如圖 15G 所示，在第 k 框中對像素 $750_i, j$ 寫入正的極性的電位的情況下，在第 j 閘極選擇期間使佈線 756-1_j 處於 Low 狀態，在第 j 閘極選擇期間結束後使佈線 756-1_j 變成 High 狀態。然後，在一個框期間繼續維持 High 狀態，在第 $k+1$ 框中的第 j 閘極選擇期間寫入負的極性的電位之後使佈線 756-1_j 變成 Low 狀態。像這樣，藉由在對像素寫入正的極性的電位後使電連接於電容

器 753 的另一個端子的佈線的電位在正的方向上變化，能夠使施加到液晶元件的電位在正的方向上變化預定量。就是說，藉由上述變化，能夠減小寫入到像素中的電壓，從而能夠降低寫入信號時的耗電量。另一方面，在第 j 閘極選擇期間寫入負的極性的電位的情況下，藉由在對像素寫入負的極性的電位後使電連接於電容器 753 的另一個端子的佈線的電位在負的方向上變化，能夠使施加到液晶元件的電位在負的方向上變化預定量，從而與正的極性的情況同樣，能夠減小寫入到像素中的電壓。就是說，較佳地是，電連接於電容器 753 的另一個端子的佈線是在同一框的同一行中施加了正的極性的電位的像素與施加了負的極性的電位的像素間互不相同的。

圖 15F 所示的像素部示出如下例子：將佈線 756-1 電連接於第 k 框中寫入正的極性的電位的像素，並且將佈線 756-2 電連接於第 k 框中寫入負的極性的電位的像素。但是，這只是一個例子。例如，在採用根據每兩個像素而出現寫入正的極性的電位的像素與寫入負的極性的電位的像素的驅動方法的情況下，較佳根據每兩個像素而交替進行佈線 756-1 及佈線 756-2 的電連接。再者，還有對一個行中的所有像素寫入同一極性的電位的情況（閘極線反轉），在此情況下，只要在每一個行中設置一個佈線 756，即可。就是說，還可以在圖 15C 所示的像素部的像素結構中採用圖 15F 及圖 15G 所示的減小寫入到像素中的電壓的驅動方法。

下面，說明在液晶元件採用以 MVA 模式或 PVA 模式等為代表的垂直取向（VA）模式的情況下特別較佳的像素結構及其驅動方法。VA 模式具有在製造時不需要摩擦處理、黑顯示時的光洩漏少、驅動電壓低等優點，但是還有當從斜方向看螢幕時圖像品質變差（視角窄）的問題。為了擴大 VA 模式的視角，採用在一個像素中具有多個副像素（子像素）的像素結構是有效的。下面，參照圖 16A 及圖 16B 說明在一個像素中具有多個副像素的像素結構。圖 16A 及圖 16B 是示出可以應用於本實施例中的液晶顯示裝置的像素的結構的一個例子的電路圖。

圖 16A 及圖 16B 所示的液晶顯示裝置中的像素部的像素 750 表示包括兩個副像素（副像素 750-1 及副像素 750-2）的情況的一個例子。注意，一個像素中的副像素的個數不局限於兩個，而可以使用各種個數的副像素。副像素的個數越多，視角越寬。多個副像素可以採用相同的電路結構，這裏，假設所有副像素與圖 15A 所示的電路結構相同而進行說明。第一副像素 750-1 具有電晶體 751-1、液晶元件 752-1、電容器 753-1，各元件的連接關係按照圖 15A 所示的電路結構設定。與此同樣，第二副像素 750-2 具有電晶體 751-2、液晶元件 752-2、電容器 753-2，各元件的連接關係按照圖 15A 所示的電路結構設定。

圖 16A 所示的像素部具有如下結構：對於構成一個像素的兩個副像素，具有用作掃描線的兩個佈線 755（佈線 755-1、佈線 755-2）、用作信號線的一個佈線 754 以及用

作電容線的一個佈線 756。像這樣，藉由在兩個副像素間共通使用信號線及電容線，能夠提高開口率，能夠簡化信號線驅動電路，從而能夠降低製造成本並能夠減少液晶面板與驅動電路的連接部的個數，而能夠提高成品率。

圖 16B 所示的像素部具有如下結構：對於構成一個像素的兩個副像素，具有用作掃描線的一個佈線 755、用作信號線的兩個佈線 754（佈線 754-1、佈線 754-2）以及用作電容線的一個佈線 756。像這樣，藉由在兩個副像素間共通使用信號線及電容線，能夠提高開口率，進而能夠減少整體的掃描線個數，從而在高清晰液晶面板中也能夠確保充分的每一個閘極線選擇期間，能夠對每個像素寫入適當的電壓。

下面，參照圖 16C 及 16D 說明只以液晶元件 752 的像素電極表示圖 16B 所示的像素部中的液晶元件 752 以示意性地表示各元件的電連接狀態的例子。

在圖 16C 及 16D 中，電極 758-1 表示第一像素電極，而電極 758-2 表示第二像素電極。在圖 16C 中，電極 758-1 相當於圖 16B 中的液晶元件 752-1 的第二端子，而電極 758-2 相當於圖 16B 中的液晶元件 752-2 的端子。就是說，電極 758-1 電連接於電晶體 751-1 的源極端子及汲極端子中的一個端子，而電極 758-2 電連接於電晶體 751-2 的源極端子及汲極端子中的一個端子。另一方面，在圖 16D 中，像素電極及電晶體的連接關係顛倒。就是說，電極 758-1 電連接於電晶體 751-2 的源極端子及汲極端子中

的一個端子，而電極 758-2 電連接於電晶體 751-1 的源極端子及汲極端子中的一個端子。

另外，藉由將圖 16C 及 16D 所示的像素分別交替地配置為矩陣形狀，能夠得到特別的效果。對於此時的像素部的結構及其驅動方法的一個例子，參照圖 16E 及 16F 進行說明。在圖 16F 所示的時序圖中，作為一個例子，當電位變成高狀態（High 狀態）時，該像素中的開關變成選擇狀態，而當電位變成低狀態（Low 狀態）時，該像素中的開關變成非選擇狀態。

圖 16E 所示的像素部具有如下結構：相當於像素 750_i, j 及像素 750_{i+1}, j+1 的部分採用圖 16C 所示的結構，而相當於像素 750_{i+1}, j 及像素 750_i, j+1 的部分採用圖 16D 所示的結構。在該結構中，藉由如圖 16F 所示的時序圖那樣驅動，在第 k 框的第 j 閘極選擇期間，對像素 750_i, j 的第一像素電極及像素 750_{i+1}, j 的第二像素電極寫入正的極性的電位，而對像素 750_i, j 的第二像素電極及像素 750_{i+1}, j 的第一像素電極施加負的極性的電位。再者，在第 k 框的第 j+1 閘極選擇期間，對像素 750_i, j+1 的第二像素電極及像素 750_{i+1}, j+1 的第一像素電極施加正的極性的電位，而對像素 750_i, j+1 的第一像素電極及像素 750_{i+1}, j+1 的第二像素電極施加負的極性的電位。在第 k+1 框中，各像素中的電壓的極性反轉。藉由進行上述工作，在包括副像素的像素結構中能夠實現相當於點反轉驅動的驅動，並能夠在一個框期間

使施加到信號線的電位的極性相同，從而能夠大幅度地降低對像素寫入資料時的耗電量。注意，施加到包括佈線 756_j、佈線 756_{j+1} 的所有佈線 756 的電位可以為一定電位。

再者，藉由採用圖 16G 及 16H 所示的像素部的結構及其驅動方法，能夠減小寫入到像素中的電位的大小。電連接於每個像素具有的多個副像素的電容線根據每個副像素而不同。就是說，藉由圖 16G 及圖 16H 所示的像素部的結構及其驅動方法而在同一框內寫入同一極性的副像素在同一行內共同使用電容線，而在同一框內寫入不同極性的副像素在同一行內使用不相同的電容線。當各行的寫入結束時，在寫入了正的極性的電壓的副像素中使各電容線的電位在正的方向上變化，在寫入了負的極性的電壓的副像素中使各電容線的電位在負的方向上變化，從而能夠減小寫入到像素中的電壓的大小。具體地說，在各行中使用用作電容線的兩個佈線 756（佈線 756-1、佈線 756-2），像素 750_{i, j} 的第一像素電極藉由電容器電連接於佈線 756-1_j，像素 750_{i, j} 的第二像素電極藉由電容器電連接於佈線 756-2_j，像素 750_{i+1, j} 的第一像素電極藉由電容器電連接於佈線 756-1_j，像素 750_{i+1, j} 的第二像素電極藉由電容器電連接於佈線 756-2_j，像素 750_{i, j+1} 的第一像素電極藉由電容器電連接於佈線 756-2_{j+1}，像素 750_{i, j+1} 的第二像素電極藉由電容器電連接於佈線 756-1_{j+1}，像素 750_{i+1, j+1} 的第一像素電極藉由電

容器電連接於佈線 756-2_{j+1}，像素 750_{i+1, j+1} 的第二像素電極藉由電容器電連接於佈線 756-1_{j+1}。但是，這只是一個例子。例如，在採用根據每兩個像素而出現寫入正的極性的電壓的像素與寫入負的極性的電壓的像素的驅動方法的情況下，較佳根據每兩個像素而交替進行佈線 756-1 及佈線 756-2 的電連接。再者，還有對一個行中的所有像素寫入同一極性的電位的情況（閘極線反轉），在此情況下，只要在每一個行中設置一個佈線 756，即可。就是說，還可以在圖 16E 所示的像素部的結構中採用圖 16G 及圖 16H 所示的減小寫入到像素中的電壓的驅動方法。

本實施例可以與其他實施例適當地組合。

實施例 4

在本實施例中，說明可以應用於構成本發明的實施例之一的驅動電路的電晶體的電晶體結構。

首先，參照圖 17A 和 17B 說明可以應用於構成本實施例的驅動電路的電晶體的電晶體結構。圖 17A 和 17B 是示出可以應用於本實施例的驅動電路的電晶體結構的截面示意圖，圖 17A 示出頂柵型電晶體的結構的一個例子，而圖 17B 示出底柵型電晶體的結構的一個例子。

圖 17A 所示的電晶體具有基板 900、設置在基板 900 上並具有雜質區域 901 的半導體層 902、覆蓋半導體層 902 的閘極絕緣膜 903、隔著閘極絕緣膜 903 設置在半導

體層 902 的一部分上的閘極電極 904、設置在閘極電極 904 及閘極絕緣膜 903 上並具有開口部的層間絕緣膜 906、以及設置為藉由開口部接觸雜質區域 901 的一對電極，即電極 905a 及電極 905b。

圖 17B 所示的電晶體具有基板 907、設置在基板 907 上的閘極電極 908、覆蓋閘極電極 908 的閘極絕緣膜 910、設置在閘極絕緣膜 910 上的不設置有閘極電極 908 的部分中的半導體層 911、設置在半導體層 911 上的具有 N 型導電類型的一對半導體層，即半導體層 912a 及半導體層 912b、設置在一對半導體層中的一個半導體層，即半導體層 912a 上的電極 913a、以及設置在一對半導體層中的另一個半導體層，即半導體層 912b 上的電極 913b。

作為基板 900 及基板 907，可以使用如玻璃基板、石英基板、矽基板、金屬基板或不銹鋼基板等的基板。除了上述基板以外，還可以使用撓性基板。撓性基板是能夠彎曲（撓性）的基板，例如由聚碳酸酯、聚芳酯、聚醚砜等製成的塑膠基板等。另外，作為基板 900 及基板 907，可以使用如貼合膜（由聚丙烯、聚酯、乙烯、聚氟乙烯、氯乙烯等構成）、由纖維狀材料構成的紙、基材薄膜（聚酯、聚醯胺、無機蒸鍍薄膜、紙類等）等。

例如，可以使用非晶半導體膜、單晶半導體膜、多晶半導體膜或微晶（也稱為半非晶）半導體膜等，以形成半導體層 902 及半導體層 911。另外，還可以層疊上述半導體膜，以形成半導體層 902 及半導體層 911。另外，可以

使用氧化物半導體（例如 IGZO（InGaZnO）等）作為半導體層。另外，半導體層可以藉由如濺射法、LPCVD 法或電漿 CVD 等方法而形成。另外，還可以使用藉由利用已知技術（固相生長法、雷射結晶化法、使用金屬催化劑的結晶化方法等）使非晶半導體膜結晶化而形成的具有結晶結構的半導體膜（結晶半導體膜），例如多晶矽膜。

作為閘極絕緣膜 903 及閘極絕緣膜 910，可以應用如氮化絕緣膜、氧化絕緣膜、包含氮的氧化絕緣膜等絕緣膜。例如，可以舉出氧氮化矽膜或氮氧化矽膜等。注意，氧氮化矽膜在其組成中氧的含量比氮的含量多，並且作為濃度範圍，包含 55 原子%至 65 原子%的氧、1 原子%至 20 原子%的氮、25 原子%至 35 原子%的矽、0.1 原子%至 10 原子%的氫。另外，氮氧化矽膜在其組成中氮的含量比氧的含量多，並且作為濃度範圍，包含 15 原子%至 30 原子%的氧、20 原子%至 35 原子%的氮、25 原子%至 35 原子%的矽、15 原子%至 25 原子%的氫。

作為半導體層 912a 及半導體層 912b，可以使用具有 N 型導電類型並包含磷等作為雜質元素的半導體層。

作為閘極電極 904 及閘極電極 908，例如可以使用由選自金、銀、鉑、鎳、矽、鎢、鉻、鈾、鐵、鈷、銅、鈹、碳、鋁、錳、鈦、鉭等中的一種元素或包含多個上述元素的合金構成的材料。另外，可以使用上述材料的單層或疊層形成閘極電極 904 及閘極電極 908。作為包含多個上述元素的合金，可以應用如下合金：包含鋁、鈦的合

金；包含鋁、鈦、碳的合金；包含鋁及鎳的合金；包含鋁、碳的合金；包含鋁、鎳、碳的合金；包含鋁、鉬的合金；等等。另外，還可以使用氧化銦錫（ITO）、包含氧化矽的氧化銦錫（ITSO）、氧化銦氧化鋅（IZO）等透光材料。閘極電極 904 及閘極電極 908 可以藉由蒸鍍法、濺射法、CVD 法、印刷法或液滴噴射法而形成。

作為層間絕緣膜 906，例如可以應用氮化絕緣膜、氧化絕緣膜、包含氮的氧化絕緣膜等。

電極 905a 及 905b、電極 913a 及 913b 用作源極電極或汲極電極。作為電極 905a 及 905b、電極 913a 及 913b，例如可以使用由選自金、銀、鉑、鎳、矽、鎢、鉻、鉬、鐵、鈷、銅、鈮、碳、鋁、錳、鈦、鉭等中的一種元素或包含多個上述元素的合金構成的材料。另外，可以使用上述材料的單層或疊層形成電極 905a 及 905b、電極 913a 及 913b。作為包含多個上述元素的合金，可以應用如下合金：包含鋁、鈦的合金；包含鋁、鈦、碳的合金；包含鋁及鎳的合金；包含鋁、碳的合金；包含鋁、鎳、碳的合金；包含鋁、鉬的合金；等等。另外，還可以使用氧化銦錫（ITO）、包含氧化矽的氧化銦錫（ITSO）、氧化銦氧化鋅（IZO）等透光材料。電極 905a 及 905b、電極 913a 及 913b 也可以分別使用互不相同的材料而形成。另外，電極 905a 及 905b、電極 913a 及 913b 可以藉由蒸鍍法、濺射法、CVD 法、印刷法或液滴噴射法而形成。

如上所述，可以藉由應用上述結構的電晶體中的任何一種而構成本發明的實施例之一的驅動電路。

下面，參照圖 18 說明底柵型電晶體的其他結構作為可以應用於本發明的實施例之一的驅動電路的電晶體。圖 18 是示出可以應用於構成本實施例中的驅動電路的電晶體的電晶體結構的一個例子的截面示意圖。

圖 18 所示的電晶體具有基板 1000、設置在基板 1000 上的閘極電極 1001、覆蓋閘極電極 1001 的閘極絕緣膜 1002、隔著閘極絕緣膜 1002 設置在閘極電極 1001 上的微晶半導體層 1003、設置在微晶半導體層 1003 上的緩衝層 1004、設置在緩衝層 1004 上的一對半導體層，即半導體層 1005a 及半導體層 1005b、設置在一對半導體層中的一個半導體層，即半導體層 1005a 上的電極 1006a、以及設置在一對半導體層中的另一個半導體層，即半導體層 1005b 上的電極 1006b。

作為基板 1000，可以使用適用於上述圖 17A 及 17B 中的基板 900 及基板 907 的基板。

作為閘極電極 1001，可以使用適用於上述圖 17A 及 17B 中的閘極電極 904 及閘極電極 908 的材料及結構。

作為閘極絕緣膜 1002，可以使用適用於上述圖 17A 及 17B 中的閘極絕緣膜 903 及閘極絕緣膜 910 的材料。

微晶半導體層 1003 是具有非晶與結晶結構（包括單晶、多晶）的中間結構的半導體的層。該半導體是具有在自由能方面上穩定的第三狀態的半導體，並是短程有序且

晶格畸變的結晶半導體，其中粒徑為 0.5 至 50nm，較佳為 1 至 20nm 的柱狀或針狀結晶沿相對於基板表面的法線方向生長。例如，可以應用微晶矽等作為微晶半導體層 1003。

另外，因為微晶半導體層 1003 當意圖性地不添加以價電子控制為目的的雜質元素時顯示弱 N 型的導電性，所以較佳在與成膜同時或成膜之後將賦予 P 型的雜質元素添加到用作薄膜電晶體的通道形成區的微晶半導體層，來控制臨界值電壓 V_{th} 。作為賦予 P 型的雜質元素，典型有硼，並且藉由以 1ppm 至 1000ppm、較佳為 1ppm 至 100ppm 的比例將 B_2H_6 、 BF_3 等雜質氣體混入氫化矽來形成，即可。並且，將硼的濃度設定為例如 1×10^{14} atoms/cm³ 至 6×10^{16} atoms/cm³，即可。

另外，較佳將微晶半導體層 1003 的氧濃度設定為等於或小於 1×10^{19} cm⁻³、較佳為等於或小於 5×10^{18} cm⁻³，而將氮及碳的濃度設定為等於或小於 5×10^{18} cm⁻³、較佳為等於或小於 1×10^{18} cm⁻³。藉由降低有可能混入到微晶半導體層 1003 中的氧、氮及碳的濃度，可以防止微晶半導體層 1003 的通道形成區成為 N 型半導體。此外，當這些混入的濃度在元件之間不同時，在臨界值電壓 V_{th} 發生不均勻性。因此，藉由降低這些的濃度，可以減少基板中的臨界值電壓 V_{th} 的不均勻性。

另外，與緩衝層 1004 相比，微晶半導體層 1003 的載流子遷移率較高。因此，藉由使用通道形成區域包含微晶

半導體的薄膜電晶體作為顯示裝置的驅動電路中的電晶體，能夠減小通道形成區域的面積，即薄膜電晶體的面積，從而能夠減小電路的面積，能夠使顯示裝置之邊框變窄。

藉由在微晶半導體層 1003 上設置緩衝層 1004，能夠使電晶體的截止電流值比微晶半導體層 1003 為單層結構的情況下更低。作為緩衝層 1004，例如可以使用非晶矽等。

半導體層 1005a 及半導體層 1005b 使用包含具有 N 型或 P 型導電類型的雜質元素的半導體層而構成。作為包含雜質元素的半導體層，例如可以舉出非晶矽等。另外，只要在導電類型為 N 型的情況下以磷作為雜質元素添加，在導電類型為 P 型的情況下以硼作為雜質元素添加，即可。另外，半導體層 1005a 及半導體層 1005b 可以使用微晶半導體材料或非晶半導體材料而形成。半導體層 1005a 及半導體層 1005b 的厚度較佳為等於或大於 2nm 且等於或小於 50nm。藉由將半導體層 1005a 及半導體層 1005b 的厚度減薄，能夠提高產率。

電極 1006a 及電極 1006b 用作源極電極或汲極電極，作為電極 1006a 及電極 1006b，可以使用適用於上述圖 17A 及 17B 中的電極 905a 及 905b、電極 913a 及 913b 的材料。

下面，參照圖 19A 至圖 21H 說明圖 18 所示的電晶體的製造方法。圖 19A 至圖 21H 是示出本實施例的電晶體

的製造方法的截面示意圖。注意，就具有微晶半導體膜的薄膜電晶體而言，N 型電晶體的遷移率比 P 型電晶體高。因為能夠抑制步驟數量，所以較佳使在同一基板上形成的薄膜電晶體均為同一極性。因此，在本實施例中，說明 N 型電晶體的製造方法。

首先，如圖 19A 所示，在基板 1000 上形成導電膜 1007。在本實施例中，作為導電膜 1007 形成鋁膜與鈳膜的疊層膜。導電膜 1007 可以藉由如濺射法或真空蒸鍍等方法而形成。

接著，如圖 19B 所示，蝕刻導電膜 1007 的一部分，以形成閘極電極 1001。更具體地說，在導電膜 1007 上藉由光刻技術或噴墨法形成抗蝕劑，並以抗蝕劑為掩模選擇性地蝕刻導電膜 1007，從而可以形成閘極電極 1001。在這個步驟中，例如可以同時形成掃描線（圖 13 中的掃描線 706 等）。另外，較佳在蝕刻後去除抗蝕劑。

另外，藉由蝕刻而形成的閘極電極 1001 的端部較佳為錐形。藉由將閘極電極 1001 的端部形成為錐形，能夠提高在後面步驟中將要形成在閘極電極 1001 上的層的覆蓋率。

接著，如圖 19C 所示，覆蓋閘極電極 1001 地形成閘極絕緣膜 1002。閘極絕緣膜 1002 可以藉由如 CVD 法或濺射法等方法而形成。在本實施例中，作為一個例子，藉由形成氮化膜或氮氧化膜及氧化膜或氧氮化膜的疊層膜，形成閘極絕緣膜 1002。

再者，在閘極絕緣膜 1002 上形成微晶半導體膜 1008。例如，微晶半導體膜 1008 可以藉由使用頻率為幾十 MHz 至幾百 MHz 的高頻電漿 CVD 法或頻率為等於或大於 1GHz 的微波電漿 CVD 裝置而形成。在使用頻率為等於或大於 1GHz 的微波電漿 CVD 裝置產生的電漿中，電子密度高，且由原料氣體產生多個自由基而供應給基板 1000，所以基板的表面上的自由基反應被促進，而可以提高微晶半導體膜 1008 的成膜速度。再者，由多個微波產生裝置、以及多個介質板構成的微波電漿 CVD 裝置可以穩定地產生大面積電漿。由此，也可以在大面積基板上形成對於膜質具有高均勻性的層，同時可以提高批量生產性（生產率）。在本實施例中，作為一個例子，說明製造微晶矽作為微晶半導體膜的情況。下面，說明微晶半導體膜 1008 的具體製造方法。

例如，微晶半導體膜 1008 可以使用氫稀釋 SiH_4 、 Si_2H_6 等的氫化矽形成。或者，除了使用氫化矽及氫之外，還可以使用選自氦、氬、氖、氙中的一種或多種稀有氣體元素進行稀釋，來形成。將氫的流量比設定為氫化矽的等於或大於 5 倍且等於或小於 200 倍、較佳為等於或大於 50 倍且等於或小於 150 倍、更較佳為 100 倍。此外，也可以使用 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等而代替氫化矽。

此外，在形成微晶半導體膜 1008 的情況下，從該膜的下方向上方進行結晶生長，來形成針狀結晶。這是因為

以擴大結晶面的方式結晶生長的緣故。然而，即使在如此結晶生長的情況下，微晶半導體層的成膜速度也是非晶半導體層的成膜速度的等於或大於 1% 且等於或小於 10% 左右。

再者，在本實施例中，較佳在形成微晶半導體膜 1008 之後進行從微晶半導體膜 1008 的表面一側照射雷射的處理（也稱為 LP（Laser process）處理）。下面，具體地說明 LP 處理。

在 LP 處理中，較佳以不使微晶半導體膜 1008 熔化的能量密度照射雷射。就是說，LP 處理是藉由利用輻射加熱且不使微晶半導體膜 1008 熔化而進行的引起固相結晶生長的。就是說，它是利用堆積了的微晶半導體膜 1008 不成為液相的臨界區域的，並且在該意思上也可以稱為“臨界生長”。

上述雷射可以作用到微晶半導體膜 1008 和閘極絕緣膜 1002 的介面。由此，可以以在微晶半導體膜 1008 的表面一側的結晶為核，從該表面向閘極絕緣膜 1002 的介面進展固相結晶生長，而形成大致為柱狀的結晶。利用 LP 處理的固相結晶生長不是擴大結晶粒徑的，而是改善層的厚度方向上的結晶性的。

在上述 LP 處理中，藉由將雷射聚焦為長矩形（成形為線狀雷射光束），例如可以利用一次雷射光束掃描處理在 730mm×920mm 的玻璃基板上的微晶半導體膜 1008。在此情況下，將使線狀雷射光束彼此重疊的比例（重疊率）

設定為 0% 至 90%、較佳為 0% 至 67%，來進行。由此，縮短對於一個基板需要的處理時間，而可以提高生產率。但是，雷射光束的形狀不局限於線狀，當採用面狀雷射光束時，也可以同樣地進行處理。此外，在本 LP 處理中對所述玻璃基板的尺寸沒有限制，而可以使用各種尺寸的基板。藉由進行 LP 處理，微晶半導體膜 1008 和閘極絕緣膜 1002 的介面區域的結晶性得到改善，而可以提高具有底柵結構的電晶體的電特性。

根據這種臨界生長，不形成發生在現有的低溫多晶矽的表面的凹凸（稱為皺紋的凸狀體），而 LP 處理後的矽表面保持平滑性。

從而，藉由在成膜後直接使雷射起作用而得到的微晶半導體膜 1008 在其生長機理及形成的層的膜質上顯然不同於現有的只堆積的微晶半導體膜、以及在堆積後利用傳導加熱而改變了其性質的微晶半導體膜。

接著，如圖 20D 所示，在微晶半導體膜 1008 上形成非晶半導體膜 1009。

非晶半導體膜 1009 可以藉由使用 SiH_4 、 Si_2H_6 等氫化矽且利用電漿 CVD 法來形成。此外，可以藉由利用選自氮、氬、氦及氖中的一種或多種稀有氣體元素稀釋上述氫化矽而使用，來形成非晶半導體膜 1009。可以藉由使用氫化矽的流量的等於或大於 1 倍且等於或小於 20 倍，較佳為等於或大於 1 倍且等於或小於 10 倍，更較佳為等於或大於 1 倍且等於或小於 5 倍的流量的氫，來形成包括氫

的非晶半導體膜 1009。此外，可以藉由使用上述氫化矽、氮或氬，來形成包括氮的非晶半導體膜 1009。此外，可以藉由使用上述氫化矽、包括氟、氯、溴或碘的氣體（ F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、 HBr 、 HI 等），來形成包括氟、氯、溴或碘的非晶半導體膜 1009。此外，可以使用 SiH_2Cl_2 、 $SiHCl_2$ 、 $SiCl_2$ 、 SiF_2 等，而代替氫化矽。此外，將該非晶半導體膜 1009 的厚度設定為等於或大於 100nm 且等於或小於 500nm，較佳為等於或大於 150nm 且等於或小於 400nm，更較佳為等於或大於 200nm 且等於或小於 300nm。此時，供給微晶半導體膜 1008 氬。就是說，藉由在微晶半導體膜 1008 上堆積非晶半導體膜 1009，能夠將氬擴散到微晶半導體膜 108 中以飽和懸空鍵。

此外，非晶半導體膜 1009 也可以藉由將非晶半導體用作靶子且在氬或稀有氣體中進行濺射而形成。此時，藉由將氮、氮或 N_2O 包括在氣氛中，可以形成包括氮的非晶半導體膜。另外，藉由將包括氟、氯、溴或碘的氣體（ F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、 HBr 、 HI 等）包括在氣氛中，可以形成包括氟、氯、溴或碘的非晶半導體膜。

此外，也可以在形成非晶半導體膜 1009 之後，利用氬電漿、氮電漿、或鹵素電漿對非晶半導體膜 1009 的表面進行處理，來使非晶半導體膜 1009 的表面氫化、氮化、或鹵化。或者，也可以利用氬電漿、氮電漿、氬電漿、氮電漿等對非晶半導體膜 1009 的表面進行處理。

另外，非晶半導體膜 1009 較佳不包括晶粒。因此，在利用頻率為幾十 MHz 至幾百 MHz 的高頻電漿 CVD 法、或微波電漿 CVD 法來形成的情況下，較佳控制成膜條件以取得不包括晶粒的非晶半導體膜 1009。

另外，以不包括賦予一種導電類型的雜質諸如磷、硼等的方式形成非晶半導體膜 1009。尤其是，為了控制臨界值而添加到微晶半導體膜 1008 中的硼或磷較佳不混入非晶半導體膜 1009。例如，在非晶半導體膜 1009 包括磷的情況下，在微晶半導體層 1003 和非晶半導體膜 1009 之間形成 PN 接面。此外，在非晶半導體膜 1009 包括硼的情況下，在非晶半導體膜 1009 與半導體層 1005a 及半導體層 1005b 之間形成 PN 接面。或者，藉由硼和磷都混入，發生複合中心，而成為發生漏電流的原因。藉由非晶半導體膜 1009 不包括賦予一種導電類型的這些雜質，可以消除漏電流的發生區域，而可以謀求實現漏電流的減少。此外，藉由在半導體層 1005a 及 1005b 與微晶半導體層 1003 之間具有不添加有賦予一種導電類型的雜質諸如磷、硼等的非晶半導體膜 1009，可以防止分別包括在成為通道形成區的微晶半導體層 1003、成為源區及汲區的一部分的半導體層 1005a 及 1005b 的雜質的擴散。

再者，在非晶半導體膜 1009 上形成半導體膜 1010。在賦予 N 型導電類型的情況下，添加如磷等雜質元素。在添加磷的情況下，可以藉由對氫化矽加入 PH_3 等的氣體而添加磷。另外，在賦予 P 型導電類型的情況下，添加如硼

等雜質元素。在添加硼的情況下，可以藉由對氫化矽加入 B_2H_6 等的氣體而添加硼。

在本實施例中，較佳連續形成閘極絕緣膜 1002、微晶半導體膜 1008 以及非晶半導體膜 1009。更較佳地是，連續形成閘極絕緣膜 1002、微晶半導體膜 1008、非晶半導體膜 1009 以及半導體膜 1010。藉由連續成膜，各薄膜不接觸於大氣，從而能夠形成各疊層介面而不受到大氣成分或漂浮在大氣中的雜質元素的污染，能夠降低使用各薄膜而形成的薄膜電晶體的電特性的不均勻性，而能夠成品率高地製造可靠性高的驅動電路。

接著，選擇性地蝕刻微晶半導體膜 1008、非晶半導體膜 1009 以及半導體膜 1010。

具體地說，首先在半導體膜 1010 的一部分形成抗蝕劑。抗蝕劑藉由如光刻技術或噴墨法等方法而形成。

接著，以抗蝕劑作為掩模而選擇性地蝕刻微晶半導體膜 1008、非晶半導體膜 1009 以及半導體膜 1010。此時，藉由蝕刻如圖 20E 所示那樣形成微晶半導體層 1003。注意，較佳在蝕刻後去除抗蝕劑。

另外，在該蝕刻處理中，較佳進行蝕刻，以便使層疊有微晶半導體膜、非晶半導體膜以及雜質半導體膜的層的端部具有錐形形狀。將錐形角設定為等於或大於 30° 且等於或小於 90° 、較佳為等於或大於 40° 且等於或小於 80° 。藉由進行蝕刻以使端部具有錐形形狀，不但能夠防止半導體膜 1010 和微晶半導體膜 1008 直接接觸，而且能夠確保

在端部的這些層的距離，而能夠減少在端部的漏電流。

另外，藉由使端部具有錐形形狀，可以提高在後面的步驟中形成在這些上的層的覆蓋性。

接著，如圖 20F 所示，在半導體膜 1010 上形成導電膜 1011。

導電膜 1011 藉由如濺射法或真空蒸鍍等方法形成。此外，導電膜 1011 也可以藉由絲網印刷法或噴墨法等噴出銀、金或銅等導電奈米膏且進行焙燒來形成。

然後，蝕刻導電膜 1011。具體地說，首先在半導體膜 1011 上選擇性地形成抗蝕劑。接著，以抗蝕劑作為掩模而蝕刻導電膜 1011。此時，如圖 21G 所示，形成一對電極 1006a 及電極 1006b。

接著，蝕刻半導體膜 1010 及非晶半導體膜 1009。藉由蝕刻，如圖 21H 所示那樣形成緩衝層 1004、一對半導體層 1005a 及 1005b。

此時，所形成的緩衝層 1004 因其一部分被蝕刻而形成有凹部，較佳地是，以重疊於凹部的非晶半導體膜 1009 的一部分殘存的厚度來形成。藉由蝕刻而殘存的部分（重疊於凹部的部分）的蝕刻後的厚度較佳為蝕刻前的厚度的一半左右。此外，如上所述，蝕刻前的厚度為等於或大於 100nm 且等於或小於 500nm、較佳為等於或大於 150nm 且等於或小於 400nm、更較佳為等於或大於 200nm 且等於或小於 300nm。緩衝層 1004 用作微晶半導體層 1003 的蝕刻阻止物。

另外，在本實施例中，可以使電極 1006a 及電極 1006b 的端部與半導體層 1005a 及 1005b 的端部不對齊。因此，電極 1006a 及電極 1006b 的端部之間的距離變大，且源極電極及汲極電極的一者與源極電極及汲極電極的另一者之間的距離十分變大，能夠減少漏電流，而能夠防止短路。另外，因為電極 1006a 及電極 1006b 的端部與半導體層 1005a 及 1005b 的端部不對齊，所以不容易在電極 1006a 及電極 1006b 的端部與半導體層 1005a 及 1005b 的端部中發生電場集中。因此，能夠製造可靠性高、截止電流小、絕緣耐壓高的薄膜電晶體。

藉由上述步驟，能夠製造圖 18 所示的薄膜電晶體。

如圖 18 所示的例子那樣，包含微晶半導體層的電晶體的可靠性比只使用非晶半導體層的電晶體更高，從而藉由將包含微晶半導體層的電晶體應用於本發明的實施例之一的驅動電路，能夠抑制工作不良。

本實施例可以與其他實施例適當地組合。

實施例 5

在本實施例中說明將本發明的實施例之一的顯示裝置用於顯示部的電子設備。

本發明的實施例之一的顯示裝置可以用於各種電子設備的顯示部。作為可以應用本發明的實施例之一的顯示裝置的電子設備的例子可以舉出如下：影像拍攝裝置如攝像機、數位照相機等；護目鏡型顯示器（頭盔顯示器）；導

航系統；音頻再現裝置（汽車音響、音響元件等）；筆記本式個人電腦；遊戲機；手機；可攜式資訊終端（包括安裝有可攜式電腦、可攜式音樂播放器、可攜式遊戲機、電子圖書、或組裝電腦並且藉由進行多個資料處理而具有多個功能的裝置）；具備記錄媒體的圖像再現裝置（具體而言，能夠再現記錄媒體如數位通用磁片（DVD）等並具有可以顯示其圖像的顯示器的裝置）等。參照圖 22A 至 22H 及圖 23A 至 23C 說明上述電子設備的具體例子。在圖 22A 至 22H 及圖 23A 至 23C 中示出本實施例中的電子設備的結構。

圖 22A 為一種顯示裝置，包括框體 1101、支撐台 1102、顯示部 1103、揚聲器部 1104、和視頻輸入端子 1105 等。本發明的實施例之一的顯示裝置可以用於顯示部 1103。另外，顯示裝置包括個人電腦用、TV 廣播接收用、廣告顯示用等的所有顯示裝置。

圖 22B 為一種數位相機，包括主體 1111、顯示部 1112、圖像接收部 1113、操作鍵 1114、外部連接埠 1115、和快門按鈕 1116 等。本發明的實施例之一的顯示裝置可以用於顯示部 1112。

圖 22C 為一種筆記本式個人電腦，包括主體 1121、框體 1122、顯示部 1123、鍵盤 1124、外部連接埠 1125、和指向裝置 1126 等。本發明的實施例之一的顯示裝置可以用於顯示部 1123。

圖 22D 為一種可攜式電腦，包括主體 1131、顯示部

1132、開關 1133、操作鍵 1134、和紅外線埠 1135 等。本發明的實施例之一的顯示裝置可以用於顯示部 1132。

圖 22E 為一種具備記錄媒體的可攜式圖像再現裝置（具體地為 DVD 再現裝置），包括主體 1141、框體 1142、顯示部 A1143、顯示部 B1144、記錄媒體（DVD 等）讀取部 1145、操作鍵 1146、和揚聲器部 1147 等。顯示部 A1143 主要顯示圖像資訊，而顯示部 B1144 主要顯示文字資訊。本發明的實施例之一的顯示裝置可以用於這些顯示部 A1143、顯示部 B1144。另外，具備記錄媒體的圖像再現裝置還包括家庭用遊戲機等。

圖 22F 為一種護目鏡型顯示器（頭盔顯示器），包括主體 1151、顯示部 1152、和臂部 1153。本發明的實施例之一的顯示裝置可以用於顯示部 1152。

圖 22G 為一種攝像機，包括主體 1161、顯示部 1162、框體 1163、外部連接埠 1164、遙控器接收部 1165、圖像接收部 1166、電池 1167、聲音輸入部 1168、和操作鍵 1169、目鏡部 1170 等。本發明的實施例之一的顯示裝置可以用於顯示部 1162。

圖 22H 為一種手機，包括主體 1171、框體 1172、顯示部 1173、聲音輸入部 1174、聲音輸出部 1175、操作鍵 1176、外部連接埠 1177、和天線 1178 等。本發明的實施例之一的顯示裝置可以用於顯示部 1173。另外，顯示部 1173 可以藉由在黑色背景上顯示白色文字，而抑制手機消耗的電流。

圖 23A 至 23C 為具有多個功能的可攜式資訊終端的一例。圖 23A 為可攜式資訊終端的正視圖，圖 23B 為可攜式資訊終端的後視圖，圖 23C 為可攜式資訊終端的展開圖。以圖 23A 至 23C 為一例的可攜式資訊終端可以具有多個功能。例如，除了電話功能以外，還可以組裝電腦而具有各種資料處理功能。

圖 23A 至 23C 所示的可攜式資訊終端由框體 1180 及框體 1181 的兩個框體構成。框體 1180 具備顯示部 1182、揚聲器 1183、麥克風 1184、操作鍵 1185、指向裝置 1186、相機用透鏡 1187、外部連接端子 1188、耳機端子 1189 等，框體 1181 具備鍵盤 1190、外部儲存槽 1191、相機用透鏡 1192、和燈 1193 等。另外，在框體 1181 中組裝天線。

另外，除了上述結構以外，還可以安裝有非接觸 IC 晶片、小型記錄裝置等。

本發明的實施例之一的顯示裝置可以用於顯示部 1182，並且其顯示方向根據使用方式而適當地改變。另外，由於在與顯示部 1182 同一個表面上具有相機用透鏡 1187，所以可以進行視頻通話。另外，使用顯示部 1182 作為取景器，使用相機用透鏡 1192 及燈 1193 拍攝靜止圖像及運動圖像。揚聲器 1183 及麥克風 1184 不局限於聲音通話，還可以用於視頻通話、錄音、再生等的用途。操作鍵 1185 可以進行電話的發送和接受、電子郵件等的簡單的資訊輸入、螢幕的滾動、以及游標移動等。再者，彼此

重疊的框體 1180 和框體 1181（圖 23A）滑動而如圖 23C 那樣展開並可以用作可攜式資訊終端。在此情況下，可以使用鍵盤 1190 和指向裝置 1186 進行順利操作。外部連接端子 1188 可以與 AC 整流器及各種電纜如 USB 電纜等連接，並且可以充電及與個人電腦等進行資料通訊。另外，藉由將記錄媒體插入外部儲存槽 1191 中，可以對應於更大量資料的保存及移動。

另外，除了上述功能以外還可以具有紅外線通訊功能、電視接收功能等的可攜式資訊終端。

如上所述，本發明的實施例之一的顯示裝置可以用作如上所述的各種電子設備的顯示部。

另外，本實施例可以與其他實施例適當地組合。

本發明說明根據 2008 年 6 月 17 日在日本專利局申請的日本專利申請編號 2008-157400 而製造，所申請內容包括在本發明說明中。

【符號說明】

11：電晶體

12：電晶體

13：電晶體

14：電晶體

15：電晶體

100：端子

101：端子

102：端子

102A：端子

102B：端子

103：端子

103A：端子

103B：端子

103C：端子

103D：端子

104：端子

104A：端子

104B：端子

104C：端子

104D：端子

104E：端子

104F：端子

104G：端子

104H：端子

104I：端子

104J：端子

104K：端子

104L：端子

104M：端子

105：端子

106：電晶體

107 : 電 晶 體

108 : 電 容 器

109 : 電 晶 體

110 : 電 晶 體

111 : 電 晶 體

112 : 電 容 器

113 : 電 晶 體

114 : 電 晶 體

115 : 電 晶 體

116 : 電 晶 體

117 : 節 點

118 : 節 點

119 : 節 點

120 : 電 晶 體

121 : 端 子

122 : 電 晶 體

123 : 電 晶 體

124 : 電 晶 體

125 : 端 子

126 : 電 晶 體

127 : 電 晶 體

128 : 電 晶 體

129 : 電 晶 體

201 : 控 制 信 號

202：時鐘信號

203：時鐘信號

204：電位

205：電位

206：電位

207：輸出信號

208：控制信號

209：輸出信號

500：端子

501：端子

502：端子

502A：端子

502B：端子

503：端子

503A：端子

503B：端子

503C：端子

503D：端子

504：端子

504A：端子

504B：端子

504C：端子

504D：端子

504E：端子

504F：端子

504G：端子

504H：端子

504I：端子

504J：端子

504K：端子

505：端子

● 506：電晶體

507：電晶體

508：電晶體

509：電晶體

510：電容器

511：電晶體

512：電晶體

513：電晶體

● 514：電晶體

515：節點

516：節點

517：電晶體

518：端子

519：電晶體

520：電晶體

521：電晶體

522：端子

- 523 : 電 晶 體
- 524 : 電 晶 體
- 525 : 電 晶 體
- 526 : 電 晶 體
- 601 : 控 制 信 號
- 602 : 時 鐘 信 號
- 603 : 時 鐘 信 號
- 604 : 電 位
- 605 : 電 位
- 606 : 輸 出 信 號
- 607 : 控 制 信 號
- 608 : 輸 出 信 號
- 700 : 像 素 部
- 701 : 信 號 線 驅 動 電 路
- 702 : 掃 描 線 驅 動 電 路
- 703 : 控 制 電 路
- 704 : 時 鐘 信 號 產 生 電 路
- 705 : 信 號 線
- 705A : 信 號 線
- 705B : 信 號 線
- 706 : 掃 描 線
- 706A : 掃 描 線
- 706B : 掃 描 線
- 706C : 掃 描 線

706D：掃描線

707：時鐘信號線

708：時鐘信號線

709：像素

710：正反器電路

710A：正反器電路

710B：正反器電路

710C：正反器電路

710D：正反器電路

750：像素

751：電晶體

752：液晶元件

753：電容器

754：佈線

755：佈線

756：佈線

757：佈線

758：電極

801：開始信號

802：時鐘信號

803：時鐘信號

804：輸出信號

805：輸出信號

806：輸出信號

807 : 輸出信號
 900 : 基板
 901 : 雜質區域
 902 : 半導體層
 903 : 閘極絕緣膜
 904 : 閘極電極
 905a : 電極
 905b : 電極
 906 : 層間絕緣膜
 907 : 基板
 908 : 閘極電極
 910 : 閘極絕緣膜
 911 : 半導體層
 912 : 半導體層
 912a : 半導體層
 912b : 半導體層
 913a : 電極
 913b : 電極
 1000 : 基板
 1001 : 閘極電極
 1002 : 閘極絕緣膜
 1003 : 微晶半導體層
 1004 : 緩衝層
 1005a : 半導體層

1005b：半導體層

1006a：電極

1006b：電極

1007：導電膜

1008：微晶半導體膜

1009：非晶半導體膜

1010：半導體膜

1011：導電膜

1101：框體

1102：支撐台

1103：顯示部

1104：揚聲器部

1105：視頻輸入端子

1111：主體

1112：顯示部

1113：圖像接收部

1114：操作鍵

1115：外部連接埠

1116：快門按鈕

1121：主體

1122：框體

1123：顯示部

1124：鍵盤

1125：外部連接埠

- 1126：指向裝置
- 1131：主體
- 1132：顯示部
- 1133：開關
- 1134：操作鍵
- 1135：紅外線埠
- 1141：主體
- 1142：框體
- 1143：顯示部 A
- 1144：顯示部 B
- 1145：讀取部
- 1146：操作鍵
- 1147：揚聲器部
- 1151：主體
- 1152：顯示部
- 1153：臂部
- 1161：主體
- 1162：顯示部
- 1163：框體
- 1164：外部連接埠
- 1165：遙控器接收部
- 1166：圖像接收部
- 1167：電池
- 1168：聲音輸入部

1169：操作鍵

1170：目鏡部

1171：主體

1172：框體

1173：顯示部

1174：聲音輸入部

1175：聲音輸出部

● 1176：操作鍵

1177：外部連接埠

1178：天線

1180：框體

1181：框體

1182：顯示部

1183：揚聲器

1184：麥克風

● 1185：操作鍵

1186：指向裝置

1187：相機用透鏡

1188：外部連接端子

1189：耳機端子

1190：鍵盤

1191：外部儲存槽

1192：相機用透鏡

1193：燈

申請專利範圍

1. 一種半導體裝置，包括：

第一電晶體、第二電晶體、第三電晶體、第四電晶體、第五電晶體以及第六電晶體；

其中，該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體、該第五電晶體以及該第六電晶體中的一者包括通道形成區，該通道形成區包括氧化物半導體，

其中，該第一電晶體的源極和汲極中的一者電連接於該第二電晶體的源極和汲極中的一者，

其中，該第一電晶體的該源極和該汲極中的該一者電連接於該第三電晶體的源極和汲極中的一者，

其中，該第四電晶體的源極和汲極中的一者電連接於該第五電晶體的源極和汲極中的一者，

其中，該第六電晶體的源極和汲極中的一者電連接於該第五電晶體的該源極和該汲極中的該一者，

其中，該第二電晶體的該源極和該汲極中的另一者電連接於該第三電晶體的該源極和該汲極中的另一者，

其中，該第四電晶體的該源極和該汲極中的另一者電連接於該第六電晶體的該源極和該汲極中的另一者，

其中，該第一電晶體的閘極電連接於該第四電晶體的該源極和該汲極中的該一者，

其中，該第二電晶體的閘極電連接於該第五電晶體的閘極，並且

其中，該第三電晶體的閘極電連接於該第六電晶體的

閘極。

2. 一種半導體裝置，包括：

像素；以及

驅動電路，電連接到該像素；

其中，該驅動電路包括第一電晶體、第二電晶體、第三電晶體、第四電晶體、第五電晶體以及第六電晶體；

其中，該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體、該第五電晶體以及該第六電晶體中的一者包括通道形成區，該通道形成區包括氧化物半導體，

其中，該第一電晶體的源極和汲極中的一者電連接於該第二電晶體的源極和汲極中的一者，

其中，該第一電晶體的該源極和該汲極中的該一者電連接於該第三電晶體的源極和汲極中的一者，

其中，該第四電晶體的源極和汲極中的一者電連接於該第五電晶體的源極和汲極中的一者，

其中，該第六電晶體的源極和汲極中的一者電連接於該第五電晶體的該源極和該汲極中的該一者，

其中，該第二電晶體的該源極和該汲極中的另一者電連接於該第三電晶體的該源極和該汲極中的另一者，

其中，該第四電晶體的該源極和該汲極中的另一者電連接於該第六電晶體的該源極和該汲極中的另一者，

其中，該第一電晶體的閘極電連接於該第四電晶體的該源極和該汲極中的該一者，

其中，該第二電晶體的閘極電連接於該第五電晶體的

閘極，並且

其中，該第三電晶體的閘極電連接於該第六電晶體的閘極。

3. 根據申請專利範圍第 1 或 2 項之半導體裝置，其中，該第三電晶體的該閘極電連接於能夠供應時鐘信號的佈線。

4. 根據申請專利範圍第 1 或 2 項之半導體裝置，其中，該氧化物半導體為 InGaZnO。

5. 根據申請專利範圍第 1 或 2 項之半導體裝置，其中，該第四電晶體的閘極電連接到該第四電晶體的該源極和該汲極中的該另一者。

6. 一種半導體裝置，包括：

驅動電路，

其中，該驅動電路包括第一電晶體、第二電晶體、第三電晶體、第四電晶體、第五電晶體、第六電晶體、第七電晶體以及第八電晶體；

其中，該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體、該第五電晶體、該第六電晶體、該第七電晶體及該第八電晶體之中的一者包括通道形成區，該通道形成區包括氧化物半導體，

其中，該第一電晶體的源極和汲極中的一者直接連接於該第二電晶體的源極和汲極中的一者，

其中，該第一電晶體的該源極和該汲極中的該一者直接連接於該第三電晶體的源極和汲極中的一者，

其中，該第四電晶體的源極和汲極中的一者直接連接於該第五電晶體的源極和汲極中的一者，

其中，該第六電晶體的源極和汲極中的一者直接連接於該第五電晶體的該源極和該汲極中的該一者，

其中，該第四電晶體的該源極和該汲極中的另一者直接連接於該第六電晶體的該源極和該汲極中的另一者，

其中，該第一電晶體的閘極直接連接於該第四電晶體的該源極和該汲極中的該一者，

其中，該第二電晶體的閘極直接連接於該第五電晶體的閘極，

其中，該第三電晶體的閘極直接連接於該第六電晶體的閘極，

其中，該第七電晶體的源極和汲極中的一者直接連接於該第二電晶體的該閘極，

其中，該第七電晶體的閘極直接連接於該第一電晶體的該閘極，

其中，該第八電晶體的源極和汲極中的一者直接連接於該第一電晶體的該閘極，

其中，該第二電晶體的該源極和該汲極中的另一者、該第三電晶體的該源極和該汲極中的另一者、該第五電晶體的該源極和該汲極中的另一者、該第七電晶體的該源極和該汲極中的另一者以及該第八電晶體的該源極和該汲極中的另一者直接相互連接。

7. 根據申請專利範圍第 6 項之半導體裝置，

其中，該第三電晶體的該閘極直接連接於能夠供應時鐘信號的佈線，

其中，電容器被提供於該第一電晶體的該閘極與該第一電晶體的該源極和該汲極中的該一者之間，

其中，該第一電晶體的該源極和該汲極中的該一者直接連接於像素。

8. 根據申請專利範圍第 6 或 7 項之半導體裝置，其中，該氧化物半導體為 InGaZnO。

9. 根據申請專利範圍第 6 或 7 項之半導體裝置，

其中，該第四電晶體的閘極電連接到該第四電晶體的該源極和該汲極中的該另一者，

其中，電容器電連接到該第二電晶體的該閘極。

10. 一種半導體裝置，包括：

驅動電路，

其中，該驅動電路包括第一電晶體、第二電晶體、第三電晶體、第四電晶體、第五電晶體、第六電晶體、第七電晶體以及第八電晶體；

其中，該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體、該第五電晶體、該第六電晶體、該第七電晶體及該第八電晶體之中的一者包括通道形成區，該通道形成區包括非晶半導體，

其中，該第一電晶體的源極和汲極中的一者直接連接於該第二電晶體的源極和汲極中的一者，

其中，該第一電晶體的該源極和該汲極中的該一者直

接連接於該第三電晶體的源極和汲極中的一者，

其中，該第四電晶體的源極和汲極中的一者直接連接於該第五電晶體的源極和汲極中的一者，

其中，該第六電晶體的源極和汲極中的一者直接連接於該第五電晶體的該源極和該汲極中的該一者，

其中，該第四電晶體的該源極和該汲極中的另一者直接連接於該第六電晶體的該源極和該汲極中的另一者，

其中，該第一電晶體的閘極直接連接於該第四電晶體的該源極和該汲極中的該一者，

其中，該第二電晶體的閘極直接連接於該第五電晶體的閘極，

其中，該第三電晶體的閘極直接連接於該第六電晶體的閘極，

其中，該第四電晶體的閘極直接連接於該第四電晶體的該源極和該汲極中的該另一者，

其中，該第七電晶體的源極和汲極中的一者直接連接於該第二電晶體的該閘極，

其中，該第七電晶體的閘極直接連接於該第一電晶體的該閘極，

其中，該第八電晶體的源極和汲極中的一者直接連接於該第一電晶體的該閘極，

其中，該第二電晶體的該源極和該汲極中的另一者、該第三電晶體的該源極和該汲極中的另一者、該第五電晶體的該源極和該汲極中的另一者、該第七電晶體的該源極

和該汲極中的另一者以及該第八電晶體的該源極和該汲極中的另一者直接相互連接。

11. 根據申請專利範圍第 10 項之半導體裝置，

其中，該第三電晶體的該閘極直接連接於能夠供應時鐘信號的佈線，

其中，電容器被提供於該第一電晶體的該閘極與該第一電晶體的該源極和該汲極中的該一者之間，

其中，該第一電晶體的該源極和該汲極中的該一者直接連接於像素。

12. 根據申請專利範圍第 10 或 11 項之半導體裝置，其中，電容器電連接到該第二電晶體的該閘極。

13. 一種電子設備，包括：

根據申請專利範圍第 1、2、6、7、10 及 11 項任一項之半導體裝置；以及

操作鍵、揚聲器、天線或電池。

14. 一種半導體裝置，包括：

第一電晶體、第二電晶體、第三電晶體、第四電晶體、第五電晶體、第六電晶體以及第七電晶體；

其中，該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體、該第五電晶體、該第六電晶體以及該第七電晶體之中的一者包括通道形成區，該通道形成區包括半導體，

其中，該第一電晶體的源極和汲極中的一者電連接於該第二電晶體的源極和汲極中的一者，

其中，該第一電晶體的該源極和該汲極中的該一者電連接於該第三電晶體的源極和汲極中的一者，

其中，該第四電晶體的源極和汲極中的一者電連接於該第五電晶體的源極和汲極中的一者，

其中，該第六電晶體的源極和汲極中的一者電連接於該第五電晶體的該源極和該汲極中的該一者，

其中，該第二電晶體的該源極和該汲極中的另一者電連接於該第三電晶體的該源極和該汲極中的另一者，

其中，該第四電晶體的該源極和該汲極中的另一者電連接於該第六電晶體的該源極和該汲極中的另一者，

其中，該第一電晶體的閘極電連接於該第四電晶體的該源極和該汲極中的該一者，

其中，該第二電晶體的閘極電連接於該第五電晶體的閘極，

其中，該第三電晶體的閘極電連接於該第六電晶體的閘極，

其中，該第七電晶體的源極和汲極中的一者電連接於該第二電晶體的該閘極，

其中，該第七電晶體的閘極電連接於該第一電晶體的該閘極，並且

其中，該第三電晶體的該閘極電連接於能夠供應時鐘信號的佈線。

15. 一種半導體裝置，包括：

像素；以及

驅動電路，電連接到該像素，

其中，該驅動電路包括第一電晶體、第二電晶體、第三電晶體、第四電晶體、第五電晶體、第六電晶體以及第七電晶體；

其中，該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體、該第五電晶體、該第六電晶體以及該第七電晶體之中的一者包括通道形成區，該通道形成區包括半導體，

其中，該第一電晶體的源極和汲極中的一者電連接於該第二電晶體的源極和汲極中的一者，

其中，該第一電晶體的該源極和該汲極中的該一者電連接於該第三電晶體的源極和汲極中的一者，

其中，該第四電晶體的源極和汲極中的一者電連接於該第五電晶體的源極和汲極中的一者，

其中，該第六電晶體的源極和汲極中的一者電連接於該第五電晶體的該源極和該汲極中的該一者，

其中，該第二電晶體的該源極和該汲極中的另一者電連接於該第三電晶體的該源極和該汲極中的另一者，

其中，該第四電晶體的該源極和該汲極中的另一者電連接於該第六電晶體的該源極和該汲極中的另一者，

其中，該第一電晶體的閘極電連接於該第四電晶體的該源極和該汲極中的該一者，

其中，該第二電晶體的閘極電連接於該第五電晶體的閘極，

其中，該第三電晶體的閘極電連接於該第六電晶體的閘極，

其中，該第七電晶體的源極和汲極中的一者電連接於該第二電晶體的該閘極，

其中，該第七電晶體的閘極電連接於該第一電晶體的該閘極，並且

其中，該第三電晶體的該閘極電連接於能夠供應時鐘信號的佈線。

16. 根據申請專利範圍第 14 或 15 項之半導體裝置，其中，該半導體為 InGaZnO。

17. 根據申請專利範圍第 14 或 15 項之半導體裝置，其中，該第四電晶體的閘極電連接到該第四電晶體的該源極和該汲極中的該另一者。

圖式

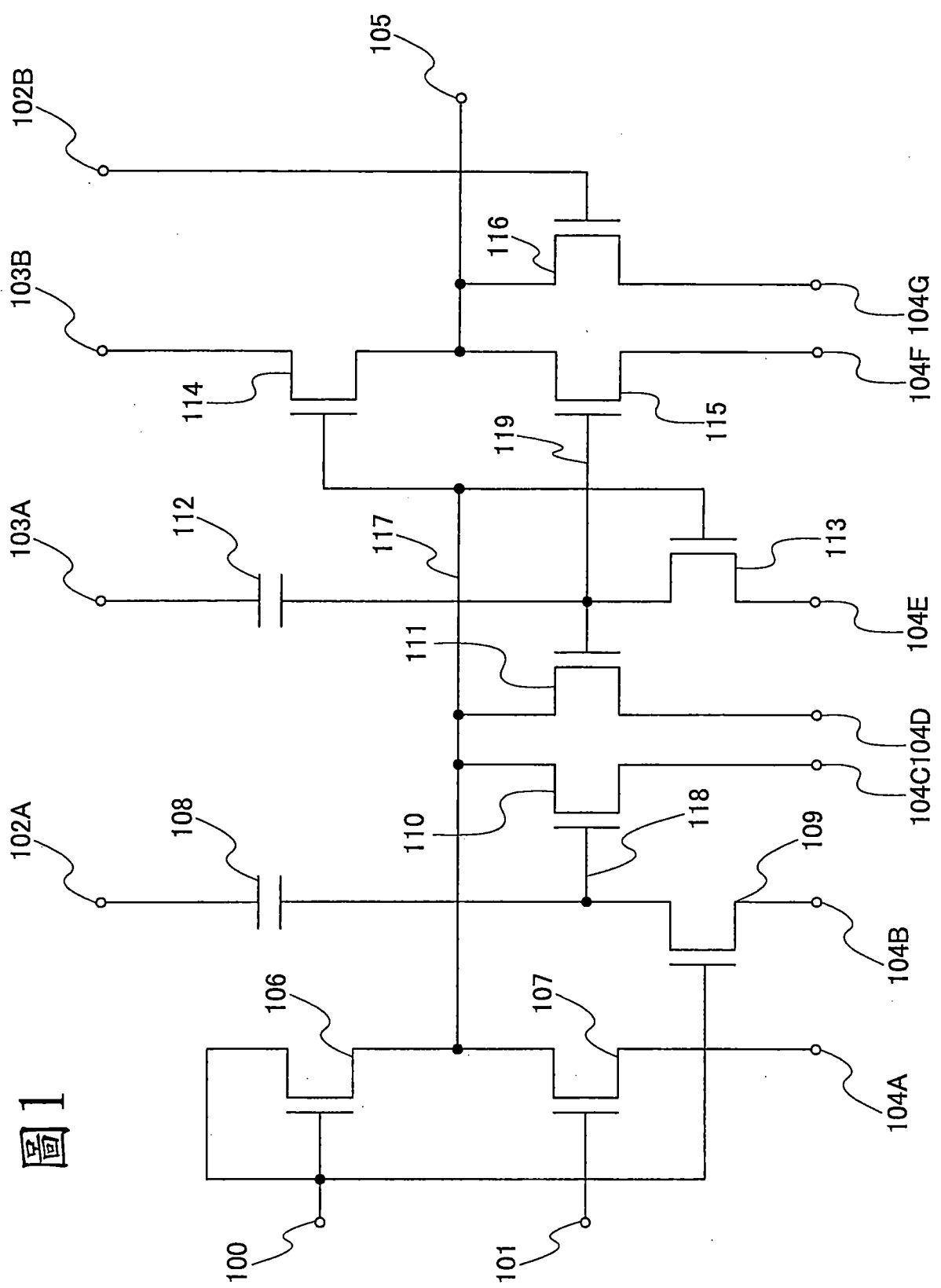


圖 1

圖2

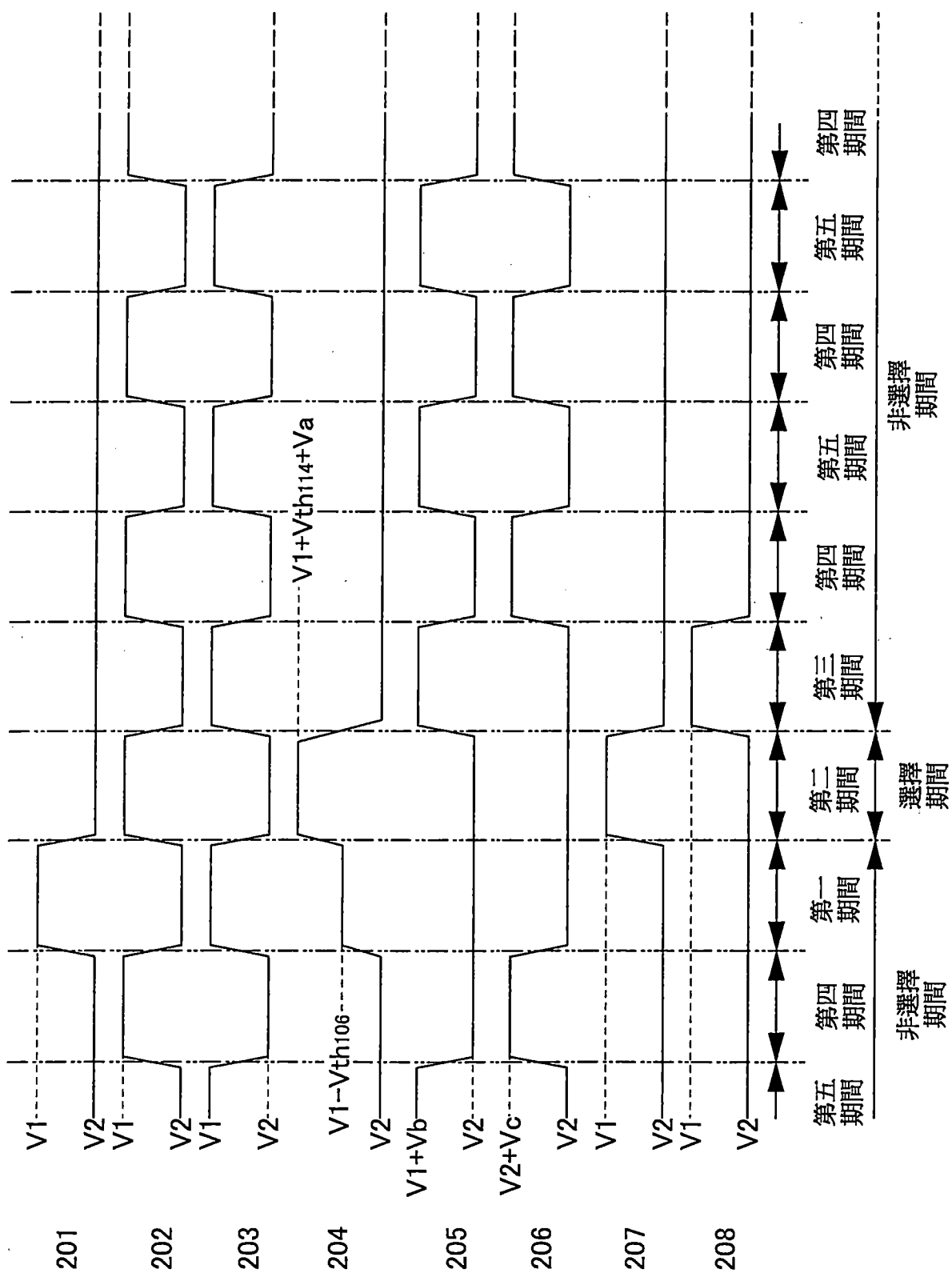


圖3

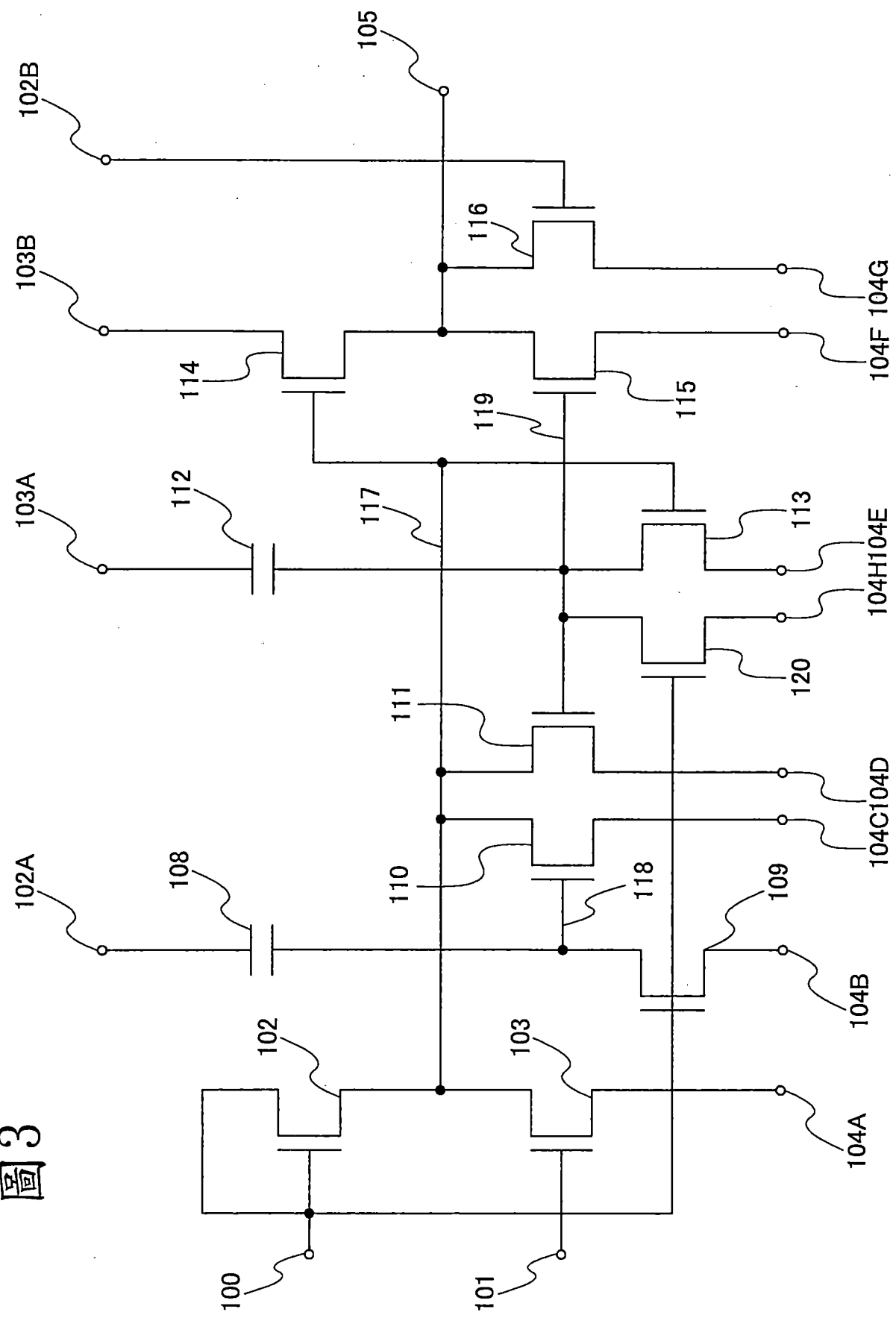


圖4

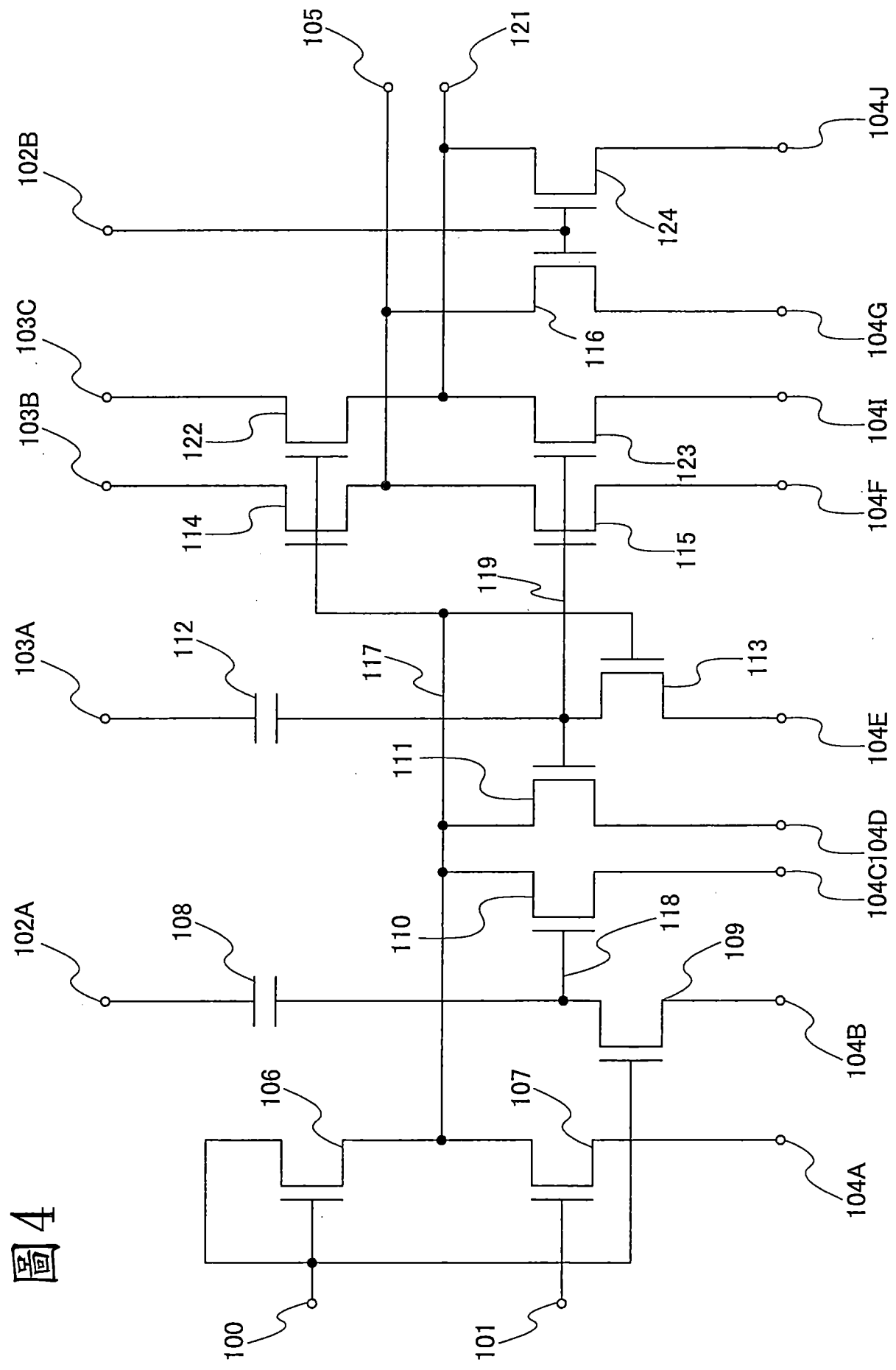


圖5

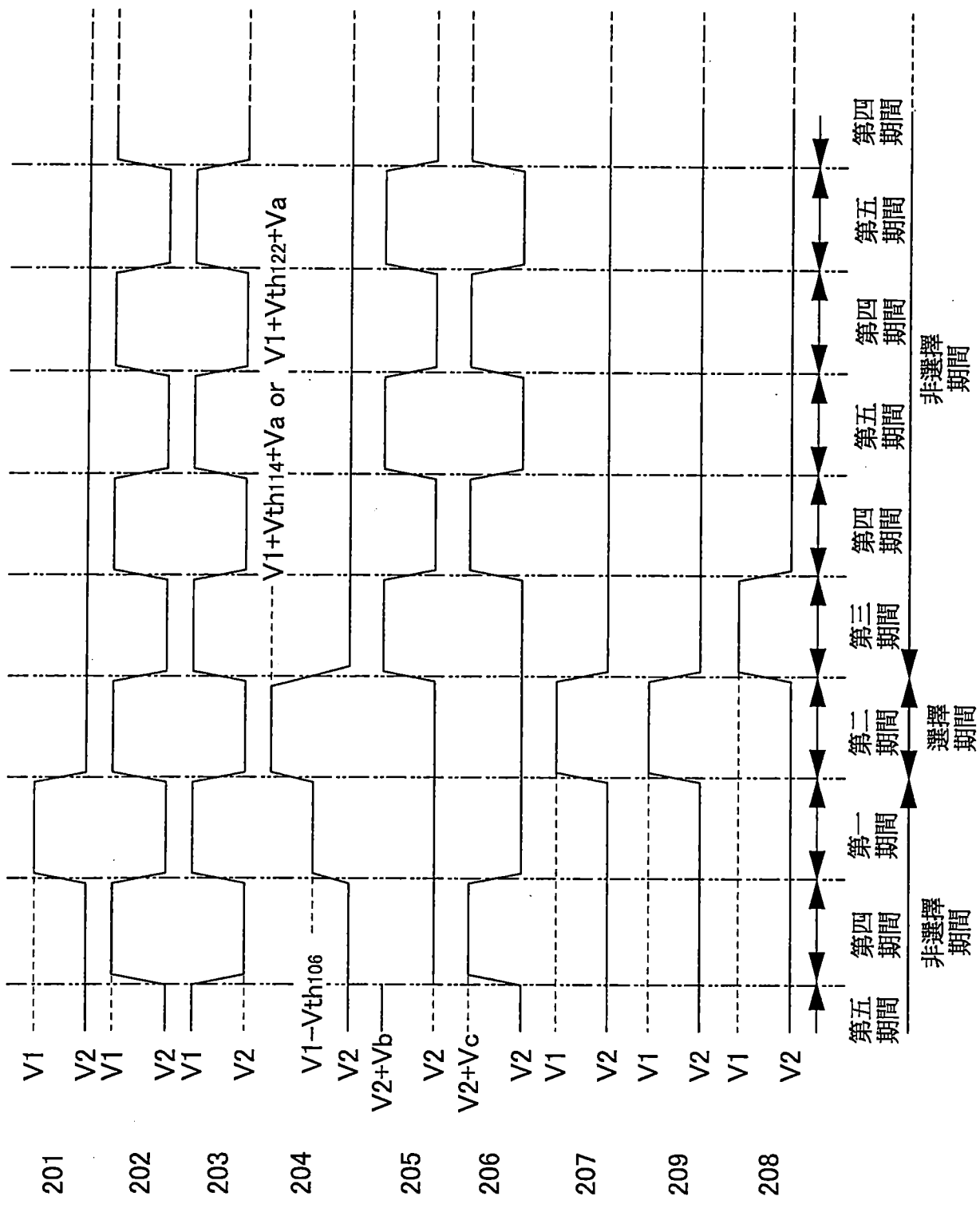


圖6

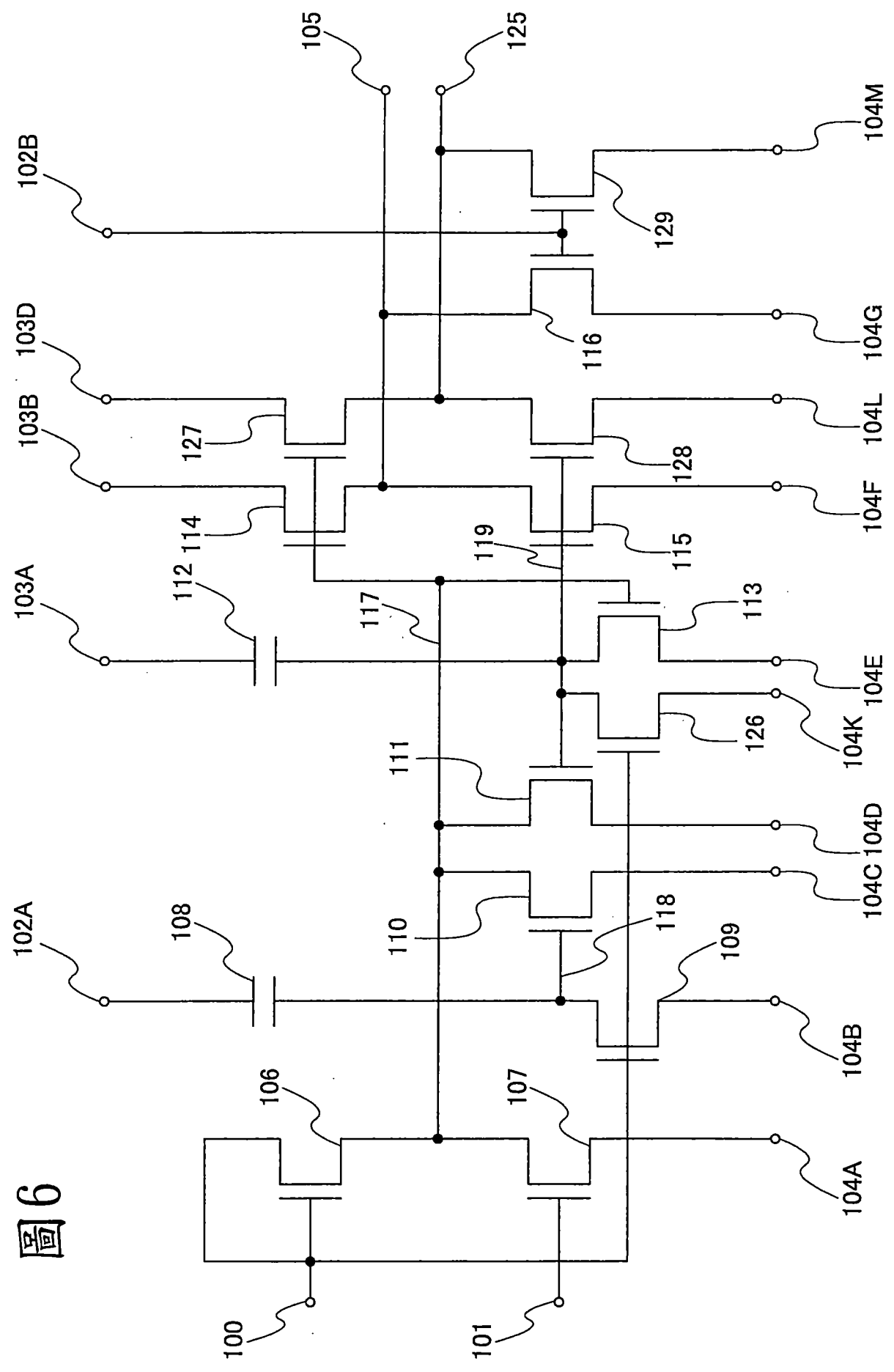
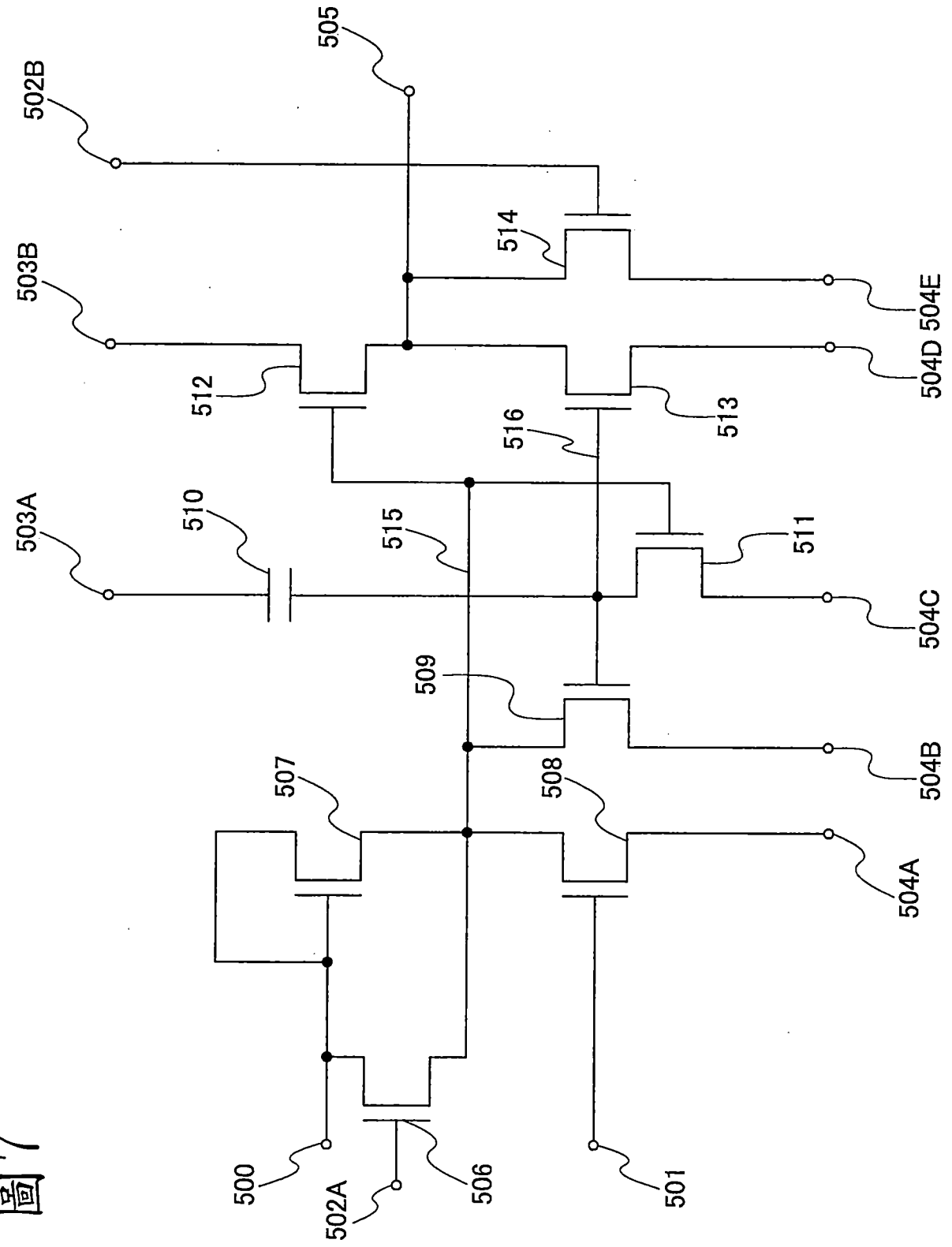


圖7



8
回

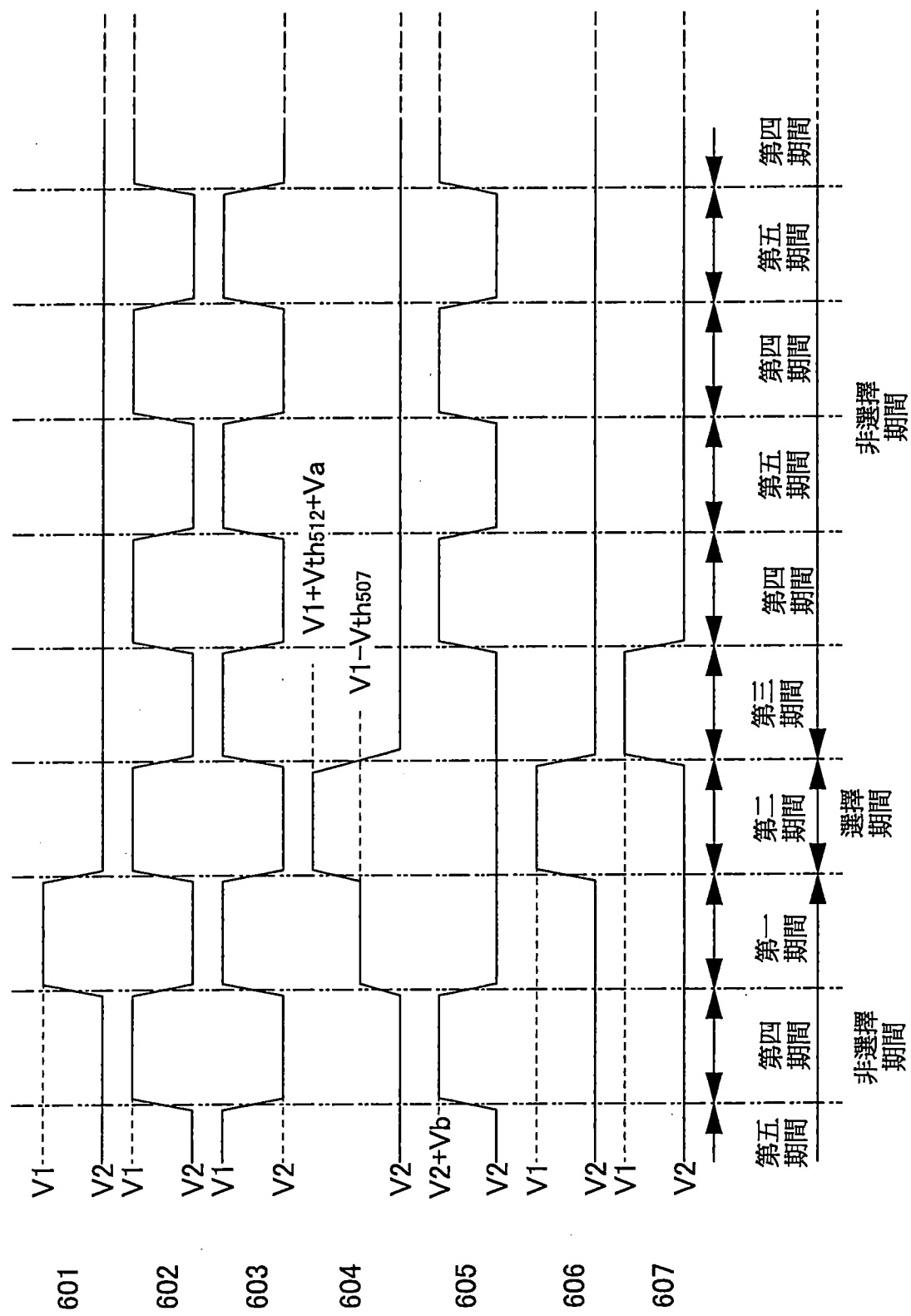


圖9

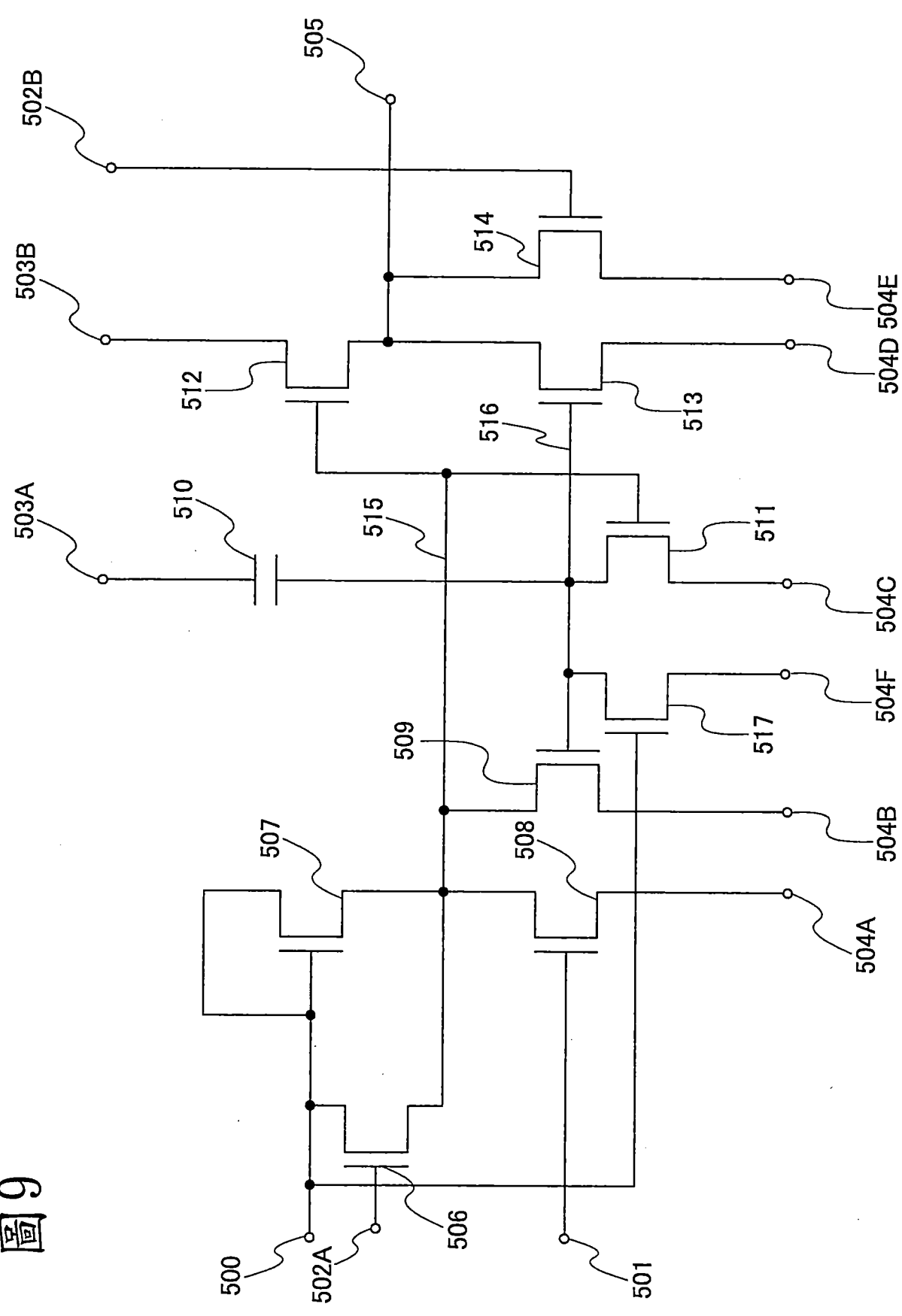


圖10

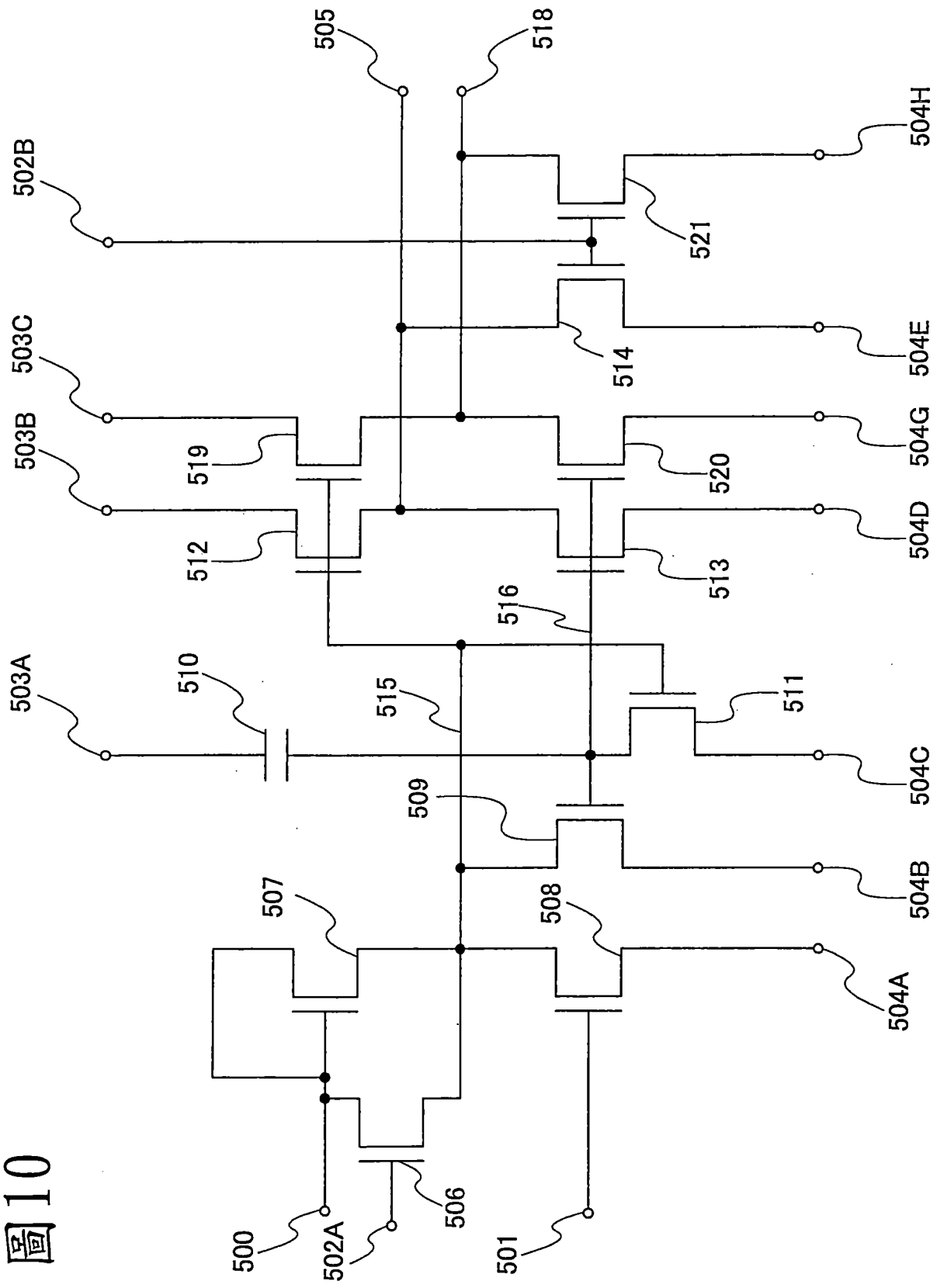


圖11

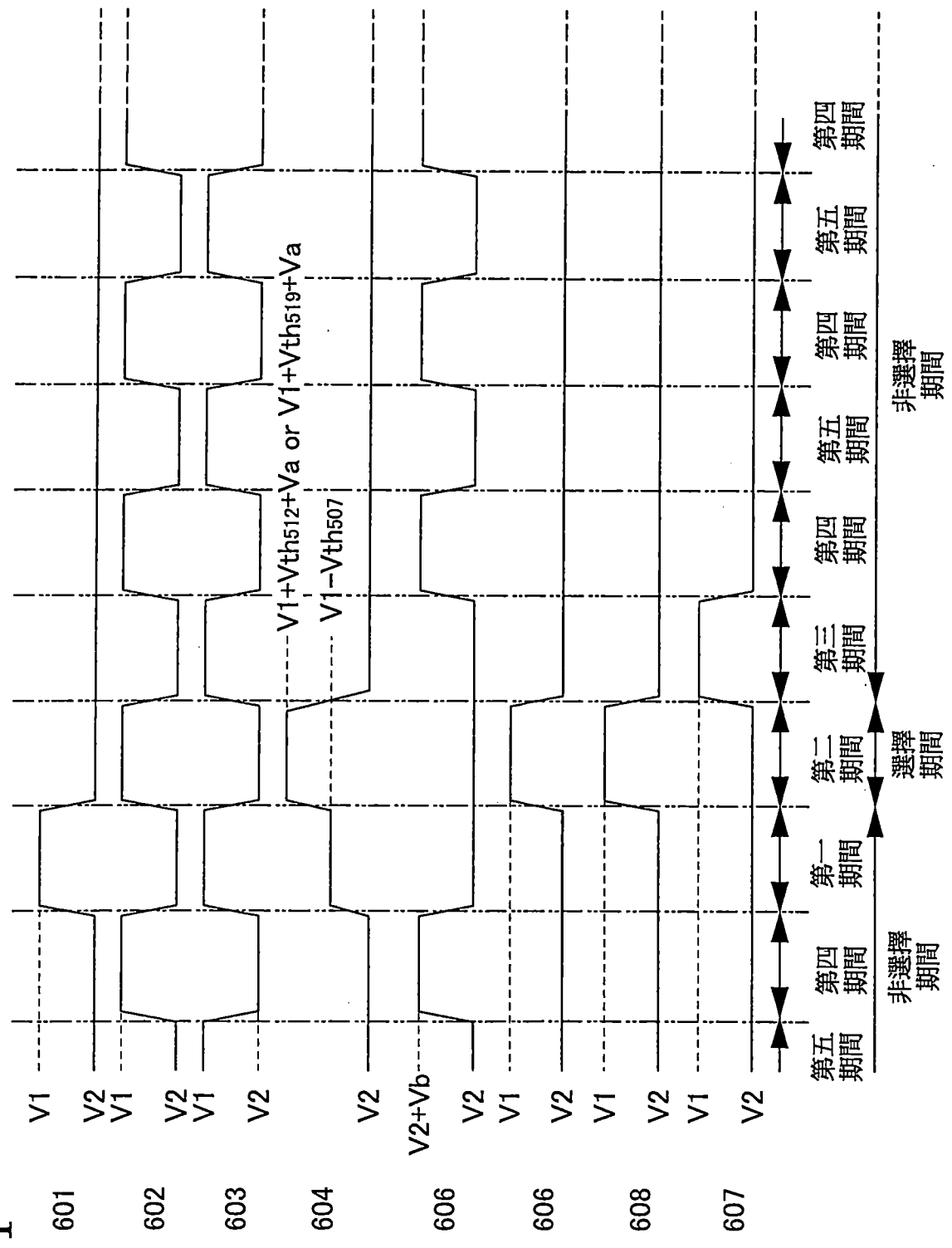


圖12

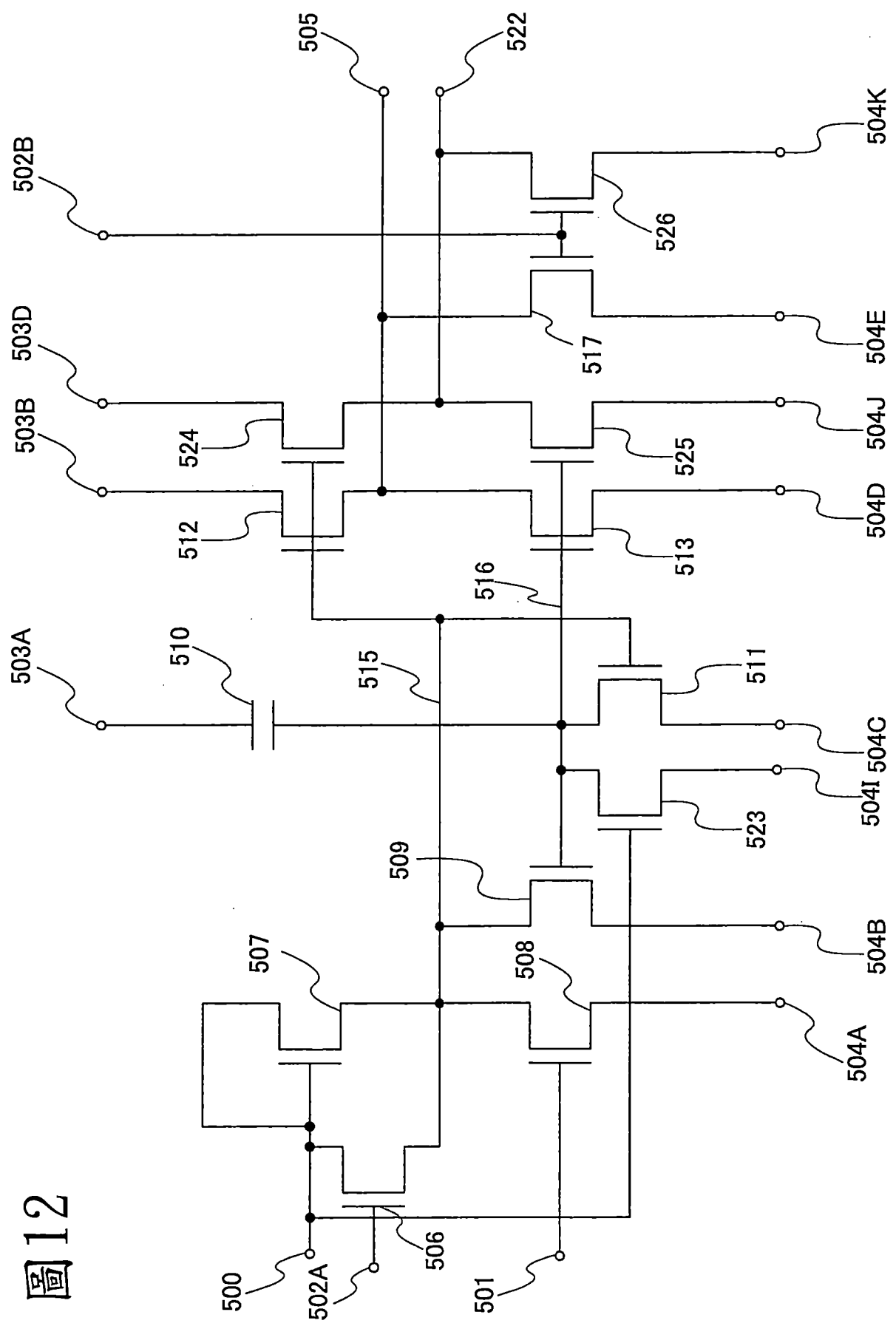


圖 13

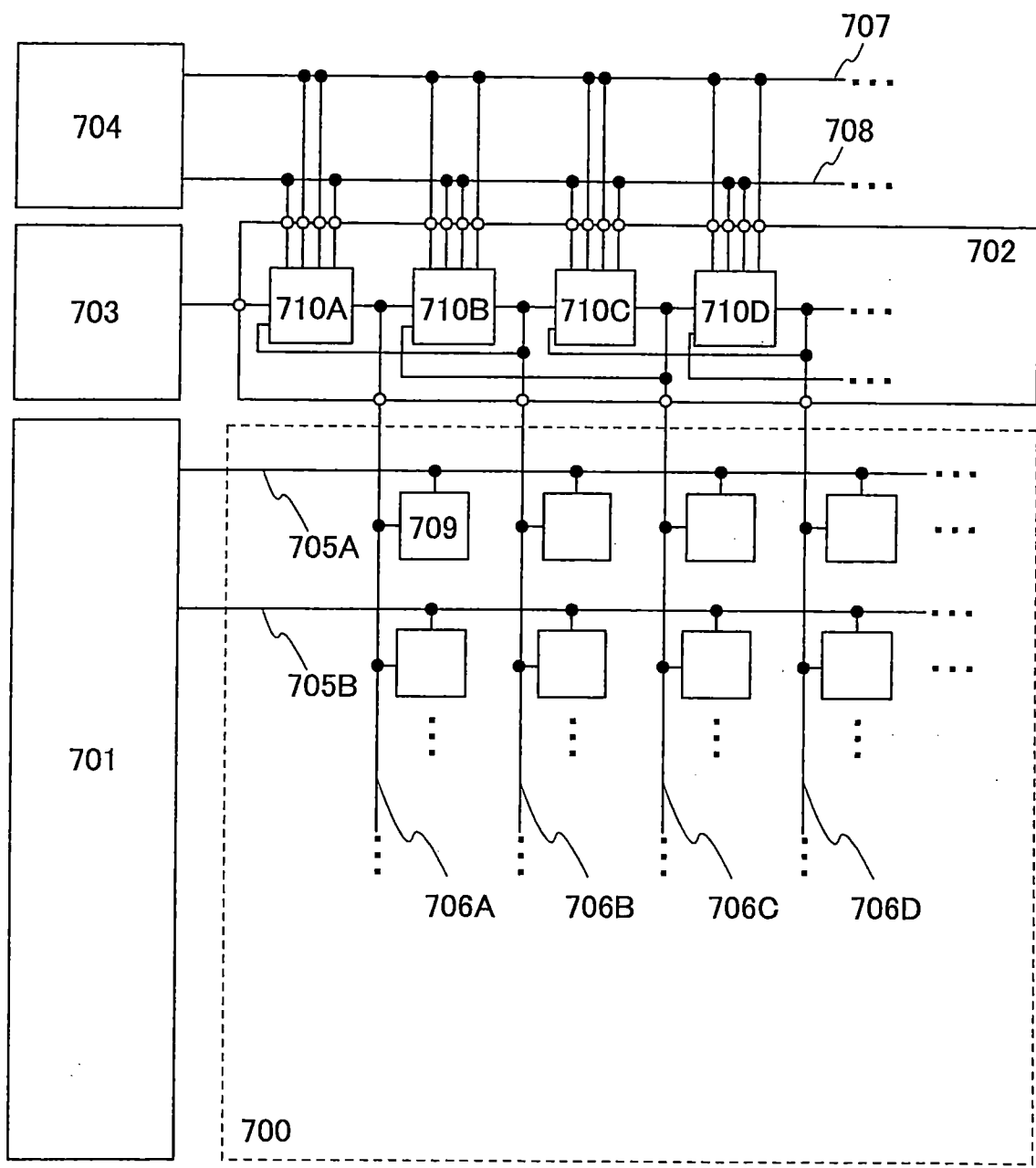


圖14

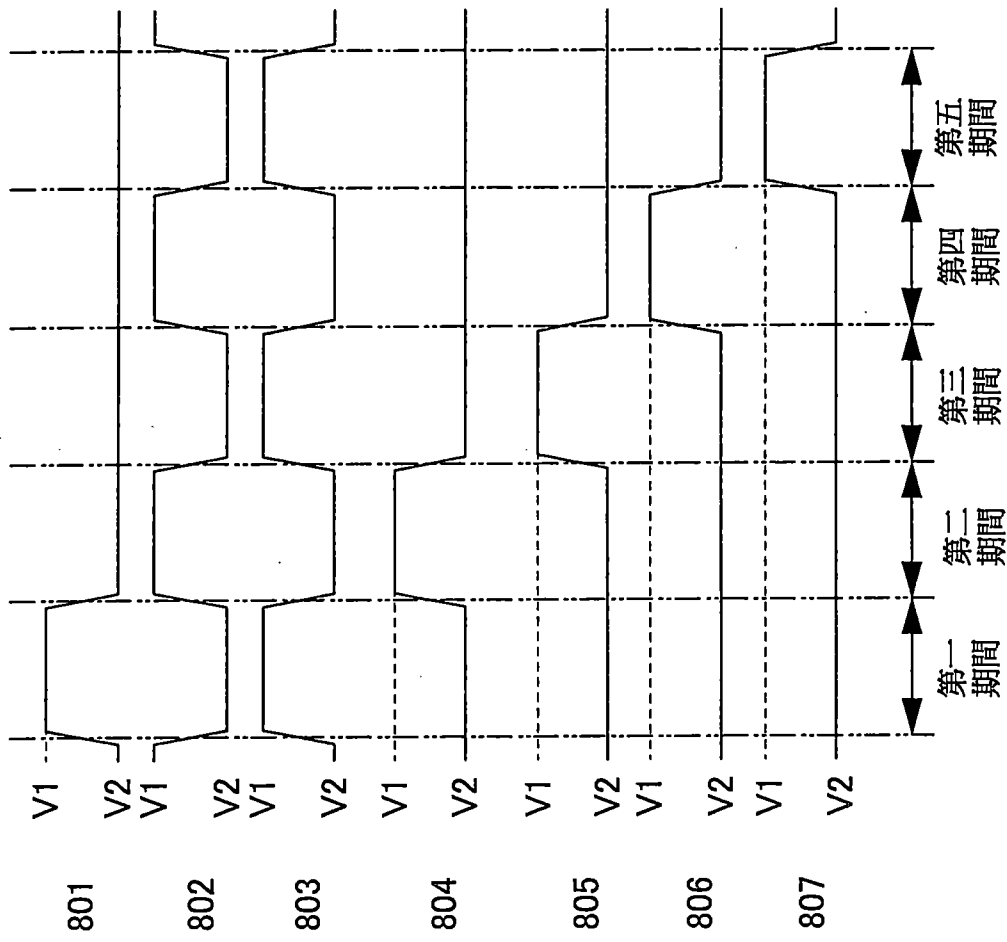


圖 15A

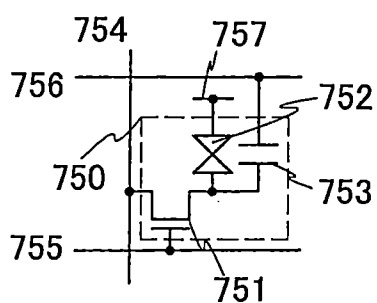


圖 15C

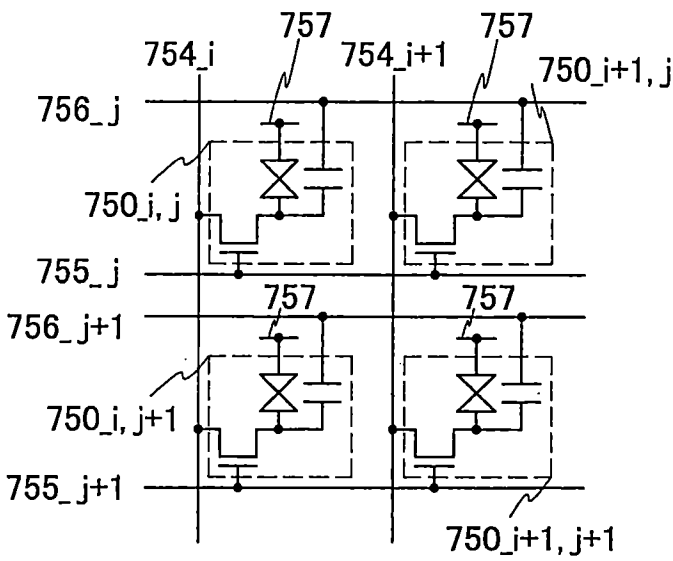


圖 15B

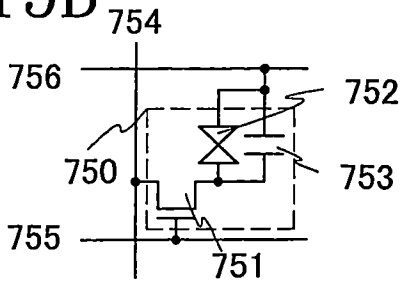


圖 15E

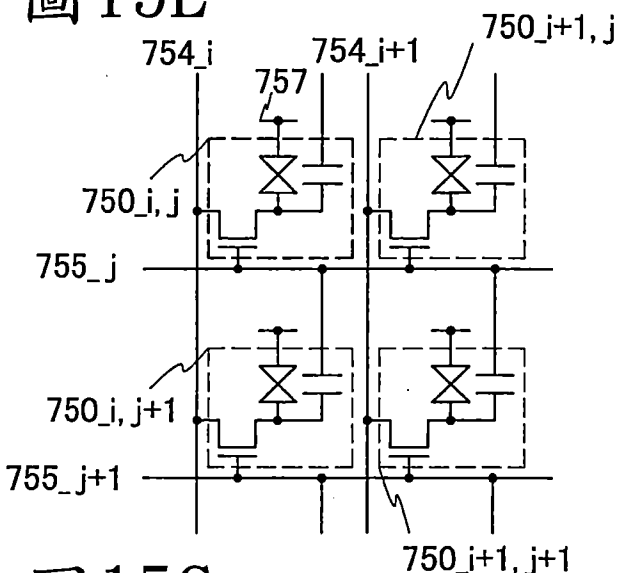


圖 15D

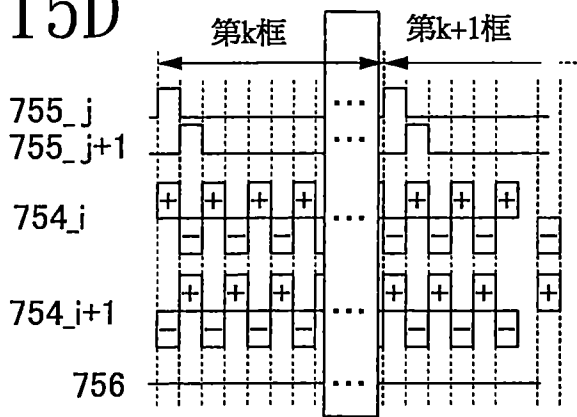


圖 15F

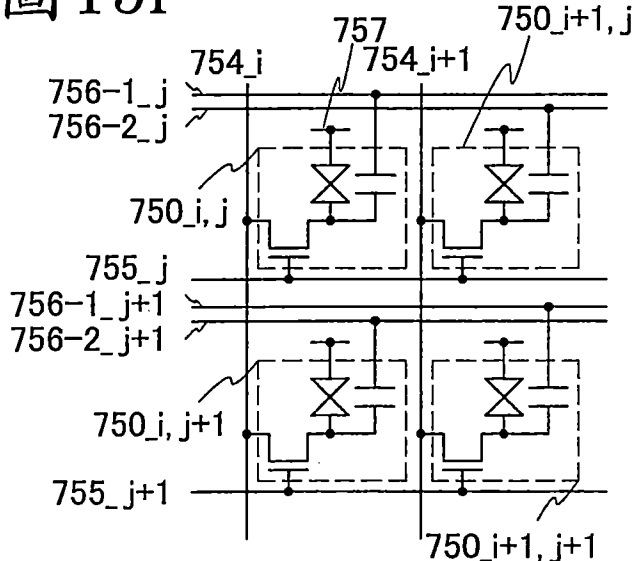


圖 15G

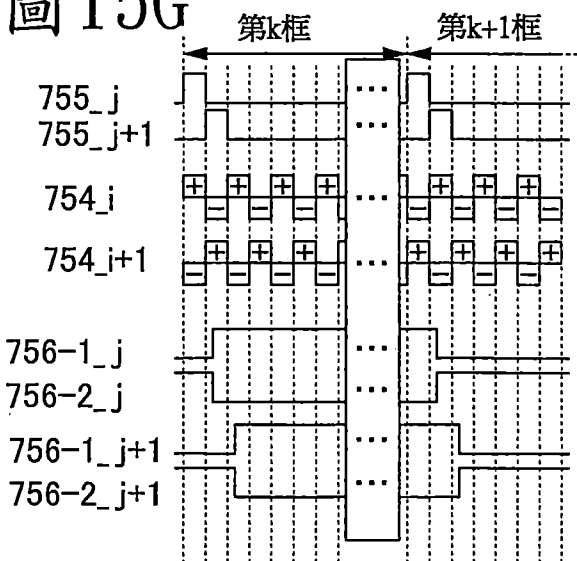


圖 16A

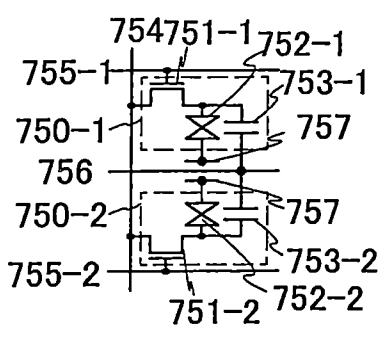


圖 16B

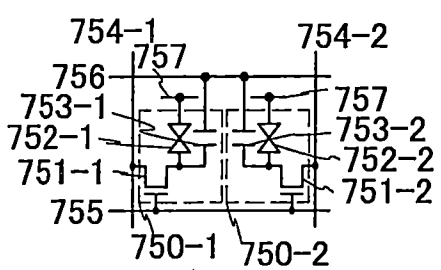


圖 16C

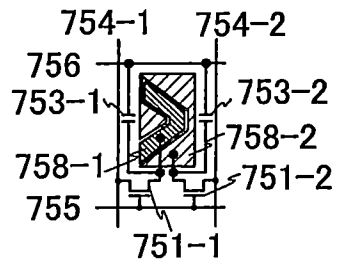


圖 16D

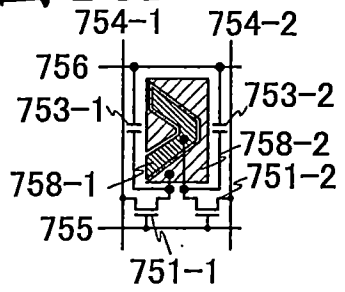


圖 16E

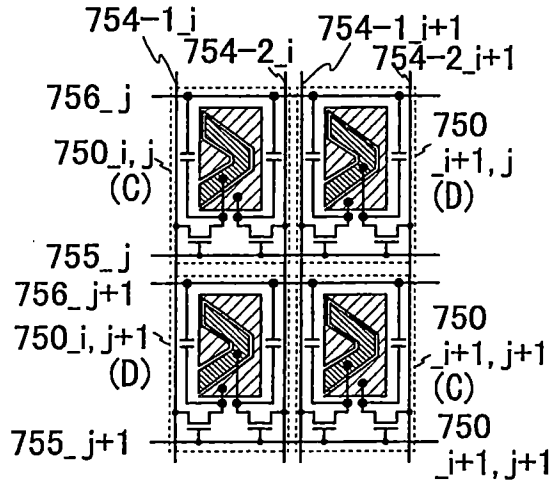


圖 16F

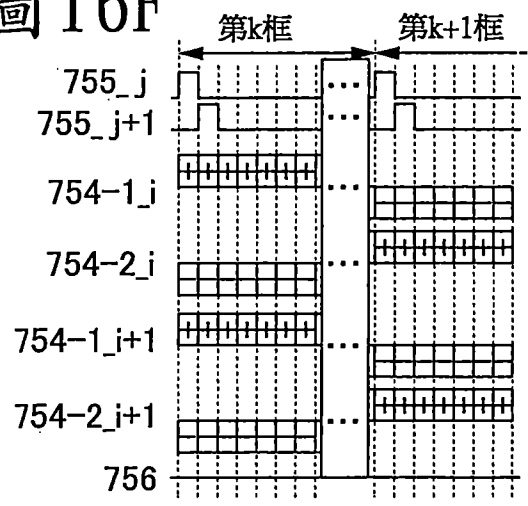


圖 16G

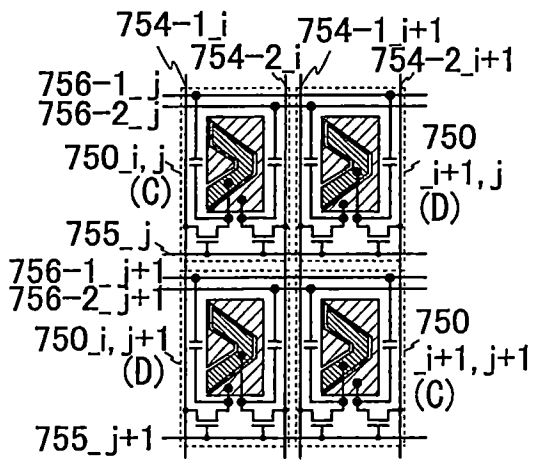


圖 16H

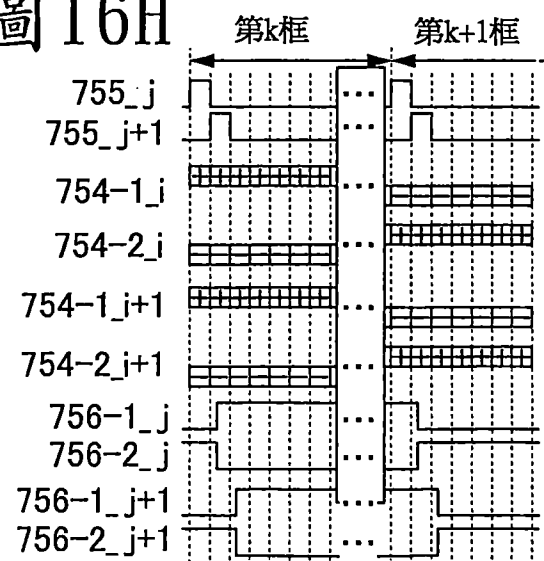


圖17A

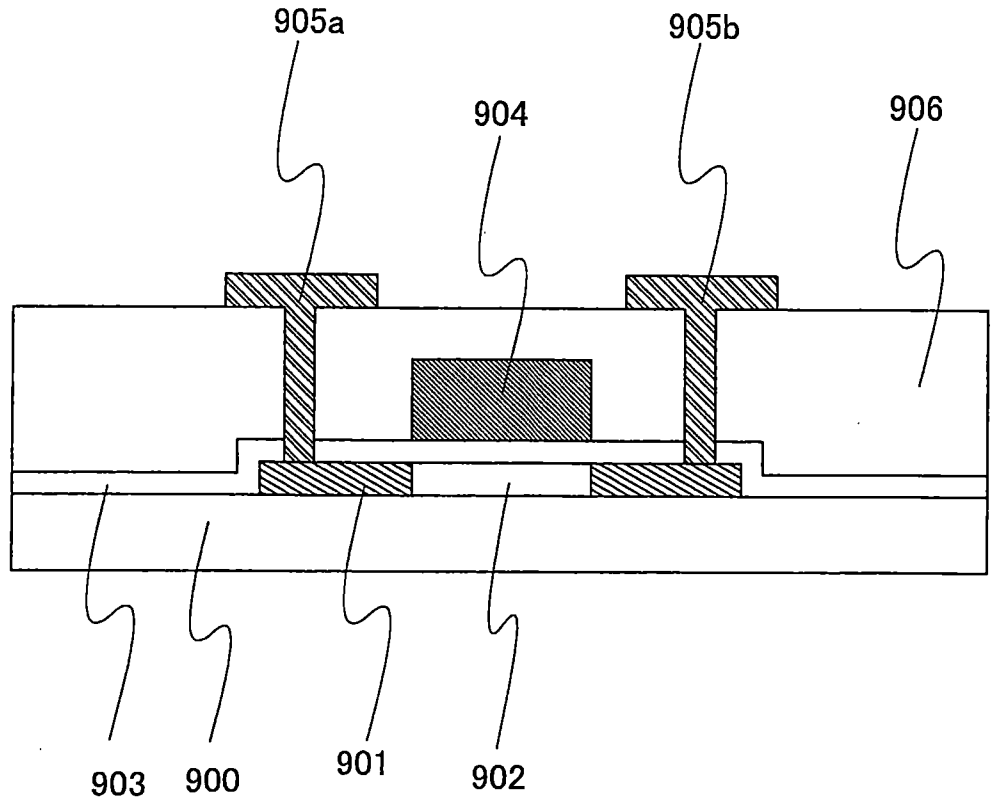


圖17B

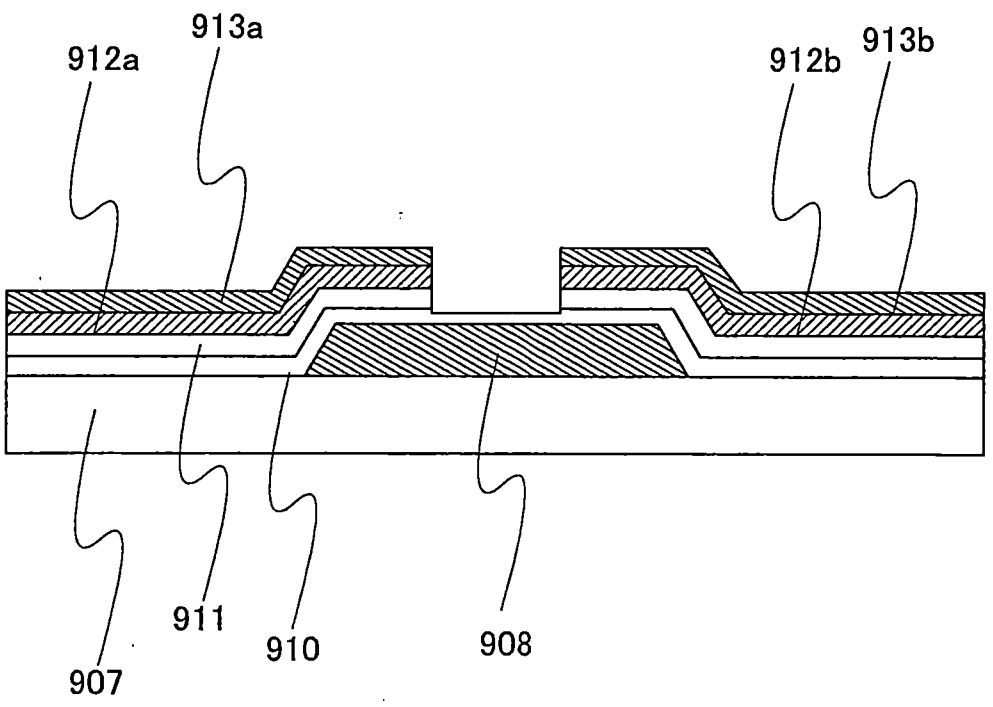


圖18

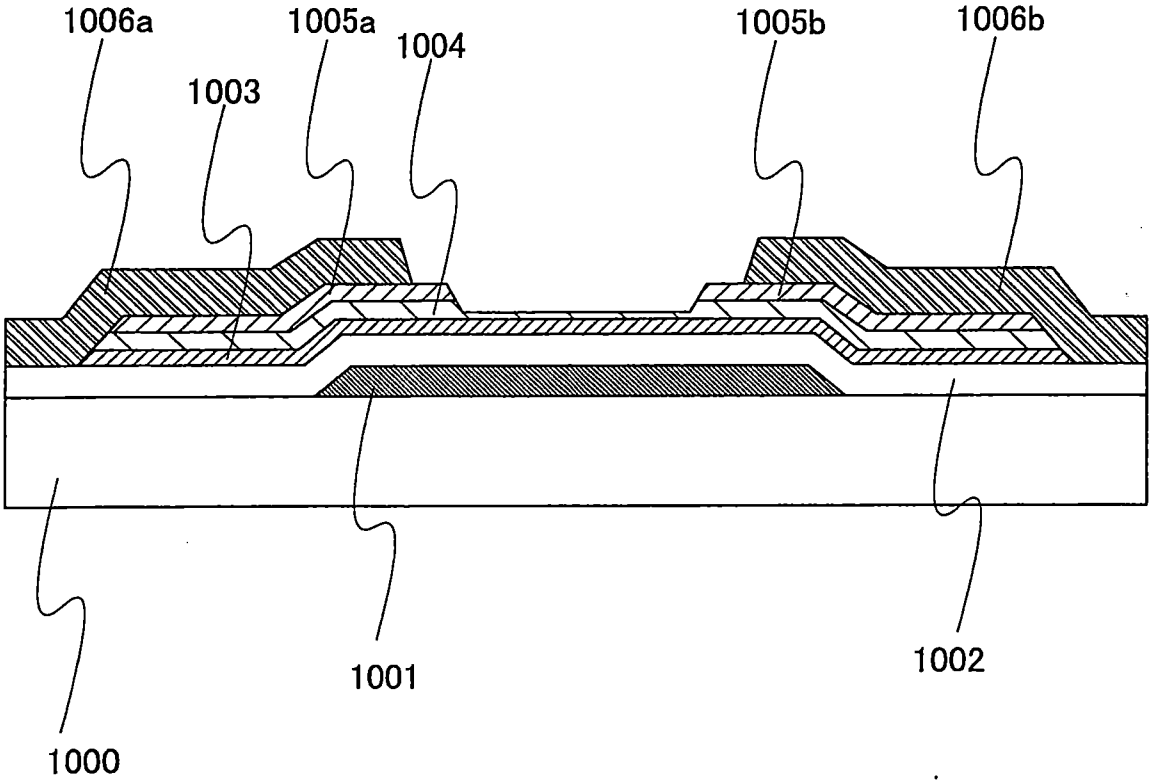


圖 19A

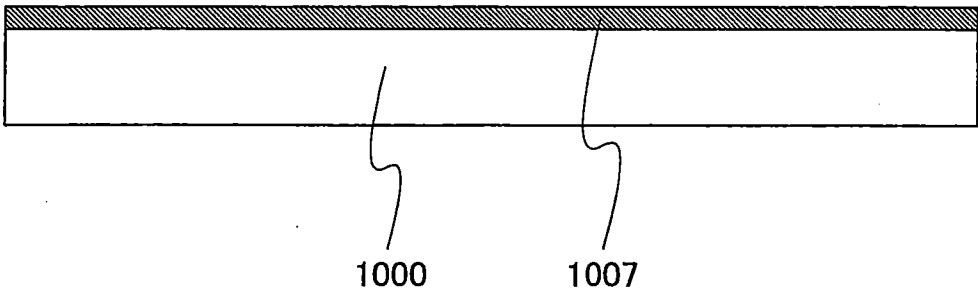


圖 19B

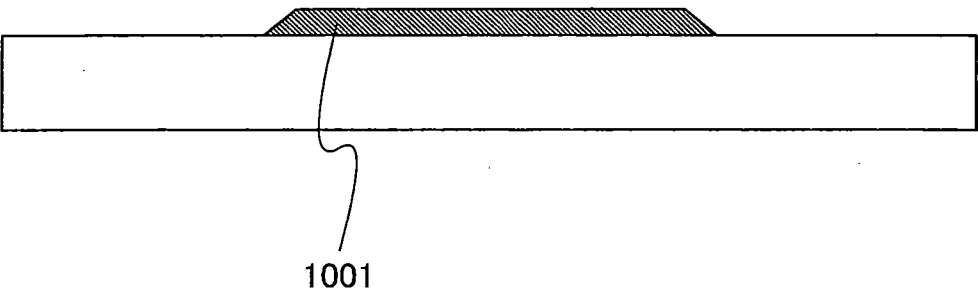


圖 19C

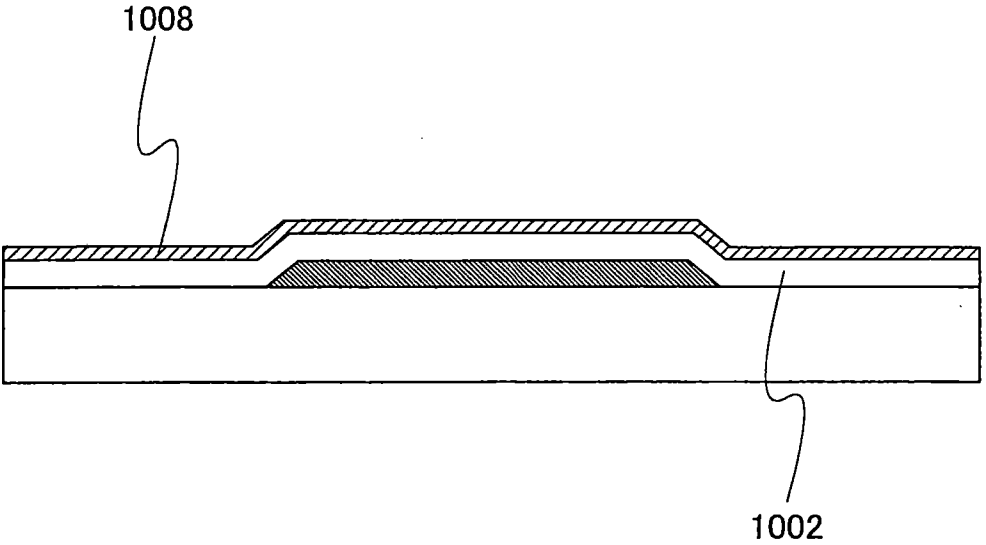


圖 20D

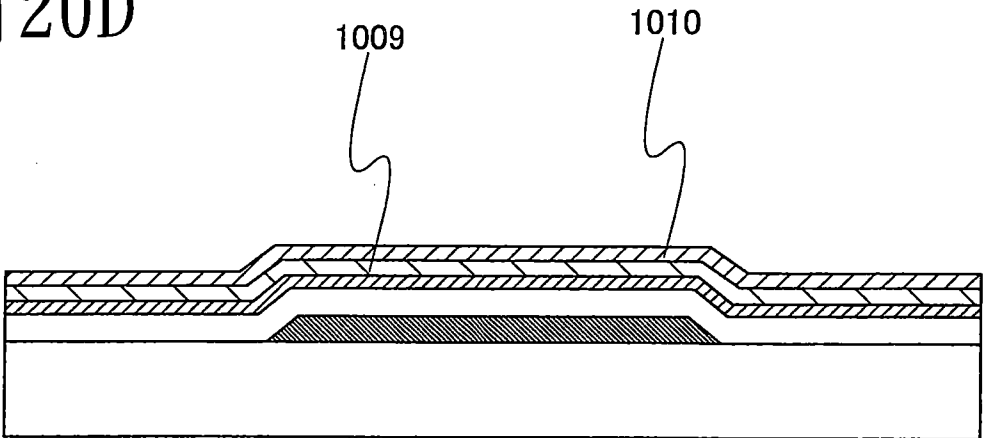


圖 20E

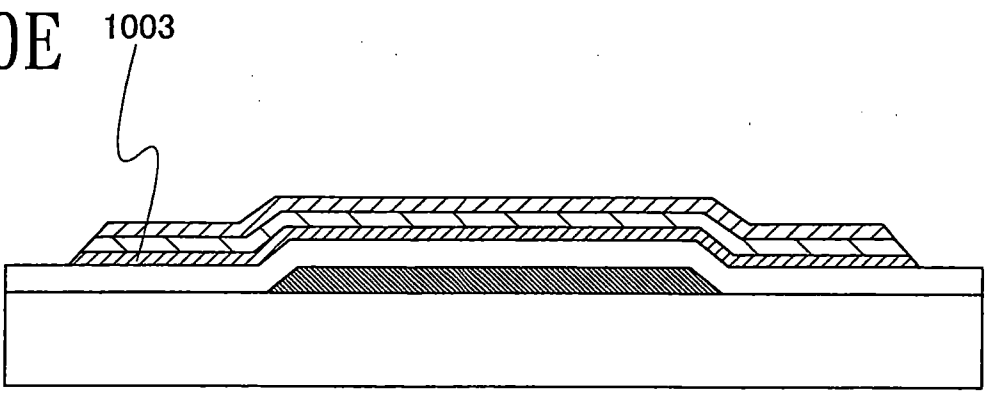


圖 20F

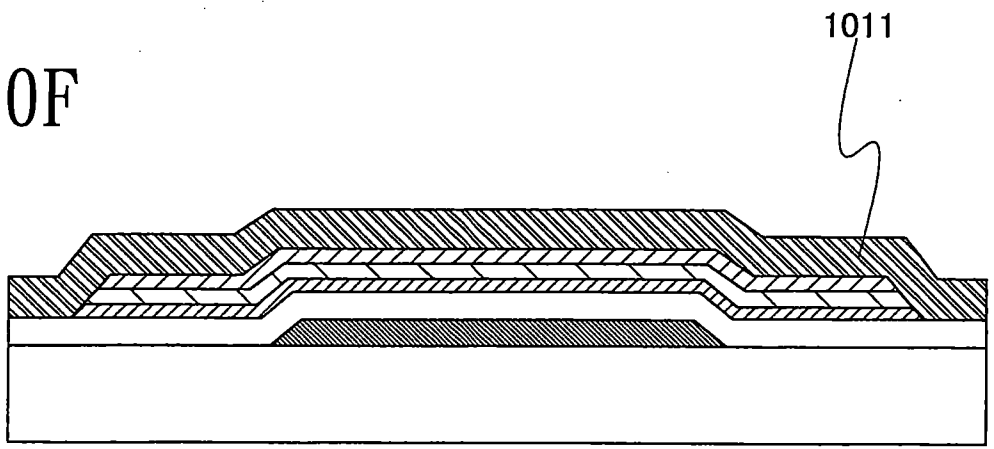


圖 21G

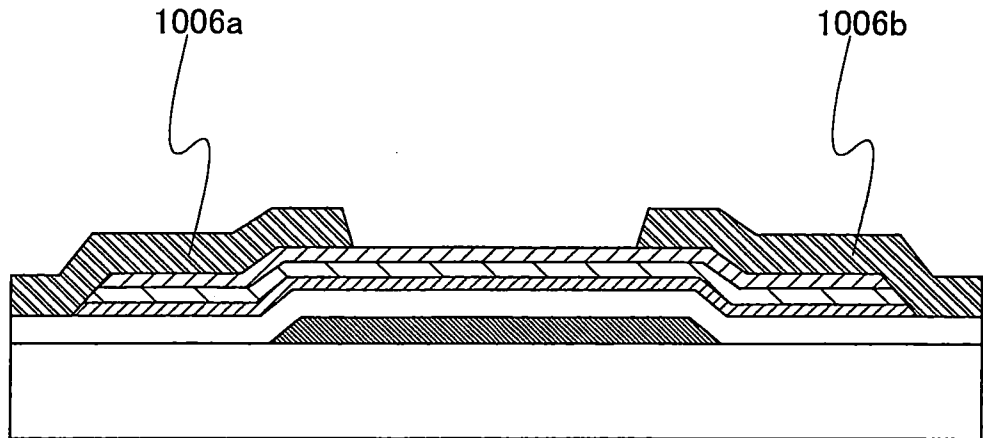


圖 21H

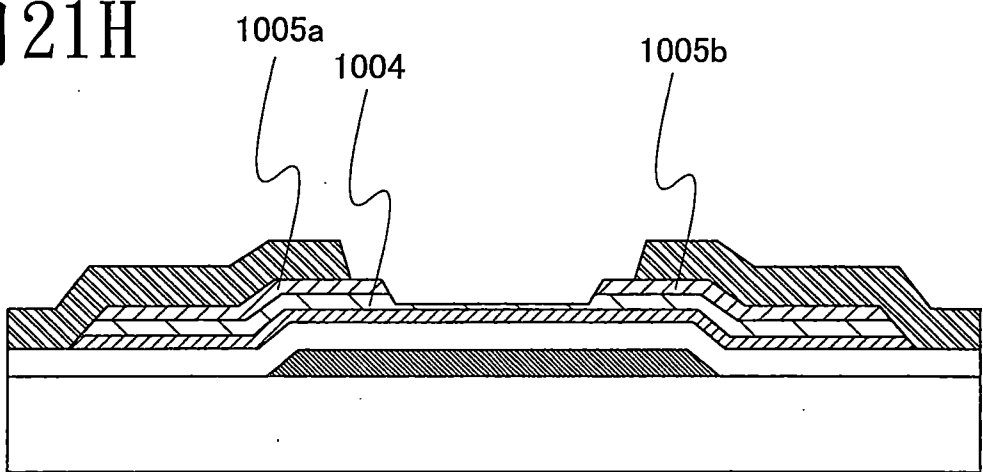


圖 22A

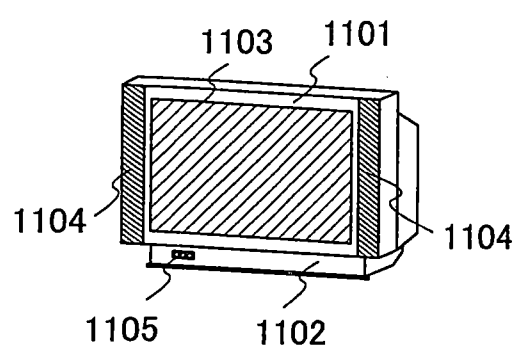


圖 22B

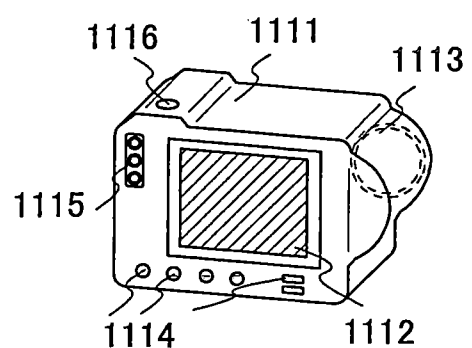


圖 22C

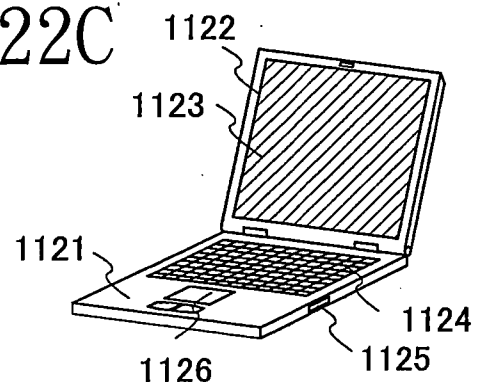


圖 22D

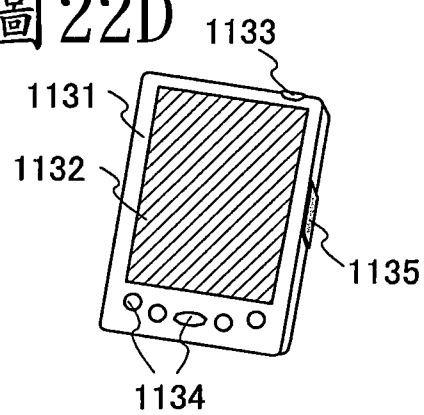


圖 22E

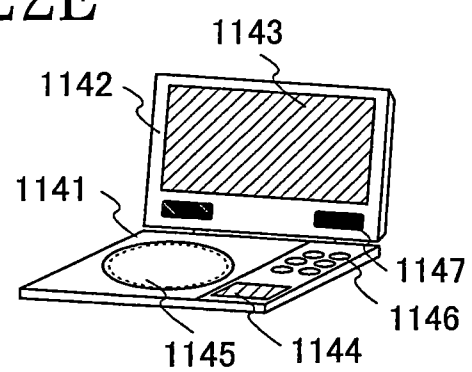


圖 22F

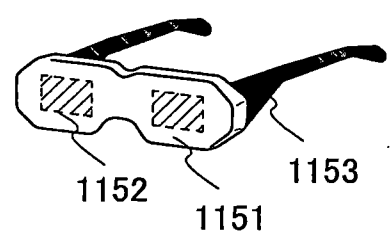


圖 22G

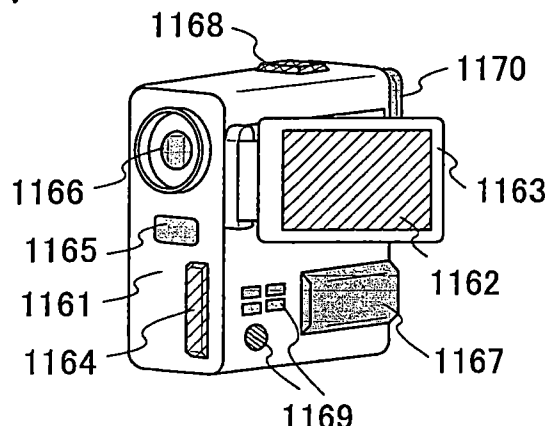


圖 22H

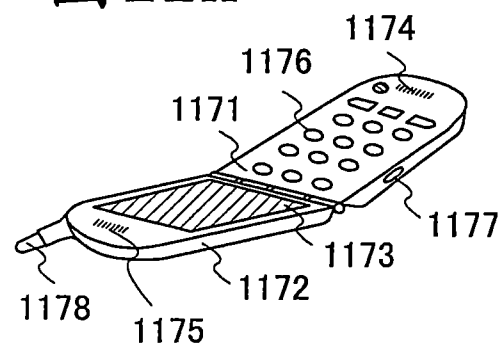


圖 23A

圖 23B

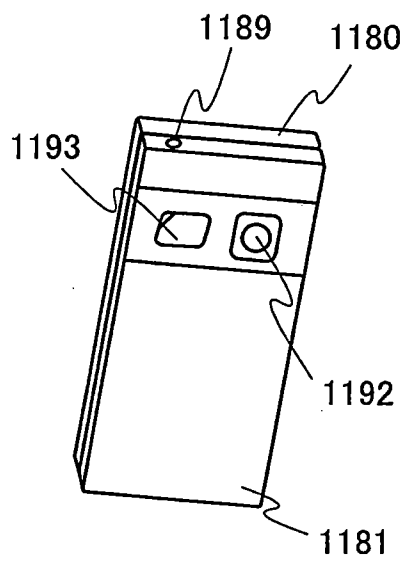
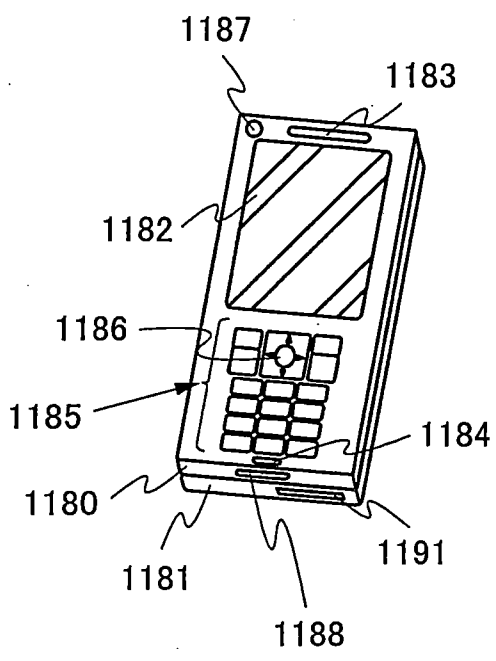


圖 23C

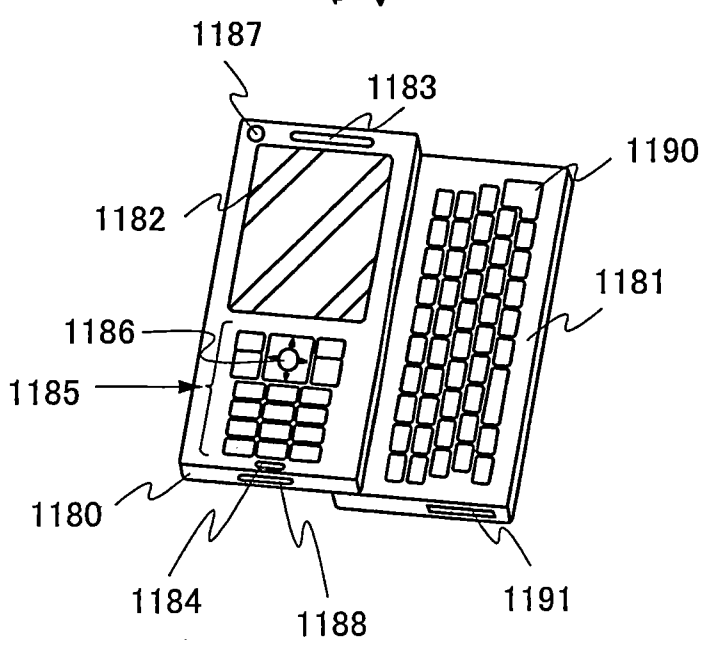


圖24

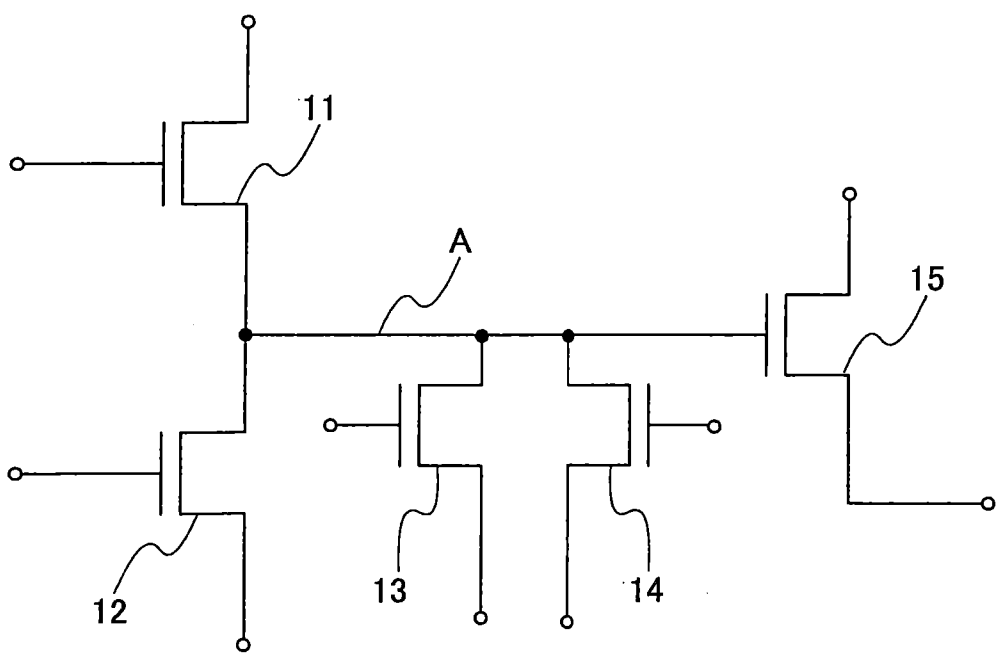


圖 25A

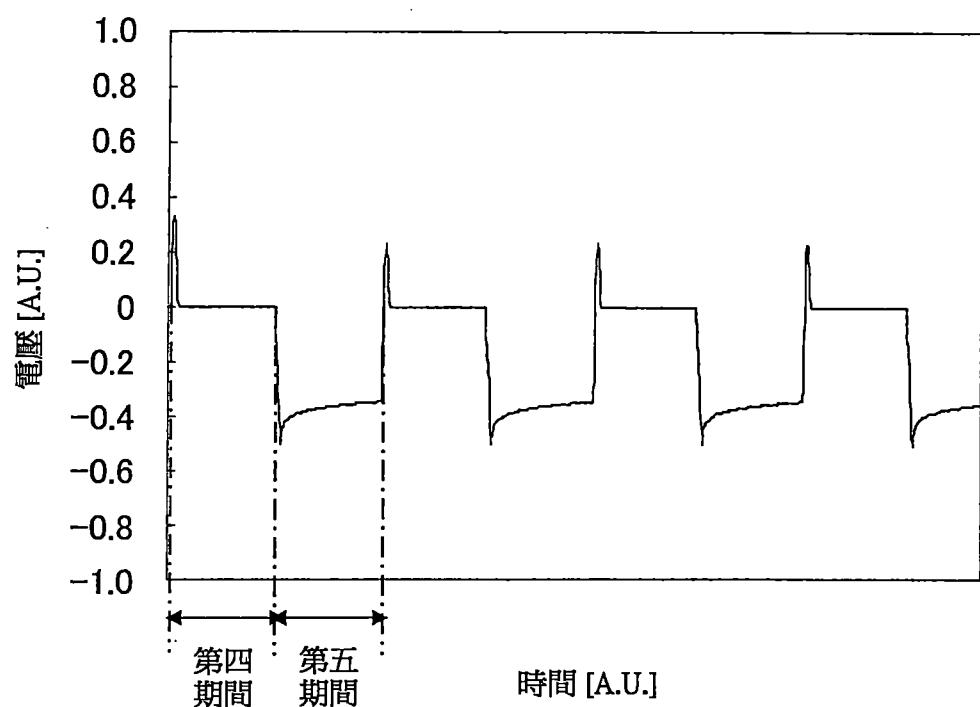


圖 25B

