(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2025 년 7 월 3 일 (03.07.2025)

WIPO | PCT

(10) 국제공개번호
WO 2025/143984 A1

(51) 국제특허분류:
H10H 29/01 (2025.01) ***H10H 20/832*** (2025.01)
H10H 20/831 (2025.01) ***H10H 20/00*** (2025.01)

(21) 국제출원번호: PCT/KR2024/096641

(22) 국제출원일: 2024 년 12 월 10 일 (10.12.2024)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2023-0196583 2023 년 12 월 29 일 (29.12.2023) KR

(71) 출원인: 고려대학교 산학협력단 (**KOREA UNIVERSITY RESEARCH AND BUSINESS FOUNDATION**) [KR/KR]; 02841 서울특별시 성북구 안암로 145 (KR).

(72) 발명자: 이인환 (**LEE, In Hwan**); 02804 서울특별시 성북구 종암로23길 35, 205동 1403호 (KR). 손호기 (**SON, Ho Ki**); 05754 서울특별시 송파구 성내천로 194-1, 1 (KR).

(74) 대리인: 김연권 (**KIM, Youn Gwon**); 05854 서울특별시 송파구 송파대로 201 B동 1416호 (KR).

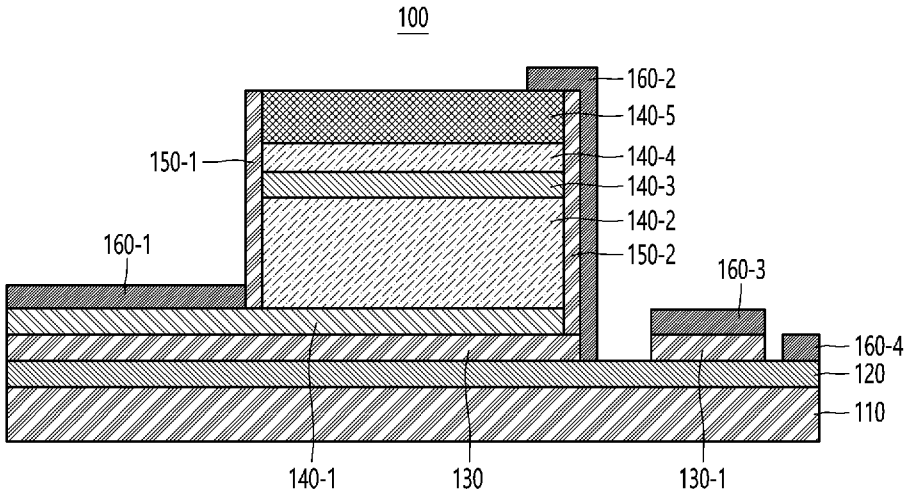
(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ,

WO 2025/143984 A1

(54) **Title:** LIGHT-EMITTING DEVICE-THIN FILM TRANSISTOR INTEGRATION STRUCTURE AND MANUFACTURING METHOD THEREFOR

(54) **발명의 명칭:** 발광 소자 - 박막트랜지스터 인테그레이션 구조체 및 그 제조방법



(57) **Abstract:** The present invention relates to a light-emitting device-thin film transistor integration structure and a manufacturing method therefor. The integration structure according to an embodiment includes: a substrate; a channel layer of a thin film transistor, which is formed on the substrate; an intermediate insulating layer formed on a first region of the channel layer; a light-emitting device formed on the intermediate insulating layer and including a lower electrode layer protruding by a preset length; a wiring layer formed on the protruding region of the lower electrode layer; and a gate insulator, a gate electrode, a first electrode, and a second electrode of the thin film transistor, which are formed on a second region of the channel layer, wherein the wiring layer, the gate electrode, the first electrode, and the second electrode may be simultaneously formed through a single wiring process and patterning process.

(57) **요약서:** 본 발명은 발광 소자 - 박막트랜지스터 인테그레이션 구조체 및 그 제조방법에 관한 것으로서, 일 실시예에 따른 인테그레이션 구조체는 기판과, 기판 상부에 형성된 박막 트랜지스터의 채널층과, 채널층의 제1 영역 상부에 형성된 중간 절연층과, 중간 절연층의 상부에 형성되고 기 설정된 길이만큼 돌출된 하부 전극층을 구비하는 발광 소자와, 하부 전극층의 돌출된 영역에 형성된 배선층 및 채널층의 제2 영역 상부에 형성된 박막 트랜지스터의 게이트 절연체, 게이트 전극, 제1 전극 및 제2 전극을 포함하고, 여기서 배선층, 게이트 전극, 제1 전극 및 제2 전극은 단일 배선 공정 및 패터닝 공정을 통해 동시에 형성될 수 있다.

[다음 쪽 계속]

UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

발명의 설명

발명의 명칭: 발광 소자 - 박막트랜지스터 인테그레이션 구조체 및 그 제조방법

기술분야

[1] 본 발명은 발광 소자와 박막트랜지스터의 인테그레이션 구조체에 관한 것으로, 보다 상세하게는 간소화된 제조공정으로 인테그레이션 구조체를 구현하는 기술적 사상에 관한 것이다.

배경기술

[2] 기존 발광소자와 박막 트랜지스터의 인테그레이션 구조체는 발광소자로부터 출력되는 광이 박막 트랜지스터로 유입되는 것을 방지하기 위해 광 차단 구조체(light shielding wall)를 형성하는 추가적인 공정을 적용하고 있다.

[3] 즉, 기존에는 인테그레이션 구조체를 구현하기 위해 많은 공정이 적용되고 있어, 이에 따라 생산성 향상 및 마진 개선을 위해 인테그레이션 구조체의 제조공정을 간소화하기 위한 노력이 지속되고 있다.

발명의 내용

기술적 과제

[4] 본 발명은 하부 전극층 상에 발광 소자 구조를 고품질로 증착할 수 있는 인테그레이션 구조체 및 그 제조방법을 제공하고자 한다.

[5] 또한, 본 발명은 배선층 및 복수의 전극을 단일 공정 및 패터닝 공정을 통해 동시에 형성할 수 있는 인테그레이션 구조체 및 그 제조방법을 제공하고자 한다.

[6] 또한, 본 발명은 단일 챔버 내에서 복수의 층을 한번에 증착한 후 식각하여 보다 용이하게 발광 소자를 형성할 수 있는 인테그레이션 구조체 및 그 제조방법을 제공하고자 한다.

[7] 또한, 본 발명은 발광 소자의 반도체 박막을 증착하는 과정에서 추가적인 에너지를 공급하여 저온에서 고품질의 반도체 박막을 형성할 수 있는 인테그레이션 구조체 및 그 제조방법을 제공하고자 한다.

[8] 또한, 본 발명은 제조공정 간소화를 통해 생산성을 향상시킬 수 있는 인테그레이션 구조체 및 그 제조방법을 제공하고자 한다.

과제 해결 수단

[9] 본 발명의 일 실시예에 따른 인테그레이션 구조체는 기판과, 기판 상부에 형성된 박막 트랜지스터의 채널층과, 채널층의 제1 영역 상부에 형성된 중간 절연층과, 중간 절연층의 상부에 형성되고 기 설정된 길이만큼 돌출된 하부 전극층을 구비하는 발광 소자와, 하부 전극층의 돌출된 영역에 형성된 배선층 및 채널층의 제2 영역 상부에 형성된 박막 트랜지스터의 게이트 절연체, 게이트 전극, 제1 전극 및 제2 전극을 포함하고, 여기서 배선층, 게이트 전극, 제1 전극 및 제2 전극은 단일 배선 공정 및 패터닝 공정을 통해 동시에 형성될 수 있다.

[10] 일측에 따르면, 하부 전극층은 반사도가 높은 금속 물질을 포함하는 반사층일 수 있다.

[11] 일측에 따르면, 발광 소자의 반도체 박막은 물리적 증착 방식 및 화학적 증착 방식 중 적어도 하나의 방식에 기반하는 증착과정에서, 이온빔, 전자빔, 플라즈마, 자외선, 레이저, LED광 중 적어도 하나에 기반하는 추가적인 에너지가 공급되어 형성될 수 있다.

[12] 일측에 따르면, 인테그레이션 구조체는 하부 전극층 상부에서 발광 소자의 제1 측면에 형성된 제1 격벽 및 채널층 상부에서 발광 소자의 제2 측면에 형성된 제2 격벽을 더 포함할 수 있다.

[13] 일측에 따르면, 제1 전극은 채널층 상부에서 제2 격벽과 인접하여 형성되며, 발광 소자에 구비된 상부 전극층과 전기적으로 연결될 수 있다.

[14] 일측에 따르면, 발광 소자는 하부 전극층, n형 반도체층, 활성층, p형 반도체층 및 상부 전극층을 포함할 수 있다.

[15] 일측에 따르면, 기판은 유리 기판, 스테인리스 스틸 기판, 고분자 기판, 사파이어 기판, 실리콘(Si) 기판 및 실리콘 카바이드(SiC) 기판 중 적어도 하나를 포함할 수 있다.

[16] 본 발명의 일 실시예에 따른 인테그레이션 구조체의 제조방법은 기판 상에 박막 트랜지스터의 채널층, 중간 절연층 및 하부 전극층을 구비하는 발광 소자층을 순차적으로 형성하는 단계와, 발광 소자층 중 하부 전극층을 제외한 나머지 층을 식각하여 발광 소자를 형성하는 단계와, 채널층의 제2 영역에 형성된 하부 전극층을 식각하는 단계와, 발광 소자의 측면에 복수의 격벽을 형성하고, 채널층의 제2 영역 상부에 형성된 중간 절연층을 식각하여 게이트 절연체를 형성하는 단계 및 채널층의 제1 영역에 형성된 하부 전극층에서 발광 소자로부터 기 설정된 길이만큼 돌출된 영역의 상부에 배선층을 형성하고 채널층의 제2 영역에 형성된 게이트 절연체 상부에 박막 트랜지스터의 게이트 전극을 형성하며, 채널층의 노출된 영역에 상기 박막 트랜지스터의 제1 전극 및 제2 전극을 형성하되, 배선층, 게이트 전극, 제1 전극 및 제2 전극을 단일 배선 공정 및 패터닝 공정을 통해 동시에 형성하는 단계를 포함할 수 있다.

[17] 일측에 따르면, 복수의 격벽 및 게이트 절연체를 형성하는 단계는 하부 전극층 상부에서 발광 소자의 제1 측면에 형성된 제1 격벽 및 채널층 상부에서 발광 소자의 제2 측면에 형성된 제2 격벽을 형성할 수 있다.

[18] 일측에 따르면, 동시에 형성하는 단계는 게이트 절연체가 형성된 구조체 상부에 금속 물질을 증착하는 단계와, 증착된 금속 물질을 패터닝하여 배선층, 게이트 전극, 제1 전극 및 제2 전극을 동시에 형성하는 단계를 포함할 수 있다.

[19] 일측에 따르면, 게이트 전극은 게이트 절연체 상부에 형성되고, 제1 전극은 채널층 상부에서 제2 격벽과 인접하여 형성되며, 발광 소자에 구비된 상부 전극층과 전기적으로 연결될 수 있다.

[20] 일측에 따르면, 순차적으로 형성하는 단계는 물리적 증착 방식 및 화학적 증착 방식 중 적어도 하나의 방식에 기반하여 발광 소자층의 반도체 박막을 증착하는 과정에서, 이온빔, 전자빔, 플라즈마, 자외선, 레이저, LED광 중 적어도 하나에 기반하는 추가적인 에너지를 공급할 수 있다.

[21] 일측에 따르면, 순차적으로 형성하는 단계는 하부 전극층 상부에 n형 반도체층을 형성하는 단계와, n형 반도체층 상부에 활성층을 형성하는 단계와, 활성층 상부에 p형 반도체층을 형성하는 단계 및 p형 반도체층 상부에 상부 전극층을 형성하는 단계를 포함할 수 있다.

[22] 일측에 따르면, 하부 전극층은 반사도가 높은 금속 물질을 포함하는 반사층이고, 기판은 유리 기판, 스테인리스 스틸 기판, 고분자 기판, 사파이어 기판, 실리콘(Si) 기판 및 실리콘 카바이드(SiC) 기판 중 적어도 하나를 포함할 수 있다.

발명의 효과

[23] 일 실시예에 따르면, 본 발명은 하부 전극층 상에 발광 소자 구조를 고품질로 증착할 수 있다.

[24] 또한, 본 발명은 배선층 및 복수의 전극을 단일 공정 및 패터닝 공정을 통해 동시에 형성할 수 있다.

[25] 또한, 본 발명은 단일 챔버 내에서 복수의 층을 한번에 증착한 후 식각하여 보다 용이하게 발광 소자를 형성할 수 있다.

[26] 또한, 본 발명은 발광 소자의 반도체 박막을 증착하는 과정에서 추가적인 에너지를 공급하여 저온에서 고품질의 반도체 박막을 형성할 수 있다.

[27] 또한, 본 발명은 제조공정 간소화를 통해 생산성을 향상시킬 수 있다.

도면의 간단한 설명

[28] 도 1은 일 실시예에 따른 인테그레이션 구조체를 설명하기 위한 도면이다.

[29] 도 2는 일 실시예에 따른 인테그레이션 구조체의 제조방법을 설명하기 위한 도면이다.

[30] 도 3a 내지 3h는 일 실시예에 따른 인테그레이션 구조체의 제조방법을 보다 구체적으로 설명하기 위한 도면이다.

발명의 실시를 위한 최선의 형태

[31] 이하, 본 문서의 다양한 실시 예들이 첨부된 도면을 참조하여 기재된다.

[32] 실시 예 및 이에 사용된 용어들은 본 문서에 기재된 기술을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 해당 실시 예의 다양한 변경, 균등물, 및/또는 대체물을 포함하는 것으로 이해되어야 한다.

[33] 하기에서 다양한 실시 예들을 설명에 있어 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다.

[34] 그리고 후술되는 용어들은 다양한 실시 예들에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.

[35] 도면의 설명과 관련하여, 유사한 구성요소에 대해서는 유사한 참조 부호가 사용될 수 있다.

[36] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함할 수 있다.

[37] 본 문서에서, "A 또는 B" 또는 "A 및/또는 B 중 적어도 하나" 등의 표현은 함께 나열된 항목들의 모든 가능한 조합을 포함할 수 있다.

[38] "제1," "제2," "첫째," 또는 "둘째," 등의 표현들은 해당 구성요소들을, 순서 또는 중요도에 상관없이 수식할 수 있고, 한 구성요소를 다른 구성요소와 구분하기 위해 사용될 뿐 해당 구성요소들을 한정하지 않는다.

[39] 어떤(예: 제1) 구성요소가 다른(예: 제2) 구성요소에 "(기능적으로 또는 통신적으로) 연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 어떤 구성요소가 상기 다른 구성요소에 직접적으로 연결되거나, 다른 구성요소(예: 제3 구성요소)를 통하여 연결될 수 있다.

[40] 본 명세서에서, "~하도록 구성된(또는 설정된)(configured to)"은 상황에 따라, 예를 들면, 하드웨어적 또는 소프트웨어적으로 "~에 적합한," "~하는 능력을 가지는," "~하도록 변경된," "~하도록 만들어진," "~를 할 수 있는," 또는 "~하도록 설계된"과 상호 호환적으로(interchangeably) 사용될 수 있다.

[41] 어떤 상황에서는, "~하도록 구성된 장치"라는 표현은, 그 장치가 다른 장치 또는 부품들과 함께 "~할 수 있는" 것을 의미할 수 있다.

[42] 예를 들면, 문구 "A, B, 및 C를 수행하도록 구성된(또는 설정된) 프로세서"는 해당 동작을 수행하기 위한 전용 프로세서(예: 임베디드 프로세서), 또는 메모리 장치에 저장된 하나 이상의 소프트웨어 프로그램들을 실행함으로써, 해당 동작들을 수행할 수 있는 범용 프로세서(예: CPU 또는 application processor)를 의미할 수 있다.

[43] 또한, '또는' 이라는 용어는 배타적 논리합 'exclusive or' 이기보다는 포함적인 논리합 'inclusive or' 를 의미한다.

[44] 즉, 달리 언급되지 않는 한 또는 문맥으로부터 명확하지 않는 한, 'x가 a 또는 b를 이용한다' 라는 표현은 포함적인 자연 순열들(natural inclusive permutations) 중 어느 하나를 의미한다.

[45]

[46] 상술한 구체적인 실시예들에서, 발명에 포함되는 구성 요소는 제시된 구체적인 실시 예에 따라 단수 또는 복수로 표현되었다.

[47] 그러나, 단수 또는 복수의 표현은 설명의 편의를 위해 제시한 상황에 적합하게 선택된 것으로서, 상술한 실시 예들이 단수 또는 복수의 구성 요소에 제한되는

것은 아니며, 복수로 표현된 구성 요소라 하더라도 단수로 구성되거나, 단수로 표현된 구성 요소라 하더라도 복수로 구성될 수 있다.

[48] 한편 발명의 설명에서는 구체적인 실시 예에 관해 설명하였으나, 다양한 실시 예들이 내포하는 기술적 사상의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다.

[49] 그러므로 본 발명의 범위는 설명된 실시 예에 국한되어 정해져서는 아니되며 후술하는 청구범위뿐만 아니라 이 청구범위와 균등한 것들에 의해 정해져야 한다.

[50]

[51] 도 1은 일 실시예에 따른 인테그레이션 구조체를 설명하기 위한 도면이다.

[52] 도 1을 참조하면, 일 실시예에 따른 인테그레이션 구조체(100)는 배선층 및 복수의 전극을 단일 공정 및 패터닝 공정을 통해 동시에 형성할 수 있다.

[53] 또한, 인테그레이션 구조체(100)는 단일 챔버 내에서 복수의 층을 한번에 증착한 후 식각하여 보다 용이하게 발광 소자를 형성할 수 있다.

[54] 또한, 인테그레이션 구조체(100)는 발광 소자의 반도체 박막을 증착하는 과정에서 추가적인 에너지를 공급하여 저온에서 고품질의 반도체 박막을 형성할 수 있다.

[55] 또한, 인테그레이션 구조체(100)는 제조공정 간소화를 통해 생산성을 향상시킬 수 있다.

[56] 구체적으로, 인테그레이션 구조체(100)는 기판(110) 상부에 형성된 박막 트랜지스터의 채널층(120)과, 채널층(120)의 제1 영역 상부에 형성된 중간 절연층(130)과, 중간 절연층(130)의 상부에 형성되고 기 설정된 길이만큼 돌출된 하부 전극층(140-1)을 구비하는 발광 소자를 포함할 수 있다.

[57] 또한, 인테그레이션 구조체(100)는 하부 전극층(140-1)의 돌출된 영역에 형성된 배선층(160-1)과, 채널층(120)의 제2 영역 상부에 형성된 박막 트랜지스터의 게이트 절연체(130-1), 게이트 전극(160-3), 제1 전극(160-2) 및 제2 전극(160-4)를 더 포함할 수 있으며, 여기서 배선층(160-1), 게이트 전극(160-3), 제1 전극(160-2) 및 제2 전극(160-4)은 단일 배선 공정 및 패터닝 공정을 통해 동시에 형성될 수 있다.

[58] 예를 들면, 기판(110)은 유리 기판, 스테인리스 스틸 기판, 고분자 기판, 사파이어 기판, 실리콘(Si) 기판 및 실리콘 카바이드(SiC) 기판 중 적어도 하나를 포함할 수 있으며, 기판(110)과 채널층(120) 사이에는 하부 절연층이 더 구비될 수도 있다. 바람직하게는, 기판은 유리 기판일 수 있다.

[59] 또한, 제1 전극(160-2) 및 제2 전극(160-4) 중 어느 하나의 전극은 박막 트랜지스터의 소스 전극이고 다른 하나의 전극은 박막 트랜지스터의 드레인 전극일 수 있고, 박막 트랜지스터의 게이트 전극(160-3)은 게이트 절연체(130-1) 상부에 형성될 수 있으며, 여기서 게이트 절연체(130-1)은 중간 절연층(130)과 동일한 물질로 형성될 수 있으나 이에 한정되는 것은 아니다.

[60] 예를 들면, 배선층(160-1), 게이트 전극(160-3), 제1 전극(160-2) 및 제2 전극(160-4) 각각은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti) 또는 은(Ag)과 같은 금속 및 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ITZO(Indium Tin Zinc Oxide)와 같은 금속 산화물 중 적어도 하나를 포함할 수 있다.

[61] 또한, 박막 트랜지스터의 채널층(120)은 비정질 실리콘(Amorphous Silicon), 나노 결정질 실리콘, 마이크로 결정질 실리콘, 폴리 결정질 실리콘, InGaZnO, a-IGZO(amorphous-Indium Gallium Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IZO(Indium Zinc Oxide), IGO(Indium Gallium Oxide), ITZO(Indium Tin Zinc Oxide), GTO(Gallium Tin Oxide), ZTO(Zinc Tin Oxide), IAZO(Indium Antimony Zinc Oxide), AZO(Antimony Zinc Oxide), ITO(Indium Tin Oxide), ATO(Antimony Tin Oxide) 및 GZO(Gallium Zinc Oxide) 중 적어도 하나를 포함할 수 있다.

[62] 일측에 따르면, 발광 소자는 하부 전극층(140-1), n형 반도체층(140-2), 활성층(140-3), p형 반도체층(140-4) 및 상부 전극층(140-5)을 포함할 수 있다.

[63] 하부 전극층(140-1)은 반사도가 높은 금속 물질을 포함하여 금속 반사막의 역할을 수행할 수 있으며, 이를 통해 하부 전극층(140-1)은 발광소자로부터 발생되는 광을 반사시킴으로써 발광소자의 광 추출 효율을 향상시킬 수 있다.

[64] 예를 들면, 하부 전극층(140-1)은 은(Ag) 및 알루미늄(Al) 중 적어도 하나의 금속 물질을 포함할 수 있다.

[65] 바람직하게는, 하부 전극층(140-1)은 알루미늄(Al) 전극층으로 구현되어 하부 전극층(140-1) 상부에 형성되는 발광 소자의 반도체 박막(즉, n형 반도체층(140-2), 활성층(140-3) 및 p형 반도체층(140-4) 중 적어도 하나의 층)의 보다 용이한 c 축 성장을 유도하는 버퍼층의 역할도 동시에 수행할 수 있다.

[66] n형 반도체층(140-2)은 질화 갈륨(Gallium Nitride; GaN), 알루미늄 갈륨 질화물(Aluminium Gallium Nitride; AlGaN), 인듐 갈륨 질화물(Indium Gallium Nitride; InGaN) 및 알루미늄 인듐 갈륨 질화물(Aluminum Indium Gallium Nitride; AlInGaN) 중 적어도 하나를 포함할 수 있다. 바람직하게는 n형 반도체층(130-2)은 n-GaN 층일 수 있다.

[67] 활성층(140-3)은 질화 갈륨(Gallium Nitride; GaN), 알루미늄 갈륨 질화물(Aluminium Gallium Nitride; AlGaN), 인듐 갈륨 질화물(Indium Gallium Nitride; InGaN) 및 알루미늄 인듐 갈륨 질화물(Aluminum Indium Gallium Nitride; AlInGaN) 중 적어도 하나를 포함할 수 있다.

[68] 또한, 활성층(140-3)은 에너지 밴드 갭이 작은 물질을 사용하는 양자우물(Quantum Well) 및 에너지 밴드 갭이 큰 물질을 사용하는 양자 배리어(Quantum Barrier)가 적어도 1회 교대로 적층된 구조를 가질 수 있으며, 양자우물은 단일 양자우물(Single Quantum Well) 구조 또는 다중 양자우물(Multi-Quantum Well; MQW) 구조를 가질 수 있다. 바람직하게는 활성층(140-3)은 MQW 구조를 포함할 수 있다.

[69] 일측에 따르면, 활성층(140-3)은 InGaN 기반의 적색 MQW 구조를 포함할 수 있으며, 여기서, InGaN 기반의 적색 MQW 구조는 제1 GaN 층, InAlN 기반의 제1 캡핑층, InGaN 층, InAlN 기반의 제2 캡핑층 및 제2 GaN 층의 적층 구조로 구현될 수 있다.

[70] 구체적으로, 질화물 기반의 적색 발광소자에 적용되는 고 인듐 함량의 InGaN MQW 구조는 GaN 층과의 격자 파라미터(lattice parameter) 차이에 의한 응력 발생으로 인해 QCSE 효과 및 상 분리가 발생하게 되며, 이는 내부양자효율(IQE) 저하의 원인이 될 수 있다.

[71] 이에, 일 실시예에 따른 활성층(130-3)은 MQW 구조에 구비되는 GaN 층과 InGaN 층 사이에 1nm 내지 2nm 두께의 InAlN 캡핑층을 적용하여 GaN 층과 InGaN 층 사이의 격자 상수 차이로 인한 스트레스를 최소화할 수 있으며, 이때 InAlN 캡핑층에는 전도대(conduction band)와 가전자대(valence band) 특성의 제어를 위한 도핑(doping)이 추가로 적용될 수도 있다.

[72] p형 반도체층(140-4)은 질화 갈륨(Gallium Nitride; GaN), 알루미늄 갈륨 질화물(Aluminium Gallium Nitride; AlGaN), 인듐 갈륨 질화물(Indium Gallium Nitride; InGaN) 및 알루미늄 인듐 갈륨 질화물(Aluminum Indium Gallium Nitride; AlInGaN) 중 적어도 하나를 포함할 수 있다. 바람직하게는 p형 반도체층(140-4)은 p-GaN 층일 수 있다.

[73] 상부 전극층(140-5)은 a-IGZO(amorphous-Indium Gallium Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IZO(Indium Zinc Oxide), IGO(Indium Gallium Oxide), ITZO(Indium Tin Zinc Oxide), GTO(Gallium Tin Oxide), ZTO(Zinc Tin Oxide), IAZO(Indium Antimony Zinc Oxide), AZO(Antimony Zinc Oxide), ITO(Indium Tin Oxide), ATO(Antimony Tin Oxide) 및 GZO(Gallium Zinc Oxide) 중 적어도 하나를 포함하는 투명 전극일 수 있다.

[74] 일측에 따르면, 발광 소자는 하부 전극층(140-1) 상에 발광 소자 구조가 고품질로 증착되어 형성될 수 있다.

[75] 구체적으로, 발광 소자의 반도체 박막(즉, n형 반도체층(140-2), 활성층(140-3) 및 p형 반도체층(140-4) 중 적어도 하나의 층)은 물리적 증착 방식 및 화학적 증착 방식 중 적어도 하나의 방식에 기반하는 증착과정에서, 이온빔, 전자빔, 플라즈마, 자외선, 레이저, LED광 중 적어도 하나에 기반하는 추가적인 에너지가 공급되어 형성될 수 있다. 바람직하게는 발광 소자의 반도체 박막의 증착 과정에서는 이온빔에 기반하는 추가적인 에너지가 공급될 수 있다.

[76] 보다 구체적으로, 기판(110)으로 유리 기판이 사용되는 경우에, 전사 공정없이 직접적으로 유리 기판 상에 박막을 성장시키기 위해서는 박막의 성장 온도를 저온으로 낮출 필요가 있다.

[77] 이에, 일 실시예에 따른 인테그레이션 구조체는 발광 소자의 반도체 박막을 성장시키기 위한 온도를 저온(일례로, 700_ 이하의 온도)으로 낮추고, 이 과정에서

증착 중인 반도체 박막에 추가적인 에너지를 공급하여 박막 성장에 필요한 에너지를 보완함으로써, 저온에서 고품질의 반도체 박막을 구현할 수 있다.

[78] 일측에 따르면, 인테그레이션 구조체(100)는 하부 전극층(140-1) 상부에서 발광 소자의 제1 측면에 형성된 제1 격벽(150-1) 및 채널층(120) 상부에서 발광 소자의 제2 측면에 형성된 제2 격벽(150-2)을 더 포함할 수 있다.

[79] 또한, 제1 전극(160-2)는 채널층(120) 상부에서 제2 격벽(150-2)과 인접하여 형성되며, 발광 소자에 구비된 상부 전극층(140-5)과 전기적으로 연결될 수 있다.

[80]

[81] 도 2는 일 실시예에 따른 인테그레이션 구조체의 제조방법을 설명하기 위한 도면이다.

[82] 도 2를 참조하면, 210 단계에서 제조방법은 기판 상에 박막 트랜지스터의 채널층, 중간 절연층 및 하부 전극층을 구비하는 발광 소자층을 순차적으로 형성할 수 있다.

[83] 예를 들면, 기판은 유리 기판, 스테인리스 스틸 기판, 고분자 기판, 사파이어 기판, 실리콘(Si) 기판 및 실리콘 카바이드(SiC) 기판 중 적어도 하나를 포함할 수 있다. 바람직하게는, 기판은 유리 기판일 수 있다.

[84] 일측에 따르면, 210 단계에서 제조방법은 기판 상부에 하부 절연층을 형성한 후, 하부 절연층 상부에 채널층, 중간 절연층 및 발광 소자층을 순차적으로 형성할 수도 있다.

[85] 일측에 따르면, 발광 소자층은 하부 전극층, n형 반도체층, 활성층, p형 반도체층 및 상부 전극층을 포함할 수 있으며, 하부 전극층은 반사도가 높은 금속 물질을 포함하는 반사층일 수 있다.

[86] 또한, 210 단계에서 제조방법은 물리적 증착 방식 및 화학적 증착 방식 중 적어도 하나의 방식에 기반하여 발광 소자층의 반도체 박막을 증착하는 과정에서, 이온빔, 전자빔, 플라즈마, 자외선, 레이저, LED광 중 적어도 하나에 기반하는 추가적인 에너지를 공급할 수 있다.

[87] 220 단계에서 제조방법은 발광 소자층 중 하부 전극층을 제외한 나머지 층을 식각하여 발광 소자를 형성할 수 있다.

[88] 구체적으로, 210 단계를 통해 단일 챔버 내에서 복수의 층을 한번에 증착한 후, 220 단계에서 제조방법은 발광 소자의 n형 반도체층, 활성층, p형 반도체층 및 상부 전극층을 기 설정된 영역에서 기 설정된 크기로 식각하여 보다 용이하게 발광 소자를 형성할 수 있다.

[89] 즉, 일 실시예에 따른 제조방법은 210 단계 및 220 단계를 통해 설명한 공정을 통해 하부 전극층 상에 발광 소자 구조를 고품질로 증착하여 발광 소자를 형성할 수 있다.

[90] 230 단계에서 제조방법은 채널층의 제2 영역에 형성된 하부 전극층을 식각할 수 있다.

[91] 240 단계에서 제조방법은 발광 소자의 측면에 복수의 격벽을 형성하고, 채널층의 제2 영역 상부에 형성된 중간 절연층을 식각하여 게이트 절연체를 형성할 수 있다.

[92] 일측에 따르면, 240 단계에서 제조방법은 하부 전극층 상부에서 발광 소자의 제1 측면에 형성된 제1 격벽 및 채널층의 상부에서 발광 소자의 제2 측면에 형성된 제2 격벽을 형성할 수 있다.

[93] 250 단계에서 제조방법은 채널층의 제1 영역에 형성된 하부 전극층에서 발광 소자로부터 기 설정된 길이만큼 돌출된 영역의 상부에 배선층을 형성하고, 채널층의 제2 영역에 형성된 게이트 절연체 상부에 박막 트랜지스터의 게이트 전극을 형성하며, 채널층의 노출된 영역에 박막 트랜지스터의 제1 전극 및 제2 전극을 형성할 수 있다.

[94] 구체적으로, 250 단계에서 제조방법은 배선층, 게이트 전극, 제1 전극 및 제2 전극을 단일 배선 공정 및 패터닝 공정을 통해 동시에 형성할 수 있다.

[95] 예를 들면, 게이트 전극은 채널층의 제2 영역에 형성된 게이트 절연체의 상부에 형성될 수 있다.

[96] 또한, 제1 전극은 채널층 상부에서 제2 격벽과 인접하여 형성되며, 발광 소자에 구비된 상부 전극층과 전기적으로 연결될 수 있다.

[97] 일 실시예에 따른 인테그레이션 구조체의 제조방법은 이후 실시예 도 3a 내지 3h를 통해 보다 구체적으로 설명하기로 한다.

[98]

[99] 도 3a 내지 3h는 일 실시예에 따른 인테그레이션 구조체의 제조방법을 보다 구체적으로 설명하기 위한 도면이다.

[100] 도 3a 내지 3h를 참조하면, 310 단계에서 제조방법은 기판(301) 상에 박막 트랜지스터의 채널층(302), 중간 절연층(303) 및 하부 전극층(304-1)을 구비하는 발광 소자층을 순차적으로 형성할 수 있다.

[101] 일측에 따르면, 310 단계에서 제조방법은 기판(301) 상부에 하부 절연층을 형성한 후, 하부 절연층 상부에 채널층(302), 중간 절연층(303) 및 발광 소자층을 순차적으로 형성할 수도 있다.

[102] 예를 들면, 기판(301)은 유리 기판, 스테인리스 스틸 기판, 고분자 기판, 사파이어 기판, 실리콘(Si) 기판 및 실리콘 카바이드(SiC) 기판 중 적어도 하나를 포함할 수 있다.

[103] 또한, 채널층(302)은 비정질 실리콘(Amorphous Silicon), 나노 결정질 실리콘, 마이크로 결정질 실리콘, 폴리 결정질 실리콘, InGaZnO, a-IGZO(amorphous-Indium Gallium Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IZO(Indium Zinc Oxide), IGO(Indium Gallium Oxide), ITZO(Indium Tin Zinc Oxide), GTO(Gallium Tin Oxide), ZTO(Zinc Tin Oxide), IAZO(Indium Antimony Zinc Oxide), AZO(Antimony Zinc Oxide), ITO(Indium Tin Oxide), ATO(Antimony Tin Oxide) 및 GZO(Gallium Zinc Oxide) 중 적어도 하나를 포함할 수 있다.

[104] 일측에 따르면, 발광 소자층은 하부 전극층(304-1), n형 반도체층(304-2), 활성층(304-3), p형 반도체층(304-4) 및 상부 전극층(304-5)을 포함할 수 있다.

[105] 구체적으로, 310 단계에서 제조방법은 하부 전극층(304-1) 상부에 n형 반도체층(304-2)을 형성할 수 있다.

[106] 예를 들면, 하부 전극층(304-1)은 반사도가 높은 금속 물질을 포함하여 금속 반사막의 역할을 수행할 수 있으며, 이를 통해 하부 전극층(304-1)은 발광소자로부터 발생되는 광을 반사시킴으로써 발광소자의 광 추출 효율을 향상시킬 수 있다.

[107] 보다 구체적인 예를 들면, 하부 전극층(304-1)은 은(Ag) 및 알루미늄(Al) 중 적어도 하나의 금속 물질을 포함할 수 있다.

[108] 예를 들면, n형 반도체층(304-2)은 질화 갈륨(Gallium Nitride; GaN), 알루미늄 갈륨 질화물(Aluminium Gallium Nitride; AlGaN), 인듐 갈륨 질화물(Indium Gallium Nitride; InGaN) 및 알루미늄 인듐 갈륨 질화물(Aluminum Indium Gallium Nitride; AlInGaN) 중 적어도 하나를 포함할 수 있다. 바람직하게는 n형 반도체층(130-2)은 n-GaN 층일 수 있다.

[109] 다음으로, 310 단계에서 제조방법은 n형 반도체층(304-2) 상부에 활성층(304-3)을 형성할 수 있다.

[110] 예를 들면, 활성층(304-3)은 질화 갈륨(Gallium Nitride; GaN), 알루미늄 갈륨 질화물(Aluminium Gallium Nitride; AlGaN), 인듐 갈륨 질화물(Indium Gallium Nitride; InGaN) 및 알루미늄 인듐 갈륨 질화물(Aluminum Indium Gallium Nitride; AlInGaN) 중 적어도 하나를 포함할 수 있다.

[111] 또한, 활성층(304-3)은 에너지 밴드 갭이 작은 물질을 사용하는 양자우물(Quantum Well) 및 에너지 밴드 갭이 큰 물질을 사용하는 양자 베리어(Quantum Barrier)가 적어도 1회 교대로 적층된 구조를 가질 수 있으며, 양자우물은 단일 양자우물(Single Quantum Well) 구조 또는 다중 양자우물(Multi-Quantum Well; MQW) 구조를 가질 수 있다. 바람직하게는 활성층(140-3)은 MQW 구조를 포함할 수 있다.

[112] 일측에 따르면, 활성층(304-3)은 InGaN 기반의 적색 MQW 구조를 포함할 수 있으며, 여기서, InGaN 기반의 적색 MQW 구조는 제1 GaN 층, InAlN 기반의 제1 캡핑층, InGaN 층, InAlN 기반의 제2 캡핑층 및 제2 GaN 층의 적층 구조로 구현될 수 있다.

[113] 다음으로, 310 단계에서 제조방법은 활성층(304-3) 상부에 p형 반도체층(304-4)을 형성할 수 있다.

[114] 예를 들면, p형 반도체층(304-4)은 질화 갈륨(Gallium Nitride; GaN), 알루미늄 갈륨 질화물(Aluminium Gallium Nitride; AlGaN), 인듐 갈륨 질화물(Indium Gallium Nitride; InGaN) 및 알루미늄 인듐 갈륨 질화물(Aluminum Indium Gallium Nitride; AlInGaN) 중 적어도 하나를 포함할 수 있다. 바람직하게는 p형 반도체층(304-4)은 p-GaN 층일 수 있다.

[115] 다음으로, 310 단계에서 제조방법은 p형 반도체층(304-4) 상부에 상부 전극층(304-5)을 형성할 수 있다.

[116] 예를 들면, 상부 전극층(304-5)은 a-IGZO(amorphous-Indium Gallium Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IZO(Indium Zinc Oxide), IGO(Indium Gallium Oxide), ITZO(Indium Tin Zinc Oxide), GTO(Gallium Tin Oxide), ZTO(Zinc Tin Oxide), IAZO(Indium Antimony Zinc Oxide), AZO(Antimony Zinc Oxide), ITO(Indium Tin Oxide), ATO(Antimony Tin Oxide) 및 GZO(Gallium Zinc Oxide) 중 적어도 하나를 포함하는 투명 전극일 수 있다.

[117] 일측에 따르면, 310 단계에서 제조방법은 물리적 증착 방식 및 화학적 증착 방식 중 적어도 하나의 방식에 기반하여 발광 소자층의 반도체 박막을 증착하는 과정에서, 이온빔, 전자빔, 플라즈마, 자외선, 레이저, LED광 중 적어도 하나에 기반하는 추가적인 에너지를 공급할 수 있다.

[118] 320 단계에서 제조방법은 발광 소자층 중 하부 전극층(304-1)을 제외한 나머지 층(304-2 내지 304-5)을 기 설정된 크기로 식각하여 발광 소자를 형성할 수 있다.

[119] 330 단계에서 제조방법은 채널층(302)의 제2 영역에 형성된 하부 전극층(304-1)을 식각할 수 있다.

[120] 340 단계 내지 360 단계에서 제조방법은 발광 소자의 측면에 복수의 격벽(305-1, 305-2)을 형성하고, 채널층(302)의 제2 영역 상부에 게이트 절연체(303-1)를 형성할 수 있다.

[121] 구체적으로, 340 단계에서 제조방법은 발광 소자가 형성된 구조체 상부에 절연 물질(305)을 형성할 수 있다. 예를 들면 절연 물질(305)은 게이트 절연층(303)과 동일한 물질로 형성될 수 있으나 이에 한정되는 것은 아니다.

[122] 350 단계에서 제조방법은 제1 영역 및 상부 전극층(304-5) 상부에 형성된 절연 물질(305)을 식각하여 하부 전극층(304-1) 상부에서 발광 소자의 제1 측면에 형성된 제1 격벽(305-1) 및 채널층(302) 상부에서 발광 소자의 제2 측면에 형성된 제2 격벽(305-2)을 형성할 수 있다.

[123] 360 단계에서 제조방법은 채널층(302)의 제2 영역 상부에 형성된 절연 물질(305) 및 게이트 절연층(303)을 식각하여, 채널층(302)의 제2 영역 상부에 게이트 절연체(303-1)를 형성할 수 있다.

[124] 일 실시예에 따른 제조방법에서는 설명의 편의 상 350 단계 및 360 단계를 구분하여 설명하였으나, 350 단계 및 360 단계는 단일 식각 공정을 통해 동시에 수행될 수도 있다.

[125] 370 및 380 단계에서 제조방법은 게이트 절연층(303)의 제1 영역에 형성된 하부 전극층(304-1)에서 발광 소자로부터 기 설정된 길이만큼 돌출된 영역의 상부에 배선층(306-1)을 형성하고, 채널층(302)의 제2 영역에 형성된 게이트 절연체(303-1) 상부에 박막 트랜지스터의 게이트 전극(306-3)을 형성하며, 채널층(302)의 노출된 영역에 제1 전극(306-2) 및 제2 전극(306-4)을 형성할 수 있다.

[126] 예를 들면, 제1 전극(306-2) 및 제2 전극(306-4) 중 어느 하나의 전극은 박막 트랜지스터의 소스 전극이고 다른 하나의 전극은 박막 트랜지스터의 드레인 전극일 수 있다.

[127] 또한, 배선층(306-1), 게이트 전극(160-3), 제1 전극(160-2) 및 제2 전극(160-4) 각각은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti) 또는 은(Ag)과 같은 금속 및 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ITZO(Indium Tin Zinc Oxide)와 같은 금속 산화물 중 적어도 하나를 포함할 수 있다.

[128] 일측에 따르면, 370 및 380 단계에서 제조방법은 배선층(306-1), 게이트 전극(306-3), 제1 전극(306-2) 및 제2 전극(306-4)을 단일 배선 공정 및 패터닝 공정을 통해 동시에 형성할 수 있다.

[129] 구체적으로, 370 단계에서 제조방법은 게이트 절연체(303-1)가 형성된 구조체 상부에 금속 물질(306)을 증착할 수 있다.

[130] 380 단계에서 제조방법은 증착된 금속 물질(306)을 패터닝하여 배선층(306-1), 게이트 전극(306-3), 제1 전극(306-2) 및 제2 전극(306-4)을 동시에 형성할 수 있다.

[131] 예를 들면, 게이트 전극(306-3)은 게이트 절연체(303-1) 상부에 형성될 수 있다.

[132] 또한, 제1 전극(306-2)은 채널층(302) 상부에서 제2 격벽(305-2)과 인접하여 형성되며, 발광 소자에 구비된 상부 전극층(304-5)과 전기적으로 연결될 수 있다.

[133]

[134] 결국, 본 발명을 이용하면, 하부 전극층 상에 발광 소자 구조를 고품질로 증착할 수 있다.

[135] 또한, 본 발명을 이용하면, 배선층 및 복수의 전극을 단일 공정 및 패터닝 공정을 통해 동시에 형성할 수 있다.

[136] 또한, 본 발명을 이용하면, 단일 챔버 내에서 복수의 층을 한번에 증착한 후 식각하여 보다 용이하게 발광 소자를 형성할 수 있다.

[137] 또한, 본 발명을 이용하면, 발광 소자의 반도체 박막을 증착하는 과정에서 추가적인 에너지를 공급하여 저온에서 고품질의 반도체 박막을 형성할 수 있다.

[138] 또한, 본 발명을 이용하면, 제조공정 간소화를 통해 생산성을 향상시킬 수 있다.

[139]

[140] 이상과 같이 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

[141] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

산업상 이용가능성

[142] 본 발명은 의료, 휴대폰, 디스플레이 산업 등에 적용될 수 있다.

청구범위

[청구항 1] 기판;
상기 기판 상부에 형성된 박막 트랜지스터의 채널층;
상기 채널층의 제1 영역 상부에 형성된 중간 절연층;
상기 중간 절연층의 상부에 형성되고, 기 설정된 길이만큼 돌출된 하부 전극층을 구비하는 발광 소자;
상기 하부 전극층의 돌출된 영역에 형성된 배선층 및
상기 채널층의 제2 영역 상부에 형성된 상기 박막 트랜지스터의 게이트 절연체, 게이트 전극, 제1 전극 및 제2 전극
을 포함하고,
상기 배선층, 상기 게이트 전극, 상기 제1 전극 및 상기 제2 전극은 단일 배선 공정 및 패터닝 공정을 통해 동시에 형성되는
인테그레이션 구조체.

[청구항 2] 제1항에 있어서,
상기 하부 전극층은,
반사도가 높은 금속 물질을 포함하는 반사층인
인테그레이션 구조체.

[청구항 3] 제1항에 있어서,
상기 발광 소자의 반도체 박막은,
물리적 증착 방식 및 화학적 증착 방식 중 적어도 하나의 방식에 기반하는 증착과정에서, 이온빔, 전자빔, 플라즈마, 자외선, 레이저, LED광 중 적어도 하나에 기반하는 추가적인 에너지가 공급되어 형성되는
인테그레이션 구조체.

[청구항 4] 제1항에 있어서,
상기 하부 전극층 상부에서 상기 발광 소자의 제1 측면에 형성된 제1 격벽 및
상기 채널층 상부에서 상기 발광 소자의 제2 측면에 형성된 제2 격벽
을 더 포함하는 인테그레이션 구조체.

[청구항 5] 제4항에 있어서,
상기 제1 전극은,
상기 채널층 상부에서 상기 제2 격벽과 인접하여 형성되며, 상기 발광 소자에 구비된 상부 전극층과 전기적으로 연결되는
인테그레이션 구조체.

[청구항 6] 제1항에 있어서,
상기 발광 소자는,
상기 하부 전극층, n형 반도체층, 활성층, p형 반도체층 및 상부 전극층을 포함하는

인테그레이션 구조체.

[청구항 7] 제1항에 있어서,
상기 기판은,
유리 기판, 스테인리스 스틸 기판, 고분자 기판, 사파이어 기판, 실리콘(Si) 기판 및 실리콘 카바이드(SiC) 기판 중 적어도 하나를 포함하는
인테그레이션 구조체.

[청구항 8] 기판 상에 박막 트랜지스터의 채널층, 중간 절연층 및 하부 전극층을 구비하는 발광 소자층을 순차적으로 형성하는 단계;
상기 발광 소자층 중 상기 하부 전극층을 제외한 나머지 층을 식각하여 발광 소자를 형성하는 단계;
상기 채널층의 제2 영역에 형성된 하부 전극층을 식각하는 단계;
상기 발광 소자의 측면에 복수의 격벽을 형성하고, 상기 채널층의 제2 영역 상부에 형성된 중간 절연층을 식각하여 게이트 절연체를 형성하는 단계 및
상기 채널층의 제1 영역에 형성된 하부 전극층에서 상기 발광 소자로부터 기 설정된 길이만큼 돌출된 영역의 상부에 배선층을 형성하고, 상기 채널층의 제2 영역에 형성된 상기 게이트 절연체 상부에 상기 박막 트랜지스터의 게이트 전극을 형성하며, 상기 채널층의 노출된 영역에 상기 박막 트랜지스터의 제1 전극 및 제2 전극을 형성하되, 상기 배선층, 상기 게이트 전극, 상기 제1 전극 및 상기 제2 전극을 단일 배선 공정 및 패터닝 공정을 통해 동시에 형성하는 단계
를 포함하는 인테그레이션 구조체의 제조방법.

[청구항 9] 제8항에 있어서,
상기 복수의 격벽 및 게이트 절연체를 형성하는 단계는,
상기 하부 전극층 상부에서 상기 발광 소자의 제1 측면에 형성된 제1 격벽 및 상기 채널층 상부에서 상기 발광 소자의 제2 측면에 형성된 제2 격벽을 형성하는
인테그레이션 구조체의 제조방법.

[청구항 10] 제8항에 있어서,
상기 동시에 형성하는 단계는,
상기 게이트 절연체가 형성된 구조체 상부에 금속 물질을 증착하는 단계 및
상기 증착된 금속 물질을 패터닝하여 상기 배선층, 상기 게이트 전극, 상기 제1 전극 및 상기 제2 전극을 동시에 형성하는 단계
를 포함하는 인테그레이션 구조체의 제조방법.

[청구항 11] 제10항에 있어서,
상기 게이트 전극은,
상기 게이트 절연체 상부에 형성되고,

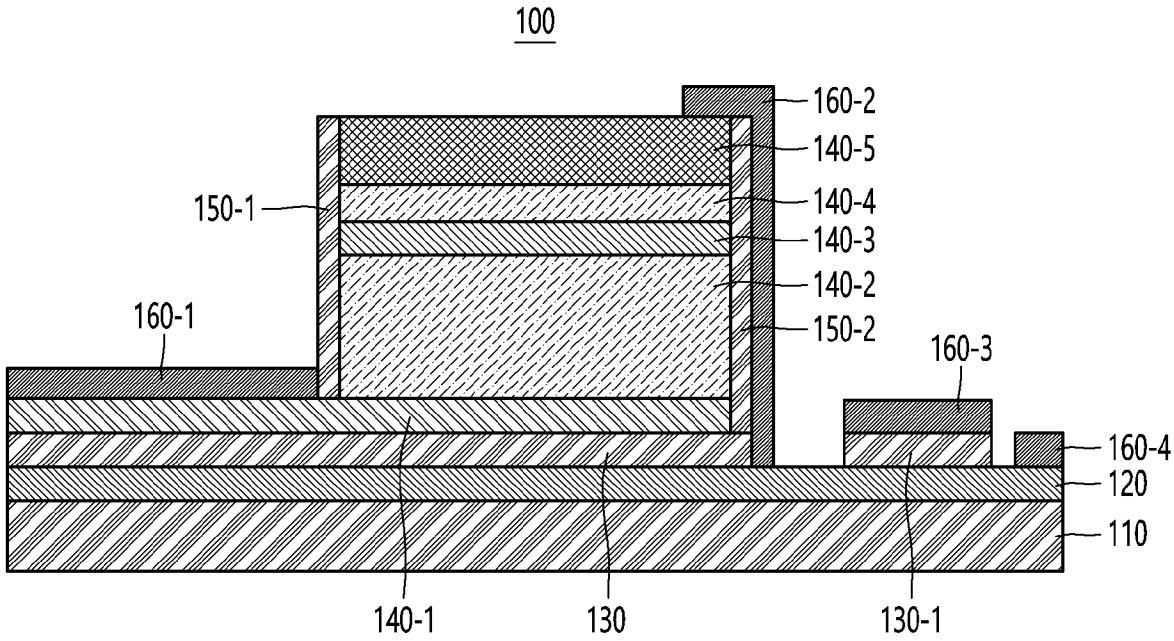
상기 제1 전극은,
상기 채널층 상부에서 상기 제2 격벽과 인접하여 형성되며, 상기 발광 소자에 구비된 상부 전극층과 전기적으로 연결되는
인테그레이션 구조체의 제조방법.

[청구항 12] 제8항에 있어서,
상기 순차적으로 형성하는 단계는,
물리적 증착 방식 및 화학적 증착 방식 중 적어도 하나의 방식에 기반하여 상기 발광 소자층의 반도체 박막을 증착하는 과정에서, 이온빔, 전자빔, 플라즈마, 자외선, 레이저, LED광 중 적어도 하나에 기반하는 추가적인 에너지를 공급하는
인테그레이션 구조체의 제조방법.

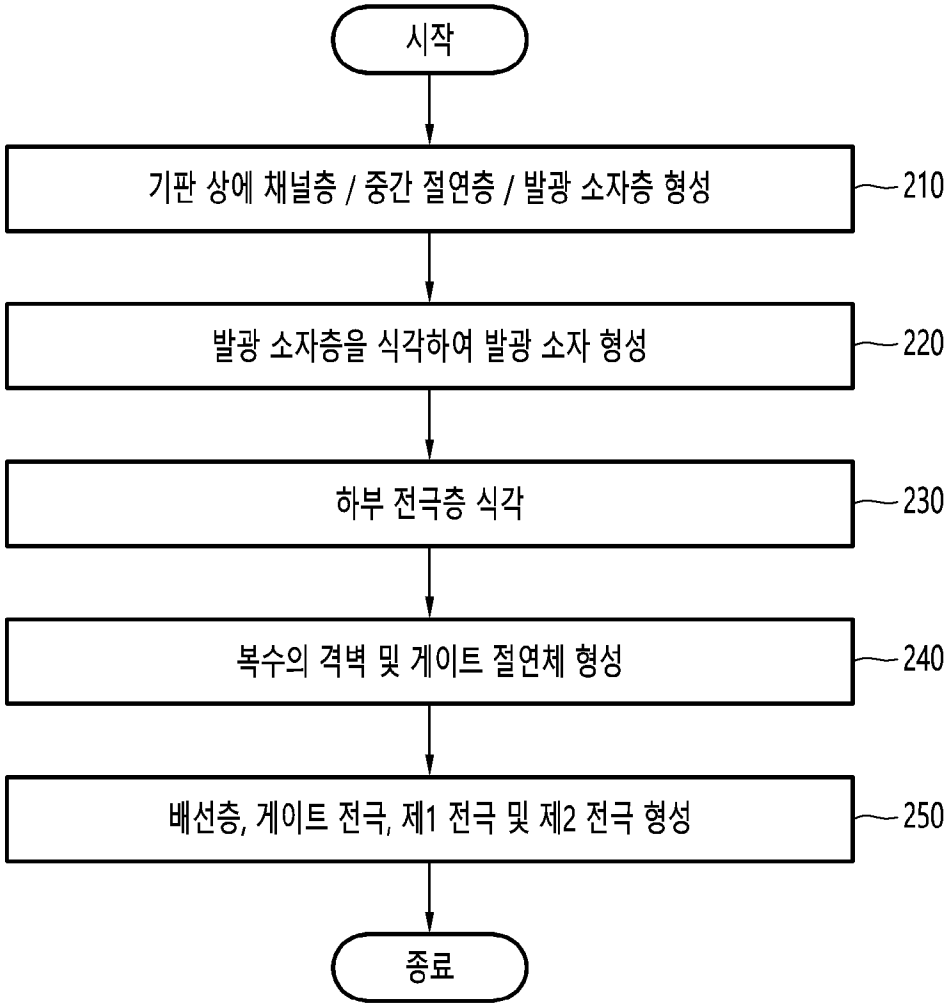
[청구항 13] 제8항에 있어서,
상기 순차적으로 형성하는 단계는,
상기 하부 전극층 상부에 n형 반도체층을 형성하는 단계;
상기 n형 반도체층 상부에 활성층을 형성하는 단계;
상기 활성층 상부에 p형 반도체층을 형성하는 단계 및
상기 p형 반도체층 상부에 상부 전극층을 형성하는 단계
를 포함하는 인테그레이션 구조체의 제조방법.

[청구항 14] 제8항에 있어서,
상기 하부 전극층은,
반사도가 높은 금속 물질을 포함하는 반사층이고,
상기 기판은,
유리 기판, 스테인리스 스틸 기판, 고분자 기판, 사파이어 기판, 실리콘(Si) 기판 및 실리콘 카바이드(SiC) 기판 중 적어도 하나를 포함하는
인테그레이션 구조체의 제조방법.

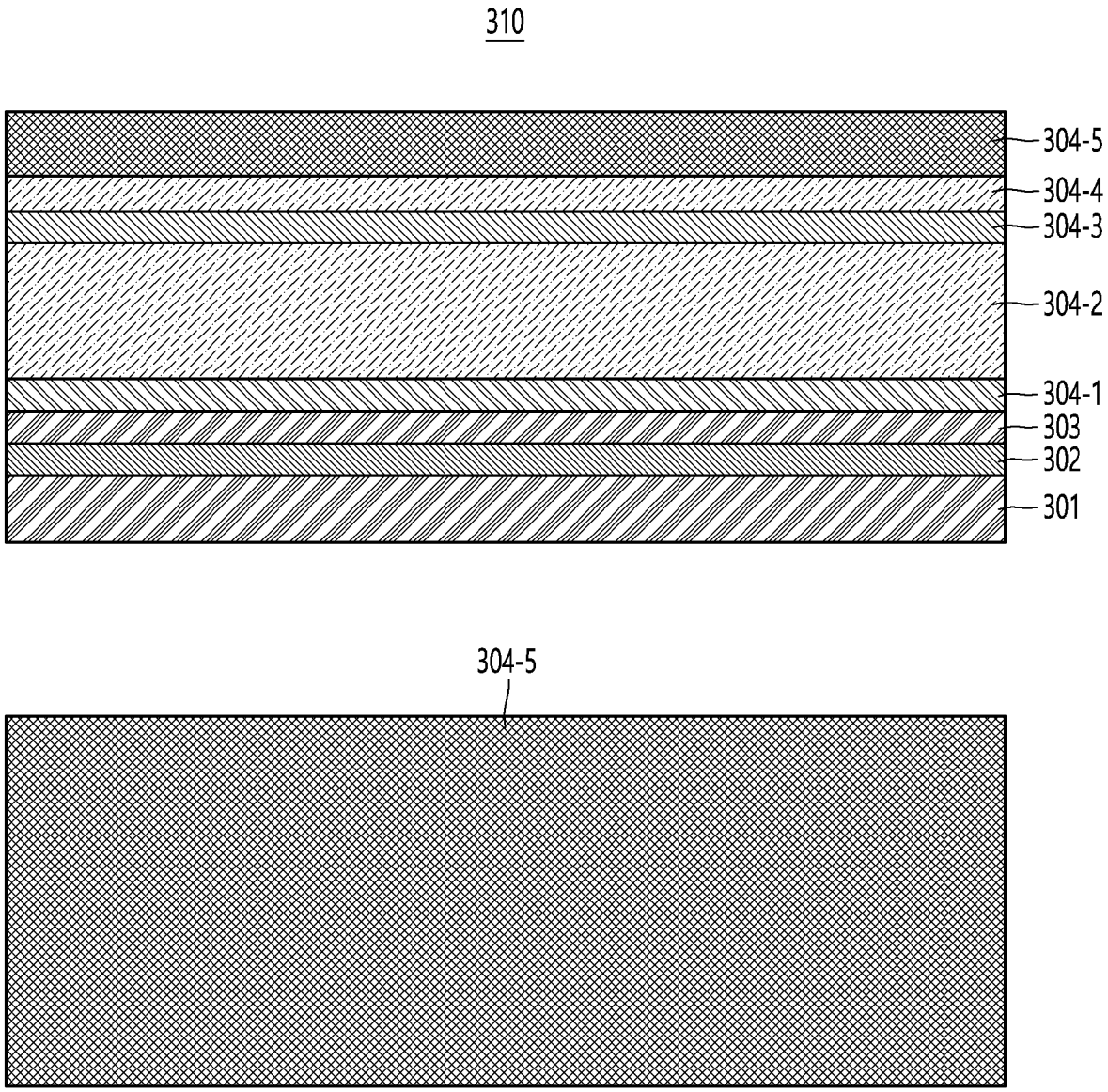
[도1]


100
160-2
140-5
150-1
140-4
140-3
140-2
160-1
150-2
160-3
160-4
120
110
140-1
130
130-1

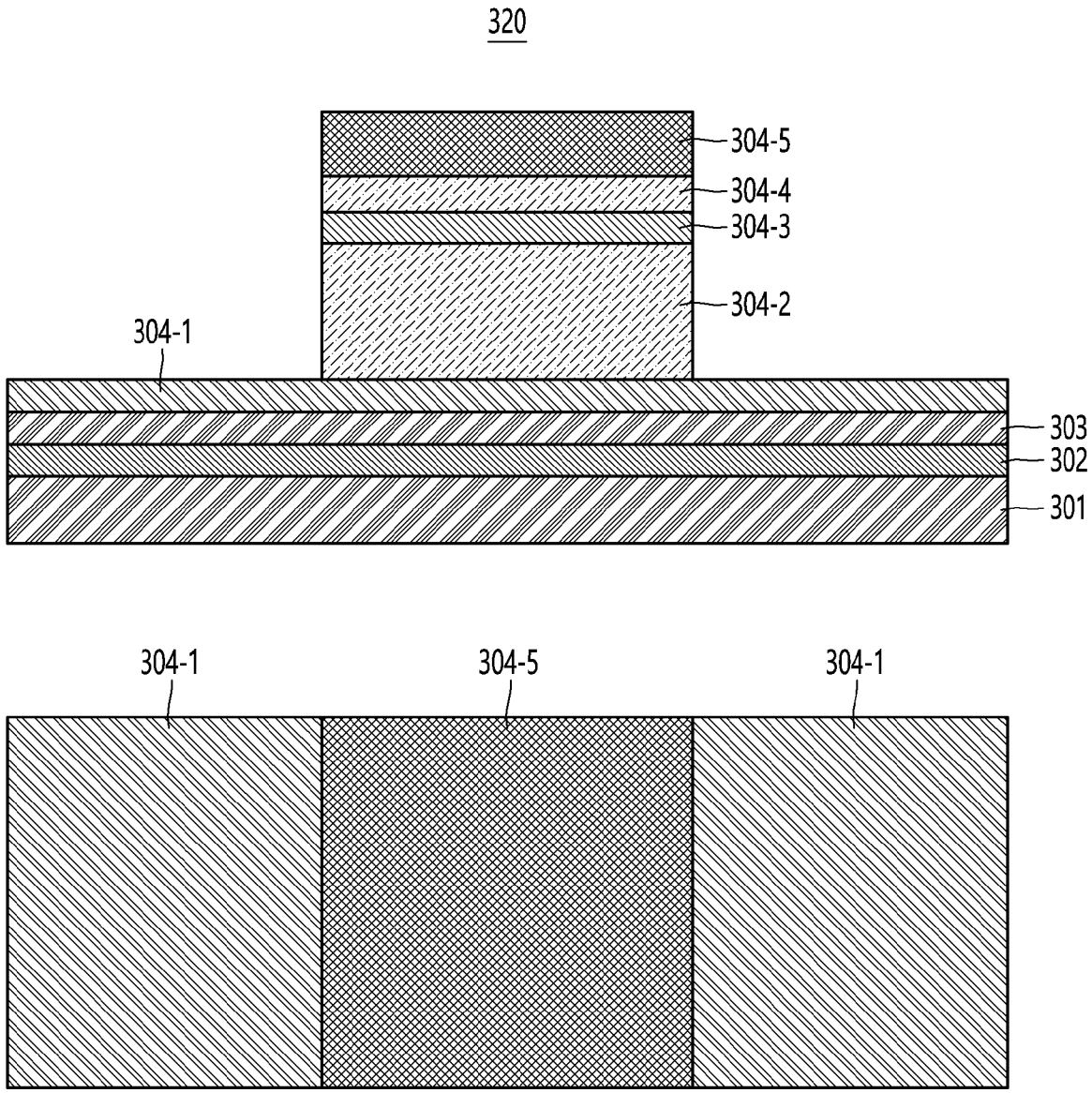
[도2]


시작
기판 상에 채널층 / 중간 절연층 / 발광 소자층 형성
210
발광 소자층을 식각하여 발광 소자 형성
220
하부 전극층 식각
230
복수의 격벽 및 게이트 절연체 형성
240
배선층, 게이트 전극, 제1 전극 및 제2 전극 형성
250
종료

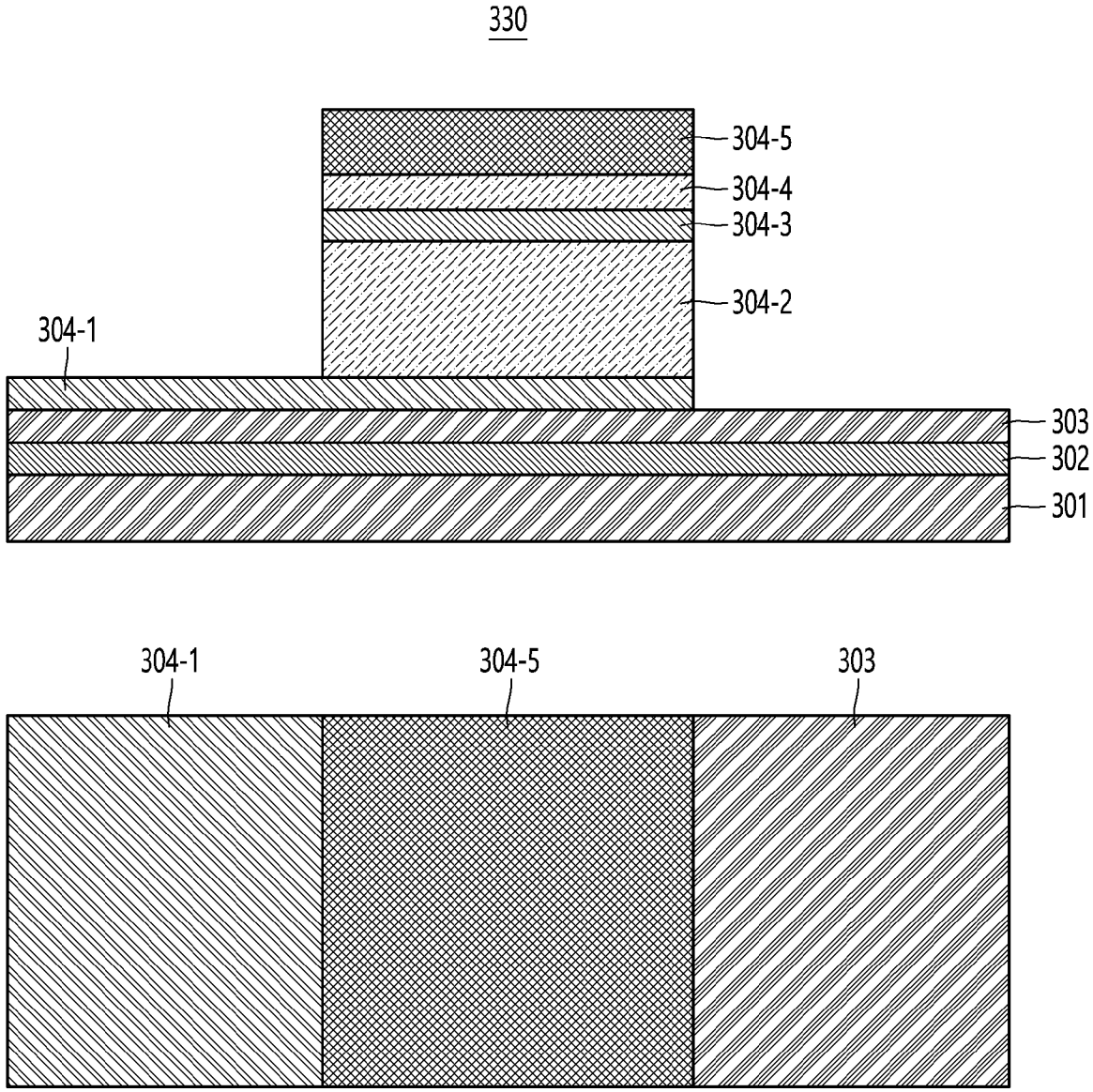
[도3a]



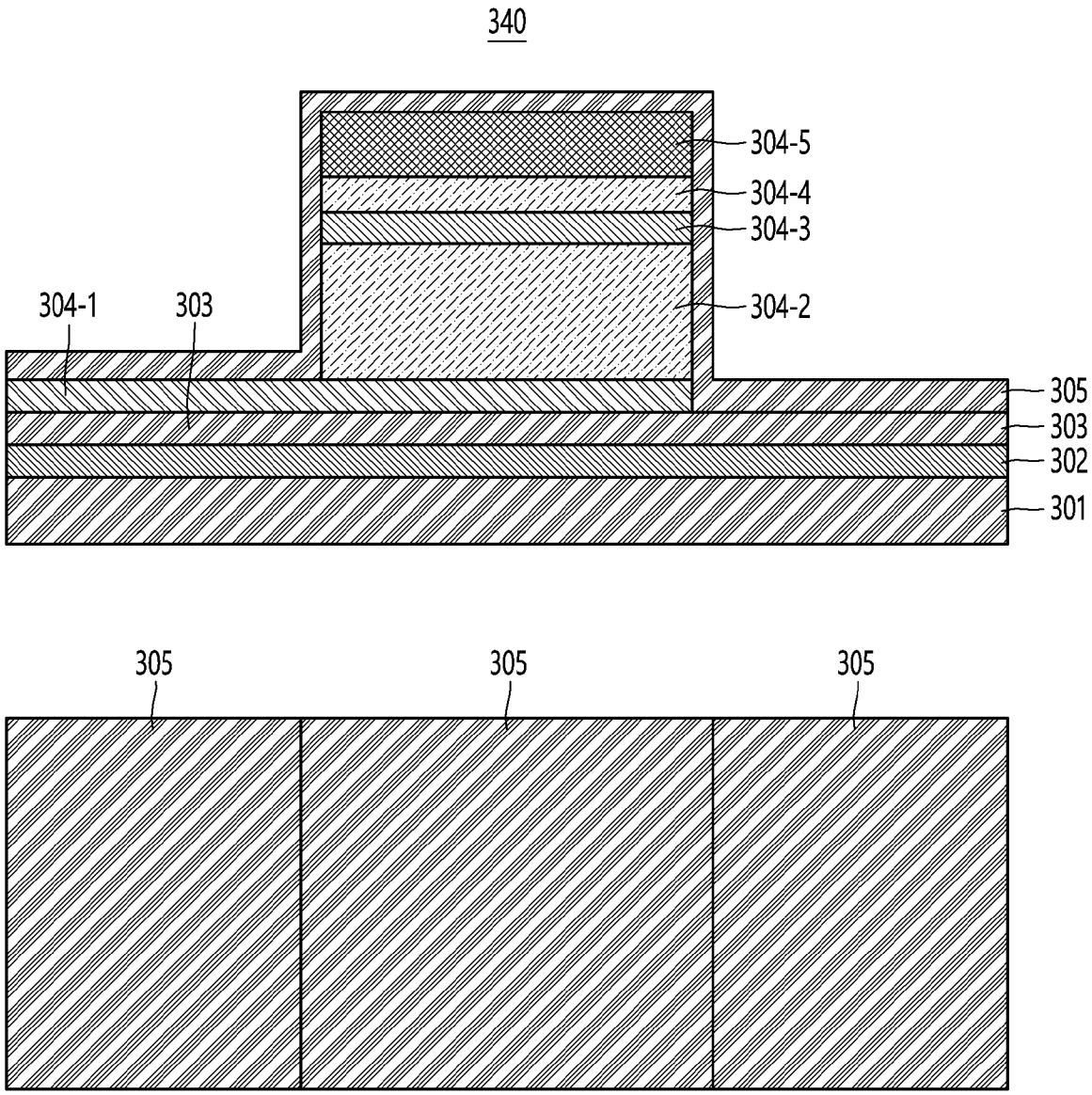
[도3b]



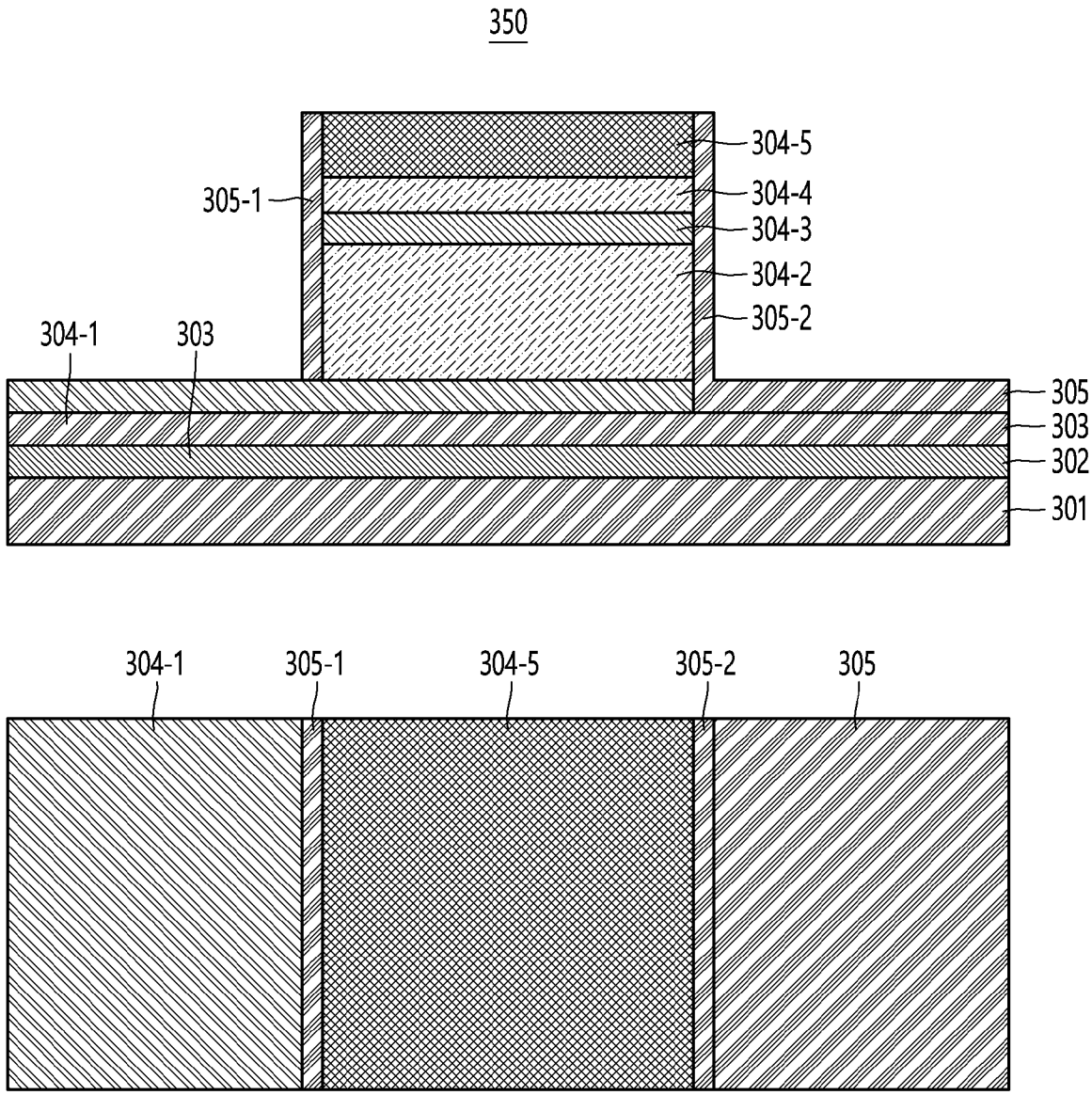
[도3c]



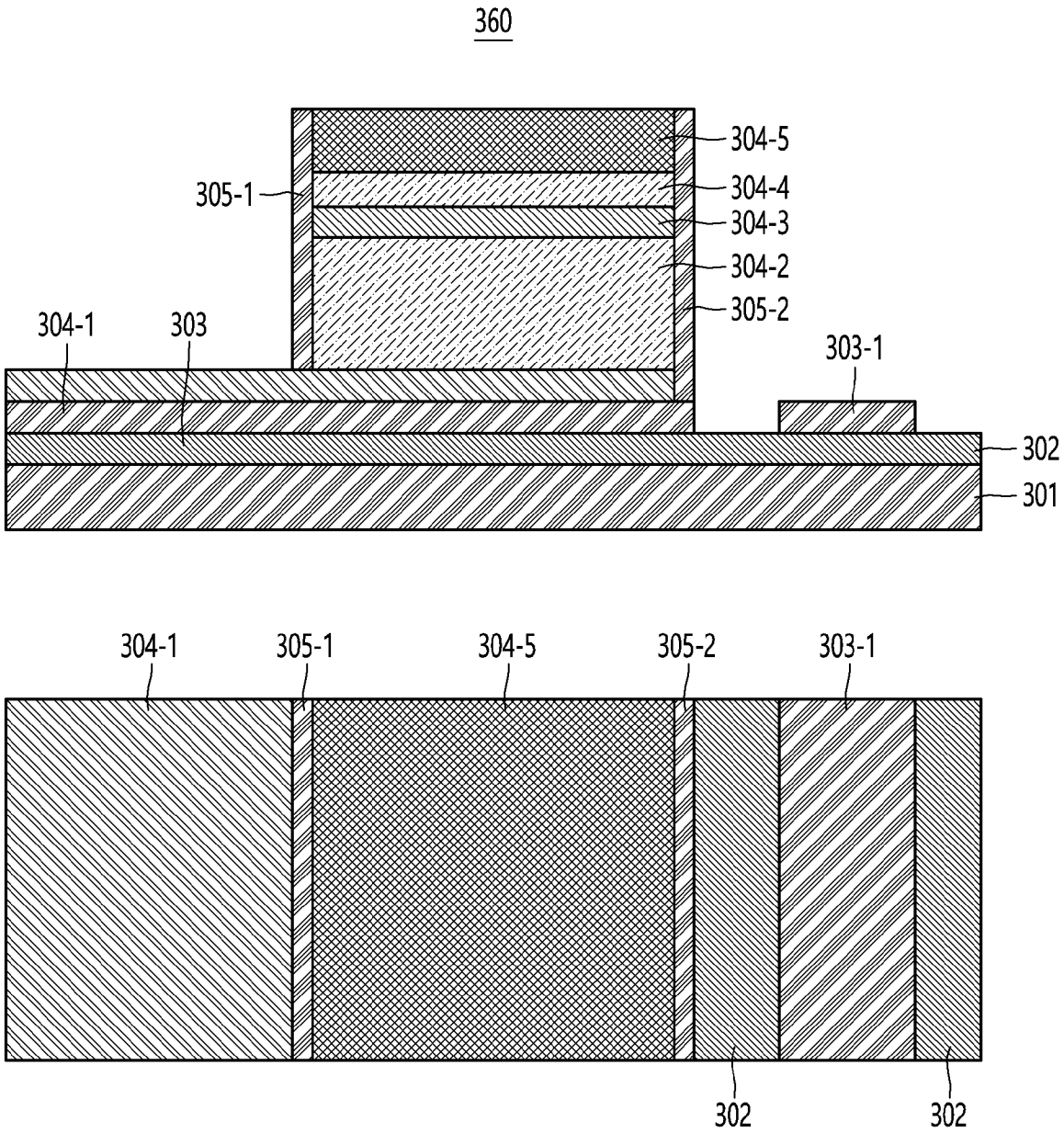
[도3d]



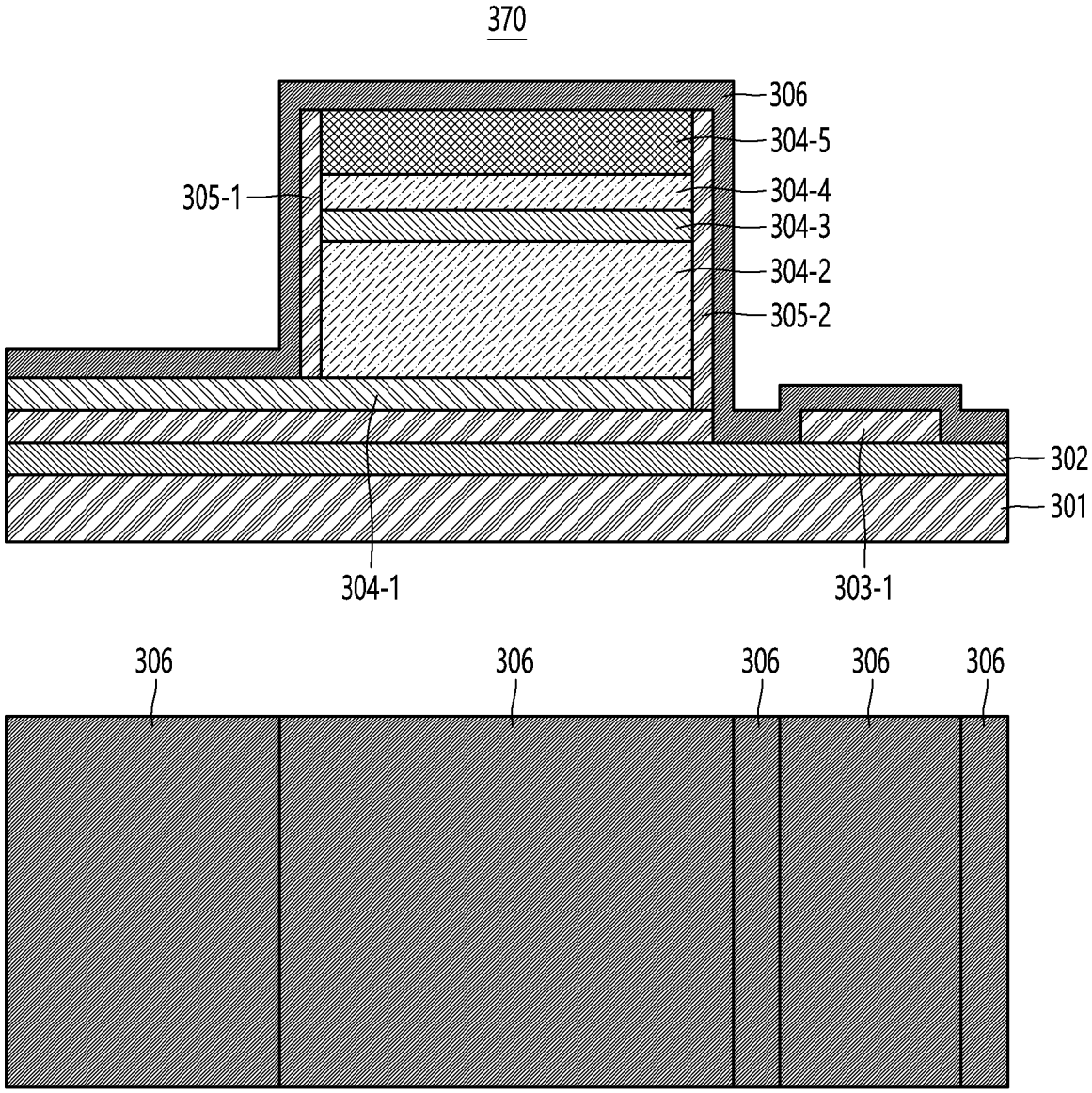
[도3e]


350
304-5
305-1
304-4
304-3
304-2
305-2
304-1
303
305
303
302
301
304-1
305-1
304-5
305-2
305

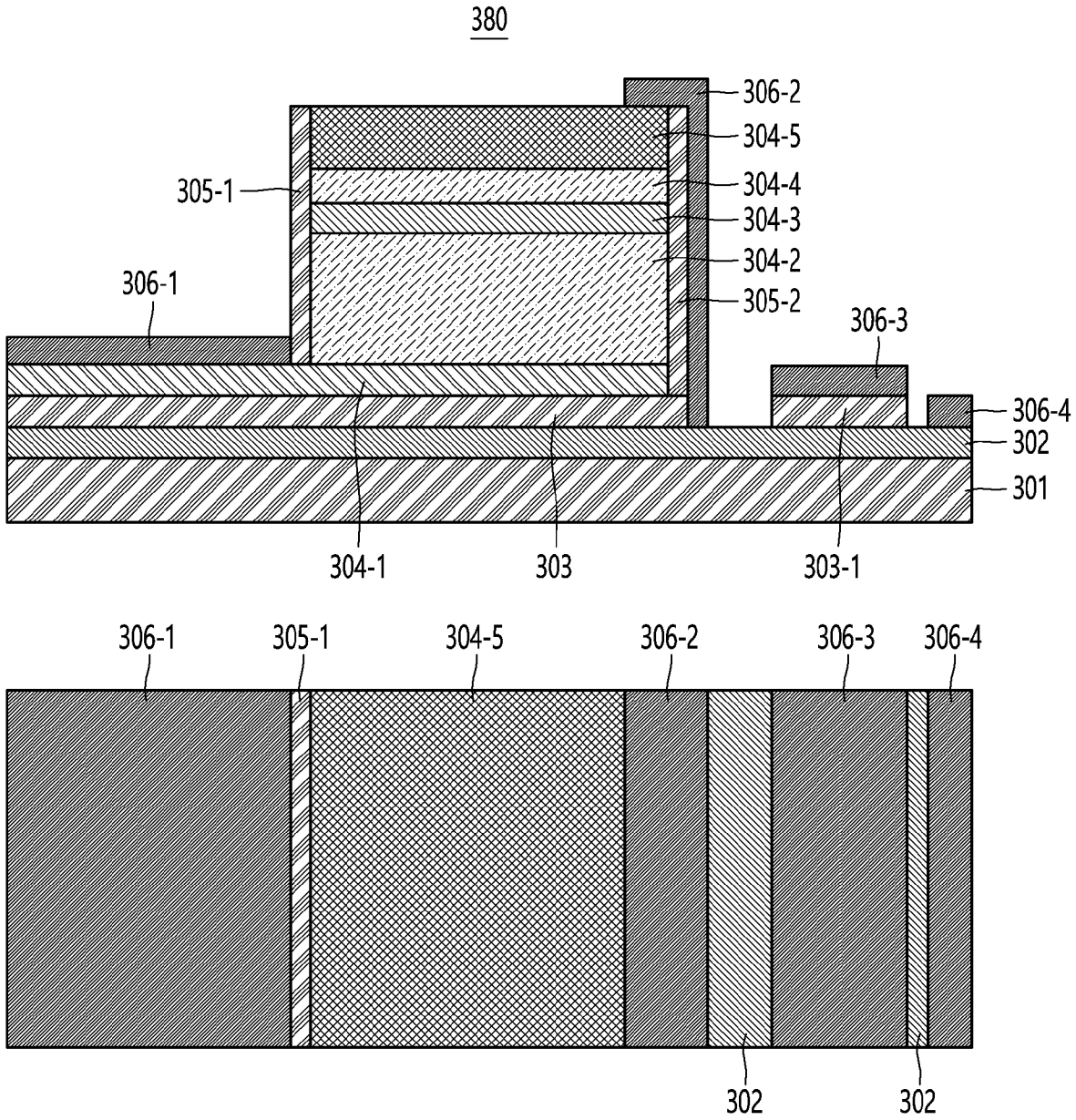
[도3f]


360
304-5
305-1
304-4
304-3
304-2
305-2
304-1
303
303-1
302
301
304-1
305-1
304-5
305-2
303-1
302
302

[도3g]


370
306
304-5
305-1
304-4
304-3
304-2
305-2
302
301
304-1
303-1
306
306
306
306
306

[도3h]


380
306-2
304-5
305-1
304-4
304-3
304-2
306-1
305-2
306-3
306-4
302
301
304-1
303
303-1
306-1
305-1
304-5
306-2
306-3
306-4
302
302

INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2024/096641

A. CLASSIFICATION OF SUBJECT MATTER

H10H 29/01(2025.01)i; **H10H 20/831**(2025.01)i; **H10H 20/832**(2025.01)i; **H10H 20/00**(2025.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H10H 29/01(2025.01); G09F 9/33(2006.01); H01L 27/12(2006.01); H01L 27/15(2006.01); H01L 27/32(2006.01); H01L 31/12(2006.01); H01L 51/52(2006.01); H10H 20/831(2025.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above
Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & keywords: 박막 트랜지스터(thin film transistor), 절연층(insulating layer), 발광소자(light emitting element), 게이트 절연체(gate insulator), 전극(electrode), 단일 배선(single wiring), 패터닝(patterning)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 10-2023-0055956 A (KOREA UNIVERSITY RESEARCH AND BUSINESS FOUNDATION) 26 April 2023 (2023-04-26) See paragraphs [0003], [0025]-[0028], [0046], [0065], [0080], [0093]-[0094], [0130], [0198], [0209] and [0216]; and figures 4 and 24-27.	1-14
A	KR 10-2018-0102422 A (LG ELECTRONICS INC.) 17 September 2018 (2018-09-17) See figures 12-15.	1-14
A	KR 10-2021-0073955 A (SAMSUNG ELECTRONICS CO., LTD.) 21 June 2021 (2021-06-21) See claims 17-29; and figures 12-29.	1-14
A	KR 10-2021-0108124 A (SAMSUNG ELECTRONICS CO., LTD.) 02 September 2021 (2021-09-02) See claims 1-20; and figure 5.	1-14
A	KR 10-1293587 B1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 13 August 2013 (2013-08-13) See figures 5-10.	1-14

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
14 March 2025	**14 March 2025**

Name and mailing address of the ISA/KR	Authorized officer
Korean Intellectual Property Office **Government Complex-Daejeon Building 4, 189 Cheongsa-ro, Seo-gu, Daejeon 35208**	
Facsimile No. **+82-42-481-8578**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2024/096641

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
KR 10-2023-0055956 A	26 April 2023	JP 2024-537366 A	10 October 2024
		KR 10-2766104 B1	13 February 2025
		US 2024-0413142 A1	12 December 2024
		WO 2023-068654 A1	27 April 2023
KR 10-2018-0102422 A	17 September 2018	KR 10-2316326 B1	22 October 2021
KR 10-2021-0073955 A	21 June 2021	CN 112951866 A	11 June 2021
		EP 3836212 A1	16 June 2021
		EP 3836212 B1	26 April 2023
		US 11430374 B2	30 August 2022
		US 11837155 B2	05 December 2023
		US 12100340 B2	24 September 2024
		US 2021-0183301 A1	17 June 2021
		US 2022-0246092 A1	04 August 2022
		US 2023-0395016 A1	07 December 2023
KR 10-2021-0108124 A	02 September 2021	US 2022-0375908 A1	24 November 2022
		WO 2021-172799 A1	02 September 2021
KR 10-1293587 B1	13 August 2013	CN 102593380 A	18 July 2012
		CN 102593380 B	25 November 2015
		CN 105185817 A	23 December 2015
		CN 105185817 B	17 August 2018
		CN 1953198 A	25 April 2007
		CN 1953198 B	16 May 2012
		JP 2007-141821 A	07 June 2007
		JP 2011-233545 A	17 November 2011
		JP 2012-138382 A	19 July 2012
		JP 2013-179097 A	09 September 2013
		JP 2013-214529 A	17 October 2013
		JP 2014-220246 A	20 November 2014
		JP 2016-012566 A	21 January 2016
		JP 2017-004971 A	05 January 2017
		JP 2018-139224 A	06 September 2018
		JP 2019-207881 A	05 December 2019
		JP 2020-031064 A	27 February 2020
		JP 2022-017346 A	25 January 2022
		JP 6436950 B2	12 December 2018
		KR 10-1332292 B1	25 November 2013
		KR 10-2007-0042076 A	20 April 2007
		KR 10-2012-0052205 A	23 May 2012
		TW 200733375 A	01 September 2007
		TW 201423983 A	16 June 2014
		TW I460851 B	11 November 2014
		TW I517378 B	11 January 2016
		US 10199612 B2	05 February 2019
		US 11171315 B2	09 November 2021
		US 11770965 B2	26 September 2023
		US 12127466 B2	22 October 2024
		US 2007-0085475 A1	19 April 2007
		US 2013-0248920 A1	26 September 2013
		US 2015-0069367 A1	12 March 2015
		US 2016-0126299 A1	05 May 2016

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2024/096641

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
		US 2017-0110692 A1	20 April 2017
		US 2018-0183016 A1	28 June 2018
		US 2019-0165334 A1	30 May 2019
		US 2022-0059809 A1	24 February 2022
		US 2024-0016044 A1	11 January 2024
		US 8441185 B2	14 May 2013
		US 8847483 B2	30 September 2014
		US 9224792 B2	29 December 2015
		US 9536932 B2	03 January 2017
		US 9893325 B2	13 February 2018

국 제 조 사 보 고 서

국제출원번호
PCT/KR2024/096641

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H10H 29/01(2025.01)i; **H10H 20/831**(2025.01)i; **H10H 20/832**(2025.01)i; **H10H 20/00**(2025.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H10H 29/01(2025.01); G09F 9/33(2006.01); H01L 27/12(2006.01); H01L 27/15(2006.01); H01L 27/32(2006.01); H01L 31/12(2006.01); H01L 51/52(2006.01); H10H 20/831(2025.01)

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 박막 트랜지스터(thin film transistor), 절연층(insulating layer), 발광소자(light emitting element), 게이트 절연체(gate insulator), 전극(electrode), 단일 배선(single wiring), 패터닝(patterning)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	KR 10-2023-0055956 A (고려대학교 산학협력단) 2023.04.26 단락 [0003], [0025]-[0028], [0046], [0065], [0080], [0093]-[0094], [0130], [0198], [0209], [0216]; 및 도면 4, 24-27	1-14
A	KR 10-2018-0102422 A (엔지전자 주식회사) 2018.09.17 도면 12-15	1-14
A	KR 10-2021-0073955 A (삼성전자주식회사) 2021.06.21 청구항 17-29; 및 도면 12-29	1-14
A	KR 10-2021-0108124 A (삼성전자주식회사) 2021.09.02 청구항 1-20; 및 도면 5	1-14
A	KR 10-1293587 B1 (가부시키가이샤 한도오따이 에네루기 켄큐쇼) 2013.08.13 도면 5-10	1-14

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☑ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌
"D" 본 국제출원에서 출원인이 인용한 문헌
"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌
"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌
"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌
"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌
"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌
"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.
"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.
"&" 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일	국제조사보고서 발송일
2025년03월14일(14.03.2025)	**2025년03월14일(14.03.2025)**

ISA/KR의 명칭 및 우편주소	심사관
대한민국 특허청 **(35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사)**	이강하
팩스 번호 **+82-42-481-8578**	전화번호 **+82-42-481-8463**

국 제 조 사 보 고 서
대응특허에 관한 정보

국제출원번호
PCT/KR2024/096641

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2023-0055956 A	2023/04/26	JP 2024-537366 A	2024/10/10
		KR 10-2766104 B1	2025/02/13
		US 2024-0413142 A1	2024/12/12
		WO 2023-068654 A1	2023/04/27
KR 10-2018-0102422 A	2018/09/17	KR 10-2316326 B1	2021/10/22
KR 10-2021-0073955 A	2021/06/21	CN 112951866 A	2021/06/11
		EP 3836212 A1	2021/06/16
		EP 3836212 B1	2023/04/26
		US 11430374 B2	2022/08/30
		US 11837155 B2	2023/12/05
		US 12100340 B2	2024/09/24
		US 2021-0183301 A1	2021/06/17
		US 2022-0246092 A1	2022/08/04
		US 2023-0395016 A1	2023/12/07
KR 10-2021-0108124 A	2021/09/02	US 2022-0375908 A1	2022/11/24
		WO 2021-172799 A1	2021/09/02
KR 10-1293587 B1	2013/08/13	CN 102593380 A	2012/07/18
		CN 102593380 B	2015/11/25
		CN 105185817 A	2015/12/23
		CN 105185817 B	2018/08/17
		CN 1953198 A	2007/04/25
		CN 1953198 B	2012/05/16
		JP 2007-141821 A	2007/06/07
		JP 2011-233545 A	2011/11/17
		JP 2012-138382 A	2012/07/19
		JP 2013-179097 A	2013/09/09
		JP 2013-214529 A	2013/10/17
		JP 2014-220246 A	2014/11/20
		JP 2016-012566 A	2016/01/21
		JP 2017-004971 A	2017/01/05
		JP 2018-139224 A	2018/09/06
		JP 2019-207881 A	2019/12/05
		JP 2020-031064 A	2020/02/27
		JP 2022-017346 A	2022/01/25
		JP 6436950 B2	2018/12/12
		KR 10-1332292 B1	2013/11/25
		KR 10-2007-0042076 A	2007/04/20
		KR 10-2012-0052205 A	2012/05/23
		TW 200733375 A	2007/09/01
		TW 201423983 A	2014/06/16
		TW I460851 B	2014/11/11
		TW I517378 B	2016/01/11
		US 10199612 B2	2019/02/05
		US 11171315 B2	2021/11/09
		US 11770965 B2	2023/09/26
		US 12127466 B2	2024/10/22
		US 2007-0085475 A1	2007/04/19
		US 2013-0248920 A1	2013/09/26
		US 2015-0069367 A1	2015/03/12

국 제 조 사 보 고 서
대응특허에 관한 정보

국제출원번호
PCT/KR2024/096641

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
		US 2016-0126299 A1	2016/05/05
		US 2017-0110692 A1	2017/04/20
		US 2018-0183016 A1	2018/06/28
		US 2019-0165334 A1	2019/05/30
		US 2022-0059809 A1	2022/02/24
		US 2024-0016044 A1	2024/01/11
		US 8441185 B2	2013/05/14
		US 8847483 B2	2014/09/30
		US 9224792 B2	2015/12/29
		US 9536932 B2	2017/01/03
		US 9893325 B2	2018/02/13