

(43) 国際公開日  
2008 年 10 月 23 日 (23.10.2008)

PCT

(10) 国際公開番号  
WO 2008/126155 A1

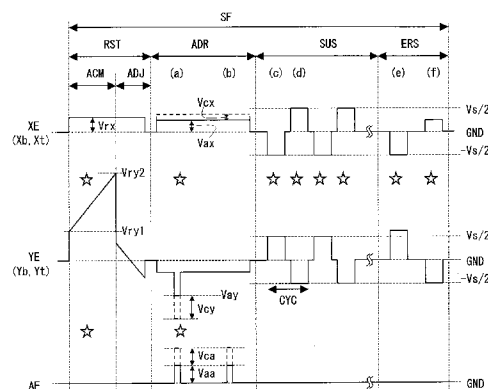
- (51) 国際特許分類:  
G09G 3/288 (2006.01)
- (21) 国際出願番号: PCT/JP2007/000408
- (22) 国際出願日: 2007 年 4 月 13 日 (13.04.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒1008280 東京都千代田区丸の内一丁目 6 番 6 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 佐々木孝 (SASAKI, Takashi) [JP/JP]; 〒2440817 神奈川県横浜市戸塚区吉田町 2 9 2 番地株式会社日立製作所内 Kanagawa (JP). 高木彰浩 (TAKAGI, Akihiro) [JP/JP]; 〒2440817 神奈川県横浜市戸塚区吉田町 2 9 2 番地株式会社日立製作所内 Kanagawa (JP).
- (74) 代理人: 古谷史旺, 外 (FURUYA, Fumio et al.); 〒1600023 東京都新宿区西新宿 1 丁目 1 9 番 5 号第 2 明宝ビル 9 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

[続葉有]

(54) Title: METHOD FOR DRIVING PLASMA DISPLAY PANEL AND PLASMA DISPLAY DEVICE

(54) 発明の名称: プラズマディスプレイパネルの駆動方法およびプラズマディスプレイ装置

[図6]



(57) Abstract: To prevent improper discharge while suppressing light emission in a reset period. A plasma display device includes a plasma display panel and a drive section that drives the plasma display panel. The plasma display panel includes a front substrate having three electrodes, i.e., a sustain electrode, a scan electrode, and an address electrode. One field for display of one screen is composed of a plurality of sub-fields. At least one of the sub-fields has a reset period. Furthermore, the reset period includes an accumulation period during which a waveform voltage increasing with time is applied to the scan electrode. For example, in the accumulation period, the drive section applies a first voltage to the sustain electrode, a waveform voltage higher than the first voltage to the scan electrode, and a voltage lower than the first voltage to the address electrode, respectively.

(57) 要約: リセット期間の発光を抑制しつつ、誤放電を防止することを課題とする。プラズマディスプレイ装置は、プラズマディスプレイパネルと、プラズマディスプレイパネルを駆動する駆動部とを有している。プラズマディスプレイパネルは、前面基板部に、維持、走査およびアドレスの3電極を有している。1画面を表示するための1フィールドは、複数のサブフィールドで構成され、複数のサブフィールドのうちの少なくとも1つのサブフィールドは、リセット期間を有している。さらに、リセット期間は、

[続葉有]



WO 2008/126155 A1



CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,  
IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK,  
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,  
ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

---

時間の経過に伴って電圧値が増大する波形電圧を走査電極に印加する蓄積期間を有している。例えば、駆動部は、蓄積期間に、維持電極に第 1 電圧を、走査電極に第 1 電圧より高い波形電圧を、アドレス電極に第 1 電圧より低い電圧をそれぞれ印加する。

## 明 細 書

# プラズマディスプレイパネルの駆動方法およびプラズマディスプレイ装置

## 技術分野

[0001] 本発明は、プラズマディスプレイパネルおよびプラズマディスプレイ装置に関する。

## 背景技術

[0002] プラズマディスプレイパネル（PDP）は、2枚のガラス基板を互いに貼り合わせて構成されており、ガラス基板の間に形成される空間に放電光を発生させることで画像を表示する。画像における画素に対応するセルは、自発光型であり、放電により発生する紫外線を受けて赤、緑、青の可視光を発生する蛍光体が塗布されている。

[0003] 3電極構造のPDPは、サステイン期間に、維持電極および走査電極間でサステイン放電を発生させることで、画像を表示する。サステイン放電を発生させるセル（点灯させるセル）は、例えば、アドレス期間において、走査電極およびアドレス電極間で選択的にアドレス放電を発生させることにより、選択される。また、アドレス期間の前には、アドレス放電を発生させるための壁電荷を蓄積するリセット期間が存在する。

[0004] 一般的なPDPでは、維持電極および走査電極は前面ガラス基板に配置され、アドレス電極は背面ガラス基板に配置されている。また、近年、維持電極および走査電極とアドレス電極の3電極を前面ガラス基板に配置したPDPが提案されている（例えば、特許文献1参照）。

特許文献1：特開2005-116508号公報

## 発明の開示

## 発明が解決しようとする課題

[0005] 前面ガラス基板上に3電極を有するPDPでは、アドレス電極と走査電極間の距離と、維持電極と走査電極間の距離との差が小さいため、アドレス電

極と走査電極間の放電が発生し始める電圧（放電開始電圧）と、維持電極と走査電極間の放電開始電圧とが近い値になる。このため、前面ガラス基板上に3電極を有するPDPでは、アドレス電極と走査電極間でアドレス放電が発生させるときに、選択されていない維持電極と走査電極間で誤放電が発生するおそれがある。

[0006] 本発明の目的は、前面ガラス基板上に3電極を有するPDPにおいて、誤放電を防止することである。特に、本発明の目的は、リセット期間での発光を抑制しつつ、誤放電を防止することである。

### 課題を解決するための手段

[0007] プラズマディスプレイ装置は、プラズマディスプレイパネルと、プラズマディスプレイパネルを駆動する駆動部とを有している。そして、プラズマディスプレイパネルは、前面基板部に維持、走査およびアドレスの3電極を有している。1画面を表示するための1フィールドは、複数のサブフィールドで構成され、複数のサブフィールドのうちの少なくとも1つのサブフィールドは、リセット期間を有している。

[0008] さらに、リセット期間は、時間の経過に伴って電圧値が増大する波形電圧を走査電極に印加する蓄積期間を有している。例えば、駆動部は、蓄積期間に、維持電極に第1電圧を、走査電極に第1電圧より高い波形電圧を、アドレス電極に第1電圧より低い電圧をそれぞれ印加する。

### 発明の効果

[0009] 本発明では、前面ガラス基板上に3電極を有するPDPにおいて、誤放電を防止できる。特に、本発明では、リセット期間での発光を抑制しつつ、誤放電を防止できる。

### 図面の簡単な説明

[0010] [図1] 本発明の第1の実施形態を示す分解斜視図である。

[図2] 図1に示したPDPの要部の詳細を示す分解斜視図である。

[図3] 図1に示したPDPの要部の説明図である。

[図4] 図1に示したPDPの要部の断面図である。

[図5] 1画面の画像を表示するためのフィールドの構成例を示す説明図である。

[図6] 図5に示したサブフィールドの放電動作の例を示す波形図である。

[図7] 図1に示した回路部の概要を示すブロック図である。

[図8] 図1に示した背面基板部の概要を示す説明図である。

[図9] 本発明の第2の実施形態におけるPDPの要部の説明図である。

[図10] 本発明の第2の実施形態におけるPDPの要部の断面図である。

[図11] 本発明の第3の実施形態におけるPDPの要部の説明図である。

[図12] 本発明の第3の実施形態におけるPDPの要部の断面図である。

[図13] 本発明の第4の実施形態におけるPDPの要部の詳細を示す分解斜視図である。

[図14] 図13に示したPDPの要部の説明図である。

[図15] 図13に示したPDPの要部の断面図である。

[図16] 図13に示した背面基板部の概要を示す説明図である。

[図17] 図6に示した放電動作の変形例を示す波形図である。

[図18] 図6に示した放電動作の別の変形例を示す波形図である。

[図19] 本発明の変形例におけるPDPの要部の説明図である。

[図20] 本発明の変形例におけるPDPの要部の断面図である。

[図21] 本発明の別の変形例におけるPDPの要部の説明図である。

[図22] 本発明の第2の実施形態の変形例におけるPDPの要部の説明図である。

[図23] 本発明の第2の実施形態の変形例におけるPDPの要部の断面図である。

### 発明を実施するための最良の形態

[0011] 以下、本発明の実施形態を図面を用いて説明する。

[0012] 図1は、本発明の一実施形態を示している。プラズマディスプレイ装置（以下、PDP装置とも称する）は、四角板形状を有するプラズマディスプレイパネル10（以下、PDPとも称する）、PDP10の画像表示面16側

（光の出力側）に設けられる光学フィルタ 20、PDP 10の画像表示面 16側に配置された前筐体 30、PDP 10の背面 18側に配置された後筐体 40およびベースシャーシ 50、ベースシャーシ 50の後筐体 40側に取り付けられ、PDP 10を駆動するための回路部 60、およびPDP 10をベースシャーシ 50に貼り付けるための両面接着シート 70を有している。回路部 60は、複数の部品で構成されるため、図では、破線の箱で示している。

[0013] PDP 10は、画像表示面 16を構成する前面基板部 12（第 1 基板）と、前面基板部 12に対向する背面基板部 14（第 2 基板）とにより構成されている。前面基板部 12と背面基板部 14の間に図示しない放電空間（セル）が形成されている。前面基板部 12および背面基板部 14は、例えば、ガラス基板により形成されている。光学フィルタ 20は、前筐体 30の開口部 32に取り付けられる保護ガラス（図示せず）に貼付される。なお、光学フィルタ 20に電磁波遮蔽機能を持たせることもある。また、光学フィルタ 20は、保護ガラスではなく、PDP 10の画像表示面 16側に直接貼付されることもある。

[0014] 図 2、図 3 および図 4 は、図 1 に示した PDP 10 の要部を示している。なお、図 2 は、PDP 10 の要部の分解斜視図である。また、図 3 は、画像表示面側（図 2 の上側）から見た電極 X<sub>b</sub>、X<sub>t</sub>、Y<sub>b</sub>、Y<sub>t</sub>、AE および隔壁 BR の状態を示し、図 4 は、図 3 の A-A' 線に沿う断面を示している。図中の矢印 D<sub>1</sub> は、第 1 方向 D<sub>1</sub> を示し、矢印 D<sub>2</sub> は、第 1 方向 D<sub>1</sub> に画像表示面に平行な面内で直交する第 2 方向 D<sub>2</sub> を示している。

[0015] 図 2 に示すように、前面基板部 12 は、繰り返して放電を発生させるために、ガラス基材 FS 上（図では下側）に第 1 方向 D<sub>1</sub> に沿って平行に形成され、第 2 方向 D<sub>2</sub> に沿って交互に形成された X バス電極 X<sub>b</sub> および Y バス電極 Y<sub>b</sub> を有している。X バス電極 X<sub>b</sub> には、X バス電極 X<sub>b</sub> から Y バス電極 Y<sub>b</sub> に向けて第 2 方向 D<sub>2</sub> に延在する X 透明電極 X<sub>t</sub> が接続されている。また、Y バス電極 Y<sub>b</sub> には、Y バス電極 Y<sub>b</sub> から X バス電極 X<sub>b</sub> に向けて第 2

方向D2に延在するY透明電極Y<sub>t</sub>が接続されている。すなわち、透明電極X<sub>t</sub>および透明電極Y<sub>t</sub>は、第2方向D2に沿って対向している。

[0016] ここで、Xバス電極X<sub>b</sub>およびYバス電極Y<sub>b</sub>は、金属材料等で形成された不透明な電極であり、X透明電極X<sub>t</sub>およびY透明電極Y<sub>t</sub>は、ITO膜等で形成された光を透過する透明電極である。そして、X電極X<sub>E</sub>（維持電極）は、Xバス電極X<sub>b</sub>およびX透明電極X<sub>t</sub>により構成され、Y電極Y<sub>E</sub>（走査電極）は、Yバス電極Y<sub>b</sub>およびY透明電極Y<sub>t</sub>により構成される。なお、透明電極はX<sub>t</sub>およびY<sub>t</sub>は、それぞれが当接するバス電極X<sub>b</sub>およびY<sub>b</sub>とガラス基材F<sub>S</sub>との間全面に配置されることもある。

[0017] 電極X<sub>b</sub>、X<sub>t</sub>、Y<sub>b</sub>、Y<sub>t</sub>は、誘電体層DL1に覆われている。例えば、誘電体層DL1は、CVD法により形成された二酸化シリコン膜（SiO<sub>2</sub>膜、シリコン酸化膜）である。そして、誘電体層DL1上（図では下側）には、バス電極X<sub>b</sub>、Y<sub>b</sub>の直交方向（第2方向D2）に延在する複数のアドレス電極A<sub>E</sub>が設けられている。アドレス電極A<sub>E</sub>は、誘電体層DL2に覆われており、誘電体層DL2の表面は、MgO等の保護層PLに覆われている。

[0018] 放電空間D<sub>S</sub>を介して前面基板部12に対向する背面基板部14は、ガラス基材R<sub>S</sub>上に、互いに平行に形成された隔壁（バリアリブ）B<sub>R</sub>を有している。隔壁B<sub>R</sub>は、バス電極X<sub>b</sub>、Y<sub>b</sub>に直交する方向（第2方向D2）に延伸し、アドレス電極A<sub>E</sub>に対向している。換言すれば、アドレス電極A<sub>E</sub>は、隔壁B<sub>R</sub>に対向する位置に配置されている。隔壁B<sub>R</sub>により、セルの側壁が構成される。さらに、隔壁B<sub>R</sub>の側面と、互いに隣接する隔壁B<sub>R</sub>の間のガラス基材R<sub>S</sub>上とは、紫外線により励起されて赤（R）、緑（G）、青（B）の可視光を発生する蛍光体PH<sub>r</sub>、PH<sub>g</sub>、PH<sub>b</sub>が、それぞれ塗布されている。

[0019] PDP10の1つの画素は、赤、緑および青の光を発生する3つのセルにより構成される。ここで、1つのセル（一色の画素）は、バス電極X<sub>b</sub>、Y<sub>b</sub>と隔壁B<sub>R</sub>とで規定される放電空間D<sub>S</sub>に形成される。このように、PD

P 1 0 は、画像を表示するためにセルをマトリックス状に配置し、かつ互いに異なる色の光を発生する複数種のセルを交互に配列して構成されている。特に図示していないが、バス電極 X b、Y b に沿って形成されたセルにより、表示ラインが構成される。

[0020] P D P 1 0 は、前面基板部 1 2 および背面基板部 1 4 を、保護層 P L と隔壁 B R が互いに接するように貼り合わせ、N e、X e 等の放電ガスを放電空間 D S に封入することで構成される。

[0021] 図 3 に示すように、画像表示面側から見た場合、アドレス電極 A E は、隔壁 B R に重なる位置に設けられている。上述したように、セル C 1 は、バス電極 X b、Y b と隔壁 B R とで囲われる領域（図 3 の太い破線で囲んだ領域）に形成される。なお、各セル C 1 の放電空間 D S は、図 4 に示すように、前面基板部 1 2 と背面基板部 1 4 の間（より詳細には、背面基板部 1 4 の凹部）に形成される。

[0022] 図 3 の例では、透明電極 Y t は、画像表示面側から見た場合、自身の左側に位置するアドレス電極 A E に対向している。このため、アドレス電極 A E と透明電極 Y t 間に電圧を印加することにより、着目するセル C 1 の放電空間 D S でアドレス放電を発生させることができる。このとき、隔壁 B R も誘電体層の一部として作用し、アドレス電極 A E と透明電極 Y t 間の電界が放電空間 D S に生ずる。

[0023] また、表示ライン D S L に沿って配置される透明電極 X t、Y t は、第 1 方向 D 1 に沿って交互に配置されている。したがって、アドレス電極 A E を挟んで第 1 方向 D 1 に隣接する一対のセル C 1 において、アドレス電極 A E の第 1 方向 D 1 側の一方（図の右側）に、一方のセル C 1 の透明電極 Y t（走査電極）が隣接し、アドレス電極 A E の第 1 方向 D 1 側の他方（図の左側）に、他方のセル C 1 の透明電極 X t（維持電極）が隣接する。換言すれば、アドレス電極 A E を挟んで第 1 方向 D 1 に隣接する一対のセル C 1 において、アドレス電極 A E は、一方の透明電極 Y t のみに対向する。したがって、着目するセル C 1 のアドレス電極 A E と透明電極 Y t 間でアドレス放電を



発生させるとき（アドレス期間）に、アドレス電極 A E と隣接するセル C 1 の透明電極 Y t 間で誤放電が発生することを防止できる。

[0024] 図 5 は、1 画面の画像を表示するためのフィールド F L D の構成例を示している。1 つのフィールド F L D の長さは、 $1/60$  秒（約  $16.7 \text{ ms}$ ）であり、例えば、8 個のサブフィールド S F（S F 1－S F 8）で構成される。各サブフィールド S F は、リセット期間 R S T、アドレス期間 A D R、サステイン期間 S U S および消去期間 E R S により構成される。なお、消去期間 E R S は、点灯したセルのみの壁電荷を減少させるための放電が発生させる期間のため、サステイン期間 S U S に含めて定義される場合もある。ここで、壁電荷とは、例えば、各セルにおいて、図 2 に示した M g O 等の保護層 P L の表面に蓄積されるプラス電荷およびマイナス電荷である。

[0025] サステイン期間 S U S の長さは、サブフィールド S F により異なり、セルの放電回数（輝度）に依存する。このため、点灯させるサブフィールド S F の組み合わせを変えることにより、画像を多階調で表示することが可能になる。この例では、サブフィールド S F 1－8 に予め設定されているサステイン放電の回数は、それぞれ 4、8、16、32、64、128、256、512 である。後述する図 6 に示すように 1 つの放電サイクル C Y C 中に、セルは 2 回放電する（図の星印）。

[0026] 図 6 は、図 5 に示したサブフィールド S F の放電動作の例を示している。図中の星印は、放電の発生を示している。また、図中のアドレス期間 A D R に破線で示した波形は、壁電荷により重畳された電圧を示している。なお、アドレス期間 A D R 以外の期間は、壁電荷により重畳された電圧を図示していない。

[0027] リセット期間 R S T は、蓄積期間 A C M および調整期間 A D J により構成される。蓄積期間 A C M は、点灯したセルと点灯しなかったセルとに残留している壁電荷の影響を小さくするために壁電荷を過剰に蓄積する期間である。すなわち、蓄積期間 A C M は、全てのセルに、アドレス放電に必要な壁電荷の量より多い量の壁電荷を蓄積する期間である。調整期間 A D J は、全て

のセルの放電開始電圧（放電が発生し始める電圧）を合わせるために、蓄積期間 A C M に蓄積された壁電荷の量を調整する期間である。

[0028] まず、リセット期間 R S T の蓄積期間 A C M では、正の書き込み電圧  $V_{rx}$ （第 1 電圧）が、維持電極 X E に印加され、電圧  $V_{rx}$  より高い電圧  $V_{ry1}$  から電圧  $V_{ry2}$  まで緩やかに上昇する書き込み電圧（書き込み鈍波）が、走査電極 Y E に印加される。このとき、アドレス電極 A E には、電圧  $V_{rx}$  より低い電圧、例えば、接地線 G N D の電圧（0 V）が印加される。

[0029] 例えば、従来の制御方法では、主に、維持電極 X E と走査電極 Y E 間の放電により、維持電極 X E、アドレス電極 A E、走査電極 Y E に壁電荷をそれぞれ蓄積するため、維持電極 X E と走査電極 Y E 間の放電量を多くする必要がある。このため、従来の制御方法では、維持電極 X E に負の書き込み電圧を印加して、維持電極 X E と走査電極 Y E 間の電圧差を大きくしている。

[0030] これに対し、本発明では、走査電極 Y E とアドレス電極 A E 間の放電により、アドレス電極 A E に正の壁電荷を蓄積するため、維持電極 X E と走査電極 Y E 間の放電量を少なくできる。このため、維持電極 X E と走査電極 Y E 間の電圧差を小さくでき、維持電極 X E に印加する電圧を、正の書き込み電圧  $V_{rx}$  まで高くできる。また、維持電極 X E と走査電極 Y E 間の放電量を少なくできるため、放電による発光を抑制できる。

[0031] なお、走査電極 Y E とアドレス電極 A E 間の放電では、放電に寄与する面積が小さいため、走査電極 Y E とアドレス電極 A E 間の放電量の増加は抑制される。例えば、走査電極 Y E とアドレス電極 A E 間の放電に寄与する面積は、上述した図 3 に示したアドレス電極 A E における透明電極 Y t に対向している方の端部であり、走査電極 Y E と維持電極 X E 間の放電に寄与する面積（透明電極 X t の面積）に比べて小さい。したがって、走査電極 Y E とアドレス電極 A E 間の放電による発光は、抑制される。

[0032] これにより、セルの発光を抑えながら、維持電極 X E とアドレス電極 A E に正の壁電荷がそれぞれ蓄積され、走査電極 Y E に負の壁電荷が蓄積される。この際、アドレス電極 A E に蓄積される壁電荷の量は、維持電極 X E に蓄

積される壁電荷の量に比べて、維持電極 X E とアドレス電極 A E に印加される電圧の差（電圧  $V_{rx}$ ）に相当する分だけ多くなる。また、維持電極 X E と走査電極 Y E 間の電圧差（電圧  $V_{ry2}$  と電圧  $V_{rx}$  との差）は、電圧  $V_s$  より大きいため、蓄積される壁電荷の量は相対的に多くなる。

[0033] これにより、点灯したセルと点灯しなかったセルとに残留している壁電荷の量に拘わらず、全てのセルに蓄積される壁電荷の量は、アドレス放電に必要な壁電荷の量より多くなる。この結果、調整期間 A D J において、過剰に蓄積された壁電荷を消去することにより、全てのセルの壁電荷をアドレス放電に必要な壁電荷の量に等しくできる。なお、例えば、各電圧  $V_{rx}$ 、 $V_{ry1}$ 、 $V_{ry2}$ 、 $V_s/2$  の電圧値は、それぞれ 50 V、70 V、300 V、70 V である。

[0034] 次に、調整期間 A D J では、正の調整電圧が維持電極 X E に印加され（図の例では、維持電極 X E は、電圧  $V_{rx}$  に維持される）、負の調整電圧（調整鈍波）が走査電極 Y E に印加される。また、アドレス電極 A E は、接地線 G N D に接地された状態に維持される。これにより、維持電極 X E、走査電極 Y E およびアドレス電極 A E にそれぞれ蓄積された壁電荷の量が減るとともに、全てのセルの壁電荷が等しくなる。なお、例えば、正の調整電圧は、 $V_s/2$  より低い電圧であり、負の調整電圧の最小値は、 $-V_s/2$  より高い電圧である。

[0035] アドレス期間 A D R では、アドレス放電時に陽極となるスキャン電圧  $V_{ax}$  が維持電極 X E に印加され、アドレス放電時に陰極となるスキャンパルス（電圧  $V_{ay}$ ）が走査電極 Y E に印加され、アドレス放電時に陽極となるアドレスパルス（電圧  $V_{aa}$ ）が、点灯するセルに対応するアドレス電極 A E に印加される（図 6（a））。この場合、維持電極 X E、走査電極 Y E およびアドレス電極 A E の電圧は、上述の印加電圧（電圧  $V_{ax}$ 、 $V_{ay}$ 、 $V_{aa}$ ）に、リセット期間 R S T に蓄積された壁電荷により発生する電圧  $V_{cx}$ 、 $V_{cy}$ 、 $V_{ca}$ （図中の破線で示した波形）がそれぞれ重畳された大きさになる。

[0036] アドレス電極A Eに印加される電圧 $V_{aa}$ は、電圧 $V_{ax}$ より低く、かつアドレス電極A Eの電圧（電圧 $V_{aa}$ と電圧 $V_{ca}$ との加算）が、維持電極X Eの電圧（電圧 $V_{ax}$ と電圧 $V_{cx}$ との加算）より高くなるように設定される。なお、上述したように、アドレス電極A Eに蓄積される壁電荷は、維持電極X Eに蓄積される壁電荷に比べて、電圧 $V_{rx}$ だけ大きくなる。このため、アドレス電極A Eに蓄積された壁電荷により発生する電圧 $V_{ca}$ は、維持電極X Eに蓄積された壁電荷により発生する電圧 $V_{cx}$ に比べて電圧 $V_{rx}$ だけ高くなる。換言すれば、電圧 $V_{ca}$ は、電圧 $V_{cx}$ と電圧 $V_{rx}$ とを加算した電圧になる。すなわち、電圧 $V_{aa}$ は、電圧 $V_{ax}$ より低く、かつ電圧 $V_{aa}$ と電圧 $V_{rx}$ とを加算した電圧が、電圧 $V_{ax}$ より高くなるように設定される。例えば、電圧 $V_{rx}$ 、 $V_{ax}$ 、 $V_{ay}$ 、 $V_{aa}$ の電圧値は、それぞれ50V、40V、-100V、30Vである。

[0037] 上述の電圧設定により、走査電極Y Eとアドレス電極A E間の電圧は、放電を発生させる最低電圧（放電開始電圧）以上になり、維持電極X Eと走査電極Y E間の電圧は、放電開始電圧より低くなる。これにより、着目する表示ラインにおいて、スキャンパルスとアドレスパルスにより選択されたセルのアドレス電極A Eと走査電極Y E間でアドレス放電を発生させるときに、選択されていないセルの維持電極X Eと走査電極Y E間で誤放電が発生することを防止できる。すなわち、アドレスパルスにより選択されていないセルの維持電極X Eおよび走査電極Y Eに、サステイン放電のための壁電荷が蓄積されることを防止できる。

[0038] スキャンパルスとアドレスパルスにより選択されたセルは、走査電極Y Eとアドレス電極A E間で一時的に放電し、この放電をトリガーにして、維持電極X Eと走査電極Y E間で一時的に放電する。アドレス電極A Eの波形に示される2回目のアドレスパルスは、他の表示ラインのセルを選択するために印加される（図6（b））。

[0039] なお、誤放電を防止するために、リセット期間RSTの制御方法を従来の方法から変更せずに、アドレス電極A Eに印加される電圧 $V_{aa}$ を高くし、

走査電極 Y E に印加される電圧  $V_{ay}$  を低くする方法が、本発明の過程で考えられた。しかし、この場合、アドレス電極 A E に印加される電圧  $V_{aa}$  を高くするため、アドレス電極 A E を駆動する駆動回路（例えば、後述する図 7 に示すドライバ A D R V）の消費電力が増加する。

[0040] これに対し、本発明では、蓄積期間 A C M において、維持電極 X E に蓄積される壁電荷より多くの壁電荷をアドレス電極 A E に蓄積するため、アドレス電極 A E に印加される電圧  $V_{aa}$  を低くできる。したがって、本発明では、アドレス電極 A E を駆動する駆動回路（例えば、後述する図 7 に示すドライバ A D R V）の消費電力の増加を抑制しつつ、誤放電を防止できる。

[0041] サステイン期間 S U S では、負および正のサステインパルスが、維持電極 X E および走査電極 Y E にそれぞれ印加される（図 6（c、d））。これにより、アドレス期間 A D R に選択されたセル（点灯させるセル）の維持電極 X E と走査電極 Y E 間で放電（サステイン放電）が発生し、その点灯したセルの放電状態が維持される。互いに極性の異なるサステインパルスが、維持電極 X E および走査電極 Y E に繰り返して印加されることにより、サステイン期間 S U S に点灯したセルの放電が繰り返し行われる。

[0042] 図 5 で説明したように、1 放電サイクル C Y C 中に 2 回の放電が実施される。例えば、サブフィールド S F 4 は、3 2 個の放電サイクル C Y C で構成され、6 4 回の放電が実施される。なお、点灯させないセルでは、上述したように、維持電極 X E および走査電極 Y E に、サステイン放電のための壁電荷が蓄積されていないため、サステインパルスが印加されても、放電（誤放電）は、発生しない。

[0043] 消去期間 E R S では、負の消去前パルスと正の高電圧の消去前パルスが、維持電極 X E および走査電極 Y E にそれぞれ印加され、放電が発生する（図 6（e））。これにより、壁電荷が、維持電極 X E および走査電極 Y E に蓄積される。この際、走査電極 Y E は、電圧  $V_s / 2$  より高い電圧が印加されるため、蓄積される壁電荷の量は相対的に多くなる。次に、正の消去パルスと負の消去パルスが、維持電極 X E および走査電極 Y E にそれぞれ印加され

る（図 6（f））。これにより、維持電極 X E と走査電極 Y E 間で放電が起こるが、2 電極間に印加されている電圧値の差がサステイン期間 S U S の電圧値の差よりも低いため、壁電荷の量がサステイン期間 S U S に比べて減る。

[0044] なお、後述する図 7 に示すドライバ X D R V、Y D R V には、リセット期間 R S T、アドレス期間 A D R および消去期間 E R S に所定の電圧（例えば、正の調整電圧、負の調整電圧等）を維持電極 X E および走査電極 Y に印加するための回路の記載を省略している。

[0045] 図 7 は、図 1 に示した回路部 6 0 の概要を示している。回路部 6 0 は、バス電極 X b に共通のパルスを印加する X ドライバ X D R V、バス電極 Y b に選択的にパルスを印加する Y ドライバ Y D R V、アドレス電極 A E に選択的にパルスを印加するアドレスドライバ A D R V、ドライバ X D R V、Y D R V、A D R V の動作を制御する制御部 C N T および電源部 P W R を有している。

[0046] ドライバ X D R V、Y D R V、A D R V は、P D P 1 0 を駆動する駆動部として動作する。電源部 P W R は、ドライバ Y D R V、X D R V、A D R V に供給する電源電圧  $V_{ry1}$ 、 $V_{ry2}$ 、 $V_{ay}$ 、 $V_s/2$ 、 $-V_s/2$ 、 $V_{rx}$ 、 $V_{ax}$ 、 $V_{aa}$  を生成する。

[0047] 制御部 C N T は、画像データ R 0 - 7、G 0 - 7、B 0 - 7 に基づいて使用するサブフィールドを選択し、ドライバ Y D R V、X D R V、A D R V に制御信号 Y C N T、X C N T、A C N T を出力する。そして、画素を構成するセル C 1 毎に、使用するサブフィールドを選択することにより、多階調の画像が表示される。なお、画像データ R 0 - 7、G 0 - 7、B 0 - 7 は、赤、緑、青をそれぞれ表示するための 8 ビットからなるデータであり、図示しないチューナ部あるいは外部入力から制御部 C N T に順次に入力される。

[0048] 図 8 は、図 1 に示した背面基板部 1 4 の概要を示している。ガラス基材 R S の周辺部には、排気空間 E S からガラス基材 R S の外面まで貫通する排気孔 E H が設けられている。これにより、組み立てられた P D P の放電空間 D

Sを真空状態に設定でき、放電ガスを放電空間DSに封入できる。また、放電空間DSおよび排気空間ESは、サンドブラスト法等により、ガラス基材RSを直接彫り込んで形成される。すなわち、隔壁BRは、ガラス基材RSを直接彫り込むことにより形成される。これにより、例えば、隔壁BRを形成するための焼成工程を必要としないため、PDPの製造コストを低減できる。多くの場合、この焼成工程の焼成炉は電気をエネルギーとしており、この焼成工程を無くすことは電気エネルギーの削減にもなる。なお、放電空間DSは、ペースト状の隔壁材料を塗布し、乾燥、サンドブラスト、焼成工程を経て形成されてもよい。また、隔壁BRを印刷による積層で形成してもよい。

[0049] 以上、第1の実施形態では、リセット期間における蓄積期間に、電極XE、YE、AEに、電圧 $V_{rx}$ 、電圧 $V_{rx}$ より高い電圧 $V_{ry1}$ から電圧 $V_{ry2}$ まで上昇する電圧、電圧 $V_{rx}$ より低い電圧（接地線GNDの電圧）がそれぞれ印加される。これにより、アドレス期間ADRにおいて、スキャンパルスとアドレスパルスにより選択されたセルのアドレス電極AEと走査電極YE間で放電を発生させるときに、選択されていないセルの維持電極XEと走査電極YE間で誤放電が発生することを防止できる。この結果、サステイン期間SUSにおいて、アドレス期間に選択されていないセルの維持電極XEと走査電極YE間で誤放電が発生することを防止できる。また、蓄積期間ACMでは、維持電極XEに蓄積される壁電荷より多くの壁電荷がアドレス電極AEに蓄積される。これにより、アドレス期間ADRにアドレス電極AEに印加される電圧 $V_{aa}$ を低くできるため、例えば、図7に示したアドレスドライバADRVの消費電力の増加を抑制できる。すなわち、この実施形態では、消費電力の増加を抑制しつつ、誤放電を防止できる。

[0050] 図9および図10は、本発明の第2の実施形態におけるPDP10の要部を示している。この実施形態では、アドレス電極AEに突起部Apが設けられている点が、第1の実施形態と相違している。アドレス電極AEの形状を除く構成は、第1の実施形態（図1—図5、図7、図8）と同じである。第

1の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。また、この実施形態におけるサブフィールドSFの放電動作は、電圧値（例えば、図6に示した電圧 $V_{aa}$ 、 $V_{ay}$ ）を除いて第1の実施形態（図6）と同じである。

[0051] なお、図9は、画像表示面側（図10の上側）から見た電極 $X_b$ 、 $X_t$ 、 $Y_b$ 、 $Y_t$ 、AEおよび隔壁BRの状態を示し、図10は、図9のA-A'線に沿う断面を示している。

[0052] 突起部Apは、透明電極 $Y_t$ の先端とバス電極 $X_b$ との隙間GPに、アドレス電極AEから突出してアドレス電極AEと一体に形成されている。すなわち、突起部Apは、図10に示すように、誘電体層DL2および保護層PLを介して、アドレス電極AEに対応するセルC1の放電空間DS上に配置される。放電空間DS上に突起部Apが形成されているため、突起部Apと透明電極 $Y_t$ 間で放電を発生させるときの放電開始電圧を低くできる。すなわち、アドレス電極AEと透明電極 $Y_t$ 間に印加する電圧、例えば、上述した図6に示した電圧 $V_{aa}$ を小さくできる。また、電圧 $V_{aa}$ を小さくすることにより、隣接するセルC1での誤放電の発生をさらに低減できる。なお、突起部Apはバス電極 $X_b$ （維持電極）に近接するが、前述の隣接セルの透明電極 $X_t$ （維持電極）と同様にアドレス放電の際に誤放電を起こすことはない。

[0053] 以上、第2の実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、この実施形態では、放電空間DS上に形成された突起部Apと透明電極 $Y_t$ 間で放電を発生させるため、アドレス期間に印加する電圧、例えば、図6に示した電圧 $V_{aa}$ を小さくできる。この結果、アドレス電極AEのドライバ回路（例えば、図7に示したアドレスドライバADRV）の消費電力を低減できる。なお、アドレス電極AEに、第1の実施形態と同じ電圧（例えば、図6に示した電圧 $V_{aa}$ ）を印加した場合、放電開始電圧が第1の実施形態に比べて低いため、アドレス電極AEと走査電極YE間のアドレス放電を確実に発生させることができる。



[0054] 図 1 1 および図 1 2 は、本発明の第 3 の実施形態における PDP 10 の要部を示している。この実施形態では、アドレス電極 A E が配置される位置が、第 1 の実施形態と相違している。その他の構成は、第 1 の実施形態（図 1 - 図 5、図 7、図 8）と同じである。第 1 の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。また、この実施形態におけるサブフィールド S F の放電動作は、電圧値（例えば、図 6 に示した電圧  $V_{aa}$ 、 $V_{ay}$ ）を除いて第 1 の実施形態（図 6）と同じである。

[0055] なお、図 1 1 は、画像表示面側（図 1 2 の上側）から見た電極 X b、X t、Y b、Y t、A E および隔壁 B R の状態を示し、図 1 2 は、図 1 1 の A - A' 線に沿う断面を示している。

[0056] アドレス電極 A E は、隔壁 B R の中心 R C から隣接する透明電極 Y t 側に片寄って配置されている。例えば、アドレス電極 A E の一部は、隔壁 B R 1 から透明電極 Y t 側にはみ出して配置される。なお、アドレス電極 A E は、隔壁 B R 1 から透明電極 Y t 側にはみ出ない範囲で、透明電極 Y t 側に片寄って配置されてもよい。これにより、アドレス電極 A E と透明電極 Y t 間の距離を短くできるため、アドレス電極 A E と透明電極 Y t 間で放電を発生させるときの放電開始電圧を低くできる。すなわち、アドレス電極 A E と透明電極 Y t 間に印加する電圧、例えば、上述した図 6 に示した電圧  $V_{aa}$  を小さくできる。

[0057] 以上、第 3 の実施形態においても、上述した第 1 の実施形態と同様の効果を得ることができる。さらに、この実施形態では、放電開始電圧を低くできるため、上述した第 2 の実施形態と同様の効果を得ることができる。

[0058] 図 1 3 は、本発明の第 4 の実施形態における PDP 10 を示している。この実施形態では、ガラス基材 R S 上に隔壁 B R 2 が設けられている点が、第 1 の実施形態と相違している。その他の構成は、第 1 の実施形態（図 1 - 図 5、図 7）と同じである。第 1 の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。ま

た、この実施形態におけるサブフィールドSFの放電動作は、第1の実施形態（図6）と同じである。

[0059] 隔壁BR2は、ガラス基材RS上に第1方向D1に形成され、バス電極Xb、Ybに対向している。隔壁BR、BR2により、セルの側壁が構成される。すなわち、セルの放電空間DSは、隔壁BR、BR2により互いに隔離されている。これにより、第2方向D2で隣接するセルの誤放電を防止できる。

[0060] 図14および図15は、図13に示したPDP10の要部を示している。図14は、画像表示面側（図15の上側）から見た電極Xb、Xt、Yb、Yt、AEおよび隔壁BR、BR2の状態を示し、図15は、図14のA-A'線に沿う断面を示している。

[0061] 図14に示すように、画像表示面側から見た場合、バス電極Xb、Ybは、隔壁BR2に重なる位置に設けられている。セルC1は、隔壁BR、BR2で囲われる領域（図14の太い破線で囲んだ領域）に形成される。隔壁BR2上にバス電極Xb、Ybが配置されているため、第2方向D2に隣接するバス電極Xb、Yb間の誤放電を防止できる。すなわち、第2方向D2に隣接するセルの誤放電を防止できる。このため、バス電極Xb、Yb間の距離を短くでき、各セルC1の面積を大きくできる。

[0062] 図16は、図13に示した背面基板部14の概要を示している。上述した図8で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。

[0063] 隔壁BR、BR2は、サンドブラスト法等により、ガラス基材RSを直接彫り込むことにより形成される。すなわち、隔壁BBR2は、隔壁BRと一体に形成されている。

[0064] 以上、第4の実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、この実施形態では、セルC1が隔壁BR、BR2により互いに隔離されているため、隣接する4方向のセルの誤放電を防止できる。

[0065] なお、上述した実施形態では、1つの画素が、3つのセル（赤（R）、緑（G）、青（B））により構成される例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、1つの画素を4つ以上のセルにより構成してもよい。あるいは、1つの画素が、赤（R）、緑（G）、青（B）以外の色を発生するセルにより構成されてもよく、1つの画素が、赤（R）、緑（G）、青（B）以外の色を発生するセルを含んでもよい。

[0066] 上述した実施形態では、リセット期間RSTが、蓄積期間ACMおよび調整期間ADJで構成される例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、図17に示すように、リセット期間RSTは、事前期間PRE、蓄積期間ACMおよび調整期間ADJで構成されてもよい。事前期間PREでは、前のサブフィールドSFの消去期間ERSから蓄積期間ACMに移行するために、正の電圧 $V_{rx}$ 、 $V_{ry1}$ が電極XE、YEにそれぞれ印加される。続いて、蓄積期間ACMでは、維持電極XEは、電圧 $V_{rx}$ に維持され、電圧 $V_{ry1}$ から電圧 $V_{ry2}$ まで上昇する電圧が、走査電極YEに印加される。その他の動作波形は、上述した図6と同じである。この場合にも、上述した実施形態と同様の効果を得ることができる。

[0067] 上述した実施形態では、電圧 $V_{ry1}$ から電圧 $V_{ry2}$ まで上昇する時間が、蓄積期間ACMと等しい時間に設定された例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、図18に示すように、電圧 $V_{ry1}$ から電圧 $V_{ry2}$ まで上昇する時間は、蓄積期間ACMより短くてもよい。この場合、電圧 $V_{ry2}$ まで上昇してから蓄積期間ACMが終了するまで（図18の時間 $t_1$ ）、走査電極YEは、電圧 $V_{ry2}$ に維持される。その他の動作波形は、上述した図6と同じである。この場合にも、上述した実施形態と同様の効果を得ることができる。

[0068] 上述した実施形態では、透明電極 $X_t$ および $Y_t$ が、第1方向D1に沿って交互に配置される例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、図19に示すように、透明電極 $X_t2$ および $Y_t$

2は、先端SD4、SD5が互いに対向するように配置されてもよい。図19は、画像表示面側（図20の上側）から見たPDP10の要部を示し、図20は、図19のA-A'線に沿う断面を示している。この例では、透明電極Xt2、Yt2は、対向部を広くするために、T字形状にそれぞれ形成されている。なお、透明電極Xt2、Yt2の形状は、長方形でもよいし、台形でもよい。また、突出部Ap2は、アドレス電極AEから各セルC1の透明電極Yt2に向けて突出し、アドレス電極AEと一体に形成されている。すなわち、アドレス電極AEの突出部Ap2は、各セルC1の透明電極Yt2に対向している。その他の構成は、第1の実施形態と同じである。この場合にも、上述した実施形態と同様の効果を得ることができる。

[0069] 上述した実施形態では、電極Xb、Ybと電極AEとが互いに交差する交差部において、電極Xb、Yb、AEの配線幅が、交差部を除く部分の配線幅と同じに形成される例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、図21に示すように、電極Xb、Ybと電極AEとが互いに交差する交差部CAにおいて、アドレス電極AEの配線幅は、交差部CAを除く部分の配線幅より細く形成されてもよい。図21は、画像表示面側（上述した図4の上側）から見た電極Xb、Xt、Yb、Yt、AEおよび隔壁BRの状態を示している。また、図21のA-A'線に沿う断面は、上述した図4と同じである。バス電極Xb、Ybの配線幅は、第1の実施形態と同じに形成され、アドレス電極AEは、交差部CAの配線幅をアドレス電極AEの交差部CAを除く部分の配線幅より細く形成されている。なお、交差部CAのバス電極Xb、Ybの配線幅を、交差部CAを除く部分の配線幅より細く形成してもよい。この場合にも、上述した実施形態と同様の効果を得ることができる。さらに、この場合、電極Xb、Ybと電極AE間に形成される寄生容量が小さいため、電極Xb、Yb、AEのドライバ回路（例えば、図7に示したドライバXDRV、YDRV、ADRV）の消費電力を低減できる。

[0070] 上述した第2の実施形態では、突起部Apが、隙間GPに突出する例につ

いて述べた。本発明はかかる実施形態に限定されるものではない。例えば、図 22 に示すように、突起部 A p は、透明電極 X t の先端とバス電極 Y b との隙間 G P 2 に向けて、アドレス電極 A E から突出してアドレス電極 A E と一体に形成されてもよい。図 22 は、画像表示面側（図 23 の上側）から見た P D P 10 の要部を示し、図 23 は、図 22 の A-A' 線に沿う断面を示している。この例では、アドレス電極 A E に設けられた突起部 A p の位置が、第 2 の実施形態と相違している。その他の構成は、第 2 の実施形態と同じである。この場合にも、上述した第 2 の実施形態と同様の効果を得ることができる。

[0071] さらに、この場合、透明電極 Y t と突出部 A p 間のアドレス放電は、例えば、電界強度が高くなる突出部 A p の両側 S D 1、S D 2 および先端 S D 3（図 22 の破線部分）から発生し（初期放電）、その後、両側 S D 1、S D 2 および先端 S D 3 から周囲に広がって発生する。突出部 A p の両側 S D 1、S D 2 および先端 S D 3 が、初期放電（放電開始）に寄与するため、アドレス電極 A E に電圧を印加してからアドレス放電が発生するまでの遅延時間（放電遅れ）を小さくできる。

[0072] なお、突起部 A p は、隙間 G P および隙間 G P 2 以外の部分に向けて、アドレス電極 A E から各セル C 1 の透明電極 Y t 側に突出して形成されてもよい。さらに、突出部 A p の先端 S D 3 は、透明電極 Y t からはみ出してもよい。この場合にも、上述した第 2 の実施形態と同様の効果を得ることができる。

[0073] 上述した第 2 の実施形態では、突起部 A p が、アドレス電極 A E と一体に形成される例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、突起部 A p は、アドレス電極 A E に接続された透明電極により形成されてもよい。この場合にも、上述した第 2 の実施形態と同様の効果を得ることができる。さらに、突起部 A p が透明電極により形成されるため、各セルにおいて、光が透過する領域を広くできる。

[0074] 以上、本発明について詳細に説明してきたが、上記の実施形態およびその

変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

#### 産業上の利用可能性

[0075] 本発明は、ディスプレイ装置に使用するプラズマディスプレイパネルに適用できる。

## 請求の範囲

- [1]        サステイン放電を発生させる維持電極および走査電極、前記走査電極との間にアドレス放電を発生させるアドレス電極と、前記維持、走査およびアドレス電極を有する第1基板および放電空間を介して前記第1基板に対向する第2基板を備えたプラズマディスプレイパネルの駆動方法であって、
- 1画面を表示するための1フィールドを複数のサブフィールドで構成し、前記複数のサブフィールドのうちの少なくとも1つのサブフィールドは、リセット期間を有し、
- 前記リセット期間は、時間の経過に伴って電圧値が増大する波形電圧を前記走査電極に印加する蓄積期間を有し、
- 前記蓄積期間に、前記維持電極に第1電圧を、前記走査電極に前記第1電圧より高い前記波形電圧を、前記アドレス電極に前記第1電圧より低い電圧をそれぞれ印加することを特徴とするプラズマディスプレイパネルの駆動方法。
- [2]        請求項1記載のプラズマディスプレイパネルの駆動方法において、
- 前記リセット期間に、前記蓄積期間に次いで、時間の経過に伴って電圧値が減少する波形電圧を前記走査電極に印加することを特徴とするプラズマディスプレイパネルの駆動方法。
- [3]        プラズマディスプレイパネルと、前記プラズマディスプレイパネルを駆動する駆動部とを備え、
- 前記プラズマディスプレイパネルは、
- サステイン放電を発生させる維持電極および走査電極と、
- 前記走査電極との間にアドレス放電を発生させるアドレス電極と、
- 前記維持、走査およびアドレス電極を有する第1基板と、
- 放電空間を介して前記第1基板に対向する第2基板とを備え、
- 1画面を表示するための1フィールドは、複数のサブフィールドで構成され、
- 前記複数のサブフィールドのうちの少なくとも1つのサブフィールドは、

リセット期間を有し、

前記リセット期間は、時間の経過に伴って電圧値が増大する波形電圧を前記走査電極に印加する蓄積期間を有し、

前記駆動部は、

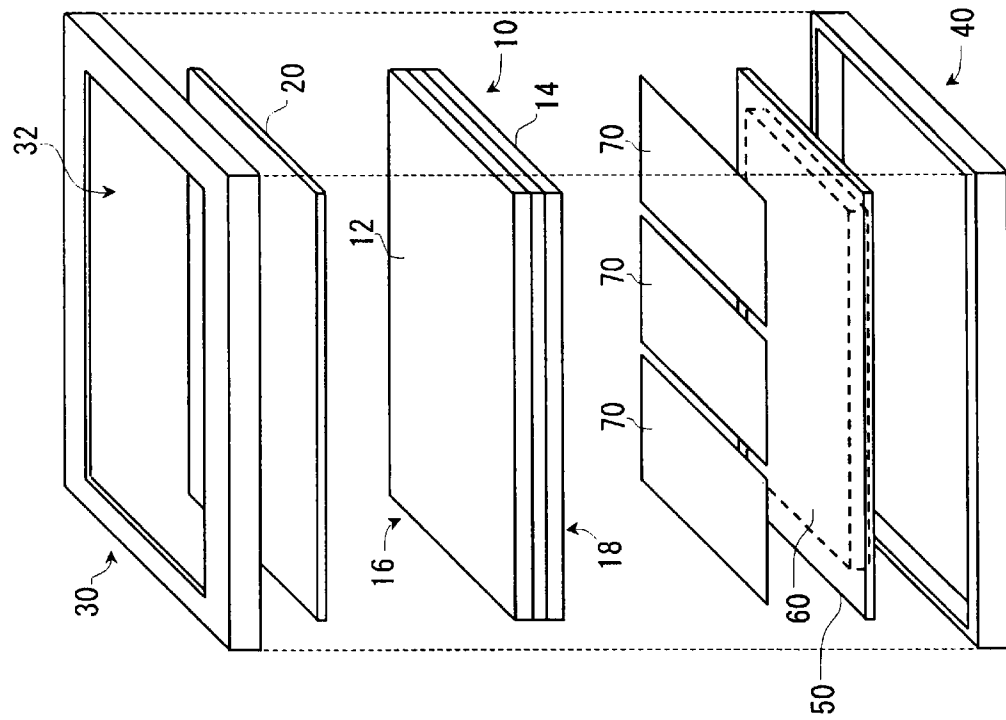
前記蓄積期間に、前記維持電極に第 1 電圧を、前記走査電極に前記第 1 電圧より高い前記波形電圧を、前記アドレス電極に前記第 1 電圧より低い電圧をそれぞれ印加することを特徴とするプラズマディスプレイ装置。

[4] 請求項 3 記載のプラズマディスプレイ装置において、

前記駆動部は、前記リセット期間に、前記蓄積期間に次いで、時間の経過に伴って電圧値が減少する波形電圧を前記走査電極に印加することを特徴とするプラズマディスプレイ装置。

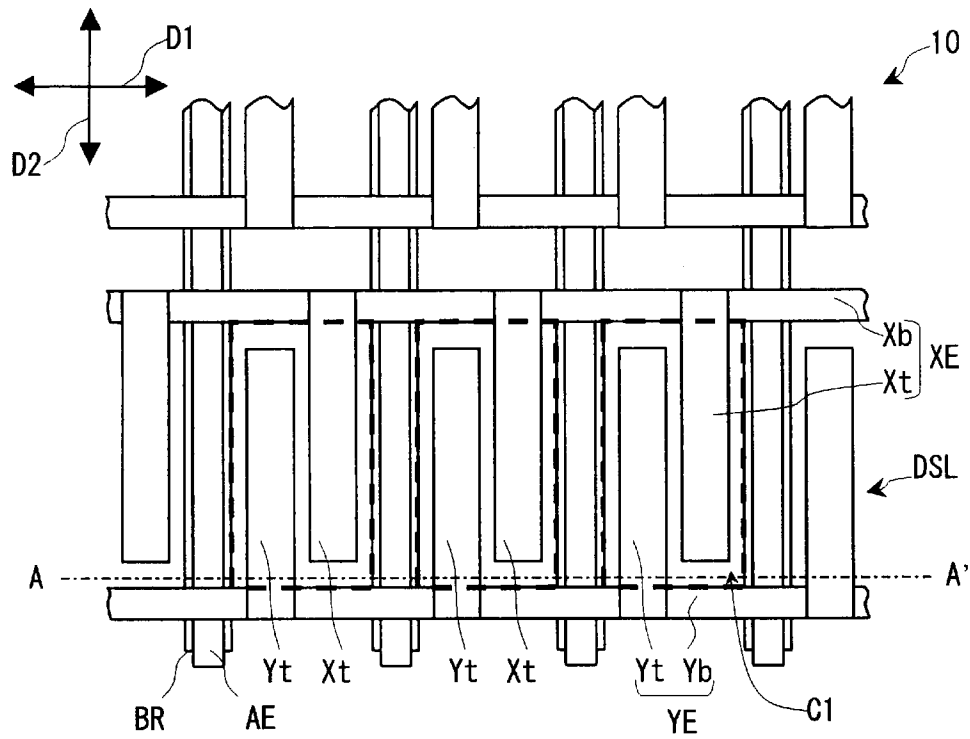


[図1]

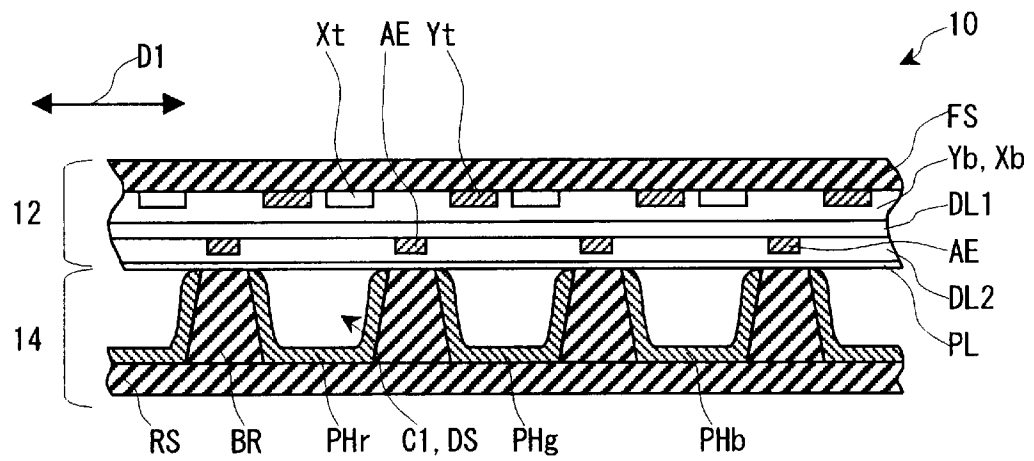




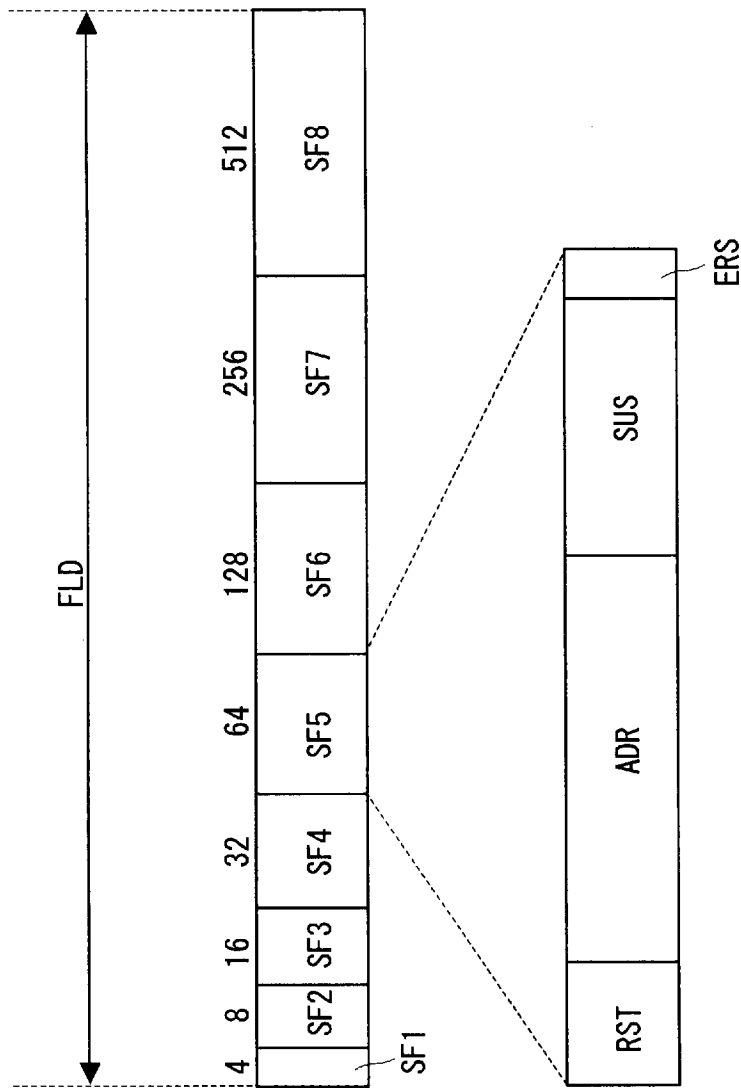
[図3]



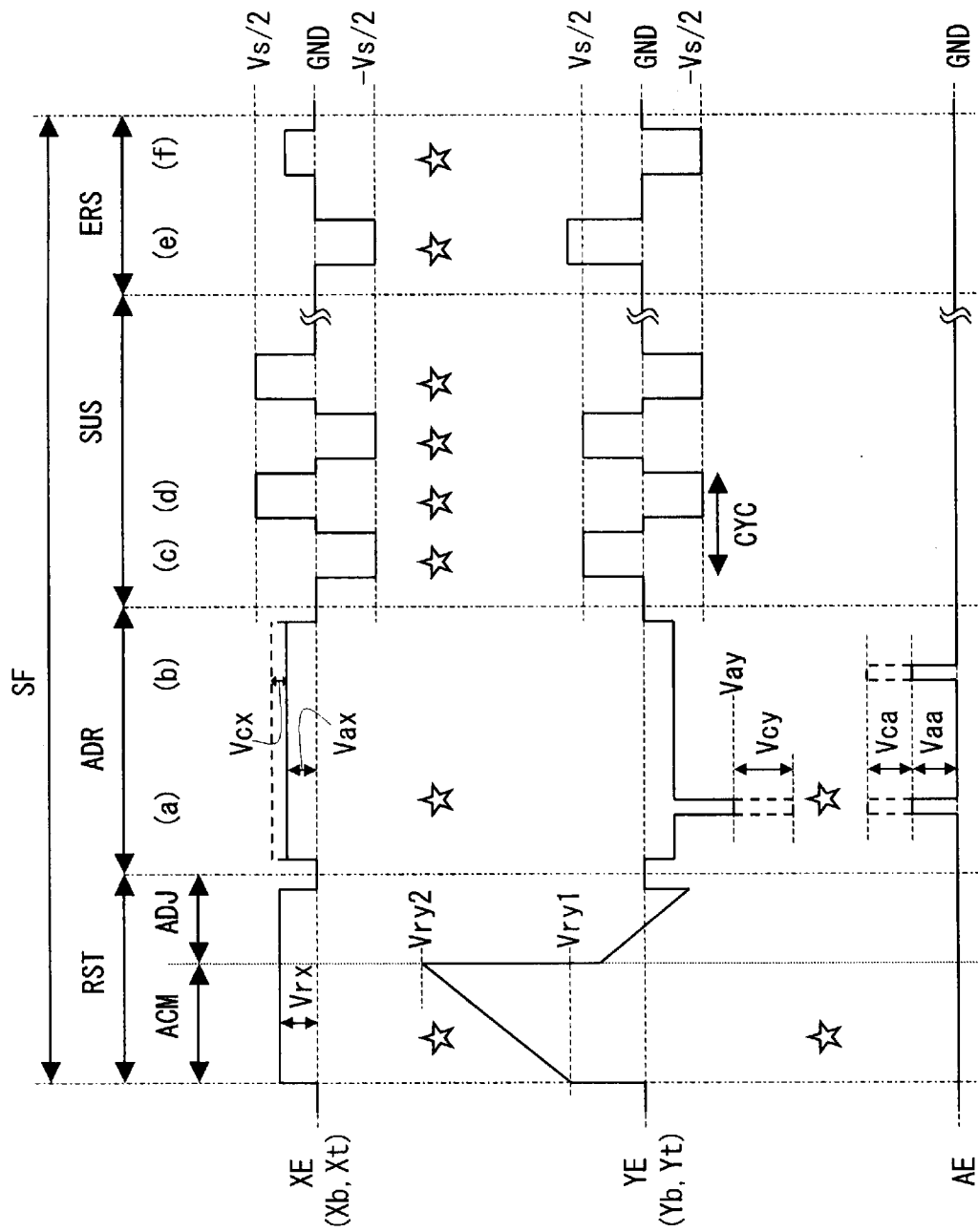
[図4]



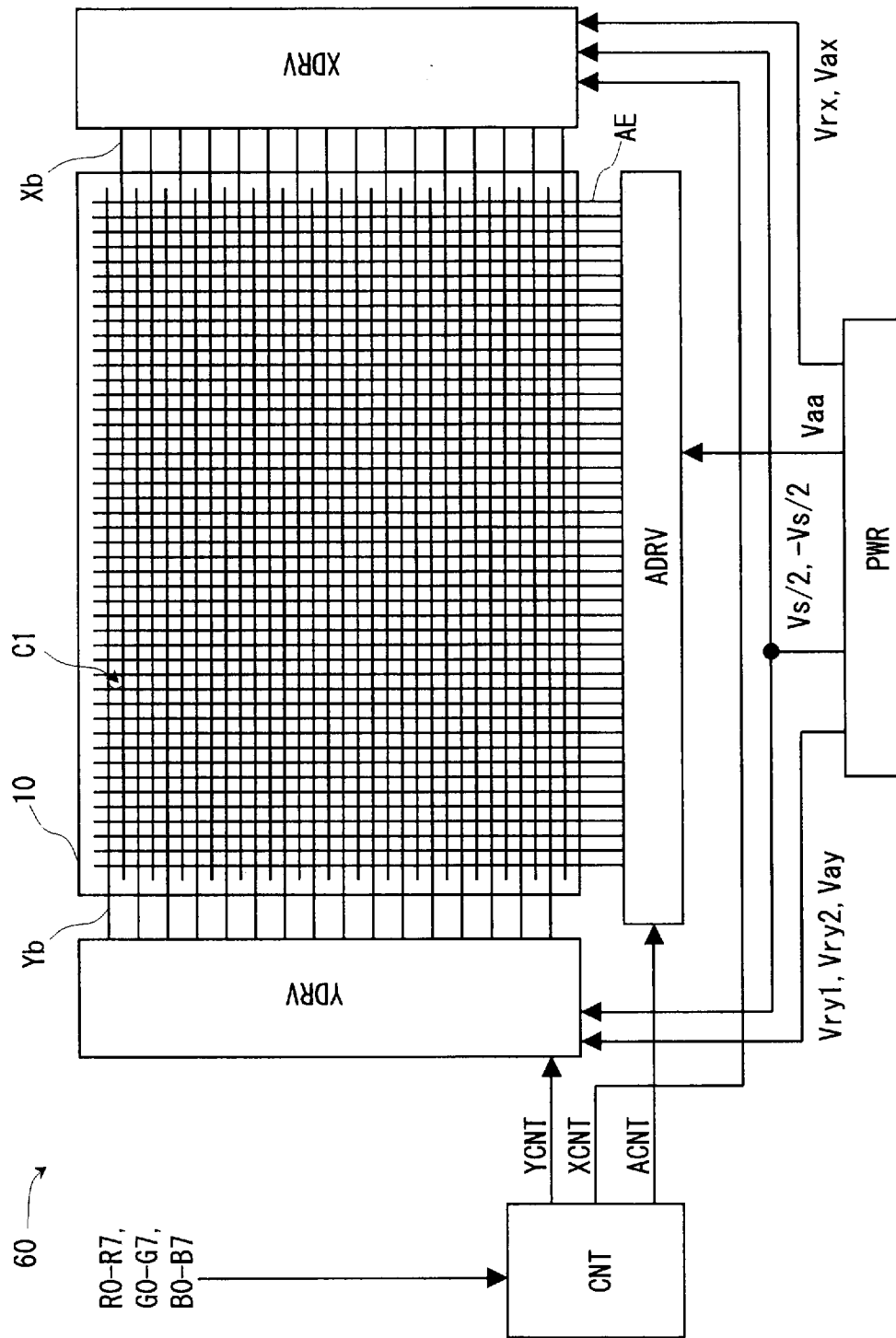
[図5]



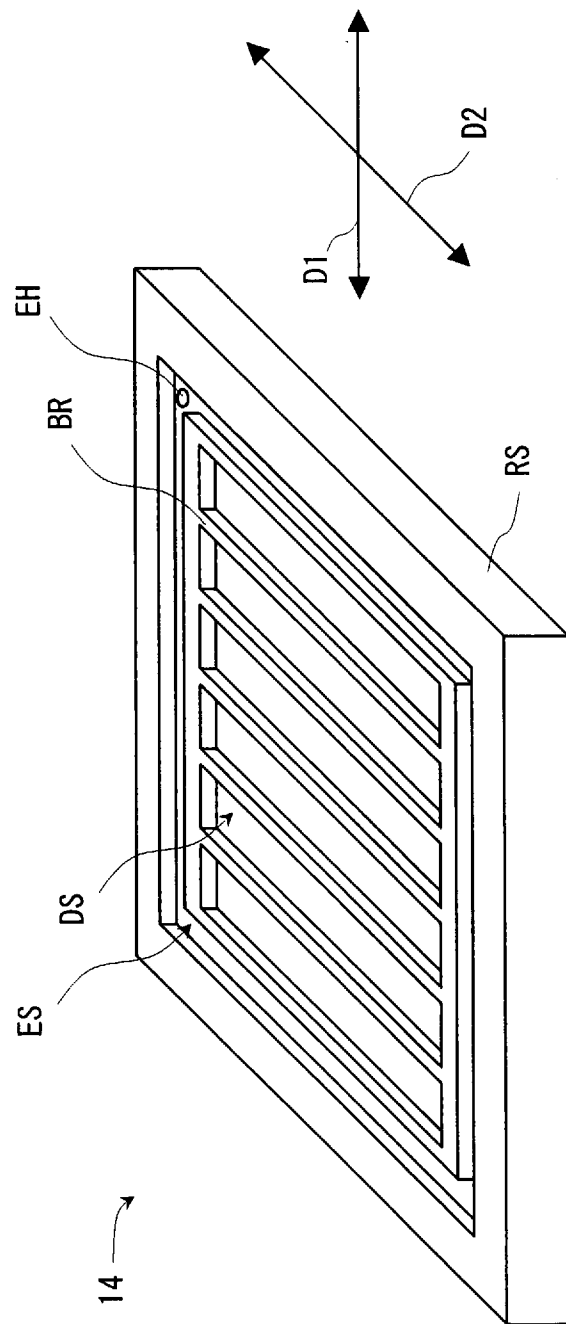
[図6]



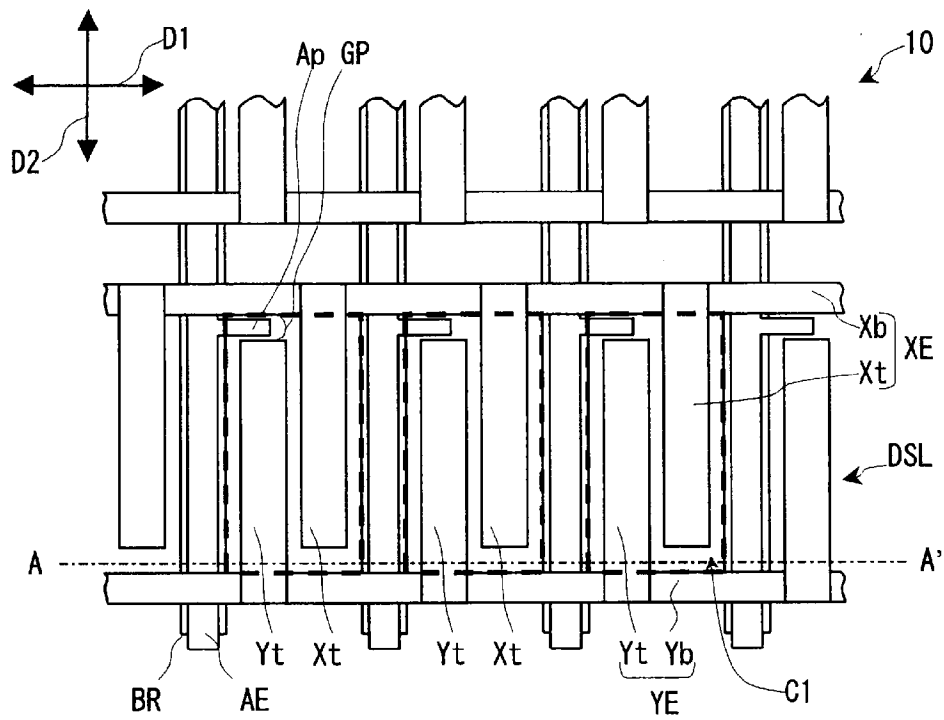
[図7]



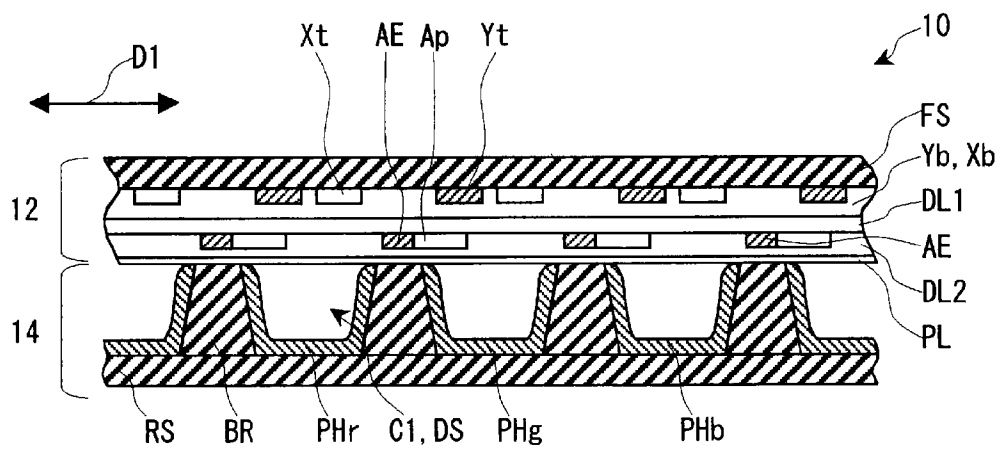
[図8]



[図9]

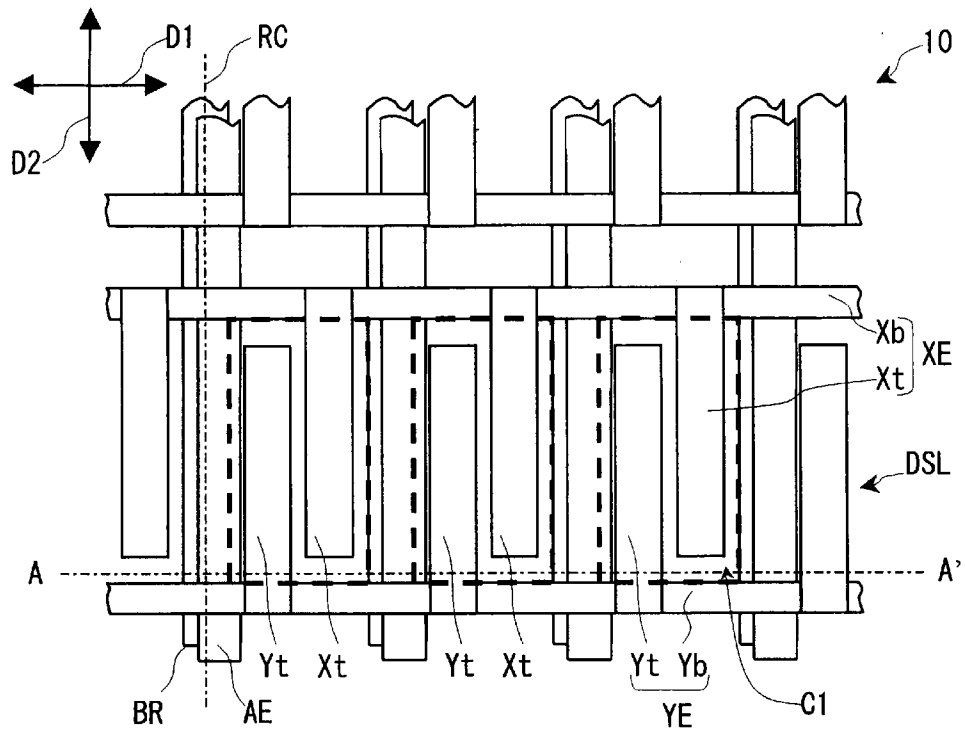


[図10]

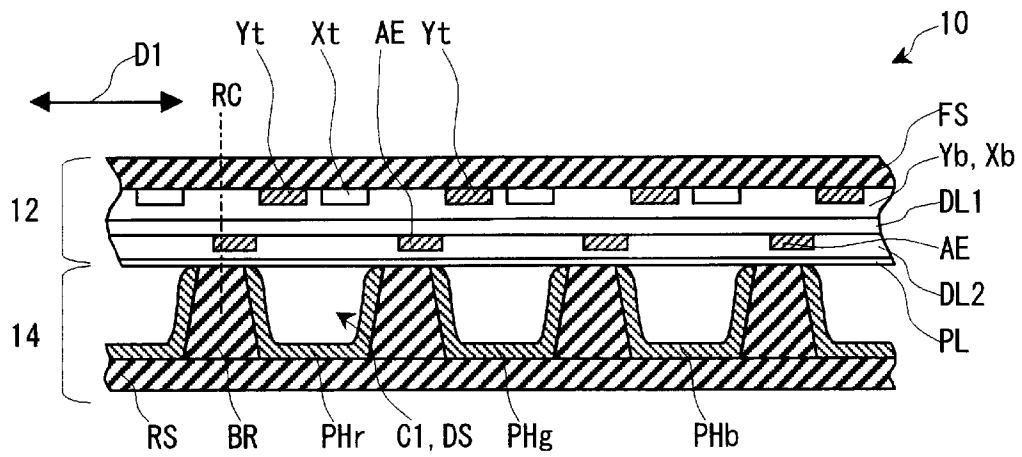




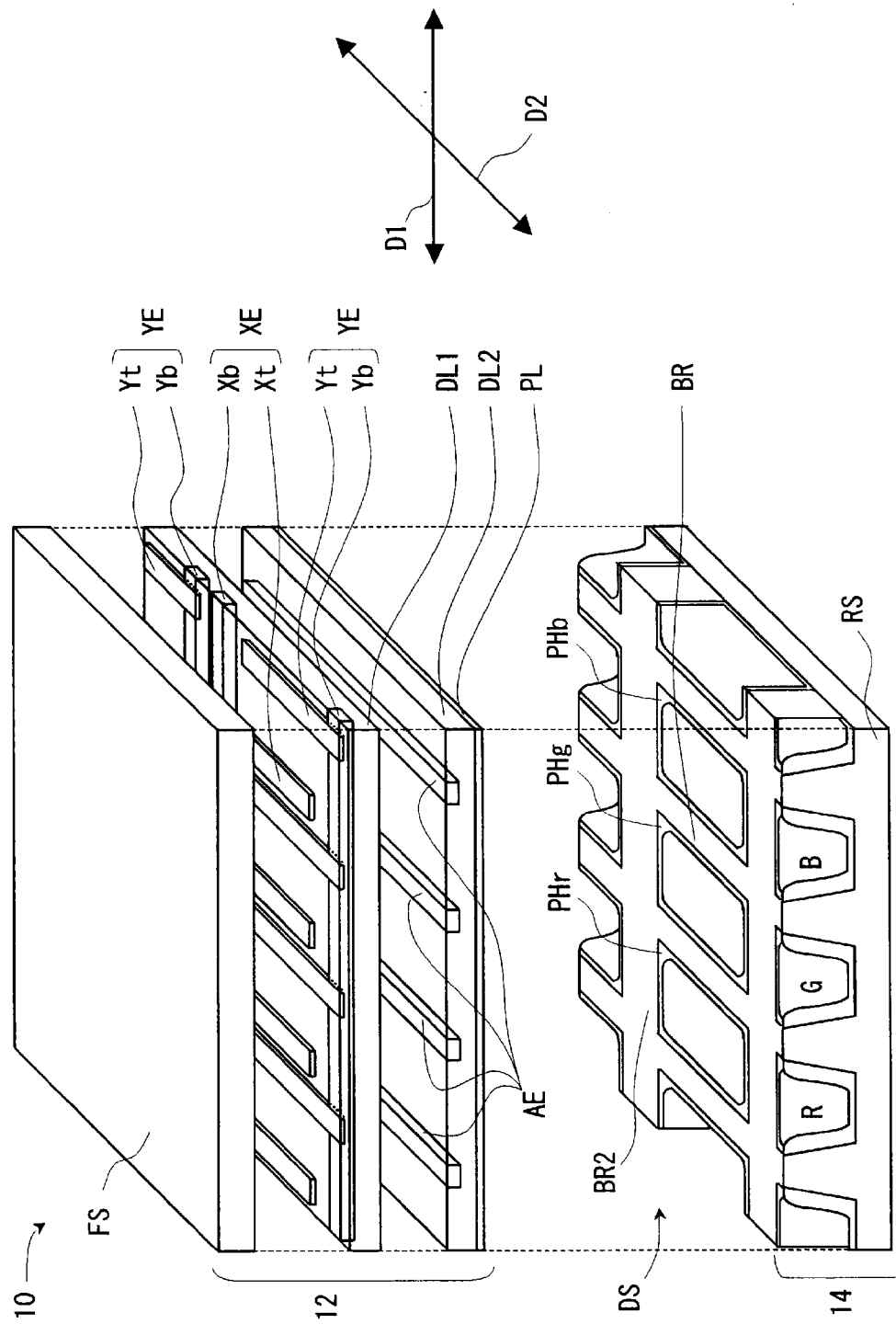
[図11]



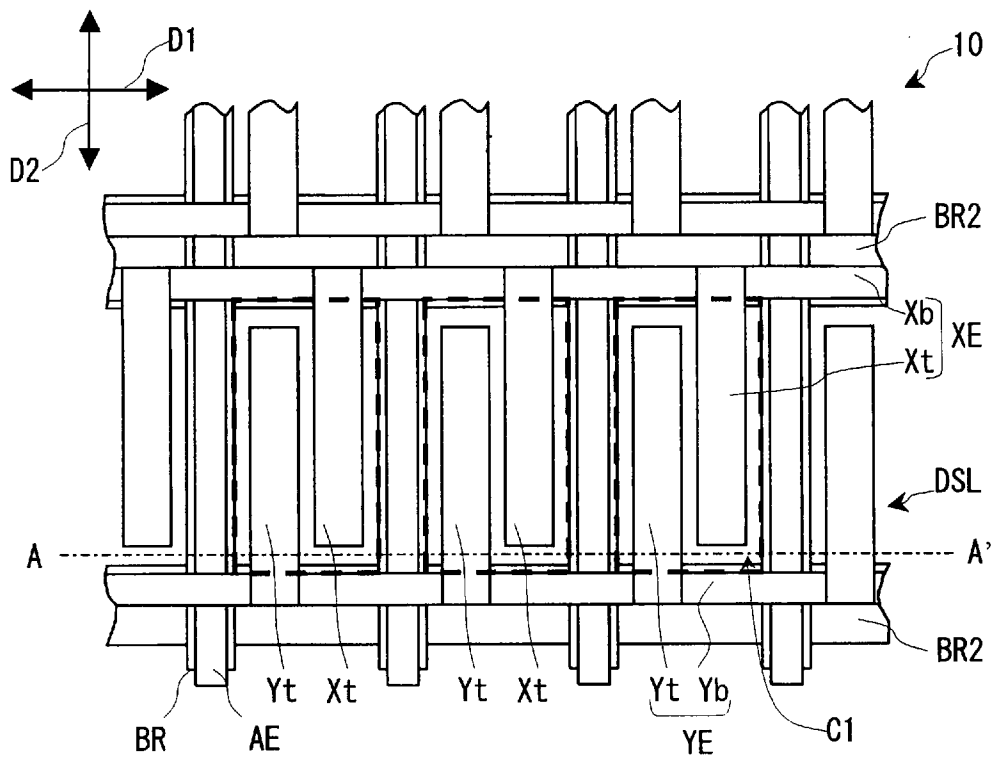
[図12]



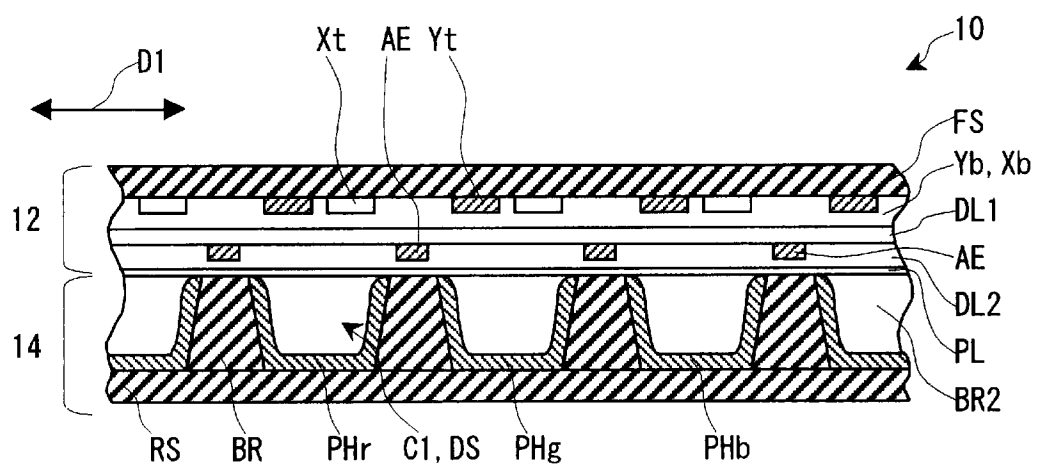
[図13]



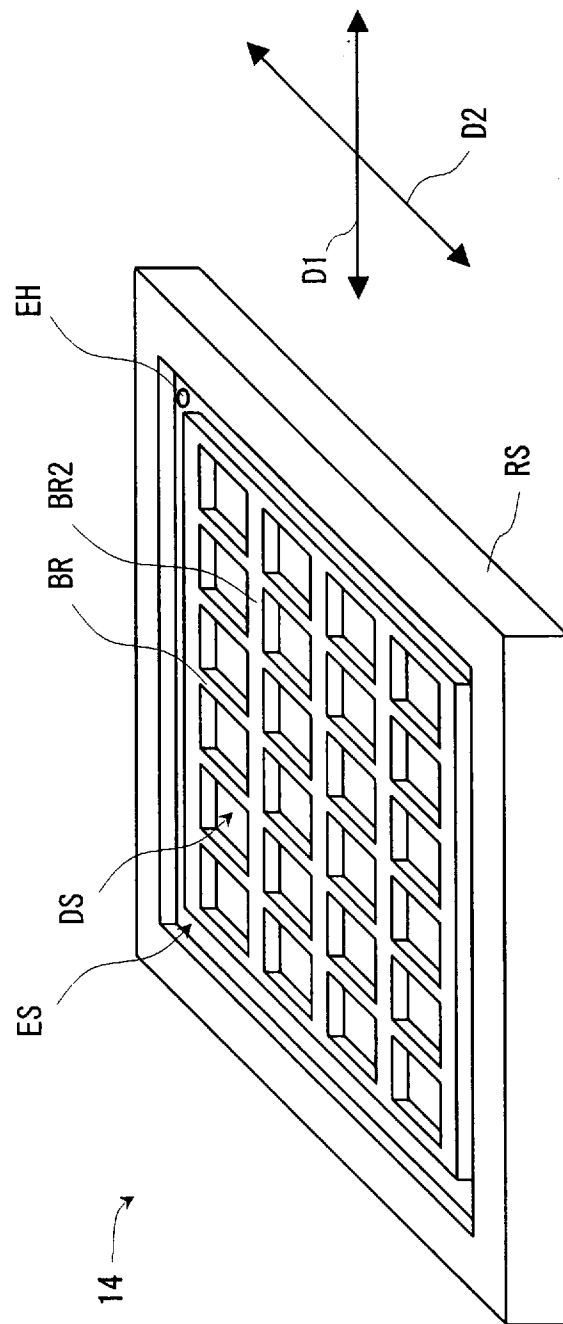
[図14]



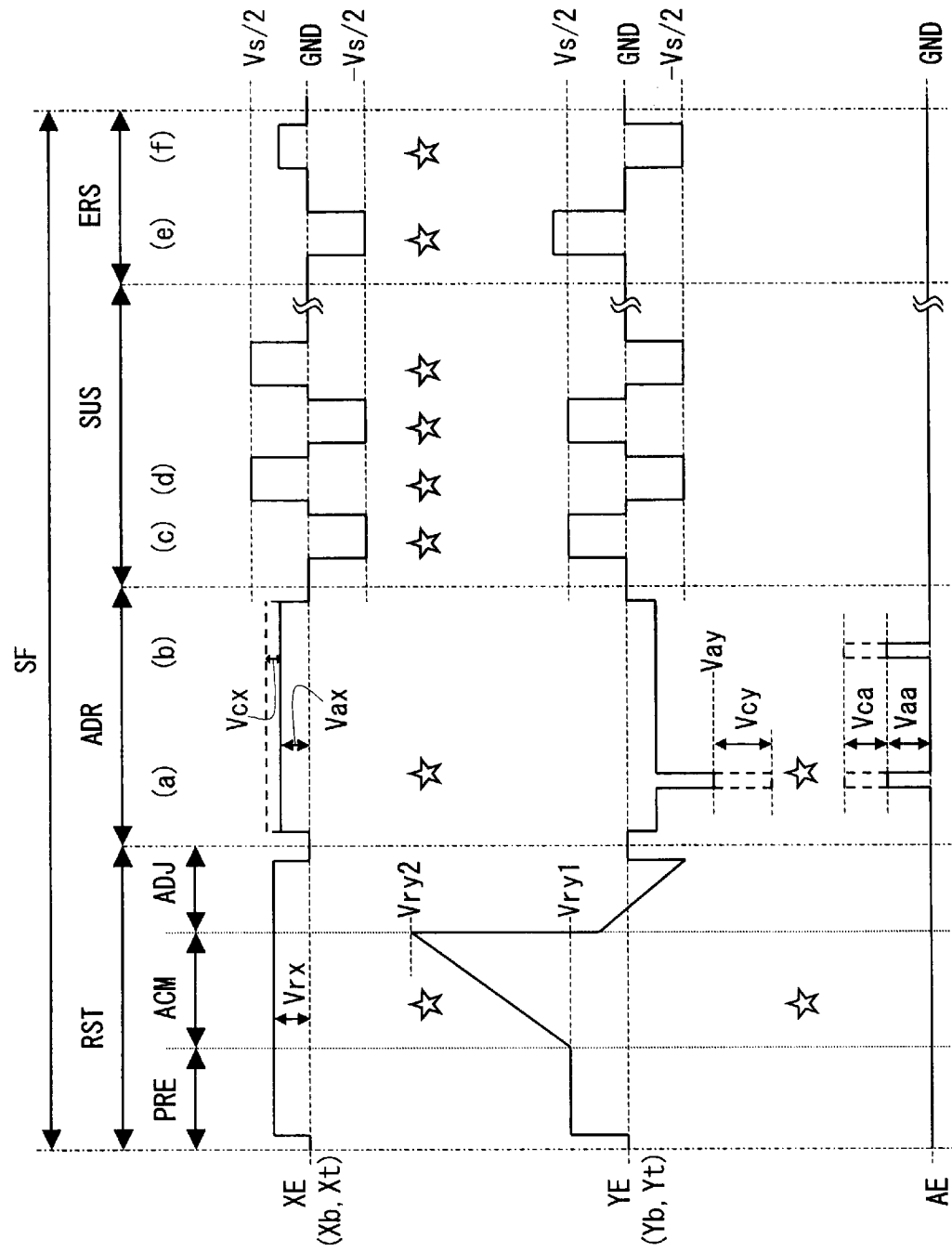
[図15]



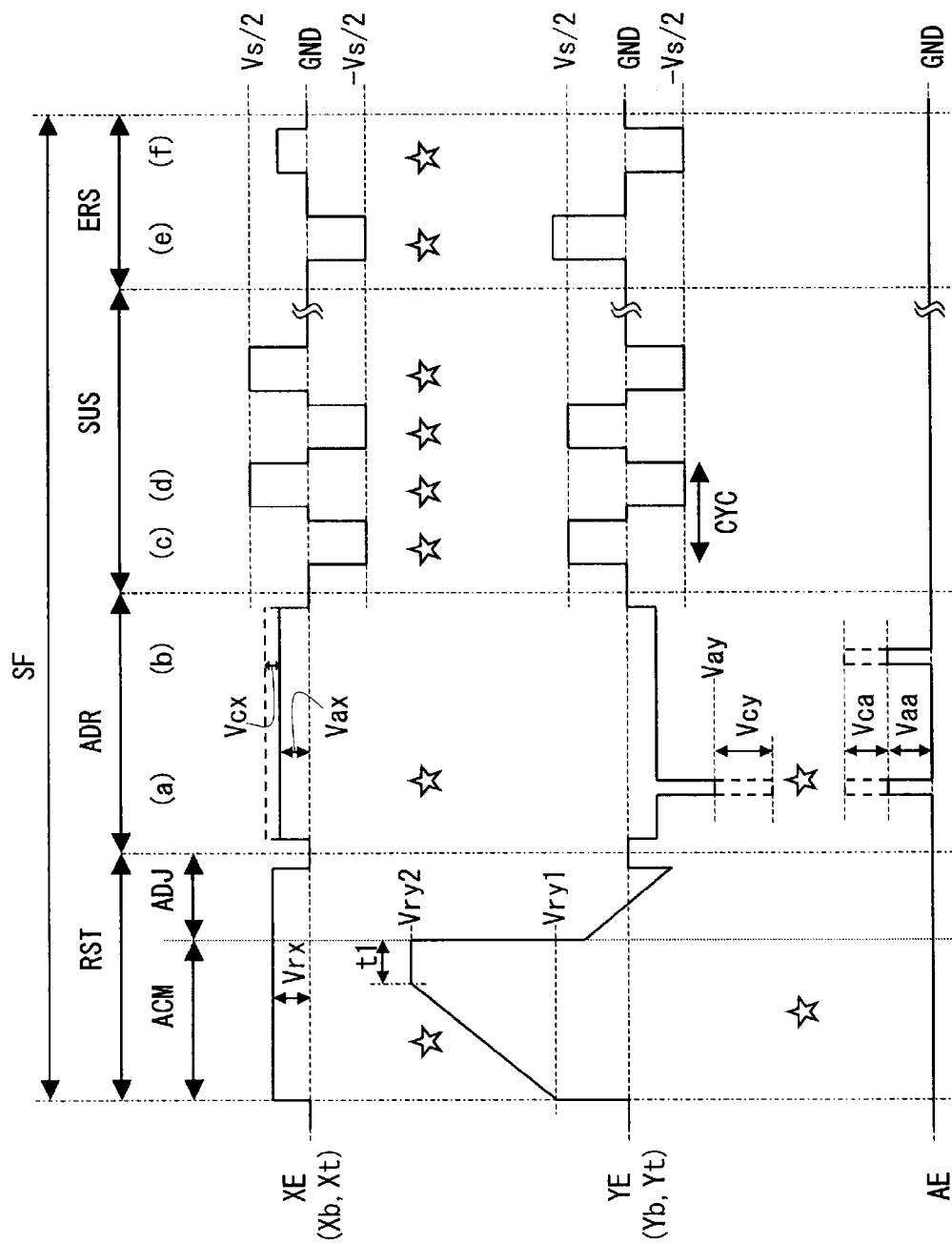
[図16]



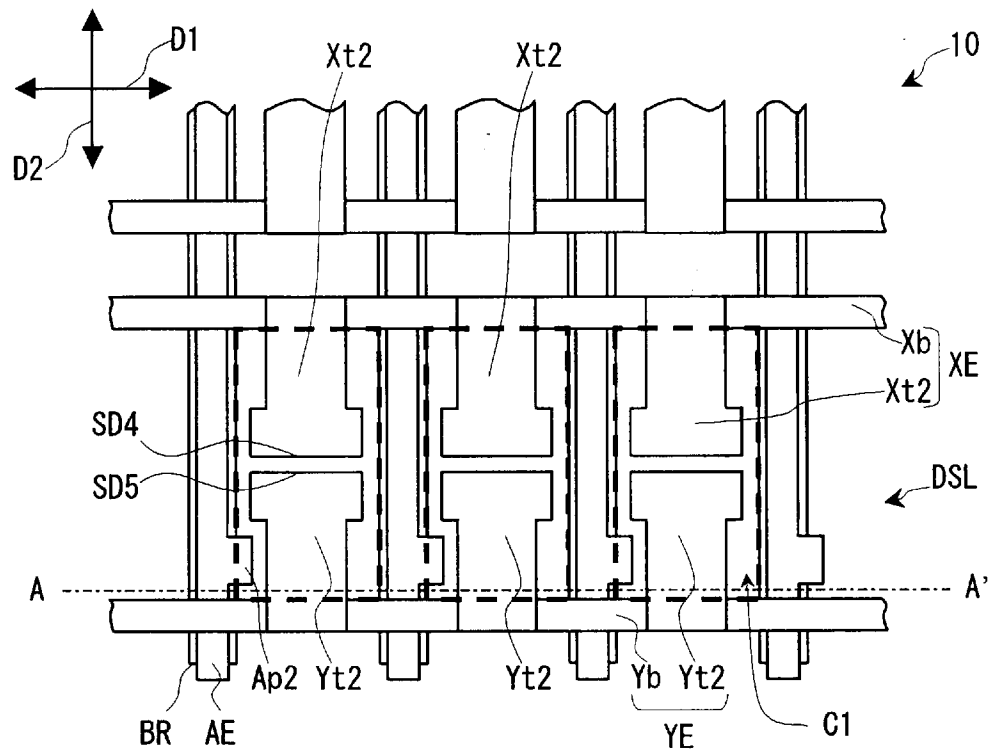
[図17]



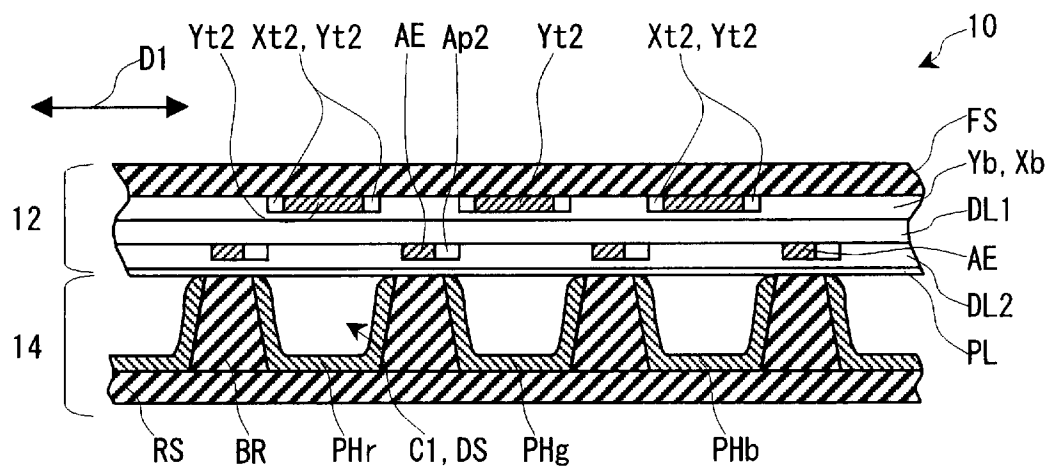
[図18]



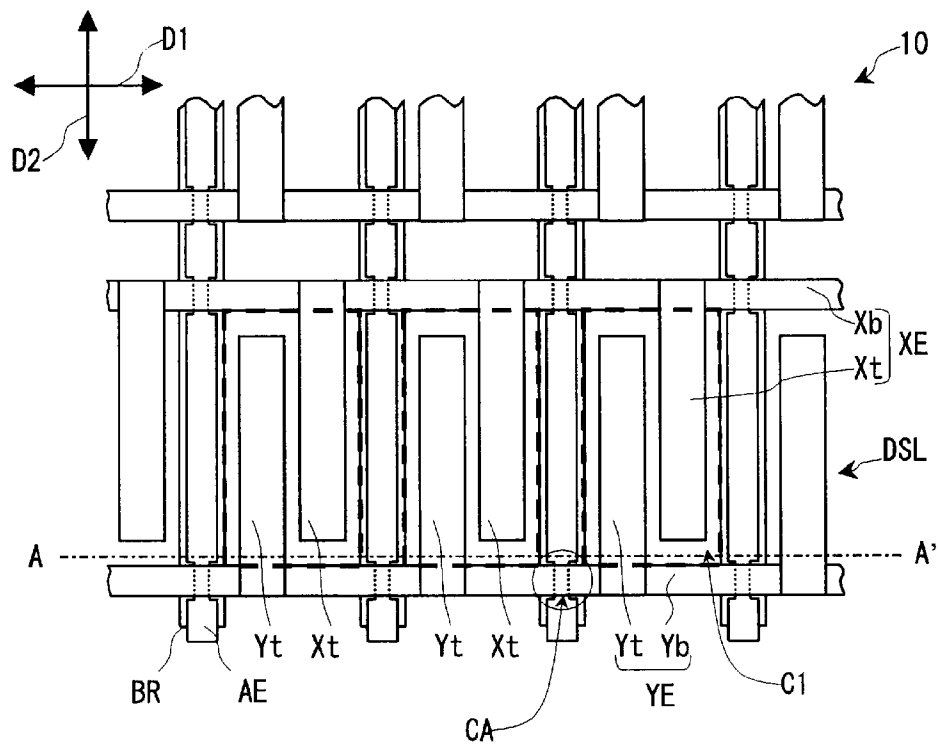
[図19]



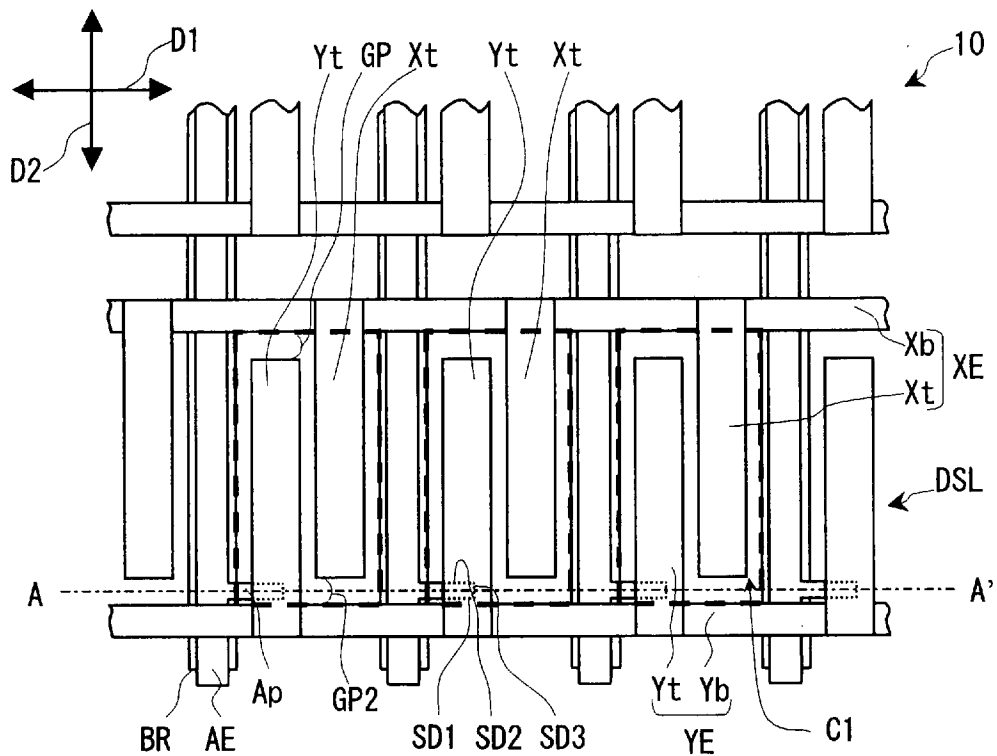
[図20]



[図21]

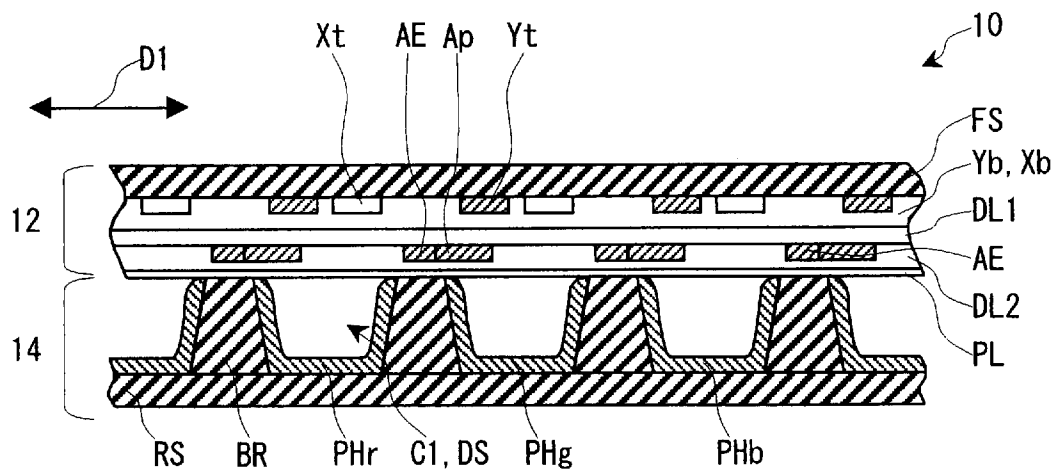


[図22]





[図23]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/000408

## A. CLASSIFICATION OF SUBJECT MATTER

G09G3/288 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/288

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2007

Kokai Jitsuyo Shinan Koho 1971-2007 Toroku Jitsuyo Shinan Koho 1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                       | Relevant to claim No. |
|-----------|----------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y         | JP 2005-116508 A (Fujitsu Hitachi Plasma Display Ltd.),<br>28 April, 2005 (28.04.05),<br>Full text; all drawings<br>& US 2005/0062422 A1 & EP 1517349 A2 | 1-4                   |
| Y         | JP 2005-148360 A (Matsushita Electric Industrial Co., Ltd.),<br>09 June, 2005 (09.06.05),<br>Fig. 3; Par. Nos. [0028] to [0034]<br>(Family: none)        | 1-4                   |

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
19 May, 2007 (19.05.07)Date of mailing of the international search report  
29 May, 2007 (29.05.07)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/000408

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                         | Relevant to claim No. |
|-----------|------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y         | JP 2005-258279 A (Matsushita Electric Industrial Co., Ltd.),<br>22 September, 2005 (22.09.05),<br>Figs. 4, 6; Par. Nos. [0025] to [0040]<br>(Family: none) | 1-4                   |
| Y         | JP 2007-093718 A (Matsushita Electric Industrial Co., Ltd.),<br>12 April, 2007 (12.04.07),<br>Fig. 4; Par. Nos. [0016] to [0020]<br>(Family: none)         | 1-4                   |

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G09G3/288(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G09G3/288

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |            |
|-------------|------------|
| 日本国実用新案公報   | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2007年 |
| 日本国実用新案登録公報 | 1996-2007年 |
| 日本国登録実用新案公報 | 1994-2007年 |

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                       | 関連する<br>請求の範囲の番号 |
|-----------------|---------------------------------------------------------------------------------------------------------|------------------|
| Y               | J P 2005-116508 A (富士通日立プラズマディスプレイ株式会社), 2005.04.28, 全文、全図<br>& U S 2005/0062422 A1<br>& E P 1517349 A2 | 1-4              |
| Y               | J P 2005-148360 A (松下電器産業株式会社)<br>2005.06.09, 図3、【0028】ないし【0034】<br>(ファミリーなし)                           | 1-4              |

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

19.05.2007

国際調査報告の発送日

29.05.2007

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

樋口 信宏

2G

9016

電話番号 03-3581-1101 内線 3226

| C (続き) . 関連すると認められる文献 |                                                                                                         |                  |
|-----------------------|---------------------------------------------------------------------------------------------------------|------------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                       | 関連する<br>請求の範囲の番号 |
| Y                     | J P 2 0 0 5 - 2 5 8 2 7 9 A (松下電器産業株式会社)<br>2 0 0 5 . 0 9 . 2 2<br>図4、図6、【0 0 2 5】ないし【0 0 4 0】(ファミリーなし) | 1-4              |
| Y                     | J P 2 0 0 7 - 0 9 3 7 1 8 A (松下電器産業株式会社)<br>2 0 0 7 . 0 4 . 1 2 , 図4、【0 0 1 6】ないし【0 0 2 0】<br>(ファミリーなし) | 1-4              |