

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4849249号

(P4849249)

(45) 発行日 平成24年1月11日(2012.1.11)

(24) 登録日 平成23年10月28日(2011.10.28)

(51) Int.Cl.

F I

G 1 1 C 11/412 (2006.01)

G 1 1 C 11/40 3 0 1

G 1 1 C 11/419 (2006.01)

G 1 1 C 11/34 3 1 1

請求項の数 23 (全 42 頁)

(21) 出願番号 特願2006-550716 (P2006-550716)
(86) (22) 出願日 平成17年12月16日(2005.12.16)
(86) 国際出願番号 PCT/JP2005/023544
(87) 国際公開番号 W02006/073060
(87) 国際公開日 平成18年7月13日(2006.7.13)
審査請求日 平成20年10月16日(2008.10.16)
(31) 優先権主張番号 特願2004-363946 (P2004-363946)
(32) 優先日 平成16年12月16日(2004.12.16)
(33) 優先権主張国 日本国(JP)

(73) 特許権者 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(74) 代理人 100077838
弁理士 池田 憲保
(74) 代理人 100082924
弁理士 福田 修一
(74) 代理人 100129023
弁理士 佐々木 敬
(72) 発明者 武田 晃一
東京都港区芝五丁目7番1号 日本電気株
式会社内

審査官 滝谷 亮一

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

メモリセルを有する半導体記憶装置において、
前記メモリセルは、
第1の記憶ノードと第2の記憶ノードとを有し、前記第2の記憶ノードを入力とし前記
第1の記憶ノードを出力とするインバータ回路と、
電源と前記第2の記憶ノードとの間に接続され、前記第1の記憶ノードを入力とする負
荷トランジスタと、
前記第2の記憶ノードに接続された保持制御手段と、
読み出しビット線と前記第1の記憶ノードとの間に接続された一のアクセストランジス
タと、
を備え、

前記保持制御手段は書き込みワード線により制御される他のアクセストランジスタによ
り構成され、該他のアクセストランジスタは前記書き込みワード線が第1のローレベルの
とき前記第2の記憶ノードのレベルを保持することを特徴とする半導体記憶装置。

【請求項2】

前記他のアクセストランジスタは、書き込み時には書き込み用のアクセストランジスタ
として動作することを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】

前記他のアクセストランジスタのオフリーク電流は、前記負荷トランジスタのオフリー

10

20

ク電流よりも大きいことを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 4】

前記他のアクセストランジスタは、読み出しビット線と前記第 1 の記憶ノードとの間に接続された前記一のアクセストランジスタの閾値電圧よりも小さい閾値電圧を有することを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 5】

前記第 1 のローレベルは、接地電位よりも高い電位であることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 6】

書き込みサイクルにおいて、前記書き込みワード線のローレベルの電位として、非選択ブロックには前記第 1 のローレベルが供給され、選択ブロックには前記第 1 のローレベルよりもさらに低い第 2 のローレベル信号が供給されることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 7】

前記他のアクセストランジスタは前記第 2 の記憶ノードと書き込みビット線に接続され、前記一のアクセストランジスタは読み出しワード線を入力とし、読み出しサイクルにおいては前記一のアクセストランジスタにより前記第 1 の記憶ノードのデータを読み出し、書き込みサイクルにおいては前記一のアクセストランジスタ及び前記他のアクセストランジスタから前記メモリセルにデータ書き込みすることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 8】

前記他のアクセストランジスタは前記第 2 の記憶ノードと接地電位に接続され、前記一のアクセストランジスタは読み出しワード線を入力とし、読み出しサイクルにおいては前記一のアクセストランジスタにより前記第 1 の記憶ノードのデータを読み出し、書き込みサイクルにおいては前記一のアクセストランジスタからのデータを前記第 1 の記憶ノードに書き込み、前記他のアクセストランジスタは前記第 2 の記憶ノードをローレベルにリセットすることでデータ書き込みされることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 9】

第 1 の記憶ノードと第 2 の記憶ノードとを有し、前記第 2 の記憶ノードを入力とし前記第 1 の記憶ノードを出力とするインバータ回路と、

電源と前記第 2 の記憶ノードとの間に接続され、前記第 1 の記憶ノードを入力とする負荷トランジスタと、

読み出しビット線と前記第 1 の記憶ノードとの間に接続された一のアクセストランジスタと、

前記第 2 の記憶ノードに接続され、書き込みワード線により制御される他のアクセストランジスタとを有し、

前記他のアクセストランジスタのオフリーク電流は、前記負荷トランジスタのオフリーク電流よりも大きいことを特徴とする半導体記憶装置。

【請求項 10】

前記他のアクセストランジスタは、前記一のアクセストランジスタの閾値よりも小さい閾値を有することを特徴とする請求項 9 に記載の半導体記憶装置。

【請求項 11】

メモリセルを有する半導体記憶装置のデータ保持方法において、前記メモリセルは第 2 の記憶ノードを入力とし第 1 の記憶ノードを出力とするインバータ回路と、電源と前記第 2 の記憶ノードとの間に接続され、前記第 1 の記憶ノードを入力とする負荷トランジスタと、前記第 2 の記憶ノードに接続された保持制御手段と、を備え、前記保持制御手段は、前記第 2 の記憶ノードと書き込みビット線との間に接続され、書き込みワード線をゲート入力としたアクセストランジスタにより構成され、前記書き込みワード線に第 1 のローレベルを供給されたときの前記アクセストランジスタのオフ電流を前記負荷トランジスタの

オフ電流より大きく、前記負荷トランジスタのオン電流より小さくすることにより前記メモリセルに記憶されたデータを保持することを特徴とする半導体記憶装置の保持方法。

【請求項 1 2】

書き込みサイクルにおいて、選択されたブロック内の前記書き込みワード線のローレベルとして前記第 1 のローレベルよりもさらに低い第 2 のローレベルを供給することを特徴とする請求項 1 1 に記載の半導体記憶装置の保持方法。

【請求項 1 3】

メモリセルを有する半導体記憶装置の書き込み方法において、前記メモリセルは第 2 の記憶ノードを入力とし第 1 の記憶ノードを出力とするインバータ回路と、電源と前記第 2 の記憶ノードとの間に接続され、前記第 1 の記憶ノードを入力とする負荷トランジスタと、前記第 2 の記憶ノードと書き込みビット線との間に接続された第 1 のアクセストランジスタと、前記第 1 の記憶ノードと読み出しビット線との間に接続された第 2 のアクセストランジスタと、を備え、前記第 1 のアクセストランジスタを書き込みワード線により導通させることで前記書き込みビット線から前記第 2 の記憶ノードに書き込み、前記第 2 のアクセストランジスタを読み出しワード線により導通させることで前記読み出しビット線から前記第 1 の記憶ノードに書き込むことを特徴とする半導体記憶装置の書き込み方法。

【請求項 1 4】

メモリセルを有する半導体記憶装置の書き込み方法において、前記メモリセルは第 2 の記憶ノードを入力とし第 1 の記憶ノードを出力とするインバータ回路と、電源と前記第 2 の記憶ノードとの間に接続され、前記第 1 の記憶ノードを入力とする負荷トランジスタと、前記第 2 の記憶ノードと接地電位との間に接続された第 1 のアクセストランジスタと、前記第 1 の記憶ノードと読み出しビット線との間に接続された第 2 のアクセストランジスタと、を備え、前記第 1 のアクセストランジスタをワンショットパルスの書き込みワード線により導通させ前記第 2 の記憶ノードをローレベルにリセットし、前記第 2 のアクセストランジスタを読み出しワード線により導通させることで前記読み出しビット線から前記第 1 の記憶ノードに書き込むことを特徴とする半導体記憶装置の書き込み方法。

【請求項 1 5】

前記読み出しビット線を入力とするインバータ回路と、該インバータ回路の出力をデータ線に伝達するデータ読み出し手段と、書き込みイネーブル信号により前記データ線からのデータを前記読み出しビット線に伝達する第 1 のデータ書き込み手段と、反転書き込みイネーブル信号により前記データ線からのデータを反転させて前記読み出しビット線に伝達する第 2 のデータ書き込み手段とを備えたセンスアンプをさらに備えたことを特徴とする請求項 7 に記載の半導体記憶装置。

【請求項 1 6】

前記センスアンプは読み出しビット線をプリチャージするプリチャージ手段と、前記インバータ回路の出力を入力とし、該出力がローレベルのときに前記読み出しビット線のハイレベルを維持するレベル維持手段とをさらに備えたことを特徴とする請求項 1 5 に記載の半導体記憶装置。

【請求項 1 7】

前記データ線は前記読み出し手段に接続された読み出しデータ線と、前記第 1 及び第 2 のデータ書き込み手段に接続された書き込みデータ線から構成されたことを特徴とする請求項 1 5 に記載の半導体記憶装置。

【請求項 1 8】

前記読み出しビット線を入力とするインバータ回路と、該インバータ回路の出力をデータ線に伝達する読み出し手段と、書き込みイネーブル信号により前記データ線からのデータを前記読み出しビット線に伝達するデータ書き込み手段とを備えたセンスアンプをさらに備えたことを特徴とする請求項 8 に記載の半導体記憶装置。

【請求項 1 9】

前記センスアンプは読み出しビット線をプリチャージするプリチャージ手段と、前記インバータ回路の出力を入力とし、該出力がローレベルのときに前記読み出しビット線のハ

10

20

30

40

50

イレベルを維持するレベル維持手段とをさらに備えたことを特徴とする請求項18に記載の半導体記憶装置。

【請求項20】

前記データ線は前記読み出し手段に接続された読み出しデータ線と、前記データ書き込み手段に接続された書き込みデータ線から構成されたことを特徴とする請求項18に記載の半導体記憶装置。

【請求項21】

前記読み出しワード線はメインワード信号と反転読み出しブロック信号とにより生成し、前記書き込みワード線は前記メインワード信号と反転書き込みブロック信号とにより生成するサブワードドライバーをさらに備えたことを特徴とする請求項7に記載の半導体記憶装置。

10

【請求項22】

前記サブワードドライバーは前記メインワード信号を入力とし前記読み出しワード線を出力する第1のインバータ回路と、ドレイン、ソース、ゲートにそれぞれ前記読み出しワード線、低電位電源、前記反転書き込みブロック信号を接続された第1のトランジスタと、ドレイン、ソース、ゲートにそれぞれ前記第1のインバータ回路の電源端子、電源、前記反転書き込みブロック信号を接続された第2のトランジスタと、を備え、前記書き込みワード線を選択することを特徴とする請求項21に記載の半導体記憶装置。

【請求項23】

前記低電位電源は、書き込みサイクルにおいては前記書き込みワード線のローレベルとして、非選択のブロックに対して第1のローレベル電位を、選択されたブロックに対しては前記第1のローレベル電位よりも低い第2のローレベル電位を供給することを特徴とする請求項22に記載の半導体記憶装置。

20

【発明の詳細な説明】

【技術分野】

本発明は半導体記憶装置に係り、最小のトランジスタ数で読み出し時における記憶データ破壊を防止し、超高速、超低電圧で動作する半導体記憶装置に関するものである。

【背景技術】

最近の半導体装置は大規模化、高速化とともに、多くの機能が取り込まれシステム化されている。大規模化、高速化のためにトランジスタを微細化して、電源電圧を低下させつつ、動作速度を向上させている。またシステム化のためCPUをはじめとした各種機能ブロックや、各種の記憶装置が混載されている。これらのシステムLSIに混載されている記憶装置においても同様に高速動作及び低電源電圧での動作が求められ、例えばキャッシュメモリ等の用途で混載されるスタティックランダムアクセスメモリ（SRAM：Static Random Access Memory、以後SRAMと略称する）においても、同様に高速動作及び低電源電圧での動作が求められる。

30

従来のSRAMについて、図1を参照して説明する。図1には6トランジスタで構成される従来のSRAMのメモリセル（以後、SRAMセルと呼称する）を示す。ワード線WLが低電位の場合、二つのCMOS（Complementary Metal Oxide Semiconductor）インバータがループを形成することで安定にデータを保持することができる。すなわち、一方のCMOSインバータは、記憶ノードV1を入力として、記憶ノードV1に記憶されたデータの反転データを記憶ノードV2に出力し、他方のCMOSインバータは、記憶ノードV2を入力として、記憶ノードV2に記憶されたデータの反転データを記憶ノードV1に出力している。

40

ワード線WLがアクセスされて高電位の場合、アクセストランジスタN3及びN4が導通することで、記憶ノードV1及びV2に記憶されたデータをビット線BLT及びBLNに読み出すことでメモリの読み出し動作となり、逆にビット線BLT及びBLNからのデータを記憶ノードV1及びV2に書き込むことでメモリの書き込み動作となる。

しかしながら、従来のSRAMセルにおいて電源電圧Vddが低下した場合の遅延時間が増大する割合がCMOSインバータ回路の遅延時間の増大する割合より大きいという問

50

題がある。また、低電源電圧において読み出し動作を行うと記憶データが破壊されるという問題も発生する。SRAMセルとCMOSインバータ回路の遅延時間（規格化した遅延時間 τ ）の電源電圧（ V_{dd} ）依存性を図2に示す。図2において、ラインAはSRAMセル、ラインBはCMOSインバータ回路の遅延時間を示す。SRAMセルは電源電圧が低くなると遅延時間が増大する割合が大きく、またある電源電圧（ a で示す）以下では読み出し動作を行うと記憶データが破壊され動作しなくなる。

読み出し動作における記憶データ破壊について図3A～3Cを用いて説明する。図3Aにワード線WL、図3Bに正常な読み出し動作時の記憶ノード、図3Cに読み出し動作におけるデータ破壊時の記憶ノード波形を示す。ここで記憶ノードV1が低電位“0”、記憶ノードV2が高電位“1”とする。図3Aに示されるようにワード線WLがアクセスされて高電位になり、記憶ノードV1、V2とビット線対BLT、BLNとがアクセストランジスタN3、N4を介して導通することで、記憶ノードV1の低電位は高電位にプリチャージされたビット線BLTにより上昇する。

図3Bに示されるように通常セルの記憶ノードの場合には、記憶ノードの低電位“0”が接地電位から若干上昇するのみで正常な読み出し動作となる。しかしながら、図3Cに示されるように、インバータ回路（トランジスタP2、N2）の閾値電圧がばらつき、低い場合には、記憶ノードV1の電位がインバータ回路（トランジスタP2、N2）の閾値電圧に達し、記憶ノードV2の高電位“1”が低下する。記憶ノードV2の低下により、記憶ノードV1の電位が更に上昇し、結果として読み出し時に記憶データの破壊Dが起こり、反転データが上書きされる。

一般に、SRAMセルでは、アクセスされた際のデータ保持の安定度を測る指標としてスタティックノイズマージン（SNM: Static Noise Margin）が用いられる。図4に示されるように、SRAMセルを2個のインバータに分離して、各々のインバータのDC（直流）特性を求め、一方のインバータのDC特性出力がもう一方のインバータのDC特性入力となるように、二つのDC特性を重ね合わせた際に、バタフライカーブが描かれる。SNMは、このバタフライカーブに内接する最大の正方形の一辺として定義される。SNMが0mV以上の場合には、図3Bに示すように正常読み出し動作される。SNMが0mV以下の場合には、図3Cに示すように読み出し動作時に反転データが上書きされる。

このSNMについては、文献1（A. J. Bhavnagarwala「The impact of intrinsic device fluctuations on CMOS SRAM cell stability」IEEE Journal of Solid State Circuit, Vol. 36, No. 4, Apr. 2001（図5、図10A及び10B））において将来予測が行われている。すなわち、図5に示されるように使用されるトランジスタのチャンネル長が微細化され、そのトランジスタのチャンネル長が250nmから50nmに移行した場合、SNMは平均値が減少するだけでなく、SNMの偏差も増大する。従って、SNMの最悪値は著しく劣化する。図示される50nmにおいてはSNMの最悪値が「0」以下になってしまうので、読み出し操作に伴ってワード線WLが高電位になった際には、記憶データが破壊される。

一方、下記文献2（H. Sakakibara「A 750MHz 144Mb cache DRAM LSI with speed scalable design and programmable at-speed function-array BIST」IEEE International Solid State Circuit Conference, 2003（図1））において、読み出し専用ポートを持ったSRAMが提案されている。このSRAMでは、図6に示されるように、メモリセルを8個のトランジスタで構成し、読み出し専用ビット線をメモリセルのセル電流でフルスイングさせている。この方式の本来の目的は世代を進めた場合の動作速度改善効果を得ることである。更に、読み出し操作に伴うビット線からセル内の記憶ノードへの電荷の流入がないことから、従来のSRAMで将来問題になる読み出し操作に伴う記憶データの破壊は発生しない。従って、この回路構成によるSRAMでは、世代を進めた場合の高速

10

20

30

40

50

動作だけでなく、安定動作が可能である。

上記文献1のように、トランジスタ6個を用いた従来のSRAMセルでは、SNMの最悪値が劣化することから、将来的には安定なデータ保持は困難になる問題がある。一方、上記文献2の読み出し専用ポートを持つSRAMセルでは、読み出し操作に伴う記憶データの破壊は起きないが、トランジスタ数が8個になること、制御信号数も、5本必要であることから、セル面積が増大してしまう問題がある。

【発明の開示】

【発明が解決しようとする課題】

上記したように、従来の6トランジスタで構成されるSRAMセルは微細化、低電圧化されることで、そのSNMが小さくなり、安定動作しなくなる。読み出し操作の際の記憶データ破壊を防止可能なメモリセルを構成するためには8個のトランジスタ、多くの制御信号が必要とされるので、構成面積が大きくなるという問題がある。

本発明は、上記問題点を改善するためになされたものであって、その目的とするところは、超高速動作または超低電圧動作を要求される場合でも、読み出し操作の際の記憶データ破壊を防止可能なメモリを、最小のトランジスタ数で構成し、小さな構成面積で実現するメモリセルと、半導体記憶装置を提供することにある。

【課題を解決するための手段】

本発明の半導体記憶装置は、第1の記憶ノードと第2の記憶ノードとを有し、前記第2の記憶ノードを入力とし前記第1の記憶ノードを出力とするインバータ回路と、電源と前記第2の記憶ノードとの間に接続され、前記第1の記憶ノードを入力とする負荷トランジスタと、前記第2の記憶ノードに接続された保持制御手段と、を備えたメモリセルを有することを特徴とする。

本発明の半導体装置においては、前記保持制御手段は書き込みワード線により制御される第1のアクセストランジスタにより構成され、該第1のアクセストランジスタは前記書き込みワード線が第1のローレベルのとき前記第2の記憶ノードのレベルを保持することを特徴とする。

本発明の半導体装置においては、前記第1のアクセストランジスタは、書き込み時には書き込み用のアクセストランジスタとして動作することを特徴とする。

本発明の半導体装置においては、前記第1のアクセストランジスタは、読み出しビット線と前記第1の記憶ノードとの間に接続された第2のアクセストランジスタの閾値電圧よりも小さい閾値電圧を有することを特徴とする。

本発明の半導体装置においては、前記第1のローレベルは、接地電位よりも高い電位であることを特徴とする。

本発明の半導体装置においては、書き込みサイクルにおいて、前記書き込みワード線のローレベルの電位として、非選択ブロックには前記第1のローレベルが供給され、選択ブロックには前記第1のローレベルよりもさらに低い第2のローレベル信号が供給されることを特徴とする。

本発明の半導体装置においては、前記第1のアクセストランジスタは前記第2記憶ノードと書き込みビット線に接続され、前記第1記憶ノードと読み出しビット線に接続され、読み出しワード線を入力される第2のアクセストランジスタをさらに備え、読み出しサイクルにおいては前記第2のアクセストランジスタにより前記第1の記憶ノードのデータを読み出し、書き込みサイクルにおいては前記第2アクセストランジスタ及び前記第1のアクセストランジスタから前記メモリセルにデータ書き込みすることを特徴とする。

本発明の半導体装置においては、前記第1のアクセストランジスタは前記第2記憶ノードと接地電位に接続され、前記第1記憶ノードと読み出しビット線に接続され、読み出しワード線を入力とする第2のアクセストランジスタをさらに備え、読み出しサイクルにおいては前記第2のアクセストランジスタにより前記第1の記憶ノードのデータを読み出し、書き込みサイクルにおいては前記第2アクセストランジスタからのデータを前記第1の記憶ノードに書き込み、前記第1のアクセストランジスタは前記第2の記憶ノードをローレベルにリセットすることでデータ書き込みされることを特徴とする。

本発明の半導体記憶装置は、第1の記憶ノードと第2の記憶ノードとを有し、前記第2の記憶ノードを入力とし前記第1の記憶ノードを出力とするインバータ回路と、電源と前記第2の記憶ノードとの間に接続され、前記第1の記憶ノードを入力とする負荷トランジスタと、前記第2の記憶ノードに接続された第1のアクセストランジスタと、読み出しビット線と前記第1の記憶ノードとの間に接続された第2のアクセストランジスタとを有し、前記第1のアクセストランジスタは、前記第2のアクセストランジスタの閾値よりも小さい閾値を有することを特徴とする。

本発明の半導体装置は、メモリセルとのデータ伝達を行う読み出しビット線及び書き込みビット線と、入出力回路とのデータ伝達を行うデータ線と、前記読み出しビット線を入力とするインバータ回路と、該インバータ回路の出力を前記データ線に伝達するデータ読み出し手段と、書き込みイネーブル信号により前記データ線からのデータを前記読み出しビット線に伝達する第1のデータ書き込み手段と、反転書き込みイネーブル信号により前記データ線からのデータを反転させて前記書き込みビット線に伝達する第2のデータ書き込み手段と、を備えたセンスアンプを有することを特徴とする。

10

本発明の半導体装置においては、前記センスアンプは読み出しビット線をプリチャージするプリチャージ手段と、前記インバータ回路の出力を入力とし、該出力がローレベルのときに前記読み出しビット線のハイレベルを維持するレベル維持手段とをさらに備えたことを特徴とする。

本発明の半導体装置においては、前記データ線は前記読み出し手段に接続された読み出しデータ線と、前記第1及び第2書き込み手段とに接続された書き込みデータ線から構成されたことを特徴とする。

20

本発明の半導体装置は、メモリセルとのデータ伝達を行う読み出しビット線と、入出力回路とのデータ伝達を行うデータ線と、前記読み出しビット線を入力とするインバータ回路と、該インバータ回路の出力を前記データ線に伝達する読み出し手段と、書き込みイネーブル信号により前記データ線からのデータを前記読み出しビット線に伝達するデータ書き込み手段と、を備えたセンスアンプを有することを特徴とする。

本発明の半導体装置においては、前記センスアンプは読み出しビット線をプリチャージするプリチャージ手段と、前記インバータ回路の出力を入力とし、該出力がローレベルのときに前記読み出しビット線のハイレベルを維持するレベル維持手段とをさらに備えたことを特徴とする。

30

本発明の半導体装置においては、前記データ線は前記読み出し手段に接続された読み出しデータ線と、前記第1書き込み手段に接続された書き込みデータ線から構成されたことを特徴とする。

本発明の半導体装置は、メインワード信号と反転読み出しブロック信号とにより読み出しワード線を選択し、前記メインワード信号と反転書き込みブロック信号とにより書き込みワード線を選択するサブワードドライバを有することを特徴とする。

本発明の半導体装置においては、前記サブワードドライバは前記メインワード信号を入力とし読み出しワード線を出力する第1のインバータ回路と、ドレイン、ソース、ゲートにそれぞれ前記読み出しワード線、低電位電源、前記反転書き込みブロック信号を接続された第1のトランジスタと、ドレイン、ソース、ゲートにそれぞれ前記第1インバータ回路の電源端子、電源、前記反転書き込みブロック信号とに接続された第2のトランジスタと、を備え、書き込みワード線を選択することを特徴とする。

40

本発明の半導体装置においては、前記低電位電源は書き込みサイクルにおいて、非選択のブロックに対して第1のローレベル電位を、選択されたブロックに対しては前記第1のローレベル電位よりも低い第2のローレベル電位であることを特徴とする。

本発明の半導体装置においては、前記反転書き込みブロック信号は、書き込みイネーブル信号と前記反転読み出しブロック信号から生成されることを特徴とする。

本発明の半導体装置においては、前記反転書き込みブロック信号は、書き込みイネーブル信号と該書き込みイネーブル信号を遅延させた遅延書き込みイネーブル信号の反転信号と前記読み出しブロック信号とから生成されたことを特徴とする。

50

本発明の半導体記憶装置のデータ保持方法は、メモリセルは第2の記憶ノードを入力とし第1の記憶ノードを出力とするインバータ回路と、電源と前記第2の記憶ノードとの間に接続され、前記第1の記憶ノードを入力とする負荷トランジスタと、前記第2の記憶ノードに接続された保持制御手段と、を備え、前記保持制御手段は、前記第2の記憶ノードと書き込みビット線との間に接続され、書き込みワード線をゲート入力とした第1のアクセストランジスタにより構成され、前記書き込みワード線に第1のローレベルを供給されたときの前記第1のアクセストランジスタのオフ電流を前記負荷トランジスタのオフ電流より大きく、前記負荷トランジスタのオン電流より小さくすることにより前記メモリセルに記憶されたデータを保持することを特徴とする。

本発明の半導体記憶装置のデータ保持方法においては、書き込みサイクルにおいて、選択されたブロック内の前記書き込みワード線のローレベルとして前記第1のローレベルよりもさらに低い第2のローレベルを供給することを特徴とする。

本発明の半導体記憶装置の読み出し方法は、メモリセルは第2の記憶ノードを入力とし第1の記憶ノードを出力とするインバータ回路と、電源と前記第2の記憶ノードとの間に接続され、前記第1の記憶ノードを入力とする負荷トランジスタと、前記第1の記憶ノードと読み出しビット線との間に接続された第2のアクセストランジスタと、を備え、前記第2のアクセストランジスタを読み出しワード線により導通させることで前記第1の記憶ノードに記憶されたデータを読み出すことを特徴とする。

本発明の半導体記憶装置の書き込み方法は、メモリセルは第2の記憶ノードを入力とし第1の記憶ノードを出力とするインバータ回路と、電源と前記第2の記憶ノードとの間に接続され、前記第1の記憶ノードを入力とする負荷トランジスタと、前記第2の記憶ノードと書き込みビット線との間に接続された第1のアクセストランジスタと、前記第1の記憶ノードと読み出しビット線との間に接続された第2のアクセストランジスタと、を備え、前記第1のアクセストランジスタを書き込みワード線により導通させることで前記書き込みビット線から前記第2の記憶ノードに書き込み、前記第2のアクセストランジスタを読み出しワード線により導通させることで前記読み出しビット線から前記第1の記憶ノードに書き込むことを特徴とする。

本発明の半導体記憶装置の書き込み方法においては、メモリセルは第2の記憶ノードを入力とし第1の記憶ノードを出力とするインバータ回路と、電源と前記第2の記憶ノードとの間に接続され、前記第1の記憶ノードを入力とする負荷トランジスタと、前記第2の記憶ノードと接地電位との間に接続された第1のアクセストランジスタと、前記第1の記憶ノードと読み出しビット線との間に接続された第2のアクセストランジスタと、を備え、前記第1のアクセストランジスタをワンショットパルスの書き込みワード線により導通させ前記第2の記憶ノードをローレベルにリセットし、前記第2のアクセストランジスタを読み出しワード線により導通させることで前記読み出しビット線から前記第1の記憶ノードに書き込むことを特徴とする。

本発明の半導体記憶装置においては、前記読み出しビット線を入力とするインバータ回路と、該インバータ回路の出力をデータ線に伝達するデータ読み出し手段と、書き込みイネーブル信号により前記データ線からのデータを前記読み出しビット線に伝達する第1のデータ書き込み手段と、反転書き込みイネーブル信号により前記データ線からのデータを反転させて前記読み出しビット線に伝達する第2のデータ書き込み手段とを備えたセンスアンプをさらに備えたことを特徴とする。

本発明の半導体記憶装置においては、前記センスアンプは読み出しビット線をプリチャージするプリチャージ手段と、前記インバータ回路の出力を入力とし、該出力がローレベルのときに前記読み出しビット線のハイレベルを維持するレベル維持手段とをさらに備えたことを特徴とする。

本発明の半導体記憶装置においては、前記データ線は前記読み出し手段に接続された読み出しデータ線と、前記第1及び第2書き込み手段とに接続された書き込みデータ線から構成されたことを特徴とする。

本発明の半導体記憶装置においては、前記読み出しビット線を入力とするインバータ回

10

20

30

40

50

路と、該インバータ回路の出力をデータ線に伝達する読み出し手段と、書き込みイネーブル信号により前記データ線からのデータを前記読み出しビット線に伝達するデータ書き込み手段とを備えたセンスアンプをさらに備えたことを特徴とする。

本発明の半導体記憶装置においては、前記センスアンプは読み出しビット線をプリチャージするプリチャージ手段と、前記インバータ回路の出力を入力とし、該出力がローレベルのときに前記読み出しビット線のハイレベルを維持するレベル維持手段とをさらに備えたことを特徴とする。

本発明の半導体記憶装置においては、前記データ線は前記読み出し手段に接続された読み出しデータ線と、前記第1及び第2書き込み手段とに接続された書き込みデータ線から構成されたことを特徴とする。

10

本発明の半導体記憶装置においては、前記読み出しワード線はメインワード信号と反転読み出しブロック信号とにより生成し、前記書き込みワード線は前記メインワード信号と反転書き込みブロック信号とにより生成するサブワードドライバーをさらに備えたことを特徴とする。

本発明の半導体記憶装置においては、前記サブワードドライバーは前記メインワード信号を入力とし前記読み出しワード線を出力する第1のインバータ回路と、ドレイン、ソース、ゲートにそれぞれ前記読み出しワード線、低電位電源、前記反転書き込みブロック信号を接続された第1のトランジスタと、ドレイン、ソース、ゲートにそれぞれ前記第1インバータ回路の電源端子、電源、前記反転書き込みブロック信号とに接続された第2のトランジスタと、を備え、前記書き込みワード線を選択することを特徴とする。

20

本発明の半導体記憶装置においては、前記低電位電源は、書き込みサイクルにおいては前記書き込みワード線のローレベルとして、非選択のブロックに対して第1のローレベル電位を、選択されたブロックに対しては前記第1のローレベル電位よりも低い第2のローレベル電位を供給することを特徴とする。

【発明の効果】

S R A Mセルを5個のトランジスタで構成する。記憶ノードV2を入力とし記憶ノードV1を出力とするインバータ回路と、電源と前記第2の記憶ノードとの間に接続され、前記第1の記憶ノードを入力とする負荷トランジスタと、読み出しビット線と記憶ノードV1との間に接続されたアクセストランジスタN3と、書き込みビット線と記憶ノードV2との間に接続されたアクセストランジスタN4とで構成する。アクセストランジスタN4を書き込みワード線WWLで制御することでメモリセルのデータ保持できる効果が得られる。アクセストランジスタN4を保持手段及び書き込み手段とすることで少ない素子数で高速動作可能な半導体装置が得られる。

30

【図面の簡単な説明】

図1は、従来の6トランジスタS R A Mセルの回路図である。

図2は、従来のS R A Mセル及びC M O Sインバータの遅延時間の電源電圧依存を示す図である。

図3A～図3Cは、従来のS R A Mセルの読み出し動作を示す図である。

図4は、従来のS R A Mセルにおける安定動作を示すS N Mの説明図である。

図5は、従来のS R A MセルにおけるS N Mのトランジスタのチャンネル長依存性を示す図である。

40

図6は、従来の8トランジスタS R A Mセルの回路図である。

図7は、本発明の実施例1におけるS R A Mセル1の回路構成を示す図である。

図8Aは、実施例1におけるS R A Mセル1の保持状態において、記憶ノードV1“0”の場合を説明するための図である。

図8Bは、実施例1におけるS R A Mセル1の保持状態において、記憶ノードV1“1”の場合を説明するための図である。

図9は、トランジスタのゲート電圧、(V g s)ードレイン電流(I d)カーブを示す図である。

図10Aは、実施例1におけるS R A Mセル1の書き込み状態において、記憶ノードV

50

2 “ 1 ”、書き込みビット線WBL “ 0 ”の状態を説明するための図である。

図10Bは、実施例1におけるSRAMセル1の書き込み状態において、記憶ノードV2 “ 0 ”、書き込みビット線WBL “ 1 ”の状態を説明する図である。

図11は、本発明におけるSNM (Static Noise Margin)を示す図である。

図12Aは、実施例1における動作 (“ 0 ”読み出し)を説明するための波形図であり、

図12Bは、実施例1における動作 (“ 1 ”読み出し)を説明するための波形図であり、

図12Cは、実施例1における動作 (“ 0 ”書き込み)を説明するための波形図であり 10

図12Dは、実施例1における動作 (“ 1 ”書き込み)を説明するための波形図である。

図13は、本発明の実施例2におけるSRAMセル2の回路構成を示す図である。

図14Aは、実施例2における動作 (“ 0 ”読み出し)を説明するための波形図であり、

図14Bは、実施例2における動作 (“ 1 ”読み出し)を説明するための波形図であり、

図14Cは、実施例2における動作 (“ 0 ”書き込み)を説明するための波形図であり 20

図14Dは、実施例2における動作 (“ 1 ”書き込み)を説明するための波形図である。

図15は、本発明におけるセンスアンプSA11の回路構成を示す図である。

図16は、本発明におけるセンスアンプSA12の回路構成を示す図である。

図17Aは、図15及び図16のセンスアンプSA11及びSA12の動作 (“ 0 ”読み出し)を説明するための波形図であり、

図17Bは、図15及び図16のセンスアンプSA11及びSA12の動作 (“ 1 ”読み出し)を説明するための波形図であり、

図17Cは、図15及び図16のセンスアンプSA11及びSA12の動作 (“ 0 ”書き込み)を説明するための波形図であり、 30

図17Dは、図15及び図16のセンスアンプSA11及びSA12の動作 (“ 1 ”書き込み)を説明するための波形図である。

図18は、本発明におけるセンスアンプSA21の回路構成を示す図である。

図19は、本発明におけるセンスアンプSA22の回路構成を示す図である。

図20Aは、図18及び図19のセンスアンプSA21及びSA22の動作 (“ 0 ”読み出し)を説明するための波形図であり、

図20Bは、図18及び図19のセンスアンプSA21及びSA22の動作 (“ 1 ”読み出し)を説明するための波形図であり、

図20Cは、図18及び図19のセンスアンプSA21及びSA22の動作 (“ 0 ”書き込み)を説明するための波形図であり、 40

図20Dは、図18及び図19のセンスアンプSA21及びSA22の動作 (“ 1 ”書き込み)を説明するための波形図である。

図21Aは、本発明で用いるサブワードドライバースWD11を示す図であり、

図21Bは、前記サブワードドライバースWD11で用いる書き込みワード線信号発生回路NR12を示す図である。

図22Aは、本発明で用いるサブワードドライバースWD12を示す図であり、

図22Bは、前記サブワードドライバースWD12で用いる書き込みワード線信号発生回路NR12-1を示す図である。

図23Aは、本発明で用いるサブワードドライバースWD21を示す図であり、

図23Bは、前記サブワードドライバースWD21で用いる書き込みワード線信号発生 50

回路NR12-2を示す図である。

図24Aは、前記サブワードドライバSWD21の前記書き込みワード線信号発生回路NR12-2に、低電位電源電圧SLを供給するソース電位発生回路SLC1の回路構成図であり、

図24Bは、そのソース電位発生回路SLC1の動作波形を示す図である。

図25Aは、前記サブワードドライバSWD21の前記書き込みワード線信号発生回路NR12-2に、低電位電源電圧SLを供給するソース電位発生回路SLC2の回路構成図であり、

図25Bは、そのソース電位発生回路SLC2の動作波形を示す図である。

図26Aは、反転書き込みブロック信号発生回路WPBC1の回路構成図であり、

図26Bは、反転書き込みブロック信号発生回路WPBC1の動作波形を示す図であり

、

図26Cは、反転書き込みブロック信号発生回路WPBC2の回路構成図であり、

図26Dは、反転書き込みブロック信号発生回路WPBC2の動作波形を示す図である

。

図27は、本発明による半導体記憶装置の全体図を示す。

図28は、前記半導体記憶装置におけるメモリブロック1の構成例を示す図である。

図29は、前記半導体記憶装置におけるメモリブロック1のほかの構成例を示す図である。

図30Aは、図28の構成の一例における動作（“0”読み出し）を説明するための図であり、

図30Bは、図28の構成における動作（“1”読み出し）を説明するための図であり

、

図30Cは、図28の構成における動作（“0”書き込み）を説明するための図であり

、

図30Dは、図28の構成における動作（“1”書き込み）を説明するための図である

。

図31Aは、図28の構成の別の例における動作（“0”読み出し）を説明するための図であり、

図31Bは、図28の構成の別の例における動作（“1”読み出し）を説明するための図であり、

図31Cは、図28の構成の別の例における動作（“0”書き込み）を説明するための図であり、

図31Dは、図28の構成の別の例における動作（“1”書き込み）を説明するための図である。

図32Aは、図29の構成の一例における動作（“0”読み出し）を説明するための図であり、

図32Bは、図29の構成における動作（“1”読み出し）を説明するための図であり

、

図32Cは、図29の構成における動作（“0”書き込み）を説明するための図であり

、

図32Dは、図29の構成における動作（“1”書き込み）を説明するための図である

。

図33Aは、図29の構成の別の例における動作（“0”読み出し）を説明するための図であり、

図33Bは、図29の構成の別の例における動作（“1”読み出し）を説明するための図であり、

図33Cは、図29の構成の別の例における動作（“0”書き込み）を説明するための図であり、

図33Dは、図29の構成の別の例における動作（“1”書き込み）を説明するための

10

20

30

40

50

図である。

図 3 4 は、前記半導体記憶装置におけるメモリブロック 1 の具体例を示す図である。

図 3 5 は、前記半導体記憶装置におけるメモリブロック 1 のほかの具体例を示す。

図 3 6 A は、図 3 4 の構成における動作（“ 0 ”読み出し）を説明するための図であり

、図 3 6 B は、図 3 4 の構成における動作（“ 1 ”読み出し）を説明するための図であり

、図 3 6 C は、図 3 4 の構成における動作（“ 0 ”書き込み）を説明するための図であり

、図 3 6 D は、図 3 4 の構成における動作（“ 1 ”書き込み）を説明するための図である

10

。図 3 7 A は、図 3 5 の構成における動作（“ 0 ”読み出し）を説明するための図であり

、図 3 7 B は、図 3 5 の構成における動作（“ 1 ”読み出し）を説明するための図であり

、図 3 7 C は、図 3 5 の構成における動作（“ 0 ”書き込み）を説明するための図であり

、図 3 7 D は、図 3 5 の構成における動作（“ 1 ”書き込み）を説明するための図である

【発明を実施するための最良の形態】

20

本発明の低電源電圧にて、超高速動作する半導体記憶装置のメモリセルと、その周辺回路であるセンスアンプ、ワードドライバについて図面を参照して詳細に説明する。

【実施例 1】

本発明の実施例 1 について図 7～図 1 2 D を参照して説明する。図 7 は S R A M セルの回路構成を示す図である。図 8 A 及び B は S R A M セルの保持状態において、（a）記憶ノード V 1 に“ 0 ”の保持、（b）記憶ノード V 1 に“ 1 ”の保持を示す図である。図 9 はトランジスタのゲート電圧（V g s）ードレイン電流（I d）カーブを示す。図 1 0 A 及び 1 0 B は S R A M セルの書き込み時の非選択セルにおいて、（a）記憶ノード V 2 に“ 1 ”を保持し書き込みビット線 W B L が“ 0 ”の状態での誤書き込み、（b）記憶ノード V 2 に“ 0 ”を保持し書き込みビット線 W B L が“ 1 ”の状態での誤書き込みについて

30

説明する図である。図 1 1 は本発明における S N M を示す図である。図 1 2 A ～ 1 2 D は動作波形である。

以下、実施例 1、2 における S R A M セルに限定する場合には S R A M セル 1、S R A M セル 2 とし、特に限定されない場合には単に S R A M セルと記す。

図 7 に示す S R A M セル 1 は、C M O S インバータを形成する P M O S トランジスタ P 1 及び N M O S トランジスタ N 1 と、P M O S トランジスタ P 2 と、アクセス手段である N M O S トランジスタ N 3 及び N 4 との 5 個のトランジスタにより構成される。従来 6 トランジスタの S R A M セルと比較してドライブトランジスタ N 2 の削除、ワード線を読み出しワード線 R W L と書き込み用ワード線 W W L とに分離、ビット線 W B L を書き込み専用とした点異なる。

40

C M O S インバータは、P M O S トランジスタ P 1 と N M O S トランジスタ N 1 とから構成され、記憶ノード V 2 のデータを入力とし、記憶ノード V 1 にデータを出力する。P M O S トランジスタ P 1 はそのドレイン、ソース、ゲートが、それぞれ、記憶ノード V 1、電源電圧、記憶ノード V 2 に接続される。N M O S トランジスタ N 1 はそのドレイン、ソース、ゲートが、それぞれ、記憶ノード V 1、接地電位、記憶ノード V 2 に接続される。P M O S トランジスタ P 2 はそのドレイン、ソース、ゲートが、それぞれ、記憶ノード V 2、電源電圧、記憶ノード V 1 に接続される。

N M O S トランジスタ N 3 は、読み出しビット線 R B L と記憶ノード V 1 との間に接続され、そのゲートには読み出しワード線 R W L が接続される。N M O S トランジスタ N 4 は、書き込みビット線 W B L と記憶ノード V 2 との間に接続され、そのゲートには書き込

50

みワード線WWLが接続される。

本実施例メモリセルの動作のうちデータ保持方法について図8A及び8Bを用いて説明する。図8Aは記憶ノードV1が“0”、V2が“1”を保持している場合である。記憶ノードV1が“0”のためPMOSトランジスタP2はオンする。PMOSトランジスタP2のオン電流 I_{on_P} はNMOSトランジスタN4のオフリーク電流 I_{off_N} よりも大きいことから、記憶ノードV2がハイレベル“1”となる。記憶ノードV2がハイレベル“1”のためにNMOSトランジスタN1はオンし、記憶ノードV1をローレベル“0”に引き落とす。PMOSトランジスタP2とNMOSトランジスタN1がオンすることで記憶ノードV1、V2は安定的に保持される。

図8Bは記憶ノードV1が“1”、V2が(“0”を保持している場合である。図7に示すSRAMセル1は、図1に示すSRAMセルにおいて記憶ノードV2をローレベル“0”に保持していたトランジスタN2が削除されているため、記憶ノードV1が“1”、V2が“0”の状態を安定的に保持できない。そこで本発明においては、NMOSトランジスタN4のオフリーク電流 I_{off_N} を、PMOSトランジスタP2のオフリーク電流 I_{off_P} よりも大きくすることで、記憶ノードV2をローレベル“0”に保持するものである。記憶ノードV2をローレベル“0”に保持することでPMOSトランジスタP1はオンし、記憶ノードV1をハイレベル“1”に保持できる。

このように、PMOSトランジスタP2とNMOSトランジスタN4とで記憶ノードV2を出力とする擬似インバータ回路を構成し、PMOSトランジスタP2がオン時にはハイレベル“1”を、PMOSトランジスタP2がオフ時にはローレベル“0”を記憶ノードV2に出力する。

NMOSトランジスタN4のオフリーク電流 I_{off_N} は、PMOSトランジスタP2のオフリーク電流 I_{off_P} よりも大きくすることで、記憶ノードV2をローレベル“0”に保持する。逆にNMOSトランジスタN4のオフリーク電流 I_{off_N} は、PMOSトランジスタP2のオン電流 I_{on_P} よりも小さいことから、記憶ノードV2にハイレベル“1”が保持される。従って、これらの電流の大きさは $I_{off_P} < I_{off_N} < I_{on_P}$ となる。

ここで、NMOSトランジスタN4のオフリーク電流 I_{off_N} を、PMOSトランジスタP2のオフリーク電流 I_{off_P} の約100倍程度に設定することが好ましい。100倍程度に設定する理由はオフリーク電流がばらついた場合にも $I_{off_P} < I_{off_N}$ とするためである。例えば、PMOSトランジスタP2のオフリーク電流 I_{off_P} が数pAの場合、NMOSトランジスタN4のオフリーク電流 I_{off_N} を数百pAから数nA程度とする。

NMOSトランジスタN4のオフリーク電流 I_{off_N} を大きくする方法としてはいくつかの方法がある。まず第1の方法としてはNMOSトランジスタN4の閾値電圧 V_{th} を他のノーマル閾値電圧(例えばNMOSトランジスタN3)より低いロー閾値電圧のトランジスタとする。約0.2V閾値電圧を下げた場合にはそのリーク電流は100倍程度大きくなる。図9には、ノーマル閾値電圧(Normal V_{th})、ロー閾値電圧(Low V_{th})を有するトランジスタのゲート電圧(V_{gs})と電流(I_d)を示す。NMOSトランジスタN4のゲート電圧をGND電位とした場合に、ノーマル閾値電圧(Normal V_{th})、ロー閾値電圧(Low V_{th})を有するトランジスタにおけるリーク電流比は約100倍となる。

第2の方法としてはNMOSトランジスタN4の閾値電圧 V_{th} はノーマル閾値電圧とし、書き込みワード線WWLのローレベルを通常より0.2V高い電圧とする。約0.2V高くすることでそのリーク電流は100倍程度大きくなる。第3の方法としては、第1の方法と第2の方法を組み合わせる方法である。例えばNMOSトランジスタN4の閾値電圧 V_{th} を0.1V低く、書き込みワード線WWLのローレベルを通常より0.1V高い電圧とする。この方法によっても、リーク電流 I_{off_N} は100倍程度大きくできる。

上記したように5トランジスタで構成されるSRAMセルの保持はアクセストランジス

10

20

30

40

50

タN4のオフリーク電流を大きく設定することにより達成される。一方オフリーク電流を大きくすることで、書き込み動作時に、選択されたSRAMセルへの書き込みデータが同一ブロック内の非選択のSRAMセルにも書き込みされる虞がある。

図10A及び10Bを用いて、選択されたSRAMセル1に対する書き込みデータが非選択SRAMセル1に誤書き込みされる場合を説明する。図10Aは選択されたSRAMセル1に対し書き込みデータとして、WBLに“0”、RBLに“1”が与えられ、非選択SRAMセル1に記憶されたデータは記憶ノードV1が“0”、V2が“1”の場合である。この場合は負荷トランジスタP2がオン状態であり、アクセストランジスタN4のリーク電流よりも大きな電流を供給できるために記憶ノードV2のハイレベルは低下せず、誤書き込みは発生しない。

10

図10Bは選択されたSRAMセル1に対し書き込みデータとして、WBLに“1”、RBLに“0”が与えられ、非選択SRAMセル1に記憶されたデータは記憶ノードV1が“1”、V2が“0”の場合である。アクセストランジスタN4はオフ状態ではあるがそのリーク電流が大きいため書き込みビット線WBLのハイレベル“1”により記憶ノードV2が充電され、記憶ノードV2の電位が上昇し、誤書き込みが発生する虞がある。ここで記憶ノードV2が上昇し、ドライブトランジスタN1の閾値電圧まで充電される時間をリテンション時間とする。

記憶ノードV2の寄生容量を1fF、ドライブトランジスタN1の閾値電圧を0.3V、負荷トランジスタの最悪オフリーク電流を100pA、アクセストランジスタN4の最悪条件のオフリーク電流を100nAとした場合には、リテンション時間は、 $1\text{fF} \times 0.3\text{V} / 100.1\text{nA} = 3\text{ns}$ の時間となる。3nsの時間で、記憶ノードV2は上昇し、トランジスタN2をオンさせ、記憶ノードV1の電位を低下させることでSRAMセル1に誤書き込みされる。

20

このような誤書き込みを防止するためには、リテンション時間が書き込みサイクルよりも長い時間となるように、書き込み時の書き込みワード線WWLのローレベルを低下すればよい。例えばローレベルを0.2V低下させた場合には、アクセストランジスタN4のオフリーク電流は $1/100$ に少なくなり1nAとなる。この場合にはリテンション時間は $1\text{fF} \times 0.3\text{V} / 1.1\text{nA} = 273\text{ns}$ となり、短期間の書き込みサイクルにおいては誤書き込みを防止できる。これらの非選択のSRAMセル1に対するワード線電位の制御については別実施例において詳述することとし、以下、本実施例においては選択されたSRAMセル1に関して説明する。

30

本実施例の5トランジスタで構成されるSRAMセル1の動作について図11、図12A～12Dを用いて説明する。図11にSNMを示す。6トランジスタのSRAMセルと比較し、ドライブトランジスタN2が削除され、トランジスタP2とN4とで擬似のインバータ回路が構成される。この擬似インバータ回路の閾値電圧は高く、入出力特性は電源電圧側に大きくシフトする。一方のインバータ回路はトランジスタP1とN1とで構成され、その入出力特性は通常の6トランジスタ型と同一となる。したがって、図11に示すように、SNMは非対称となる。

読み出しビット線RBLによって読み出し時に記憶データが破壊されやすい記憶ノードV1にローレベル“0”が記憶されている状態での動作マージンが拡大され、記憶ノードV1にハイレベル“1”が記憶されている動作マージンは縮小されている。しかし、動作マージンが縮小された記憶ノードV1にハイレベル“1”が記憶された状態では読み出しビット線RBLのハイレベル“1”が接続されても記憶データの破壊は発生しないために誤動作は起こり得ない。このためSRAMセルの動作マージンは拡大されることになる。また記憶ノードV1にハイレベル“1”が記憶された状態は上記したようにアクセストランジスタN4のオフリーク電流を負荷トランジスタP2のオフリーク電流より大きくすることで記憶ノードV2をローレベル“0”に保持できる。

40

図12A～12Dに本発明のSRAMセル1の動作タイミングを示す。(a)“0”読み出し、(b)“1”読み出し、(c)“0”書き込み、(d)“1”書き込みを示す。ここでSRAMセル1の記憶ノードV1に記憶されたデータを、SRAMセル1の記憶デ

50

ータとして定義する。また書き込み動作においては、S R A Mセル1に記憶されたデータの反転データが書き込まれる場合について説明する。

図12Aの“0”読み出しの場合には読み出しワード線R W Lが活性化されハイレベル“1”となる。読み出しワード線R W Lが活性化されアクセストランジスタN3がオン状態となり読み出しビット線R B LとS R A Mセル1の記憶ノードV1は導通する。プリチャージレベル“1”に充電された読み出しビット線R B Lにより記憶ノードV1はわずかにその電位を引き上げられるが、ドライブトランジスタN1によって読み出しビット線R B Lと共に記憶ノードV1はローレベル“0”まで引き落とされる。また、読み出しビット線R B Lがローレベルに引き落とされることでローレベル“0”のデータ読み出しが行われる。

10

このケースでの動作マージンはドライブトランジスタN2が削除され、記憶ノードV2に記憶されているハイレベル“1”が放電されないことにより拡大される。読み出し終了後は読み出しワード線R W Lがローレベル“0”となり、読み出しビット線R B Lはハイレベル“1”にプリチャージされる。読み出しサイクルにおいては書き込みワード線W W L、書き込みビット線W B Lはそれぞれローレベル“0”に維持され、変化しない。

図12Bの“1”読み出しの場合には読み出しワード線R W Lが活性化されハイレベル“1”となる。読み出しワード線R W Lが活性化されることでアクセストランジスタN3がオン状態となり読み出しビット線R B LとS R A Mセル1の記憶ノードV1は導通する。プリチャージレベル“1”に充電された読み出しビット線R B Lと、記憶ノードV1に記憶されているハイレベル“1”は同一であるためそのままハイレベル“1”のデータ読み出しが行われる。読み出し終了後は読み出しワード線R W Lがローレベル“0”となり、読み出しビット線R B Lはハイレベル“1”にプリチャージされる。この読み出しサイクルにおいては書き込みワード線W W L、書き込みビット線W B Lはそれぞれローレベル“0”に維持され、変化しない。

20

図12Cの“0”書き込みの場合には、読み出しワード線R W Lと書き込みワード線W W Lとがともに活性化されハイレベル“1”となる。アクセストランジスタN3及びN4がともにオン状態となり、読み出しビット線R B Lと記憶ノードV1、書き込みビット線W B Lと記憶ノードV2とがそれぞれ導通し、読み出しビット線R B Lのローレベル“0”が記憶ノードV1に、書き込みビット線W B Lのハイレベル“1”が記憶ノードV2に書き込まれる。書き込み終了後は、読み出しワード線R W Lと書き込みワード線W W Lとがローレベル“0”となり、つづいて読み出しビット線R B Lはハイレベル“1”に、書き込みビット線W B Lはローレベル“0”にプリチャージされる。

30

図12D“1”書き込みの場合には、読み出しワード線R W Lと書き込みワード線W W Lとがともに活性化されハイレベル“1”となる。アクセストランジスタN3及びN4がともにオン状態となり、読み出しビット線R B Lと記憶ノードV1、書き込みビット線W B Lと記憶ノードV2とがそれぞれ導通し、読み出しビット線R B Lのハイレベル“1”が記憶ノードV1に、書き込みビット線W B Lのローレベル“0”が記憶ノードV2に書き込まれる。書き込み終了後は、読み出しワード線R W Lと書き込みワード線W W Lとがローレベル“0”となり、つづいて読み出しビット線R B Lはハイレベル“1”に、書き込みビット線W B Lはローレベル“0”にプリチャージされる。

40

本実施例においては、S R A Mセルを5個のトランジスタで構成する。記憶ノードV2を入力とし記憶ノードV1を出力とするインバータ回路と、電源と記憶ノードV2との間に接続され、記憶ノードV1を入力とする負荷トランジスタと、読み出しビット線と記憶ノードV1との間に接続されたアクセストランジスタN3と、書き込みビット線と記憶ノードV2との間に接続されたアクセストランジスタN4とで構成する。アクセストランジスタN4を書き込みワード線W W Lで制御することでメモリセルの保持制御手段及び書き込み手段とすることで少ない素子数で高速動作可能な半導体装置が得られる。

【実施例2】

本発明の実施例2を図13、図14A～14Dを用いて説明する。図13は実施例2におけるS R A Mセル2の回路構成、図14A～14Dにはその動作波形を示す。

50

図13に示すSRAMセル2は、実施例1のSRAMセル1と比較すると、書き込みビット線WBLが接地電位GNDに固定されている点がことなる。他の構成素子は同じであるため実施例1と同じ符号としその説明を省略する。

実施例2のSRAMセル2の保持時には、読み出しワード線RWLと書き込みワード線WWLがともにローレベル“0”とされる。このときアクセストランジスタN4のオフリーク電流 I_{off_N} を実施例1と同様に $I_{off_P} < I_{off_N} < I_{on_P}$ の関係とすることで、それぞれの記憶ノードV1、V2を保持できる。

図14A～14Dを用いてさらにその動作を説明する。図14A～14Dには(a)“0”読み出し、(b)“1”読み出し、(c)“0”書き込み、(d)“1”書き込みの動作波形を示す。図14A“0”読み出し、14B“1”読み出しの場合には、読み出しワード線RWL、読み出しビット線RBL、アクセストランジスタN3を用いて記憶ノードV1の“0”、または“1”を読み出しビット線RBLに読み出している。その動作は図14A、図14Bに示すように実施例1と同様であり、その説明を省略する。

書き込み動作においては実施例1においては、読み出しビット線RBL及び書き込みビット線WBLからの相補のデータ入力によりSRAMセル1に書き込んでいる。しかし実施例2においては、書き込みビット線WBLは接地電位に固定されているため、書き込みワード線WWLを短いワンショットパルスとし、記憶ノードV2をローレベル“0”にリセットした後に読み出しビット線RBLの書き込みレベルを記憶ノードV1に書き込む。

図14Cの“0”書き込みの場合には、読み出しワード線RWLと書き込みワード線WWLとがともに活性化されハイレベル“1”となる。アクセストランジスタN3及びN4がともにオン状態となり、記憶ノードV1と読み出しビット線RBLが導通し、記憶ノードV1には読み出しビット線RBLのローレベル“0”が書き込まれる。一方記憶ノードV2は、トランジスタP2とトランジスタN4とが共にオンすることから中間レベルとなる。ここでワンショットパルスである書き込みワード線WWLがローレベル“0”となり、トランジスタN4をオフさせることで記憶ノードV2はハイレベル“1”に引き上げられ、記憶ノードV1に“0”、記憶ノードV2に“1”が書き込まれる。書き込み終了後は、読み出しワード線RWLがローレベル“0”となり、つづいて読み出しビット線RBLはハイレベル“1”にプリチャージされる。

図12Dの“1”書き込みの場合には、読み出しワード線RWLと書き込みワード線WWLとがともに活性化されハイレベル“1”となる。アクセストランジスタN3及びN4がともにオン状態となり、記憶ノードV1と読み出しビット線RBLが導通し、記憶ノードV1には読み出しビット線RBLのハイレベル“1”が書き込まれる。一方記憶ノードV2はアクセストランジスタN4により接地電位GNDとなり、記憶ノードV2にはローレベル“0”が書き込まれる。ここではトランジスタP2がオフ状態のため、記憶ノードV2は中間レベル引き上げられることなしにローレベル“0”が書き込まれる。書き込みワード線WWLがハイレベルの期間に記憶ノードV1に“1”、記憶ノードV2に“0”が書き込まれる。書き込みワード線WWLのみをローレベル“0”としトランジスタN4をオフさせる。つづいて読み出しワード線RWLをローレベル“0”とし、読み出しビット線RBLはハイレベル“1”にプリチャージされる。

本実施例においては、SRAMセルを5個のトランジスタで構成する。記憶ノードV2を入力とし記憶ノードV1を出力とするインバータ回路と、電源と記憶ノードV2との間に接続され、記憶ノードV1を入力とし記憶ノードV2を出力とする負荷トランジスタと、読み出しビット線と記憶ノードV1との間に接続されたアクセストランジスタN3と、接地電位と記憶ノードV2との間に接続されたアクセストランジスタN4とで構成する。アクセストランジスタN4をワンショットの書き込みワード線WWLで制御することでメモリセルの保持制御手段及び書き込み手段とすることで少ない素子数で高速動作可能な半導体装置が得られる。

【実施例3】

本発明の実施例3はSRAMセル1に、メモリセル及び入出力回路とのデータをやり取りするセンスアンプを付加した実施例である。本実施例においては、データ読み出し動作

を読み出しビット線RBLの一本のビット線により、データ書き込み動作を読み出しビット線RBLと書き込みビット線WBLとの二本のビット線により行う。また入出力回路とのデータ伝送をセンスアンプSA11はデータ線DLの一本で、センスアンプSA12は読み出しデータ線RDLと書き込みデータ線WDLとの二本で行う。図15にセンスアンプSA11の回路構成図、図16にセンスアンプSA12の回路構成図、図17A～17Dにその動作波形を示す。

図15のセンスアンプSA11の回路構成を説明する。メモリセルからの読み出しビット線RBLからのデータが入力されるインバータIV1の出力BLBはPMOSトランジスタP12とNMOSトランジスタN12のゲートに入力される。PMOSトランジスタP12はソースが電源電圧VDDに、ドレインが読み出しビット線RBLに接続され、オン時には読み出しビット線RBLをハイレベルに維持するビット線ハイレベル維持用のトランジスタである。NMOSトランジスタN12はソースが接地電位GNDに、ドレインがデータ線DLに接続された読み出しトランジスタである。

10

データ線DLと読み出しビット線RBLの間にはゲートに書き込みイネーブル信号WEが入力される書き込み用NMOSトランジスタN13が接続される。さらに、反転書き込みイネーブル信号WEBとデータ線DLを入力としたNOR回路NR1は、その出力を書き込みビット線WBLに接続される。NOR回路NR1は反転書き込みイネーブル信号WEBを入力されることにより書き込み時以外には、その出力である書き込みビット線WBLをローレベル“0”にプリチャージすることで、固定する。またプリチャージ用のPMOSトランジスタP13のソース、ドレイン、ゲートはそれぞれ電源電圧VDD、読み出しビット線WBL、プリチャージ信号PC、に接続される。

20

センスアンプSA11の基本動作は、読み出し時にはメモリセルからのデータを読み出しビット線RBLに読み出し、インバータIV1と読み出しトランジスタN12を経由してデータ線DLに伝達する。書き込み時にはデータ線DLからのデータをトランジスタN13及びNOR回路NR1を経由して相補のデータを読み出しビット線RBL及び書き込みビット線WBLに伝え、メモリセルに書き込む。レベル維持トランジスタP12及びプリチャージトランジスタP13はこれらの動作を補完する動作を行うものである。

図16のセンスアンプSA12は、図15のセンスアンプSA11におけるデータ線DLが書き込みデータ線WDLと、読み出しデータ線RDLとに分離され構成される。書き込みデータ線WDLは書き込みトランジスタN13に、読み出しデータ線RDLは読み出しトランジスタN12にそれぞれ接続される。センスアンプSA11とSA12との違いは入出力回路の構成によるものであり、センスアンプとしての基本動作は同じである。図示していない入出力回路の構成が入出力兼用の場合にはSA11が使用され、入力回路と出力回路とに分離されている場合にはSA12が使用される。

30

図17A～17DはセンスアンプSA11における動作の一形態を示す動作波形を示す。本センスアンプSA11に適用できるメモリセルは限定されるものではないが、動作の一形態として第1実施例のメモリセルに適用した場合として説明する。

図17A“0”読み出し、図17B“1”読み出しに関しては、読み出し期間中には書き込みワード線WWL及び書き込みイネーブル信号WEはローレベル“0”、反転書き込みイネーブル信号WEBはハイレベル“1”のままである。従ってセンスアンプSA11の動作は、プリチャージ信号PC、読み出しワード線RWLにより制御される。プリチャージ信号がハイレベル“1”となり、トランジスタP13はオフし、プリチャージ動作を終了する。読み出しワード線RWLがハイレベル“1”とされ、メモリセルと読み出しビット線RBLが導通し、メモリセルのデータ“0”または“1”が読み出しビット線RBLに読み出される。さらにインバータIV1及び読み出しトランジスタN12を経由してデータ線DLに読み出される。

40

図17C“0”書き込み、図17D“1”書き込みの場合には、プリチャージ信号PC及び書き込みイネーブル信号WEがハイレベル“1”に、反転書き込みイネーブル信号WEBがローレベル“0”に変化することで、プリチャージトランジスタP13はオフし、読み出しビット線RBLへのプリチャージ動作を終了する。またNOR回路NR1による

50

書き込みビット線WBLのローレベル固定が終了する。データ線DLからのデータが書き込みトランジスタN13を経由して読み出しビット線RBLに、NOR回路NR1を経由してデータ線DLの反転データが書き込みビット線WBLに伝達される。

選択された読み出しワード線RWLと書き込みワード線WWLがハイレベル“1”になり、相補のデータがメモリセル内の記憶ノードV1及びV2に書き込まれる。書き込み終了後、プリチャージ信号PC、書き込みイネーブル信号WE、読み出しワード線RWL及び書き込みワード線WWLがローレベル“0”に、反転書き込みイネーブル信号WEBがハイレベル“1”に変化し、データ線DL、読み出しビット線はハイレベル“1”に、書き込みビット線はローレベルにプリチャージされる

以上、センスアンプSA11の動作を詳述したが、センスアンプSA12については、図17A～17Dにおいてデータ線DLの()に示すように、読み出し時にはデータ線DLを読み出しデータ線RDLに、書き込み時にはデータ線DLを書き込みデータ線WDLに読み替えればよいのでその動作説明は省略する。

本実施例のセンスアンプはメモリセルとのデータ伝達を読み出し時には読み出しビット線の1本で、書き込み時には読み出しビット線及び書き込みビット線の2本のビット線で行う。メモリセルの記憶データをビット線から入力されるインバータ回路と、インバータ回路出力をデータ線に伝達する読み出しトランジスタと、インバータ回路出力が低電位時にビット線を高電位に維持するビット線ハイレベル維持用のトランジスタと、書き込みデータ及びその反転データを読み出しビット線及び書き込みビット線に伝達するそれぞれの書き込み手段と、読み出し及び書き込みビット線が有効でないときにそれぞれを高電位及び低電位にプリチャージする手段とから構成される高速動作可能なセンスアンプが得られる。

【実施例4】

本発明の実施例4はSRAMセル2に、メモリセル及び入出力回路とのデータをやり取りするセンスアンプを付加した実施例である。図18にセンスアンプSA21の回路構成図、図19にセンスアンプSA22の回路構成図、図20A～20Dにその動作波形を示す。センスアンプSA21は入出力回路とのデータ転送をデータ線一本により、センスアンプSA22は入出力回路とのデータ転送を読み出しデータ線及び書き込みデータ線の二本により行う。

図18のセンスアンプSA21は、メモリセルからの読み出しビット線RBLからのデータが入力されるインバータIV1の出力BLBはPMOSTランジスタP12とNMOSTランジスタN12のゲートに入力される。PMOSTランジスタP12はソースが電源電圧VDDに、ドレインが読み出しビット線RBLに接続され、オン時には読み出しビット線RBLをハイレベルに維持するビット線ハイレベル維持用のトランジスタである。NMOSTランジスタN12はソースが接地電位GNDに、ドレインがデータ線DLに接続された読み出しトランジスタである。

データ線DLと読み出しビット線RBLとの間にはゲートに書き込みイネーブル信号WEが入力される書き込み用NMOSTランジスタN13が接続される。またプリチャージ用のPMOSTランジスタP13のソース、ドレイン、ゲートはそれぞれ電源電圧VDD、読み出しビット線WBL、プリチャージ信号PCに接続される。

センスアンプSA21の基本動作は、読み出し時にはメモリセルからのデータを読み出しビット線RBLに読み出し、インバータIV1と読み出しトランジスタN12を経由してデータ線DLに伝達する。書き込み時にはデータ線DLからのデータを、トランジスタN13を経由して読み出しビット線RBLに伝え、メモリセルに書き込む。レベル維持トランジスタP12及びプリチャージトランジスタP13はこれらの動作を補完する動作を行うものである。

図19のセンスアンプSA22は、図18のセンスアンプSA21におけるデータ線DLが書き込みデータ線WDLと、読み出しデータ線RDLとに分離され構成される。書き込みデータ線WDLは書き込みトランジスタN13に、読み出しデータ線RDLは読み出しトランジスタN12にそれぞれ接続される。センスアンプSA21とSA22との違い

は入出力回路の構成によるものでありセンスアンプとしての基本動作は同じである。入出力回路の構成が入出力兼用の場合にはS A 2 1が使用され、入力回路と出力回路とに分離されている場合にはS A 2 2が使用される。

図20A～20DはセンスアンプS A 2 1における動作の一形態を示す動作波形を示す。本センスアンプS A 2 1に適用できるメモリセルは限定されるものではないが、動作の一形態として第2実施例のメモリセルに適用した場合として説明する。

図20A“0”読み出し、図20B“1”読み出しに関しては、読み出しサイクル中には書き込みワード線WWL及び書き込みイネーブル信号WEはローレベル“0”のままである。従ってセンスアンプS A 2 1の動作は、プリチャージ信号PC、読み出しワード線RWLにより制御される。プリチャージ信号PCがハイレベル“1”となり、トランジスタP 1 3はオフし、プリチャージ動作をやめる。読み出しワード線RWLがハイレベル“1”とされ、メモリセルと読み出しビット線RBLが導通し、メモリセルのデータ“0”または“1”が読み出しビット線RBLに読み出される。さらにインバータI V 1及び読み出しトランジスタN 1 2を経由してデータ線DLに読み出される。

図20C“0”書き込みの場合には、プリチャージ信号PC及び書き込みイネーブル信号WEがハイレベル“1”に変化することで、プリチャージトランジスタP 1 3はオフし、読み出しビット線RBLへのプリチャージ動作を終了する。データ線DLからのデータが書き込みトランジスタN 1 3を経由して読み出しビット線RBLに伝達される。

選択された読み出しワード線RWLと書き込みワード線WWLがハイレベル“1”になり、読み出しビット線RBLからのデータ“0”がメモリセルの記憶ノードV 1に書き込まれるとともに、メモリセルの記憶ノードV 2は負荷トランジスタP 2とアクセストランジスタN 4との電流パスにより中間レベルとなる。ここでワンショットパルスである書き込みワード線WWLが、ローレベル“0”に変化することでアクセストランジスタN 4がオフし、負荷トランジスタP 2がオン状態のため、記憶ノードV 2にハイレベル“1”が書き込まれる。

書き込み終了後、プリチャージ信号PC、書き込みイネーブル信号WE及び読み出しワード線RWLがローレベル“0”に変化し、データ線DL、読み出しビット線はハイレベル“1”にプリチャージされる。

図20D“1”書き込みの場合には、プリチャージ信号PC及び書き込みイネーブル信号WEがハイレベル“1”に変化することで、プリチャージトランジスタP 1 3はオフし、読み出しビット線RBLへのプリチャージ動作を終了する。データ線DLからのデータが書き込みトランジスタN 1 3を経由して読み出しビット線RBLに伝達される。

選択された読み出しワード線RWLと書き込みワード線WWLがハイレベル“1”になり、読み出しビット線RBLからのデータ“1”がメモリセルの記憶ノードV 1に書き込まれるとともに、メモリセルの記憶ノードV 2にローレベル“0”が書き込まれる。書き込みワード線WWLはローレベル“0”となる。書き込み終了後、プリチャージ信号PC、書き込みイネーブル信号WE及び読み出しワード線RWLがローレベル“0”に変化し、データ線DL、読み出しビット線はハイレベル“1”にプリチャージされる。

以上、センスアンプS A 2 1の動作を詳述したが、センスアンプS A 2 2については、図20A～20Dにおいてデータ線DLの()に示すように、読み出し時にはデータ線DLを読み出しデータ線RDLに、書き込み時にはデータ線DLを書き込みデータ線WDLに読み替えればよいのでその動作説明は省略する。

本実施例のセンスアンプはメモリセルとのデータ伝達を読み出しビット線の1本で行う。メモリセルの記憶データをビット線から入力されるインバータ回路と、インバータ回路出力をデータ線に伝達する読み出しトランジスタと、インバータ回路出力が低電位時にビット線を高電位に維持するビット線ハイレベル維持用のトランジスタと、書き込みデータを読み出しビット線に伝達する書き込みトランジスタと、読み出しビット線が有効でないときに高電位にプリチャージする手段とから構成されるセンスアンプが得られる。

【実施例5】

本発明の実施例5として読み出しワード線RWL及び書き込みワード線WWLの信号を

発生させるサブワードドライバー回路の構成及びサブワードデコーダ回路に使用される制御信号について説明する。図 2 1 A 及び 2 1 B には、サブワードドライバー SWD 1 1 とその書き込みワード線信号発生回路 NR 1 2 が示され、図 2 2 A 及び 2 2 B には、サブワードドライバー SWD 1 2 とその書き込みワード線信号発生回路 NR 1 2 - 1 が示され、図 2 3 A 及び 2 3 B には、サブワードドライバー SWD 2 1 とその書き込みワード線信号発生回路 NR 1 2 - 2 が示されている。

さらに図 2 4 A 及び 2 4 B には、第 1 のソース電位発生回路 SLC 1 とその動作波形が示され、図 2 5 A 及び 2 5 B には、第 2 のソース電位発生回路 SLC 2 とその動作波形が示されている。図 2 6 A 及び 2 6 B には、反転書き込みブロック信号の第 1 の発生回路 WPBC 1 とその動作波形が示され、図 2 6 C 及び 2 6 D には、第 2 の発生回路 WPBC 2 とその動作波形が示されている。

10

ここで、図 2 1 A を参照して、サブワードドライバー SWD 1 1 について詳細に説明する。サブワードドライバー SWD 1 1 は、NOR 回路 NR 1 1 及び NR 1 2 から構成され、NOR 回路 NR 1 1 には反転メインワード線 WL B と反転読み出しブロック信号 RPB とが入力され、読み出しワード線 RWL に読み出しワード線信号を出力する。NOR 回路 NR 1 2 には反転メインワード線 WL B と反転書き込みブロック信号 WPB とが入力され、書き込みワード線 WWL に書き込みワード線信号を出力する。

読み出し時には、反転メインワード線 WL B と反転読み出しブロック信号 RPB がともにローレベル “ 0 ” となったサブワードドライバーが選択され読み出しワード線 RWL をハイレベル “ 1 ” と活性化させる。書き込み時には反転メインワード線 WL B と反転読み出しブロック信号 RPB と反転書き込みブロック信号 WPB とがともにローレベル “ 0 ” となったサブワードドライバーが選択され読み出しワード線 RWL、書き込みワード線 WWL をともにハイレベル “ 1 ” と活性化させる。読み込みまたは書き込み時には、メインワード信号とブロック信号とが入力されたメモリセルアレイの行が選択され、活性化され読み出しまたは書き込み動作が行われる。

20

次に、図 2 1 B を参照して、書き込みワード線 WWL に書き込みワード線信号を発生させる NOR 回路 NR 1 2 について詳細に説明する。PMOS トランジスタ P 2 2 のソース、ドレイン、ゲートはそれぞれ電源電圧 VDD、トランジスタ P 2 1 のソース、反転書き込みブロック信号 WPB に接続される。PMOS トランジスタ P 2 1 のソース、ドレイン、ゲートはそれぞれ PMOS トランジスタ P 2 2 のドレイン、トランジスタ N 2 1 のドレイン、反転メインワード線 WL B に接続される。NMOS トランジスタ N 2 1 のソース、ドレイン、ゲートはそれぞれ接地電位 GND、トランジスタ P 2 1 のドレイン、反転メインワード線 WL B に接続される。NMOS トランジスタ N 2 2 のソース、ドレイン、ゲートはそれぞれ接地電位 GND、トランジスタ P 2 1 のドレイン、反転書き込みブロック信号 WPB に接続される。

30

これらの回路構成において、PMOS トランジスタ P 2 1 のソースと NMOS トランジスタ N 2 1 及び N 2 2 のソースから、書き込みワード線 WWL は出力される。反転メインワード線 WL B 及び反転書き込みブロック信号 WPB がともにローレベル “ 0 ” とすれば PMOS トランジスタ P 2 1 及び P 2 2 はオン、NMOS トランジスタ N 2 1 及び N 2 2 はオフ状態であり、NOR 回路 NR 1 2 の出力である書き込みワード線 WWL はハイレベル “ 1 ” として電源電圧 VDD を出力する。この書き込みワード線 WWL に接続されたメモリセルが選択される。反転メインワード線 WL B 及び反転書き込みブロック信号 WPB のいずれかがハイレベル “ 1 ” であれば、書き込みワード線 WWL はローレベル “ 0 ” として接地電位 GND を出力する。

40

図 2 1 A 及び 2 1 B、図 2 2 A 及び 2 2 B、図 2 3 A 及び 2 3 B を比較すると、サブワードドライバー SWD 1 1、SWD 1 2、SWD 2 1 において、書き込みワード線 WWL に書き込みワード線信号を発生させる NOR 回路を構成するトランジスタ (P 2 1、P 2 2、N 2 1、N 2 2)、及び、接続される高電位電源 (電源電圧 VDD) は、同じであるが、接続される低電位電源 (GND、VS 2、SL) が異なる。図 2 1 A 及び 2 1 B のサブワードドライバー SWD 1 1 の NOR 回路 NR 1 2 は、接地電位 GND を出力する低電

50

位電源に接続されている。図 2 2 A 及び 2 2 B のサブワードドライバ SWD 1 2 の NOR 回路 NR 1 2 - 1 は、接地電位 GND より 0. 1 ~ 0. 2 V 高い電源電圧を出力する低電位電源 VS 2 に接続されている。図 2 3 A 及び 2 3 B のサブワードドライバ SWD 2 1 の NOR 回路 NR 1 2 - 2 は、電源電圧が可変である低電位電源 SL に接続されている。

図 2 2 B において、NOR 回路 NR 1 2 - 1 はハイレベル “ 1 ” として電源電圧 VDD、ローレベル “ 0 ” として低電位電源 VS 2 を出力する。他の構成、動作は図 2 1 A 及び 2 1 B と同じでありその説明は省略する。

図 2 3 B において、NOR 回路 NR 1 2 - 2 の低電位電源 SL は、書き込み時に出力電圧（ソース電位）を接地電位 GND から負電位 VS 1 に変化させる（図 2 4 A ・ 2 4 B）。または、低電位電源 SL は、書き込み時に出力電圧（ソース電位）を正電位 VS 2 から接地電位 GND に変化させる（図 2 5 ・ 2 5 B）。

図 2 4 A 及び 2 4 B、図 2 5 A 及び 2 5 B に示されたソース電位発生回路（低電位電源電圧発生回路）は、書き込み時にサブワードドライバ回路により選択されたブロック内の 1 つの選択されたワード線はハイレベル “ 1 ” となるが、選択されたブロックのローレベル “ 0 ” をさらに低電位とするものである。これらの出力ローレベル “ 0 ” を SRAM セルのアクセストランジスタ N 4（図 7）のゲートに印加することでアクセストランジスタ N 4 のリーク電流を減らし、誤書き込みを防止することができる。

図 2 4 A に示した第 1 のソース電位発生回路 SLC 1 は、図 2 4 B に示すように、ローレベル “ 0 ” として、通常は、接地電位 GND を、書き込み時には、選択されたブロックに対してはローレベル “ 0 ” としてさらに負電位 VS 1 に低下させるものである。

ソース電位発生回路 SLC 1 は、反転書き込みブロック信号 WPB と反転書き込みイネーブル信号 WEB を入力される NOR 回路 NR 2 1 と、NOR 回路 NR 2 1 の出力を入力されるインバータ回路 IV 2 1 と、トランジスタ N 2 3 と、トランジスタ N 2 4 とで構成される。トランジスタ N 2 3 のドレイン、ソース、ゲートはそれぞれ低電位電源 SL（図 2 3 B）、負電位 VS 1、NOR 回路 NR 2 1 の出力に接続される。トランジスタ N 2 4 のドレイン、ソース、ゲートはそれぞれ低電位電源 SL（図 2 3 B）、接地電位 GND、インバータ回路 IV 2 1 の出力に接続される。

反転書き込みブロック信号 WPB または反転書き込みイネーブル信号 WEB がハイレベル “ 1 ” の場合は、NOR 回路 NR 2 1 はローレベルとなることで、トランジスタ 2 4 がオン、トランジスタ 2 3 がオフとなり、ソース電位発生回路 SLC 1 は接地電位 GND を出力する。反転書き込みブロック信号 WPB 及び反転書き込みイネーブル信号 WEB がローレベル “ 0 ” の場合は、NOR 回路 NR 2 1 はハイレベル “ 1 ” を出力し、トランジスタ 2 4 がオフ、トランジスタ 2 3 がオンとなり、ソース電位発生回路 SLC 1 は負電位 VS 1 を出力する。

ソース電位発生回路 SLC 1 は、メモリセルがアクセスされていない場合には、低電位電源 SL として、接地電位 GND を出力する。ここで該当ブロックが選択され、反転書き込みイネーブル信号 WEB、反転書き込みブロック信号 WPB がともにローレベル “ 0 ” に変化する。これは書き込みサイクル時に、同一ブロック内の 1 つのワード線が選択されたことになる。このとき選択されたブロックに対する書き込みワード線の低電位電源として負電位 VS 1 が出力される。選択されたブロックの選択された書き込みワード線には、ハイレベル “ 1 ” が、選択されたブロックの非選択書き込みワード線にはローレベル “ 0 ” として負電位 VS 1 が出力されることになる。

図 2 5 A に示した第 2 のソース電位発生回路 SLC 2 は、図 2 5 B に示すように、ローレベル “ 0 ” として、通常は、正電位 VS 2 を、書き込み時には、選択されたブロックに対しては接地電位 GND に低下させるものである。

ソース電位発生回路 SLC 2 はソース電位発生回路 SLC 1 と異なる点は、トランジスタ N 2 3 とトランジスタ N 2 4 のソースの接続が異なる。トランジスタ N 2 3 のソースは接地電位 GND に接続され、トランジスタ N 2 4 のソースは低電位電源 VS 2 に接続される。他の要件は同じである。従ってソース電位発生回路 SLC 2 は、反転書き込みブロック

10

20

30

40

50

信号WPB及び反転書き込みイネーブル信号WEBがともにローレベル“0”の場合には低電位電源SLとして接地電位GNDを出力し、その他の入力レベルの場合には低電源電圧VS2を出力する。

上記したソース電位発生回路（低電位電源電圧発生回路）SLC1及びSLC2により、書き込み時に、選択されたブロックに対して書き込みワード線WWLのローレベル“0”を通常レベルよりも低い電圧値のローレベル“0”とすることができる。このソース電位発生回路を用いたサブワードドライバを使用することにより、メモリセルへの誤書き込みを防止できる。

次に、図26A～26Dを参照して、反転書き込みブロック信号WPBの発生回路について詳細に説明する。

10

図26Aにおいて、第1の反転書き込みブロック信号発生回路WPBC1は、反転書き込みブロック信号WPBを発生するものである。WPBC1は、書き込みサイクルにおいては、選択されたブロックに対して、ローレベルの反転書き込みブロック信号WPBを発生させる回路である。反転読み出しブロック信号RPBの反転信号と書き込みイネーブル信号WEとを入力としたNAND回路から構成される。図26Bに示すように反転読み出しブロック信号RPBがローレベル“0”、書き込みイネーブル信号WEがハイレベル“1”の時に反転書き込みブロック信号WPBはローレベルを出力し、その他の論理入力においてはハイレベルを出力する。

図26Cにおいて、第2の反転書き込みブロック信号発生回路WPBC2は、書き込み期間の初期のみワンショットのローレベルの反転書き込みブロック信号WPBを発生させる回路である。図26AのWPBC1に比較してNAND回路にさらに書き込みイネーブル信号を遅延させた遅延書き込みイネーブル信号WE2の反転信号が入力される。遅延書き込みイネーブル信号は書き込みイネーブル信号WEを所望のワンショットパルス幅に相当する時間遅延させた信号である。図26Dに示すように反転読み出しブロック信号RPBがローレベル“0”、書き込みイネーブル信号WEがハイレベル“1”、遅延書き込みイネーブル信号WE2がローレベル“0”の時に反転書き込みブロック信号WPBはローレベルを出力し、その他の論理入力においてはハイレベルを出力する。従ってローレベルの期間は書き込みイネーブル信号WEと遅延書き込みイネーブル信号WE2との遅延時間のみのワンショットパルスとなる。

20

図26A及び26Cの反転書き込みブロック発生回路により、書き込みイネーブル信号と反転読み出しブロック信号により選択されたブロックに対する反転書き込みブロック信号が得られる。さらに、遅延された書き込みイネーブル信号を入力することでワンショットパルスの反転書き込みブロック信号が得られる。

30

【実施例6】

本発明の実施例6として、第1実施例のSRAMセル1にこれらのセンスアンプ、サブワードドライバを組み合わせた半導体記憶装置の一形態を図27～図33Dを使って説明する。しかし、これらのSRAMセル、センスアンプ、サブワードドライバを適用できる半導体記憶装置は特に本実施例に限定されるものではなく、種々の半導体記憶装置に組み合わせ適用できることは勿論である。

図27に半導体記憶装置のメイン構成を示す。(mワード) x (nビット) 構成のメモリブロック1をM行、N列配置されたメモリアレイの周辺にメインワードドライバ2、Yデコーダ・データ入出力部3及び制御回路4とから構成される。

40

図28に図27のメモリブロック1の構成例を示す。メモリブロック1は(mワード) x (nビット) 構成のメモリセルアレイ11の周辺にサブワードドライバ12、センスアンプ13、制御部14で構成される。サブワードドライバ12は入力されるメインワードドライバ2からの反転メインワード線WLBと、反転読み出しブロック信号RPB及び反転書き込みブロック信号WPBとによりメモリセルアレイ11の1本のワード線を選択する。センスアンプ13は読み出し時にはメモリセルアレイ11に接続されたビット線の信号を増幅しYデコーダ・データ入出力部3のデータ線に伝達する。書き込み時には逆にデータ線からの信号をメモリセルアレイに書き込む。制御部14はプリチャージ信号

50

P C、書き込みイネーブル信号W E、反転書き込みイネーブル信号W E B、反転読み出しブロック信号R P B及び反転書き込みブロック信号W P Bの配線部あるいはこれらの制御信号の増幅回路が配置される。また、制御部14に、反転書き込みブロック信号発生回路W P B C 1を配置して内部で反転書き込みブロック信号W P Bを発生させることで、Yデコーダ・データ入出力部3から出力され、制御部14に入力される書き込みブロック信号W P Bを省略することが可能である。

図29は図27のメモリブロック1の他の構成例を示すものであり、制御部14にサブワードドライバーの低電位電源S Lの発生回路S L Cが配置されている例である。その他の構成は図28と同様である。図28は動作サイクルがリテンション時間よりも短く誤書き込みが発生しない場合であり、サブワードドライバーのローレベル“0”は一定レベルの接地電位G N Dまたは低電位電源V S 2が印加される。図29は動作サイクルがリテンション時間よりも長く誤書き込みが発生する虞がある場合であり、サブワードドライバーのローレベル“0”は書き込み時には、選択ブロック内の非選択のワード線電位をさらに低い電圧に変える必要があるためソース電位発生回路が使用される。

ここで、S R A Mセル1のアクセストランジスタN 4を低閾値電圧トランジスタとし、サブワードドライバーからのローレベルが接地電位においてもS R A Mセル1の記憶ノードV 2のリテンション時間が書き込み時間より長く、書き込み時に非選択セルに誤書き込みが発生しない場合を考える。この場合は、図28の構成においてメモリセルとしてはS R A Mセル1、サブワードドライバーS W D 1 1、センスアンプS A 1 1又はS A 1 2を組み合わせた半導体記憶装置が得られる。

図30A～30Dには、上記したようにメモリセルとしてはS R A Mセル1、サブワードドライバーS W D 1 1、センスアンプS A 1 1又はS A 1 2を組み合わせた半導体記憶装置の(a)“0”読み出し、(b)“1”読み出し、(c)“0”書き込み、(d)“1”の書き込みの動作波形を示す。ここでセンスアンプS A 1 1はデータ線D Lのみであり、センスアンプS A 1 2は読み出しデータ線R D Lと、書き込みデータ線W D Lとに分離されているため、センスアンプS A 1 2の場合にはデータ線D Lを読み出し時にはR D L、書き込み時にはW D Lと読み替えればよい。

図30A及び30Bには“0”、“1”の読み出し動作波形を示す。プリチャージ信号P Cがハイレベルとなりプリチャージ動作が終わる。読み出しワード線R W Lがハイレベルになり、アクセストランジスタN 3が導通し、メモリセルの記憶ノードV 1の記憶データ“0”または“1”が読み出しビット線R B Lに読み出され、センスアンプで増幅されてデータ線に伝達され読み出し動作が行われる。このとき書き込み系の信号は変化しない。これらの動作はセンスアンプS A 1 1及びS A 1 2の動作と同じである(図17A～17Dと同じ)。

図30C及び30Dには“0”、“1”の書き込み動作波形を示す。ここではワード線が選択された選択セル(Selected cell)と、選択されなかった非選択セル(Non selected cell)の両方を記載している。動作波形としては、センスアンプS A 1 1及びS A 1 2の動作と同じ、図17A～17Dと同じであるためその説明を省略する。

次に、S R A Mセル1のアクセストランジスタN 4を通常の閾値電圧トランジスタとし、サブワードドライバーからのローレベルが低電位電源としてもS R A Mセル1の記憶ノードV 2のリテンション時間が書き込み時間より長く、書き込み時に非選択セルに誤書き込みが発生しない場合である。この場合は、図28の構成においてメモリセルとしてはS R A Mセル1、サブワードドライバーS W D 1 2、センスアンプS A 1 1又はS A 1 2を組み合わせた半導体記憶装置が得られる。

図31A～31Dには、メモリセルとしてはS R A Mセル1、サブワードドライバーS W D 1 2、センスアンプS A 1 1又はS A 1 2を組み合わせた半導体記憶装置の(a)“0”読み出し、(b)“1”読み出し、(c)“0”書き込み、(d)“1”の書き込みの動作波形を示す。図30A～30Dにおける動作波形が得られる半導体記憶装置の構成要素との違いはサブワードドライバーS W D 1 1がS W D 1 2に変更されてのみである。

このためサブワードドライバースWD12からの書き込みワード線WWLのローレベルが低電位電源VS2に変更されるだけで、他の動作波形は同一であるため、動作波形の説明は省略する。

次に、SRAMセル1のアクセストランジスタN4を低閾値電圧トランジスタとし、サブワードドライバからのローレベルを接地電位GNDの場合にはSRAMセル1の記憶ノードV2のリテンション時間が書き込み時間より短く、書き込み時に非選択セルに誤書き込みが発生する場合を考える。この場合は、図29の構成においてメモリセルとしてはSRAMセル1、サブワードドライバSWD21、センスアンプSA11又はSA12、ソース電位発生回路SLC1を組み合わせた半導体記憶装置が得られる。

図32A～32Dには、上記したようにメモリセルとしてはSRAMセル1、サブワードドライバSWD21、センスアンプSA11又はSA12、ソース電位発生回路SLC1を組み合わせた半導体記憶装置における(a)“0”読み出し、(b)“1”読み出し、(c)“0”書き込み、(d)“1”の書き込みの動作波形を示す。図30A～30Dにおける動作波形が得られる半導体記憶装置の構成要素との違いはサブワードドライバSWD11がSWD21に変更されている。このためサブワードドライバSWD21からの書き込みワード線WWLのローレベルが、非選択セルに対して書き込みサイクル時のみに接地電位GNDから負電位VS1に低下する。その他の動作波形は同一であるため、動作波形の説明は省略する。

次に構成要素の組み合わせとして、SRAMセル1のアクセストランジスタN4を通常の閾値電圧トランジスタとし、サブワードドライバからのローレベルが低電位電源とした。このとき、SRAMセル1の記憶ノードV2のリテンション時間が書き込み時間より短く、書き込み時に非選択セルに誤書き込みが発生する場合である。この場合は、図29の構成においてメモリセルとしてはSRAMセル1、サブワードドライバSWD21、センスアンプSA11又はSA12、ソース電位発生回路SLC2を組み合わせた半導体記憶装置が得られる。

図33A～33Dには、メモリセルとしてはSRAMセル1、サブワードドライバSWD21、センスアンプSA11又はSA12、ソース電位発生回路SLC2を組み合わせた半導体記憶装置の(a)“0”読み出し、(b)“1”読み出し、(c)“0”書き込み、(d)“1”の書き込みの動作波形を示す。図31A～31Dにおける動作波形が得られる半導体記憶装置の構成要素との違いはソース電位発生回路SLC1がソース電位発生回路SLC2に変更されている。このためサブワードドライバSWD21からの書き込みワード線WWLのローレベルが、非選択セルに対して書き込みサイクル時のみに低電位電源VS2から接地電位GNDに低下する。その他の動作波形は同一であるため、動作波形の説明は省略する。

本実施例においては、メモリセル1とセンスアンプ、サブワードドライバ回路を組み合わせることで、最小のトランジスタ数で、読み出し時におけるデータ破壊、書き込み時における誤書き込みのない高速動作できる半導体記憶装置が得られる。

【実施例7】

本発明の実施例7として、第2実施例のSRAMセル2にこれらのセンスアンプ、サブワードドライバを組み合わせた半導体記憶装置の一形態として図34～図37Dを使って説明する。しかし、SRAMセル2に、これらのセンスアンプ、サブワードドライバを適用できる半導体記憶装置は特に本実施例に限定されるものではなく、種々の半導体記憶装置に組み合わせ適用できることは勿論である。SRAMセル2に対する書き込みワード線WWLは書き込みサイクルの初期のみ活性化されるワンショットパルスであり、反転書き込みブロック信号WPBの発生回路はWPBC2が用いられる。

本半導体記憶装置の全体構成は図27と同一であり、図34に図27のメモリブロック1の具体例を示す。メモリブロック1は(mワード)×(nビット)構成のメモリセルアレイ21の周辺にサブワードドライバ22、センスアンプ23、制御部24で構成される。サブワードドライバ22は入力されるメインワードドライバ2からの反転メインワード線WL_Bと、反転読み出しブロック信号RPB及び反転書き込みブロック信号WP

10

20

30

40

50

Bとによりメモリセルアレイ21の1本のワード線を選択する。センスアンプ23は読み出し時にはメモリセルアレイ21に接続されたビット線の信号を増幅しYデコーダ・データ入出力部3のデータ線に伝達する。書き込み時には逆にデータ線からの信号をメモリセルアレイに書き込む。制御部24は制御信号の配線部あるいは制御信号の増幅回路が配置される。

図35は、図27のメモリブロック1のほかの具体例を示すものであり、制御部24に反転書き込みブロック信号発生回路WPBC2が配置されている。制御部24において反転書き込みブロック信号WPBを生成するために生成回路のドライブ能力は小さくでき、反転書き込みブロック信号WPBの遅延時間を小さくできる。反転書き込みブロック信号発生回路WPBC2は書き込み期間の初期のみワンショットのローレベルの反転書き込みブロック信号WPBを発生させる回路である。書き込みイネーブル信号WE、遅延書き込みイネーブル信号WE2、反転読み出しブロック信号RPBを入力とし、反転書き込みブロック信号WPBが生成される。

10

SRAMセル2では、アクセストランジスタN4のソース端子が常に接地電位GNDに接続されており、書き込み時の非選択セルへの誤書き込みが発生しないため、SRAMセル1のためのソース電位発生回路を必要としない。サブワードドライバのローレベル“0”は一定レベルの接地電位GNDまたは低電位電源VS2が印加される。

図36A～36Dに、SRAMセル2のアクセストランジスタN4を低閾値電圧トランジスタとし、ローレベルとして接地電位GNDを出力するサブワードドライバSWD11、センスアンプとしてSA21又はSA22を組み合わせた半導体記憶装置の動作波形を示す。図36A“0”読み出し、(b)“1”読み出し、(c)“0”書き込み、(d)“1”書き込みを示す。

20

図36A及び36Bには“0”、“1”の読み出し動作波形を示す。プリチャージ信号PCがハイレベルとなりプリチャージ動作が終わる。読み出しワード線RWLがハイレベルになり、アクセストランジスタN3が導通し、メモリセルの記憶ノードV1の記憶データ“0”または“1”が読み出しビット線RBLに読み出され、センスアンプで増幅されてデータ線DL(又は読み出しデータ線RDL)に伝達され読み出し動作が行われる。このとき書き込み系の信号は変化しない。これらの動作はセンスアンプSA11及びSA12の動作と同じである(図17A～17Dと同じ)。

図36Cの“0”書き込み時には、プリチャージ信号PC、書き込みイネーブル信号WEがハイレベルとされ、プリチャージ動作が停止される。読み出しワード線RWLと書き込みワード線がハイレベルとなり、データ線DL(又は書き込みデータ線WDL)からのデータ“0”が記憶ノードV1に書き込まれ、記憶ノードV2は負荷トランジスタP2とアクセストランジスタN4の導通により、中間点となる。書き込みワード線WWLのワンショットパルスがローレベルに変わり、記憶ノードV2には負荷トランジスタP2によりハイレベル“1”が書き込まれる。読み出しワード線RWL、書き込みイネーブル信号WE、プリチャージ信号PCがローレベルとなり書き込みサイクルが終了する。

30

図36Dの“1”書き込み時には、プリチャージ信号PC、書き込みイネーブル信号WEがハイレベルとされ、プリチャージ動作が停止される。読み出しワード線RWLと書き込みワード線がハイレベルとなり、データ線DL(又は書き込みデータ線WDL)からのデータ“1”が記憶ノードV1に書き込まれ、記憶ノードV2はアクセストランジスタN4の導通により、“0”が書き込まれる。書き込みワード線WWLのワンショットパルスがローレベルに変わり、読み出しワード線RWL、書き込みイネーブル信号WE、プリチャージ信号PCがローレベルとなり書き込みサイクルが終了する。

40

図37A～37Dに、SRAMセル2のアクセストランジスタN4を通常閾値電圧トランジスタとし、ローレベルとして低電位電源VS2を出力するサブワードドライバSWD12、センスアンプとしてSA21又はSA22を組み合わせた半導体記憶装置の動作波形を示す。図37A“0”読み出し、図37B“1”読み出し、図37C“0”書き込み、図37D“1”書き込みを示す。

図37A～37Dにおいては書き込みワード線WWLのローレベル“0”が低電位電源

50

V S 2となる点が図 3 6 A～3 6 Dと異なるのみであり、他の動作は同一である。その動作説明は省略する。

本実施例においては、メモリセル 1 とセンスアンプ、サブワードドライバー回路を組み合わせることで、最小のトランジスタ数で、読み出し時におけるデータ破壊、書き込み時における誤書き込みのない高速動作できる半導体記憶装置が得られる。

以上本発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【図 1】

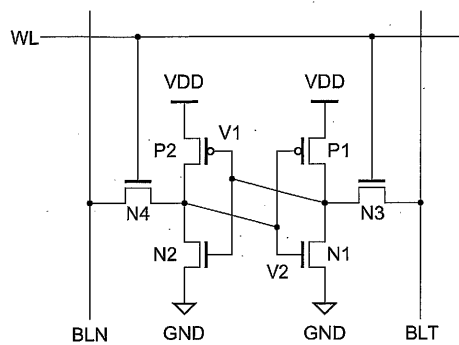


図 1

【図 2】

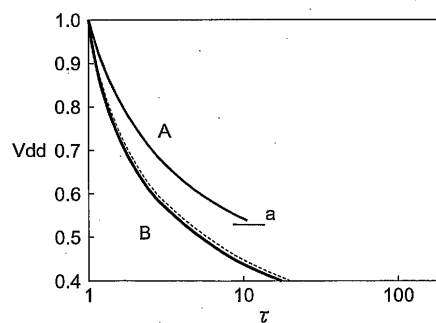


図 2

【図 3 A】

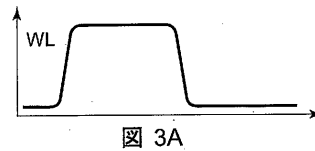


図 3A

【図 3 B】

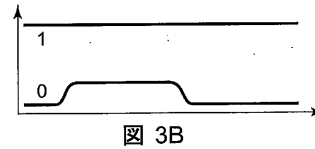


図 3B

【図 3 C】

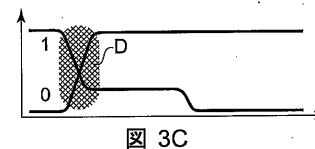


図 3C

【図 4】

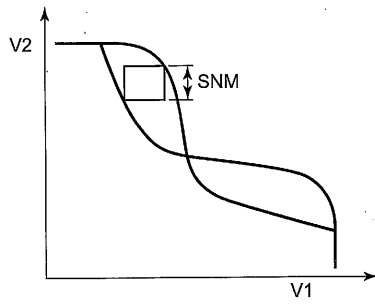


図 4

【図 5】

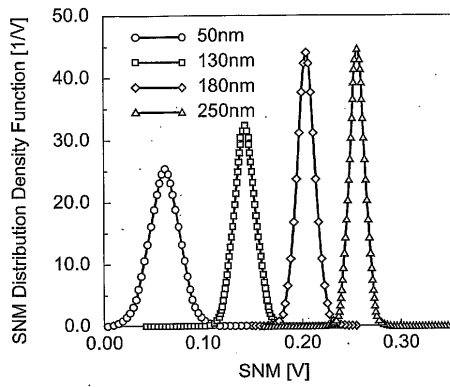


図 5

【図 6】

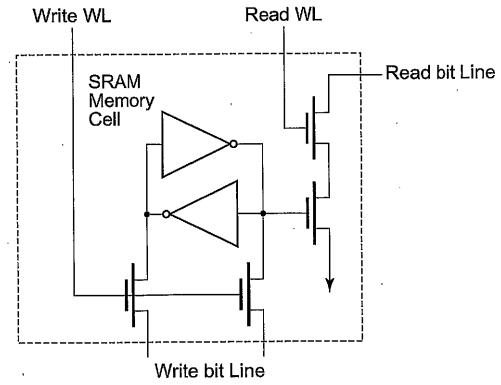


図 6

【図 7】

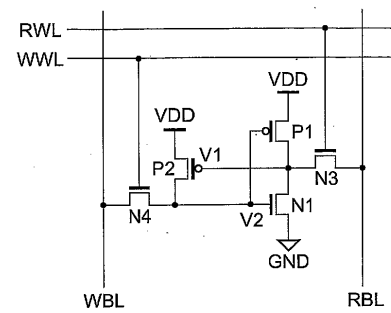


図 7

【図 8 A】

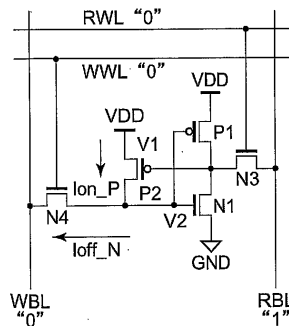


図 8 A

【図 9】

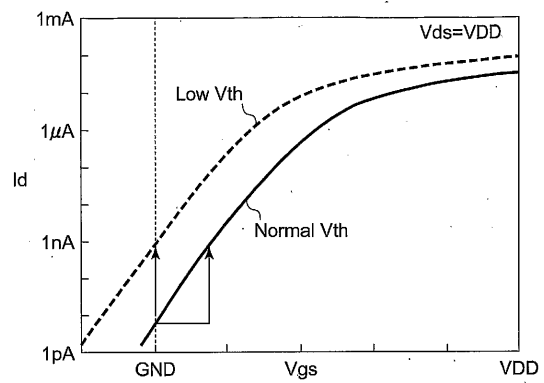


図 9

【図 8 B】

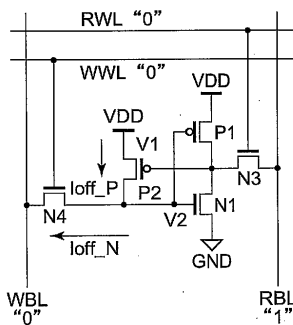


図 8 B

【図 10 A】

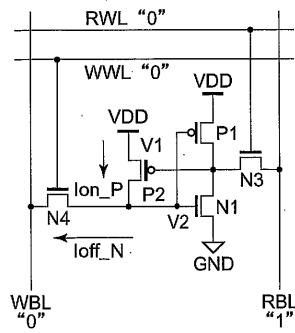


図 10A

【図 10 B】

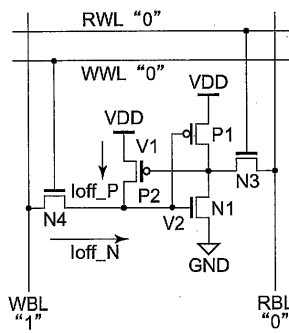


図 10B

【図 12 B】

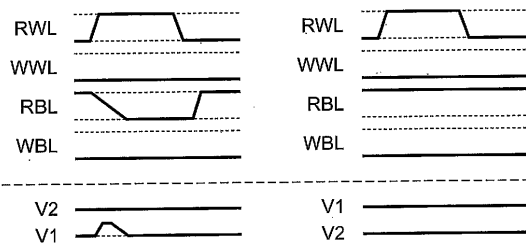


図 12A

図 12B

【図 12 C】

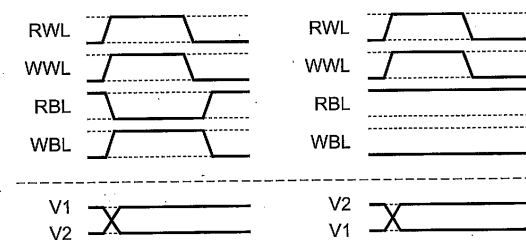


図 12C

図 12D

【図 11】

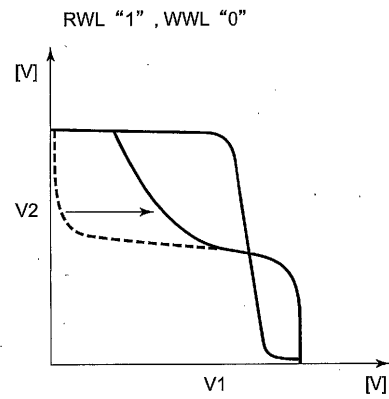


図 11

【図 12 A】

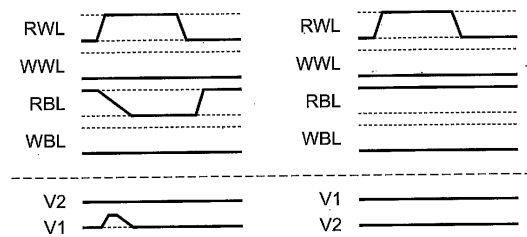


図 12A

図 12B

【図 12 D】

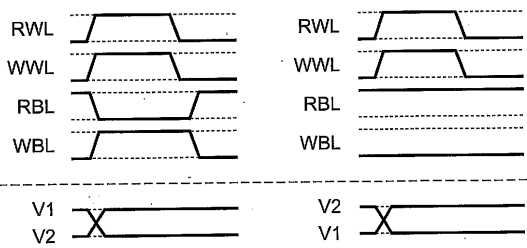


図 12C

図 12D

【図 13】

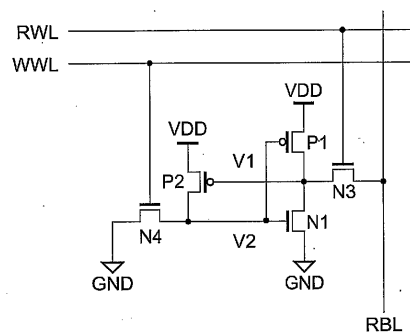


図 13

【図 14 A】

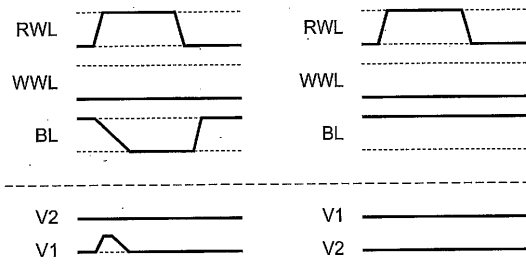


図 14A

図 14B

【図 14 C】

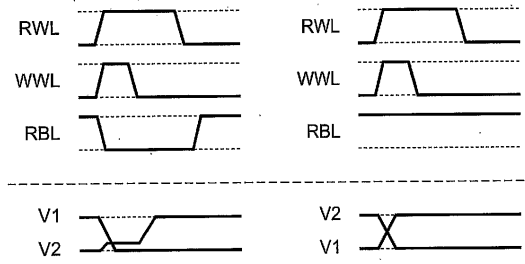


図 14C

図 14D

【図 14 B】

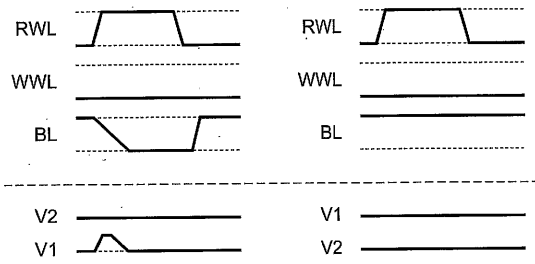


図 14A

図 14B

【図 14 D】

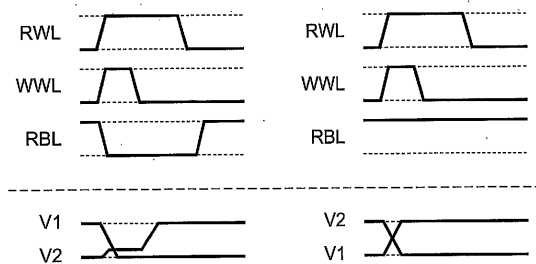


図 14C

図 14D

【図 15】

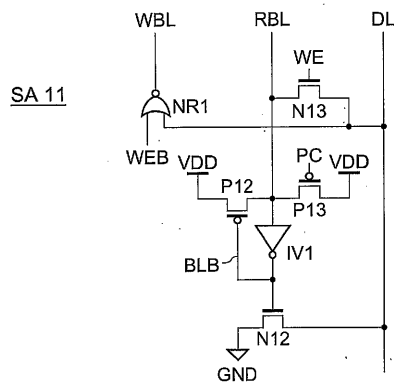


図 15

【図 16】

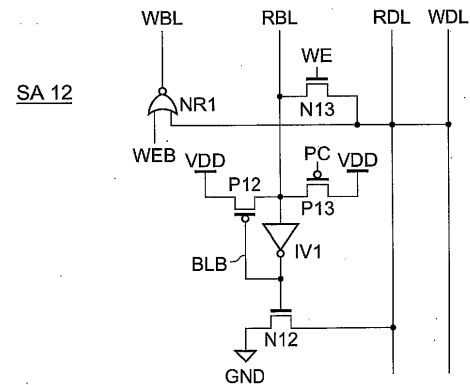


図 16

【図 17 A】

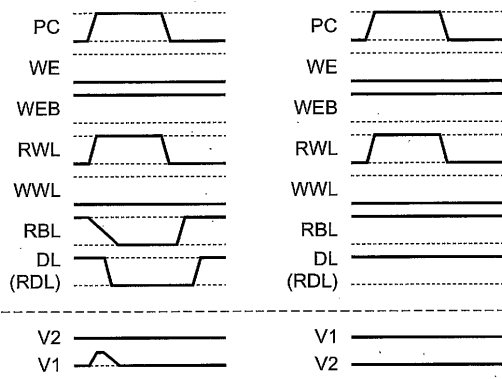


図 17A

【図 17 B】

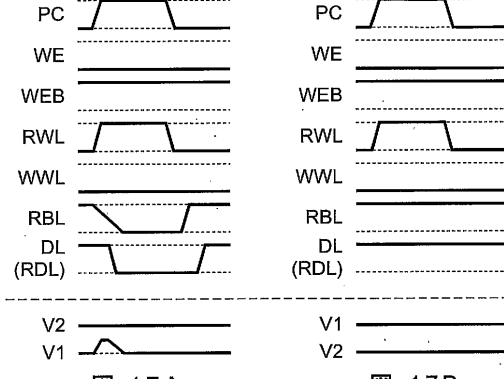


図 17A

図 17B

【図 17 C】

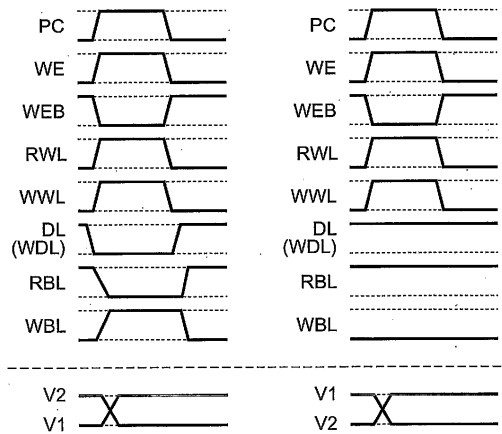


図 17C

【図 17 D】

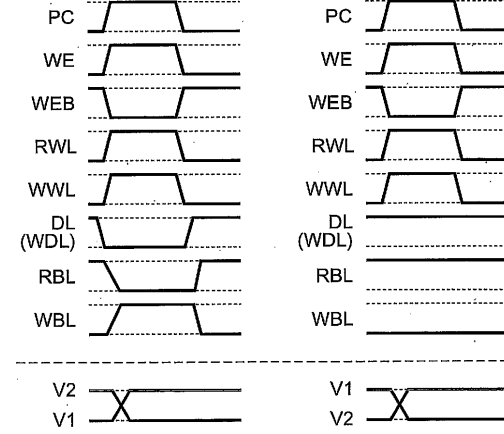


図 17C

図 17D

【図 19】

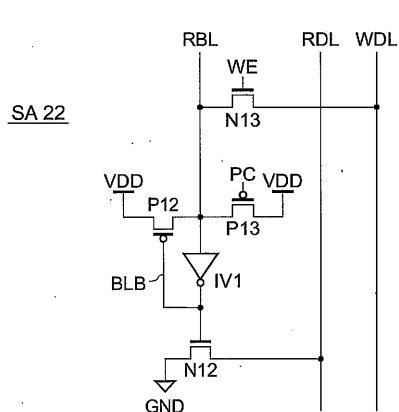
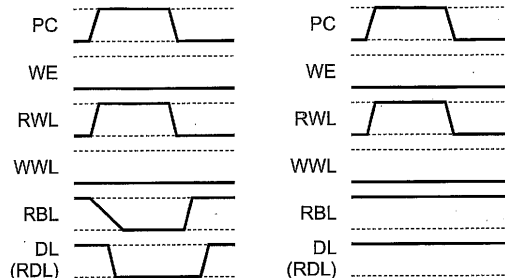


图 19

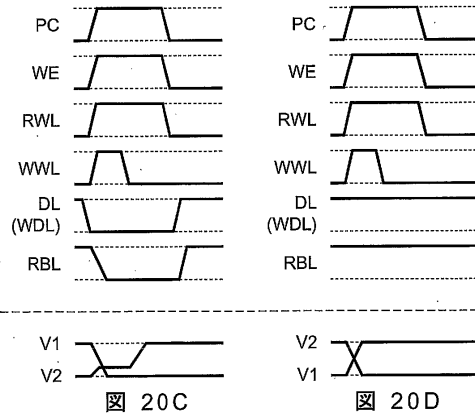
【図 20 B】



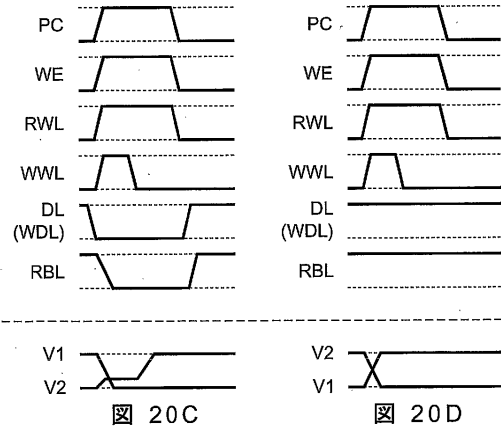
V1 _____
V2 _____

図 20B

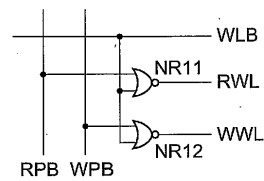
【図 20 C】



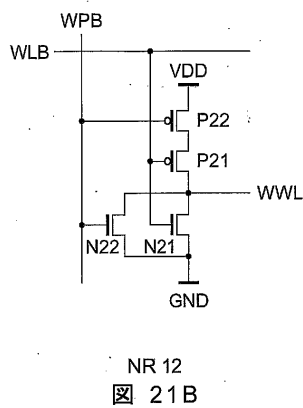
【図 20 D】



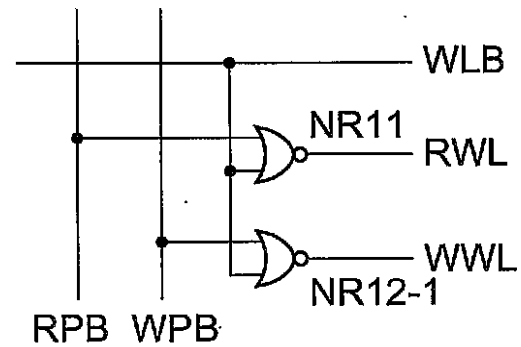
【図 21 A】

SWD 11
図 21A

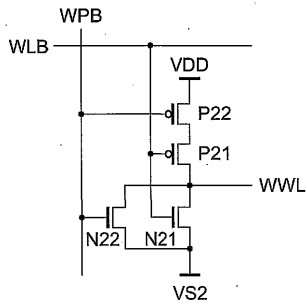
【図 21 B】

NR 12
図 21B

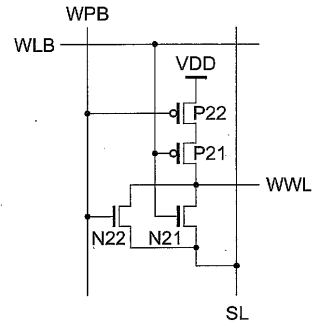
【図 22 A】

SWD 12
図 22A

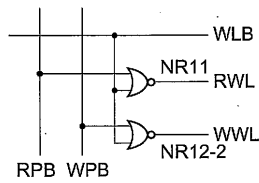
【図 2 2 B】

NR 12-1
図 22B

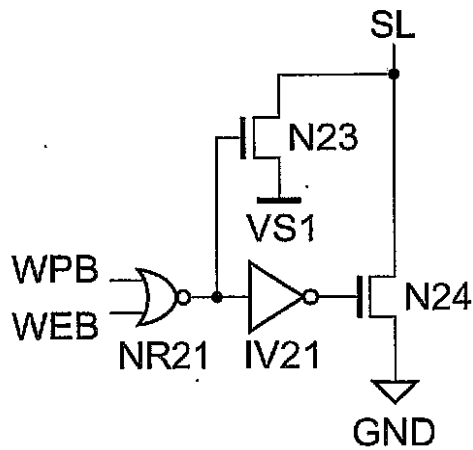
【図 2 3 B】

NR 12-2
図 23B

【図 2 3 A】

SWD 21
図 23A

【図 2 4 A】

SLC 1
図 24A

【図 2 4 B】

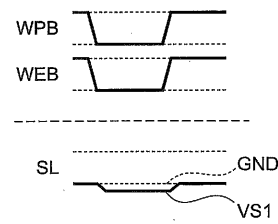
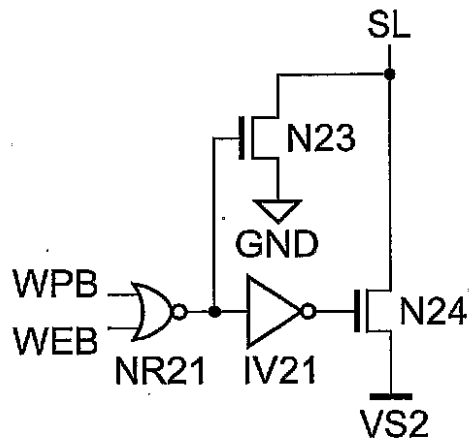


図 24B

【図 25 A】

SLC 2
図 25A

【図 25 B】

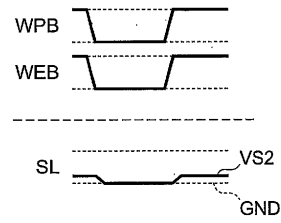
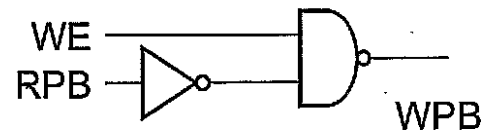


図 25B

【図 26 A】

WPBC 1
図 26A

【図 26 B】

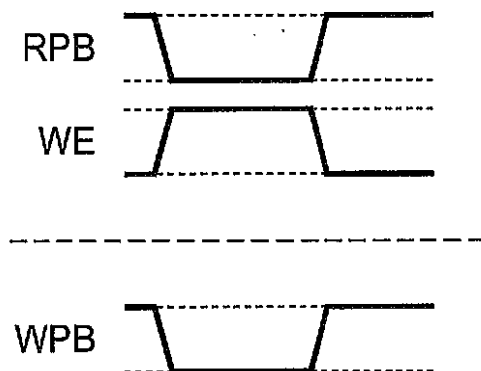
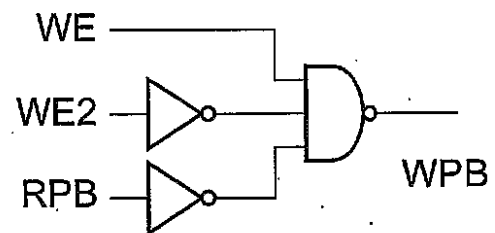


図 26B

【図 26 C】

WPBC 2
図 26C

【図 26 D】

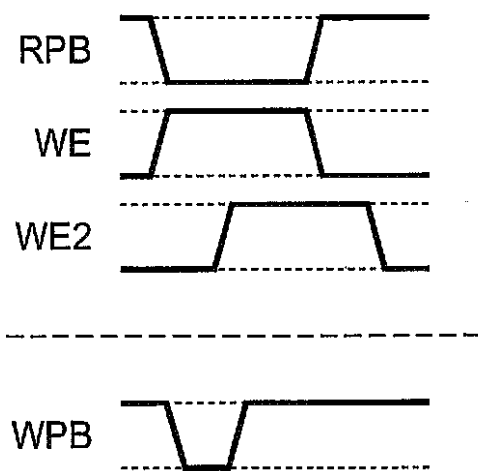


図 26D

【図 27】

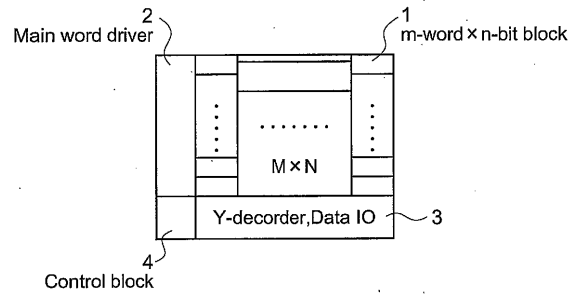


図 27

【図 28】

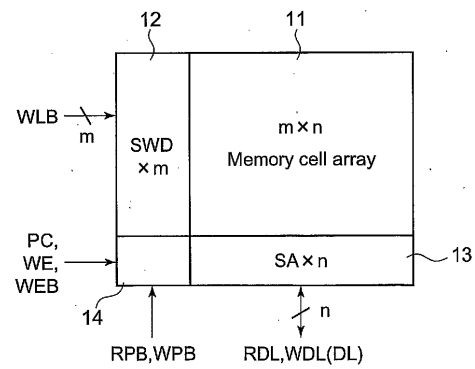


図 28

【図 29】

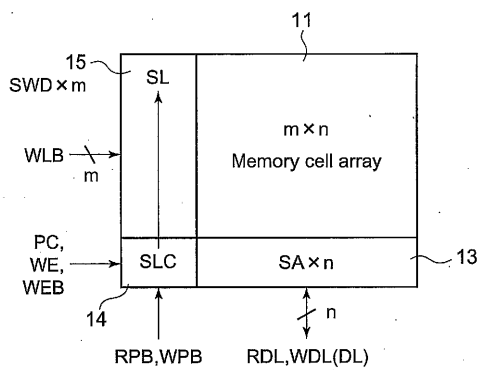


図 29

【図 30 B】

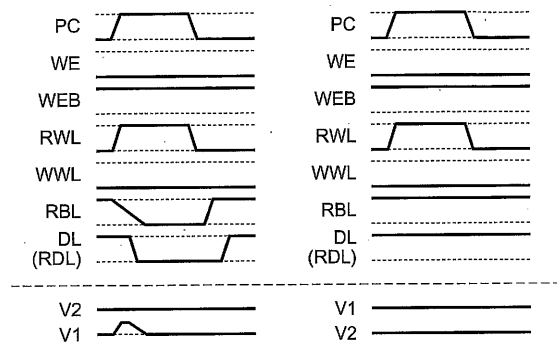


図 30A

図 30B

【図 30 A】

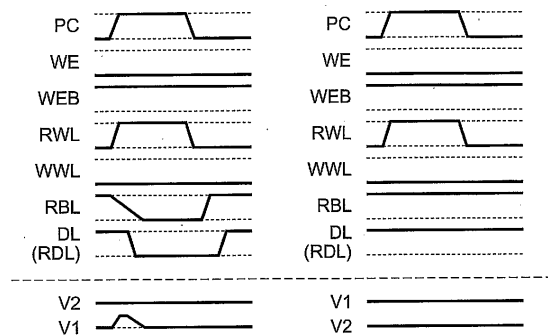


図 30A

図 30B

【図 30 C】

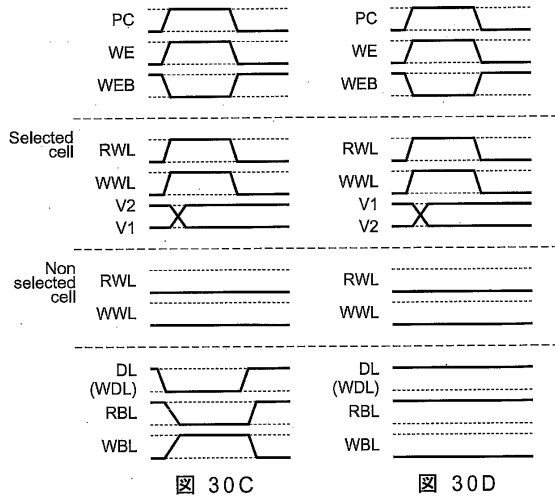


図 30D

【図 30 D】

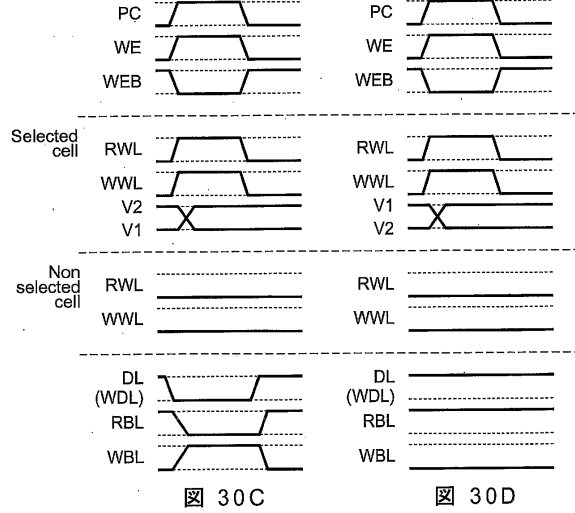


図 30C

図 30D

【図 31 A】

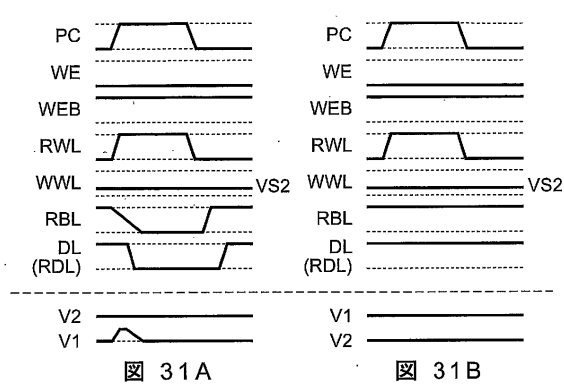


図 31B

【図 31 B】

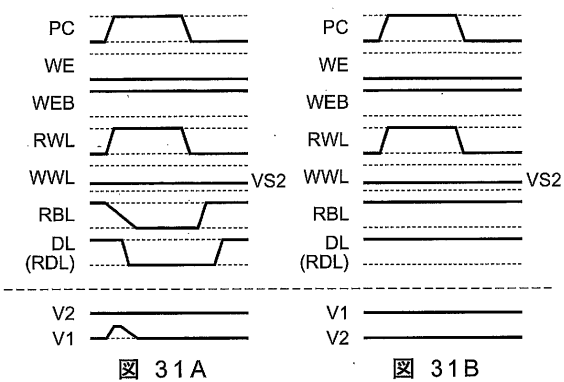


図 31B

【図 31 C】

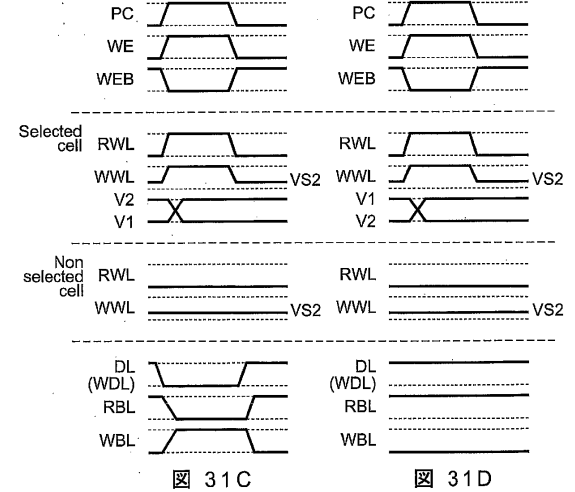
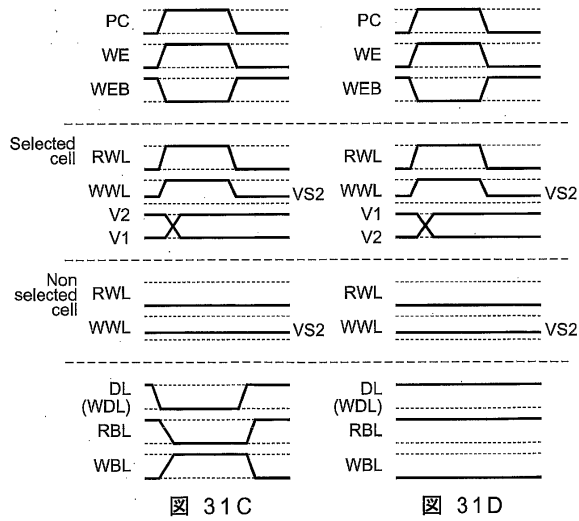
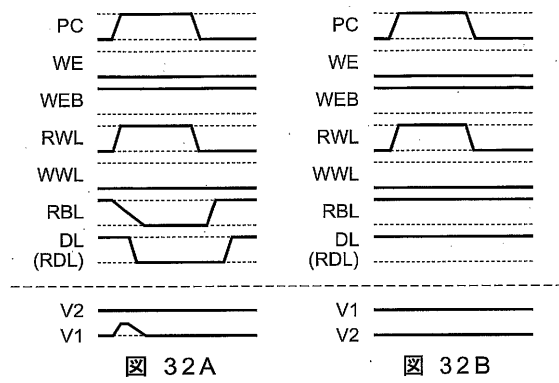


図 31D

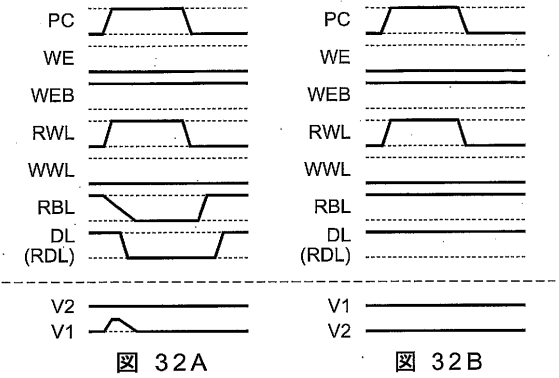
【図 3 1 D】



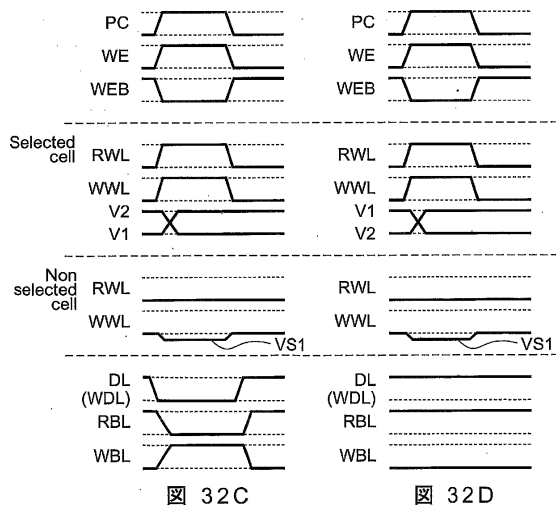
【図 3 2 A】



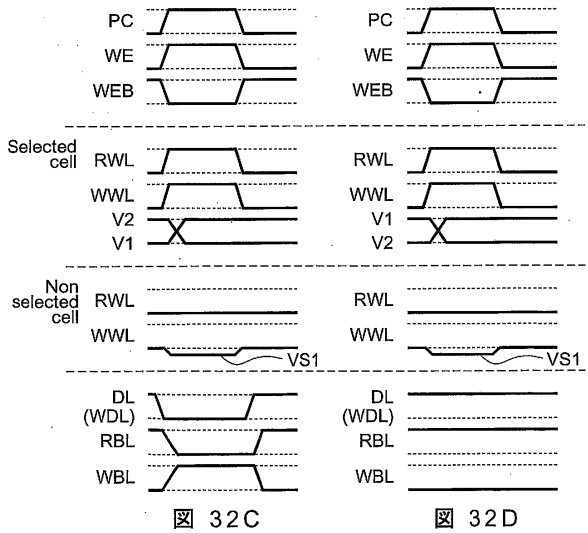
【図 3 2 B】



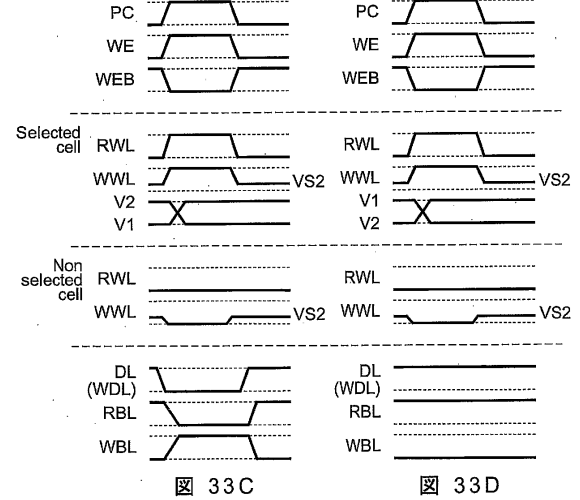
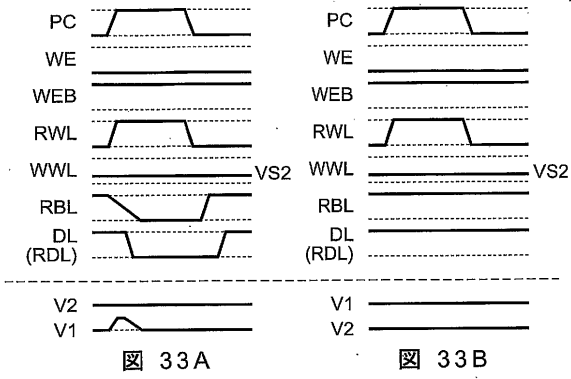
【図 3 2 C】



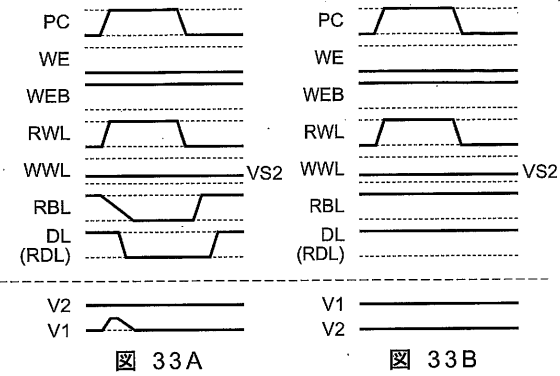
【図 3 2 D】



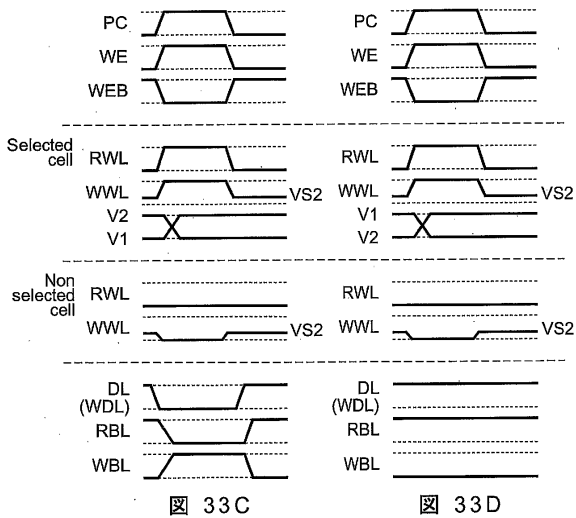
【图 3 3 C】



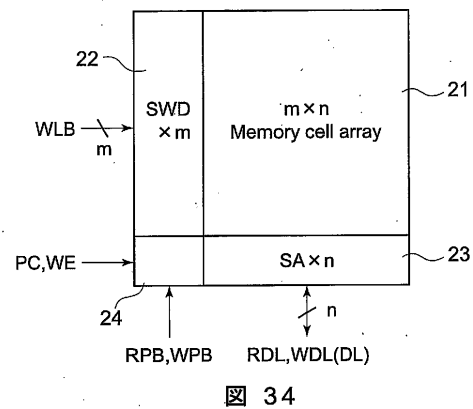
【図 3 3 B】



【図 3 3 D】



【図 3 4】



【图 3 6 A】

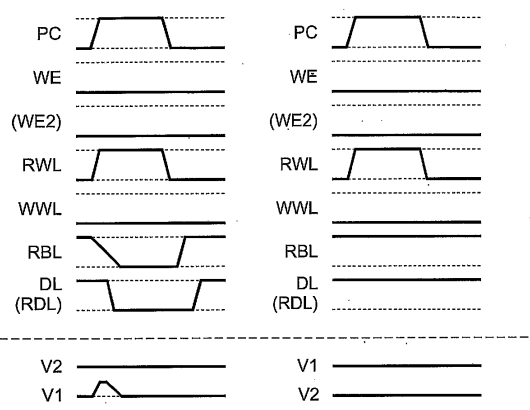
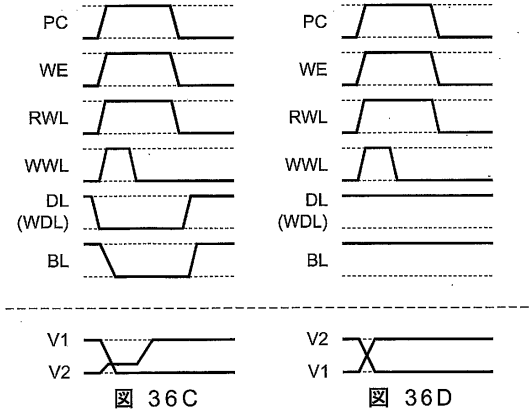
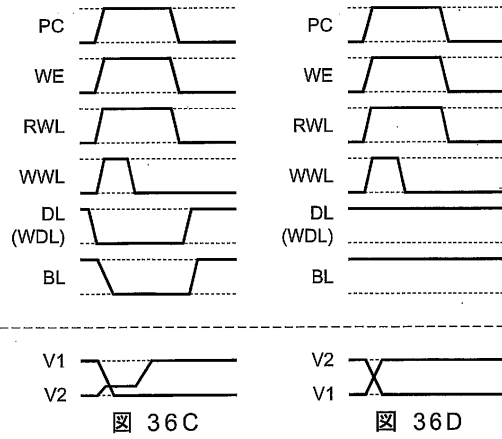


図 36B

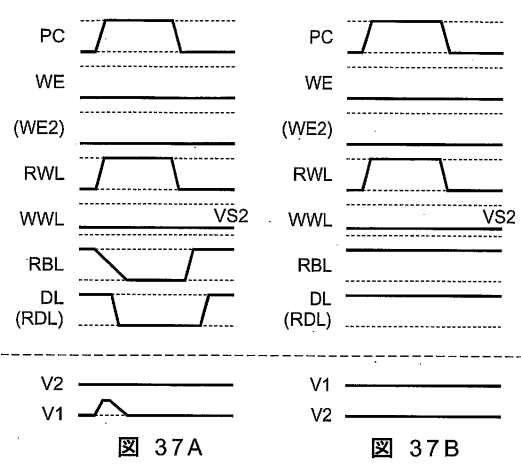
【図 3 6 C】



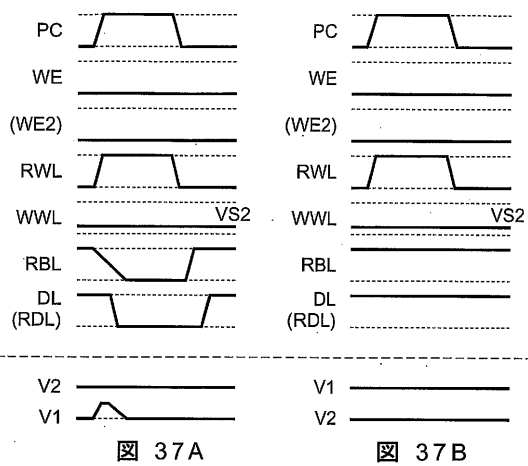
【図 36 D】



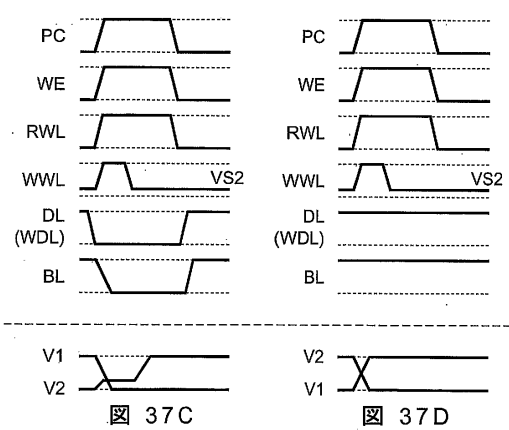
【図 37 A】



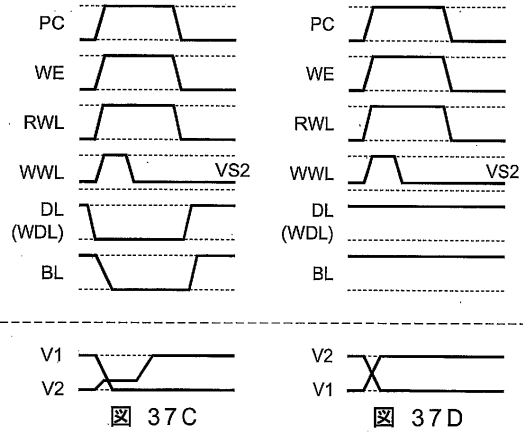
【図 37 B】



【図 37 C】



【図 37 D】



フロントページの続き

(56)参考文献 特開平 1 1 - 3 2 8 9 6 9 (J P, A)

(58)調査した分野(Int.Cl., D B名)

G11C 11/412

G11C 11/419