

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2023-93342
(P2023-93342A)

(43)公開日 令和5年7月4日(2023.7.4)

(51)国際特許分類	F I	テーマコード(参考)
H 0 1 L 27/146(2006.01)	H 0 1 L 27/146 D	4 M 1 1 8
H 0 1 L 21/8234(2006.01)	H 0 1 L 27/146 A	5 F 0 4 8
H 0 1 L 27/06 (2006.01)	H 0 1 L 27/06 1 0 2 A	
	H 0 1 L 27/06 3 1 1 B	
	H 0 1 L 27/06 3 1 1 A	
審査請求 未請求		請求項の数 24 O L (全34頁)

(21)出願番号 特願2022-188492(P2022-188492)	(71)出願人 000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22)出願日 令和4年11月25日(2022.11.25)	
(31)優先権主張番号 特願2021-208537(P2021-208537)	(74)代理人 100126240 弁理士 阿部 琢磨
(32)優先日 令和3年12月22日(2021.12.22)	(74)代理人 100124442 弁理士 黒岩 創吾
(33)優先権主張国・地域又は機関 日本国(JP)	(72)発明者 大瀬戸 彬 東京都大田区下丸子3丁目30番2号キ ヤノン株式会社内
	(72)発明者 柿沼 伸明 東京都大田区下丸子3丁目30番2号キ ヤノン株式会社内
	Fターム(参考) 4M118 AA08 AB01 BA14 BA19 CA03 GA02 GC07 GD03 最終頁に続く

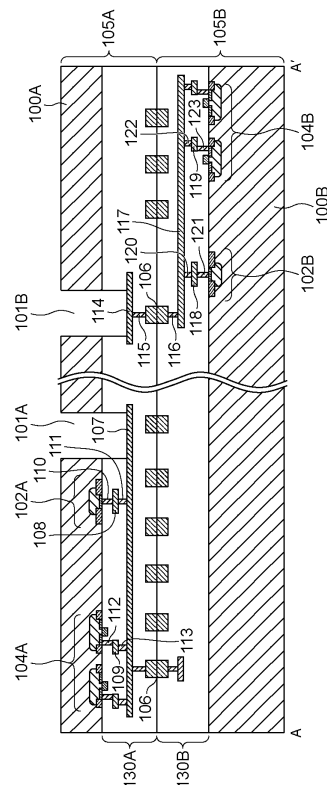
(54)【発明の名称】 半導体デバイス、光電変換システム、移動体

(57)【要約】

【課題】 配線信頼性の低下やpn接合のブレイクダウンの抑制と、回路面積の最適化を両立する。

【解決手段】 第1半導体基板と、前記第1半導体基板に積層される第2半導体基板と、前記第1半導体基板に形成された素子を駆動する第1電源電圧が外部から入力される第1パッドと、前記第2半導体基板に形成された素子を駆動する第2電源電圧が外部から入力される第2パッドと、前記第1半導体基板に配置された第1保護回路と、前記第2半導体基板に配置された第2保護回路と、を有し、前記第1電源電圧は前記第2電源電圧よりも高く、前記第1保護回路は前記第1パッドに接続され、前記第2保護回路は前記第2パッドに接続されることを特徴とする、半導体デバイス。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

第 1 半導体基板と、
前記第 1 半導体基板に積層される第 2 半導体基板と、
前記第 1 半導体基板に形成された素子を駆動する第 1 電源電圧が外部から入力される第 1 パッドと、
前記第 2 半導体基板に形成された素子を駆動する第 2 電源電圧が外部から入力される第 2 パッドと、
前記第 1 半導体基板に配置された第 1 保護回路と、
前記第 2 半導体基板に配置された第 2 保護回路と、を有し、
前記第 1 電源電圧は前記第 2 電源電圧よりも高く、
前記第 1 保護回路は前記第 1 パッドに電氣的に接続され、
前記第 2 保護回路は前記第 2 パッドに電氣的に接続されることを特徴とする、半導体デバイス。

10

【請求項 2】

前記第 1 保護回路の回路面積は前記第 2 保護回路の回路面積よりも大きいことを特徴とする請求項 1 に記載の半導体デバイス。

【請求項 3】

前記第 1 保護回路に含まれるトランジスタのゲート酸化膜は、前記第 2 保護回路に含まれるトランジスタのゲート酸化膜よりも厚いことを特徴とする請求項 1 に記載の半導体デバイス。

20

【請求項 4】

前記第 1 保護回路と前記第 2 保護回路とは平面視において重ならないことを特徴とする請求項 1 に記載の半導体デバイス。

【請求項 5】

前記第 1 半導体基板と前記第 2 半導体基板との間に配された第 1 配線構造と、
前記第 1 配線構造と前記第 2 半導体基板との間に配された第 2 配線構造と、
前記第 1 配線構造に含まれる第 1 配線層と、
前記第 2 配線構造に含まれる第 2 配線層と、を有することを特徴とする請求項 1 に記載の半導体デバイス。

30

【請求項 6】

前記第 1 パッド及び前記第 2 パッドは前記第 1 配線層と同一の層に配されることを特徴とする請求項 5 に記載の半導体デバイス。

【請求項 7】

前記第 1 パッドは前記第 1 配線層と同一の層に配され、
前記第 2 パッドは前記第 2 配線層と同一の層に配されることを特徴とする請求項 5 に記載の半導体デバイス。

【請求項 8】

前記第 2 配線層の一部の上に第 2 開口部が形成されることを特徴とする請求項 6 又は請求項 7 のいずれか一項に記載の半導体デバイス。

40

【請求項 9】

前記第 1 配線構造は第 1 絶縁層を含み、
前記第 2 配線構造は第 2 絶縁層を含み、
前記第 1 配線構造と前記第 2 配線構造とは前記第 1 絶縁層と前記第 2 絶縁層とが互いに接触するように接合されることを特徴とする請求項 5 に記載の半導体デバイス。

【請求項 10】

前記第 1 配線層に含まれる第 1 配線は前記第 1 半導体基板に形成された素子と電氣的に接続されることを特徴とする請求項 5 に記載の半導体デバイス。

【請求項 11】

前記第 2 配線層に含まれる第 2 配線は前記第 2 半導体基板に形成された素子と電氣的に

50

接続されることを特徴とする請求項 5 に記載の半導体デバイス。

【請求項 1 2】

前記第 1 保護回路は、前記第 1 パッドと基準電位配線の間で電氣的に接続され、

前記第 2 保護回路は、前記第 2 パッドと前記基準電位配線との間で電氣的に接続されることを特徴とする請求項 1 に記載の半導体デバイス。

【請求項 1 3】

前記基準電位配線は接地配線であることを特徴とする請求項 1 2 に記載の半導体デバイス。

【請求項 1 4】

前記基準電位配線は前記第 1 半導体基板と前記第 2 半導体基板のいずれか一方に形成されることを特徴とする請求項 1 2 に記載の半導体デバイス。 10

【請求項 1 5】

前記第 1 半導体基板に形成された素子は光電変換素子を含むことを特徴とする請求項 1 に記載の半導体デバイス。

【請求項 1 6】

前記第 1 半導体基板は、前記光電変換素子の電荷に基づく信号を読み出すための回路の少なくとも一部を有することを特徴とした請求項 1 5 に記載の半導体デバイス。

【請求項 1 7】

前記光電変換素子は前記第 1 電源電圧が入力されるアバランシェフォトダイオードであることを特徴とした請求項 1 5 に記載の半導体デバイス。 20

【請求項 1 8】

前記第 1 半導体基板の厚みは前記第 2 半導体基板の厚みよりも薄いことを特徴とする請求項 1 に記載の半導体デバイス。

【請求項 1 9】

前記第 1 パッドが配された配線層から第 1 保護回路までの間に配された配線層の数は、前記第 2 パッドが配された配線から第 2 保護回路までの間に配された配線層の数以下であることを特徴とする請求項 5 に記載の半導体デバイス。

【請求項 2 0】

前記第 2 半導体基板に積層される第 3 半導体基板と、

前記第 3 半導体基板に形成された素子を駆動する第 3 電源電圧が外部から入力される第 3 パッドと、前記第 3 パッドに電氣的に接続される第 3 保護回路と、を有し、 30

前記第 1 電源電圧の絶対値は前記第 3 電源電圧の絶対値よりも大きいことを特徴とする、請求項 1 に記載の半導体デバイス。

【請求項 2 1】

前記第 1 半導体基板に積層された第 1 配線構造と、

前記第 2 半導体基板に積層された第 2 配線構造と、

前記第 3 半導体基板に積層された第 3 配線構造と、

前記第 1 配線構造に含まれる第 1 配線層と、

前記第 2 配線構造に含まれる第 2 配線層と、

前記第 3 配線構造に含まれる第 3 配線層と、を有し、 40

前記第 1 パッドは前記第 1 配線層と同一の層に配され、

前記第 2 パッドは前記第 2 配線層と同一の層に配され、

前記第 3 パッドは前記第 3 配線層と同一の層に配されることを特徴とする請求項 2 0 に記載の半導体デバイス。

【請求項 2 2】

前記第 1 半導体基板に積層された第 1 配線構造と、

前記第 2 半導体基板に積層された第 2 配線構造と、

前記第 3 半導体基板に積層された第 3 配線構造と、

前記第 1 配線構造に含まれる第 1 配線層と、

前記第 2 配線構造に含まれる第 2 配線層と、 50

前記第 3 配線構造に含まれる第 3 配線層と、を有し、
 前記第 1 パッドは前記第 1 配線層と同一の層に配され、
 前記第 2 パッド及び前記第 3 パッドとは前記第 2 配線層と同一の層に配されることを特徴とする請求項 20 に記載の半導体デバイス。

【請求項 23】

請求項 1 に記載の半導体デバイスと、
 前記半導体デバイスが出力する信号を用いて画像を生成する信号処理部と、を有することを特徴とする光電変換システム。

【請求項 24】

請求項 1 に記載の半導体デバイスを含む移動体であって、
 前記半導体デバイスが出力する信号を用いて前記移動体の移動を制御する制御部を有することを特徴とする移動体。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体デバイス、光電変換システム、移動体に関する。

【背景技術】

【0002】

複数の基板が積層された半導体デバイスにおいて、基板に保護回路を形成して外部から印加された静電気などの外来ノイズを適切な経路で逃がすことによって、故障が生じにくい構成が提案されている。

20

【0003】

高電圧で駆動される素子が配された基板（以下高電圧基板とも表記する）と、低電圧で駆動される素子が配された基板（以下低電圧基板とも表記する）とを積層して半導体デバイスを構成する場合がある。特許文献 1 では、積層された基板の一方のみに静電気保護回路を形成するデバイス構成が提案されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2013 - 182941 号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0005】

高電圧基板と低電圧基板とを積層した半導体デバイスにおいて、特許文献 1 の構成に従って低電圧基板のみに保護回路を形成した場合、高電圧基板用の静電気保護回路も低電圧基板に形成される。そのため、低電圧基板や低電圧基板に設けられた配線に高電圧で駆動される素子を駆動する高電圧が印加され、配線信頼性の低下や p n 接合のブレイクダウンの発生が懸念される。一方で、高電圧基板のみに保護回路を形成した場合、回路面積が増加する可能性がある。

【課題を解決するための手段】

40

【0006】

本発明の一つの側面は、半導体デバイスであって、第 1 半導体基板と、前記第 1 半導体基板に積層される第 2 半導体基板と、前記第 1 半導体基板に形成された素子を駆動する第 1 電源電圧が外部から入力される第 1 パッドと、前記第 2 半導体基板に形成された素子を駆動する第 2 電源電圧が外部から入力される第 2 パッドと、前記第 1 半導体基板に配置された第 1 保護回路と、前記第 2 半導体基板に配置された第 2 保護回路と、を有し、前記第 1 電源電圧は前記第 2 電源電圧よりも高く、前記第 1 保護回路は前記第 1 パッドに電氣的に接続され、前記第 2 保護回路は前記第 2 パッドに電氣的に接続されることを特徴とする。

【発明の効果】

50

【 0 0 0 7 】

本発明によれば、配される素子の駆動電圧が異なる基板を積層した半導体デバイスにおいて、各基板に配された素子に適した保護回路を設けることが可能である。

【 図面の簡単な説明 】

【 0 0 0 8 】

【 図 1 】 第 1 の実施形態にかかる半導体デバイスの等価回路図である。

【 図 2 】 第 1 の実施形態に係る半導体デバイスの平面図である。

【 図 3 】 第 1 の実施形態に係る半導体デバイスの平面図である。

【 図 4 】 第 1 の実施形態に係る半導体デバイスの断面図である。

【 図 5 】 第 2 の実施形態に係る半導体デバイスの平面図である。

10

【 図 6 】 第 2 の実施形態に係る半導体デバイスの断面図である。

【 図 7 】 第 3 の実施形態に係る半導体デバイスの平面図である。

【 図 8 】 第 3 の実施形態に係る半導体デバイスの画素の回路図である。

【 図 9 】 第 3 の実施形態に係る半導体デバイスの断面図である。

【 図 1 0 】 第 4 の実施形態に係る半導体デバイスの平面図である。

【 図 1 1 】 第 4 の実施形態に係る半導体デバイスの画素の回路図である。

【 図 1 2 】 第 4 の実施形態に係る半導体デバイスの断面図である。

【 図 1 3 】 第 5 の実施形態に係る半導体デバイスの断面図である。

【 図 1 4 】 第 5 の実施形態に係る半導体デバイスの断面図である。

【 図 1 5 】 第 5 の実施形態に係る半導体デバイスの断面図である。

20

【 図 1 6 】 第 5 の実施形態に係る半導体デバイスの断面図である。

【 図 1 7 】 第 5 の実施形態に係る半導体デバイスの平面図である。

【 図 1 8 】 第 6 の実施形態に係る半導体デバイスの平面図である。

【 図 1 9 】 第 6 の実施形態に係る半導体デバイスの断面図である。

【 図 2 0 】 第 7 の実施形態に係る半導体デバイスの平面図である。

【 図 2 1 】 第 7 の実施形態に係る半導体デバイスの断面図である。

【 図 2 2 】 第 8 の実施形態に係る半導体デバイスの平面図である。

【 図 2 3 】 第 8 の実施形態に係る半導体デバイスの断面図である。

【 図 2 4 】 第 9 の実施形態にかかる光電変換システムの機能ブロック図である。

【 図 2 5 】 第 1 0 の実施形態にかかる光電変換システムの機能ブロック図である。

30

【 図 2 6 】 第 1 1 の実施形態にかかる光電変換システムの機能ブロック図である。

【 図 2 7 】 第 1 2 の実施形態にかかる光電変換システムの機能ブロック図である。

【 図 2 8 】 第 1 3 の実施形態にかかる光電変換システムの機能ブロック図である。

【 発明を実施するための形態 】

【 0 0 0 9 】

以下に示す形態は、本発明の技術思想を具体化するためのものであって、本発明を限定するものではない。各図面が示す部材の大きさや位置関係は、説明を明確にするために誇張していることがある。以下の説明において、同一の構成については同一の番号を付して説明を省略することがある。

【 0 0 1 0 】

40

以下、図面に基づいて本発明の実施の形態を詳細に説明する。なお、以下の説明では、必要に応じて特定の方向や位置を示す用語（例えば、「上」、「下」、「右」、「左」及び、それらの用語を含む別の用語）を用いる。それらの用語の使用は図面を参照した実施形態の理解を容易にするためであって、それらの用語の意味によって本発明の技術的範囲が限定されるものではない。

【 0 0 1 1 】

本明細書において、平面視とは、半導体層の光入射面に対して垂直な方向から視ることである。また、断面視とは、半導体層の光入射面と垂直な方向における面をいう。なお、微視的に見て半導体層の光入射面が粗面である場合は、巨視的に見たときの半導体層の光入射面を基準として平面視を定義する。

50

【 0 0 1 2 】

本明細書において、単に「不純物濃度」という用語が使われた場合、逆導電型の不純物によって補償された分を差し引いた正味の不純物濃度を意味している。つまり、「不純物濃度」とは、NETドーピング濃度を指す。P型の添加不純物濃度がN型の添加不純物濃度より高い領域はP型半導体領域である。反対に、N型の添加不純物濃度がP型の添加不純物濃度より高い領域はN型半導体領域である。

【 0 0 1 3 】

また、本明細書において「部材Aと部材Bとを電氣的に接続する」と記載した場合、部材Aと部材Bとが直接接続される場合に限られない。例えば部材Aと部材Bとの間に別の部材Cが接続されていたとしても、電氣的に接続されていればよい。

10

【 0 0 1 4 】

(第1の実施形態)

図1から図4を用いて本発明の第1の実施形態に係る半導体デバイスの構造を説明する。

【 0 0 1 5 】

図1は第1の実施形態に係る半導体デバイスの模式図である。第1の実施形態に係る半導体デバイスは、第1パッド101A、第2パッド101B、第1保護回路102A、第2保護回路102B、第1基準電位線103A、第2基準電位線103B、第1内部回路104A、第2内部回路104Bを有する。

【 0 0 1 6 】

第1パッド101A、第2パッド101Bは、半導体デバイス内で生じた信号を外部に出力するパッドや、半導体デバイスの回路を駆動するために外部から供給される電圧などが入力されるパッドである。例えば第1パッドには第1電源電圧が入力され、第2パッドには第2電源電圧が入力される。

20

【 0 0 1 7 】

第1保護回路102Aは第1パッド101Aから入力される静電気やサージ電圧といった外来ノイズから内部回路を保護するための回路であり、第2保護回路102Bは第2パッド101Bから入力される外来ノイズから内部回路を保護するための回路である。各保護回路は例えばダイオードやGate Grounded MOS、RC Trigger MOS、またはこれらの素子の組み合わせによって構成される。

30

【 0 0 1 8 】

第1基準電位線103A、第2基準電位線103Bは基準電位が与えられた配線であり、例えば電源配線や接地配線である。ここで第1基準電位線103A、第2基準電位線103Bは別々の配線であってもよく、同一の配線であってもよい。基準電位線の構成の詳細は後述する。

【 0 0 1 9 】

第1内部回路104A、第2内部回路104Bは、半導体デバイス内に設けられた回路であり、例えば外部からの信号を増幅するためのドライバー回路などを含んで構成される。

【 0 0 2 0 】

第1保護回路102Aは第1パッド101Aと第1基準電位線103Aとの間に接続され、第1内部回路104Aは第1パッド101Aに接続される。同様に、第2保護回路102Bは第2パッド101Bと第2基準電位線103Bとの間に接続され、第2内部回路104Bは第2パッド101Bに接続される。

40

【 0 0 2 1 】

第1パッド101Aに静電気などの外来ノイズが印加された場合、保護回路を介して第1基準電位線103Aに電流が流れることで、第1内部回路104Aに印加される電圧が所定の範囲にクランプされる。これにより、第1内部回路104Aに大電圧が印加されることによる素子の破壊や故障を防止することが可能である。同様に、第2パッド101Bに静電気などの外来ノイズが印加された場合も、保護回路を介して第2基準電位線103

50

Bに電流が流れ、第2内部回路104Bの故障を防止することが可能である。

【0022】

第1保護回路102A、第2保護回路102Bは、図1に示した回路要素以外にも、例えば、抵抗や容量等の回路要素に接続されていてもよい。例えば第1パッド101Aと第1保護回路102A、あるいは第1保護回路102Aと第1内部回路104Aとの間に抵抗を接続することで、第1パッド104Aから入力された電圧を降下させ、後段の回路へ印加される電圧の絶対値を小さくすることができる。

【0023】

図2及び図3は第1の実施形態に係る保護回路の平面レイアウトの模式図である。

【0024】

本実施形態に係る半導体デバイスは図2(A)に示した第1部材105Aと、図2(B)に示した第2部材105Bとを含む。本実施形態において、第1パッド101A、第2パッド101B、第1保護回路102A、第1内部回路104Aは第1部材105A上に形成され、第2保護回路102B、第2内部回路104Bは第2部材105B上に形成される。第1部材105Aと、第2部材105Bとは積層される。

10

【0025】

図2(A)において、第1部材105A上の第1保護回路102Aは平面視で第1パッド101Aと第1内部回路104Aの間に配置される。図2(B)において、第2部材105B上の第2保護回路102Bは平面視で第1部材105A上の第2パッド101Bと第2部材105B上の第2内部回路104Bとの間に配置されている。

20

【0026】

回路の配置はこれに限られず、例えば図3に示したように第1保護回路102A、第2保護回路102Bのそれぞれが平面視で第1パッド101Aと第2パッド101Bとの間に配されるように配置しても良い。また、第1部材105Aに配された第1保護回路102Aと第2部材105Bに配された第2保護回路102Bとが平面視で重なるように配してもよい。

【0027】

図4は図2に示した破線AA'における半導体デバイスの断面図である。

【0028】

本実施形態に係る半導体デバイスは第1半導体基板100Aと、第1配線構造130Aとを有する第1部材105Aと、第2半導体基板100Bと、第2配線構造130Bとを有する第2部材105Bとが貼り合わされることによって構成されている。第1配線構造130Aは配線107、108、109、114、ビア110、111、112、113、115を有する。第1配線構造130Bは配線117、118、119、ビア116、120、121、122、123を有する。

30

【0029】

第1半導体基板100A、第2半導体基板100Bは例えばシリコン基板である。各基板には内部回路を構成するMOSトランジスタや抵抗、容量、光電変換素子などの回路素子が形成される。

【0030】

第1部材105Aと第2部材105Bは基板接合部106を介して電氣的に接続されている。第1部材105Aに含まれる第1配線構造130A、第2部材105Bに含まれる第2配線構造130Bのそれぞれは複数の配線層とビア層とを含む。配線108と配線109は配線107、配線114が設けられた第1配線層とは異なる配線層に設けられた配線である。また、配線118と配線119は配線117が設けられた第2配線層とは異なる第3配線層に設けられた配線である。同様に、ビア110とビア112とはビア111とビア113とが設けられたビア層とは異なる同一のビア層に設けられ、ビア120とビア122とはビア121とビア123とが設けられたビア層とは異なる同一のビア層に設けられる。

40

【0031】

50

図4では、第1部材105A、第2部材105Bはそれぞれ2層の配線層を有しているが、各部材の配線構造に含まれる配線層数およびビア層数はこれに限られず、任意に設定可能である。また、配線層に含まれる配線と、ビア層に含まれるビアは、例えば銅、アルミニウム、タングステン、チタンなどの金属で構成される。各配線層の間には例えばシリコン酸化膜、シリコン窒化膜、シリコン炭化膜などで構成された絶縁層が形成される。

【0032】

本実施形態において、第1パッド101A、第2パッド101Bのそれぞれは同一の配線層に設けられている。そのため、第1パッド101Aと第2パッド101Bとを同一工程で形成可能である。第1パッド101Aは、第1半導体基板105A側から半導体基板が開口された第1開口部によって第1部材中の配線107が露出されて構成されている。同様に、第2パッド101Bは第1半導体基板100A側から半導体基板が開口された第2開口部によって、配線107と同一の配線層に設けられた配線114が露出されて構成されている。パッドの構造はこれに限定されるものでなく、例えば第1半導体基板100A側から半導体基板を開口した開口部が第1部材105Aを貫通し、第2部材105Bの第2配線構造130Bに含まれる配線層を外部に露出させてもよい。また、開口を第2半導体基板100B側から形成してもよい。

10

【0033】

第1部材105Aの第1半導体基板100A上には第1保護回路102Aが形成され、第2部材105Bの第2半導体基板100B上には第2保護回路102Bが形成される。図4では保護回路102A、102Bのそれぞれをダイオードとして記載しているが、保護回路を構成する素子はこれに限られない。また、第1半導体基板100A、第2半導体基板100B上に不図示のシリサイド構造などを備えていても良い。

20

【0034】

第1保護回路102Aは配線107、108とビア110、111を介して第1パッド101Aに接続される。図4には第1保護回路102Aの端子のうち第1パッド101Aに接続される端子しか図示していないが、第1保護回路102Aのもう片方の端子は不図示の基準電位配線103Aに接続される。

【0035】

第1内部回路104Aは配線107、109とビア112、113を介して第1パッド101Aに接続される。第1内部回路104Aは基板接合部106を介して第2部材105Bと電気的に接続されても良い。

30

【0036】

第2保護回路102Bは配線114、117、118とビア115、116、120、121と基板接合部106を介して第2パッド101Bに接続される。図4には第2保護回路102Bの端子のうち第2パッド101Bに接続される端子しか図示していないが、第2保護回路102Bのもう片方の端子は不図示の基準電位配線103Bに接続される。

【0037】

第2内部回路104Bは配線114、117、119とビア115、116、122、123、基板接合部106を介して第2パッド101Bに接続される。

40

【0038】

基板接合部106は、例えばTSV(Through Silicon Via)による接合でも良いし、CCB(Cu-Cu-Bonding)による接合でも良い。また、マイクロバンプによる接合でも良い。CCBによる接合の場合、接合面で第1配線構造の第1絶縁層と第2配線構造の第2絶縁層とが接触する部分と、第1配線構造の第1の金属部材と第2配線構造の第2の金属部材同士が接触する部分とが形成される。

【0039】

ここで、複数の半導体基板が積層された半導体デバイスにおいて、各基板に異なる電圧の電源が供給される場合を考える。一般に、供給される電源の電圧が高い程回路に流れる

50

電流が大きくなり、エレクトロマイグレーションによる配線信頼性の低下や、pn接合のブレイクダウンなどのリスクが高くなる。このリスクを低減するためには、配線幅や配線間スペース、不純物領域間のスペースを大きく設定することが有効である。そのため、基板ごとに配された素子を駆動する電源電圧が異なる複数の基板を積層する場合には、それぞれの基板に配された素子の使用電圧に合わせて、基板ごとに最適なデザインルールが設定される場合がある。なお、本明細書において高電圧とは例えば接地電位に対して絶対値で相対的に大きい電位となる電圧をいい、低電圧とは接地電位に対して絶対値で相対的に小さい電位となる電圧をいうものとする。

【0040】

先行文献では、複数の半導体基板を積層した場合に片側の基板のみに保護回路を形成するデバイス構成が提案されている。例えば、配された素子を駆動する電源の電圧が異なる基板同士を積層した半導体デバイスにおいて、先行文献に記載の構成に従って低電圧で駆動される素子が配された基板（低電圧基板）に保護回路を形成する。このとき、高電圧で駆動される素子が配された基板（高電圧基板）の素子を保護するための保護回路も低電圧基板のみに形成される。これにより、低電圧基板や低電圧基板に配された配線に高電圧が印加される。この結果、配線信頼性の低下やpn接合のブレイクダウンの発生が懸念される。一方で、高電圧基板のみに保護回路を形成した場合、低電圧基板の素子を保護するための保護回路を高電圧基板のデザインルールに従って設計する必要がある。この場合、配線幅や配線間スペース、不純物領域間のスペースが増大して、回路面積が増加する。

10

【0041】

そこで、本発明による半導体デバイスにおいては、高電圧が印加される保護回路は高電圧で駆動される素子が配された基板上に形成し、低電圧が印加される保護回路は低電圧で駆動される素子が配された基板上に形成する。このとき、高電圧が印加される保護回路は高電圧基板側のプロセスルールで形成され、低電圧基板に配された保護回路は低電圧基板側のプロセスルールで形成される。そのため、例えば高電圧が印加される保護回路のゲート酸化膜は耐圧の向上のため低電圧が印加される保護回路のゲート酸化膜と比較して厚くなる。また、高電圧基板に配された保護回路は、低電圧基板に配された保護回路と比較してソース・ドレインへのコンタクトやゲートに接続されたプラグが太い。さらに、保護回路を取り巻く絶縁分離の大きさも低電圧基板に配された保護回路に比べ高電圧基板に配された保護回路の方が大きくなっている。これにより、配線信頼性の低下やpn接合のブレイクダウンの抑制と、回路面積の最適化を両立することが可能である。

20

30

【0042】

なお、本実施形態の思想は2つの半導体基板の積層構造から成る半導体デバイスに限定されるものではなく、例えば3つ以上の半導体基板の積層構造から成る半導体デバイスに適用することも可能である。

【0043】

（第2の実施形態）

図5、図6を用いて本発明の第2の実施形態に係る半導体デバイスの構造を説明する。

【0044】

図5は第2の実施形態に係る保護回路の平面レイアウト図である。本実施形態において半導体デバイスは図5(A)に示した第1部材205Aと、図5(B)に示した第2部材205Bとを含む。本実施形態において第1パッド201A、第1保護回路202A、第1内部回路204Aは第1部材205A上に形成される。また第2保護回路202B、第2内部回路204Bは第2部材205B上に形成される。図5において第1保護回路202Aは平面視で第1パッド201Aと第1内部回路203Aとの間に配置され、第2保護回路202Bは平面視で第2パッド201Bと第2内部回路203Bとの間に配置されている。回路の配置はこれに限られず、図3と同様に各保護回路を第1パッド201Aと第2パッド201Bとの間に配置してもよい。また、第1保護回路202Aと第2保護回路202Bとが平面視で重なるように配してもよい。

40

【0045】

50

図6は図5に示した破線BB'における半導体デバイスの断面図である。本実施形態における半導体デバイスは第1半導体基板200Aと第1配線構造230Aとを有する第1部材205Aと、第2半導体基板200Bと第2配線構造230Bとを有する第2部材205Bが貼り合わされることによって構成されている。本実施形態に係る半導体デバイスは、第1パッド201Aを構成する配線が配された配線層と、第2パッド201Bを構成する配線が配された配線層とが異なる点で第1の実施形態と異なる。

【0046】

本実施形態において、第1パッド201Aは、第1半導体基板200A側から半導体基板が開口され、第1部材205Aの第1配線構造230A中の配線207が露出されて構成されている。一方、第2パッド201Bは、第2半導体基板200A側から半導体基板を開口した開口部が第1部材205Aを貫通し、第2部材205Bの第2配線構造230Bに含まれる配線217が露出されて構成されている。

10

【0047】

第1の実施形態では第1パッド101A、第2パッド101Bが同一配線層に含まれる配線であるため、複数のパッドを同一行程で形成可能というメリットがあった。一方、第2パッド101Bと第2内部回路104Bは配線114、117、119、ビア115、116、122、123、基板接合部106を介して接続されるため、パッドから内部回路までの距離が大きくなる。そのため、配線抵抗が増加することによる電源電圧の降下や、信号の遅延などが生じる場合がある。一方、第2の実施形態に係る半導体デバイス構造においては第2パッド201Bが第2配線構造230B内の配線層に含まれる配線であるため、パッドから内部回路までの配線抵抗を抑制することができ、電源電圧の降下や信号の遅延などを抑制可能である。

20

【0048】

(第3の実施形態)

図7～図9を用いて本発明の第3の実施形態に係る半導体デバイスの構造を説明する。第3の実施形態に係る半導体デバイスは内部回路の一部としてCMOSセンサを有している。図7は第3の実施形態に係る保護回路の平面レイアウトの模式図である。

【0049】

本実施形態において半導体デバイスは図7(A)に示した第1部材305Aと、図7(B)に示した第2部材305Bとが貼り合わせされることで構成される。本実施形態において第1パッド301A、第1保護回路302A、CMOSセンサ311は第1部材305A上に形成される。また第2保護回路302B、内部回路304は第2部材305B上に形成される。内部回路304は、例えばCMOSセンサ311で生成された信号電荷を処理する処理回路である。

30

【0050】

図7において第1保護回路302Aは第1パッド301AとCMOSセンサ311の間に配置され、第2保護回路302Bは第2パッド301Bと内部回路304の間に配置されている。回路の配置はこれに限られず、図3と同様に各保護回路を第1パッド301Aと第2パッド301Bとの間に配置しても良い。また、第1保護回路302Aと第2保護回路302Bとが平面視で重なるように配してもよい。

40

【0051】

図8は図7に示したCMOSセンサ311を構成する画素315の一例である。CMOSセンサ311はアレイ状に配された画素315を含む。

【0052】

画素315は、フォトダイオード306、転送トランジスタ307、リセットトランジスタ308、増幅トランジスタ309、行選択トランジスタ310を含んで構成される。フォトダイオード306の出力端子は転送トランジスタ307のソース又はドレインの一方に接続され、他方はリセットトランジスタ308のソース又はドレインの一方と増幅トランジスタ309のゲートに接続される。増幅トランジスタのソース又はドレインの一方は行選択トランジスタ310のソース又はドレインの一方と接続される。リセットトラン

50

ジスタ 308、増幅トランジスタ 309 は共通の電源に接続されており、この電源は第 1 パッド 301 A から供給される。また、行選択トランジスタ 310 は垂直出力線に接続され、フォトダイオード 306 で得られた信号を、不図示の A/D 変換回路や水平出力回路などから構成される内部回路に伝達する。

【0053】

CMOS センサ 311 を構成する画素 315 は第 1 半導体基板 300 A 内にアレイ状に配置され、行選択トランジスタ 310 により選択されたセンサで得られた信号が第 2 半導体基板 300 B 内の内部回路 304 に伝達される。CMOS センサ 311 の構成要素 306 ~ 310 は全て半導体基板 300 A に形成されてもよいし、一部を半導体基板 300 B に形成してもよい。

10

【0054】

図 9 は図 7 に示した破線 C-C' における半導体デバイスの断面図である。本実施形態における半導体デバイスは第 1 半導体基板 300 A と第 1 配線構造 330 A とを有する第 1 部材 305 A と、第 2 半導体基板 300 B と第 2 配線構造 330 B とを有する第 2 部材 305 B とが貼り合わされることによって構成されている。ここで第 1 パッド 301 A は第 1 半導体基板 300 A 側から半導体基板が開口され、第 1 部材 305 A 中の第 1 配線構造 330 A の配線 313 が露出されることで構成されている。一方、第 2 パッド 301 B は第 1 半導体基板 300 A 側から第 1 部材 305 A を貫通する開口部が形成され、第 2 部材 305 B 中の第 2 配線構造 330 B の配線 320 が露出されることで構成されている。パッドの構成はこれに限られず、例えば第 1 の実施形態で示したように、第 1 パッド 301 A、第 2 パッド 301 B のそれぞれが同一の配線層に設けられていてもよい。

20

【0055】

本実施形態では、図 4、図 6 における内部回路 104 A、204 A の一例として CMOS センサ 311 が形成されている。第 1 半導体基板 300 A 内にフォトダイオード 306 を構成する n 型半導体領域 327 と、転送トランジスタ 307 のドレインである n 型半導体領域 328 と、素子分離構造 329 とが配置されている。転送トランジスタ 307 は n 型半導体領域 327、328 とゲート電極 330 で構成され、n 型半導体領域 327 で生成・蓄積された電荷は、ゲート電極 330 によって n 型半導体領域 328 に転送される。CMOS センサ 311 の裏面側には、画素 315 のそれぞれに応じたカラーフィルタを含むカラーフィルタ層 332 と、マイクロレンズを含むマイクロレンズ層 331 が配置されている。図 9 では、前記マイクロレンズ層 331 側から光が入射する、いわゆる裏面照射型の CMOS センサについて説明しているが、CMOS センサ 311 の構成はこれに限定されるものではない。

30

【0056】

ここで CMOS センサ 311 が形成される第 1 半導体基板 301 A と内部回路が形成される第 2 半導体基板 301 B とでは回路の動作電圧を変化させる場合がある。例えば CMOS センサ 311 の感度向上のため第 1 半導体基板 301 A には高電圧を印加し、内部回路の高速動作のため第 2 半導体基板 301 B には低電圧を印加する場合がある。

【0057】

本発明によれば、CMOS センサ 311 の動作のための電源電圧を供給する第 1 パッド 301 A に接続された第 1 保護回路 302 A は第 1 半導体基板 300 A 上に形成される。一方、内部回路の駆動のための電圧を供給する第 2 パッド 301 B に接続された第 2 保護回路 302 B は第 2 半導体基板 400 B に形成される。この構成により、センサ動作の高電圧電源による配線信頼性の低下や p-n 接合のブレークダウンの抑制と、回路面積の最適化の両立が可能になる。

40

【0058】

(第 4 の実施形態)

図 10 ~ 図 12 を用いて本発明の第 4 の実施形態に係る半導体デバイスの構造を説明する。本実施形態は、図 7 で説明した CMOS センサ 305 の代わりに SPAD (Single Photon Avalanche Diode) 410 が形成されることを特徴

50

とする。

【 0 0 5 9 】

以下の説明において、アバランシェフォトダイオード（APD）のアノードを固定電位とし、カソード側から信号を取り出している。したがって、信号電荷と同じ極性の電荷を多数キャリアとする第1導電型の半導体領域とはN型半導体領域であり、信号電荷と異なる極性の電荷を多数キャリアとする第2導電型の半導体領域とはP型半導体領域である。なお、APDのカソードを固定電位とし、アノード側から信号を取り出す場合でも本発明は成立する。この場合は、信号電荷と同じ極性の電荷を多数キャリアとする第1導電型の半導体領域はP型半導体領域であり、信号電荷と異なる極性の電荷を多数キャリアとする第2導電型の半導体領域とはN型半導体領域である。以下では、APDの一方のノードを固定電位とする場合について説明するが、両方のノードの電位が変動してもよい。

10

【 0 0 6 0 】

図10は第4の実施形態に係る保護回路の平面レイアウトイメージである。本実施形態において半導体デバイスは図10(A)に示した第1部材405Aと、図10(B)に示した第2部材405Bとが貼り合わせされることで構成される。第1部材405Aは第1半導体基板400Aと第1配線構造430Aを含み、第2部材405Bは第2半導体基板400Bと第2配線構造430Bを含む。

【 0 0 6 1 】

本実施形態において第1パッド401A、第1保護回路402A、SPADセンサ410は第1部材405A上に形成される。また第2保護回路402B、内部回路404は第2部材405B上に形成される。図10において第1保護回路402Aは第1パッド401AとSPADセンサ410との間に配置され、第2保護回路402Bは第2パッド401Bと内部回路404との間に配置されている。回路の配置はこれに限られず、図3と同様に各保護回路を第1パッド401Aと第2パッド401Bとの間に配置しても良いものとする。また、第1保護回路402Aと第2保護回路402Bとが平面視で重なるように配してもよい。

20

【 0 0 6 2 】

図11は図10に示したSPADセンサ410の概要の一例である。SPADセンサ410は、アバランシェフォトダイオードであり、フォトダイオード406、クエンチ素子407、インバータ回路408、カウンタ回路409を含んで構成される。第1パッド401Aには負極性の高電圧電源が供給され、フォトダイオード406中で光電変換されて発生した電子はアバランシェ増倍される。増幅された電子はインバータ回路408を介してパルスに整形され、カウンタ回路409に伝達される。1つのフォトダイオード406に対して1つのカウンタ回路409が接続されても良いし、複数のフォトダイオード406に対して1つのカウンタ回路409が接続されてもよい。また、これらの回路要素406～409は全て第1半導体基板400Aに形成されてもよく、一部の素子を第2半導体基板400Bに形成してもよい。クエンチ素子407は抵抗素子でもよく、トランジスタでもよい。クエンチ素子の抵抗値は可変であってもよく、例えば周期的に抵抗値が変化する素子であってもよい。

30

【 0 0 6 3 】

図12は図10に示した破線DD'における半導体デバイスの断面図である。本実施形態における半導体デバイスは第1半導体基板400Aと第1配線構造430Aとを有する第1部材405Aと第2半導体基板400Bと第2配線構造430Bとを有する第2部材405Bとが貼り合わされることによって構成されている。ここで第1パッド401Aは第1半導体基板400A側から半導体基板を開口し、第1部材410A中の第1配線構造430Aの配線412が露出されて構成される。一方第2パッド401Bは第1部材405Aを貫通して開口部が設けられ、第2部材405Bの第2配線構造430B中の配線419が露出されて構成されている。第1の実施形態で示したように、第1パッド401A、第2パッド401Bのそれぞれが同一配線層に設けられていてもよい。

40

【 0 0 6 4 】

50

本実施形態では図4、図6における内部回路104A、204Aの一例として、あるいは図9におけるCMOSセンサの代わりにSPADセンサ410が形成されている。図12において、第1半導体基板400Aには図11で示したフォトダイオード406と第1保護回路402Aのみが形成されている。素子の配置はこれに限られず、回路要素407~409を第1半導体基板400Aに形成してもよい。また、SPADセンサ410の光入射面側には、複数のカラーフィルタを含むカラーフィルタ層428、複数のマイクロレンズを含むマイクロレンズ層429が配置される。図12では、いわゆる裏面照射型のSPADセンサについて説明しているが、本実施形態において説明するSPADセンサの構成はあくまで例示であって限定されるものではない。

【0065】

10

SPADセンサ410では、フォトダイオード406に負極性の高電圧を印加して、光電変換で得た電荷をアバランシェ増倍する。そのため第1半導体基板400Aには高電圧が印加される。本発明の構成によれば、アバランシェ増倍用の負極性高電圧が印加される第1パッド401Aに接続される第1保護回路402Aは第1半導体基板400A上に形成される。一方、第1パッド401Aと比較して低電圧が印加される第2パッド401Bに接続される第2保護回路402Bは第2半導体基板400Bに形成される。この構成により、配線信頼性の低下やpn接合のブレイクダウンの抑止と、回路面積の最適化の両立が可能になる。

【0066】

(第5の実施形態)

20

図13から図17までを用いて本発明の第5の実施形態に係る半導体デバイスの構造を説明する。

【0067】

第1から第4までの実施形態では、低電圧基板と高電圧基板のそれぞれに保護素子が配されている。各基板に配された保護回路のそれぞれは端子の一方を各基板の内部回路に接続し、もう一方を基準電位線に接続する。このとき、基準電位線を各基板に配置すると面積効率が下がってしまう可能性がある。そこで、本実施形態では、低電圧基板に配された保護回路と、高電圧基板に配された保護回路のそれぞれに接続される基準電位線が積層された基板の一方に形成されることを特徴とする。

【0068】

30

基準電位線の配置のパリエーションを図13から図17までを用いて説明する。

【0069】

図13は、第1の実施形態に係る半導体デバイスの断面図である。高電圧基板の第1パッド101Aと、低電圧基板の第2パッド101Bとが高電圧基板側の共通の配線層に設けられている。高電圧基板の第1保護回路102Aの端子の一方と、低電圧基板の第2保護回路102Bの端子の一方は、低電圧基板側に配された共通の基準電位線103に接続されている。配線レイアウトの自由度が高い低電圧基板に基準配線103を配することで面積効率の向上が可能である。

【0070】

図14は、第2の実施形態に係る半導体デバイスの断面図である。高電圧基板の第1パッド201Aは高電圧基板側の配線層に設けられ、低電圧基板の第2パッド201Bは低電圧基板側の配線層に設けられている。高電圧基板の第1保護回路202Aの端子の一方と、低電圧基板の第2保護回路202Bの端子の一方は、低電圧基板側に配された共通の基準電位線233に接続されている。この構成では第1パッド201Aと第2パッド201Bとを各基板に配することでパッドから内部回路までの配線抵抗を抑制することができ、電源電圧の降下や信号の遅延などを抑制可能である。さらに、配線レイアウトの自由度が高い低電圧基板に基準配線103を配することで面積効率の向上が可能である。

40

【0071】

図15は、第2の実施形態に係る半導体デバイスの断面図である。図14と同様高電圧基板の第1パッド201Aは高電圧基板側の配線層に設けられ、低電圧基板の第2パッド

50

201Bは低電圧基板側の配線層に設けられている。高電圧基板の第1保護回路202Aの端子の一方と、低電圧基板の第2保護回路202Bの端子の一方は、高電圧基板側に配された共通の基準電位線243に接続される点が図14と異なっている。基準電位線243を高電圧基板に設けることにより、基準電位線243に接続された第1パッド201Aや第1内部回路204Aの電位変動が低電圧基板に伝播する可能性を低減できる。

【0072】

図16は、第2の実施形態に係る半導体デバイスの断面図である。図14、図15と同様に高電圧基板の第1パッド201Aは高電圧基板側の配線層に設けられ、低電圧基板の第2パッド201Bは低電圧基板側の配線層に設けられている。高電圧基板の第1保護回路202Aの端子の一方と、低電圧基板の第2保護回路202Bの端子の一方は低電圧基板側に配された共通の基準電位線253に接続されている。さらに、低電圧基板側の第2パッド201Bに接続され、高電圧基板に配された第3保護回路202Cを有している。

10

【0073】

図17は本実施形態に係る半導体デバイスの平面図である。図14、図16に示す基準電位線が低電圧基板側に設けられる場合に対応している。

【0074】

図17(a)は例えばCMOSセンサ311やSPAD410のような画素が配置された高電圧基板であり、図17(b)は例えば周辺回路が配置された低電圧基板である。高電圧基板の画素領域周辺には高電圧基板のパッド(PAD1)と低電圧基板のパッド(PAD2)とが交互に配されている。低電圧基板では周辺領域を囲うように基準電位配線が形成され、さらにその周辺に低電圧基板用のパッドが配されている。

20

【0075】

前述のように、高電圧基板と低電圧基板とは複数の配線層を含む配線構造を介して接続される。共有電位配線は少なくとも3層の配線層を使用して形成され、配線幅は例えば50~100 μm 程度確保される。配線幅の太さを確保することにより、共通電位配線に対し複数のビアを接続することができる。

【0076】

(第6の実施形態)

図18と図19を用いて本発明の第6の実施形態に係る半導体デバイスの構造を説明する。前述の第1~第5の実施形態において、2つの部材を備える半導体デバイスにおける保護回路の配置方法について記載した。第6の実施形態は3つの部材(第1部材1701、第2部材1702、第3部材1703)を備えることが特徴である。第1~第5の実施形態と共通する説明は省略し、第6の実施形態の特徴部を中心に説明する。

30

【0077】

図18は第6の実施形態に係る半導体デバイスの平面図を含む概略図である。本実施形態に示す半導体デバイスは、図18(a)に示すように、第1部材1701、第2部材1702、第3部材1703の3つの部材が積層されて構成されている。

【0078】

図18(b)に第1部材1701における素子の配置を示す。第1パッド1704、第1保護回路1707と第1内部回路1710が第1部材1701上に配置されている。さらに、第2部材1702に配された第2パッド1705、第3部材1703に配された第3パッド1706に向かって第1部材1701を貫通する開口部が設けられている。

40

【0079】

図18(c)に第2部材1702における素子の配置を示す。第2パッド1705、第2保護回路1708と第2内部回路1711が第2部材1702上に配置されている。さらに、第3部材1703に配された第3パッド1706に向かって第2部材1702を貫通する開口部が設けられている。

【0080】

図18(d)に第3部材1703における素子の配置を示す。第3パッド1706、第3保護回路1709と第3内部回路1712が第3部材1703上に配置される。

50

【0081】

第1パッド1704、第2パッド1705、第3パッド1706は、半導体デバイス内で生じた信号を外部に出力するパッドや、半導体デバイスの回路を駆動するために外部から供給される電圧などが入力されるパッドである。例えば第1パッド1704には第1電源電圧が入力され、第2パッド1705には第2電源電圧が入力され、第3パッド1706には第3電源電圧が入力される。また第1保護回路1707は第1パッド1704に接続され、第2保護回路1708は第2パッド1705に接続され、第3保護回路1709は第3パッド1706に接続されている。

【0082】

ここで、第1保護回路1707は平面視で第1パッド1704と第1内部回路1710の間の領域に配置され、第1パッド1704と第1内部回路1710とは第1保護回路1707を介して接続される。第2保護回路1708は第2パッド1705と第2内部回路1711の間の領域に配置され、第2パッド1705と第2内部回路1711は第2保護回路1708を介して接続される。第3保護回路1709は第3パッド1706と第3内部回路1712の間の領域に配置され、第3パッド1706と第3内部回路1712は第3保護回路1709を介して接続される。

【0083】

なお、各保護回路の配置位置はパッドと内部回路の間の領域に限定されるものではなく、例えばパッド同士の間などに配置しても良い。また、各保護回路同士は平面視で重なる領域に配置しても良い。

【0084】

図19は図18の破線E E'における半導体デバイスの断面図である。

【0085】

第1部材1701は第1半導体基板1701Aと第1配線層1701Bを含む。第2部材1702は第2半導体基板1702Aと第2配線層1702Bを含む。第3部材1703は第3半導体基板1703Aと第3配線層1703Bを含む。

【0086】

本実施形態において第1配線層1701Bと第2半導体基板1702Aが貼り合わされ、第2配線層1702Bと第3配線層1703Aが貼り合わされる。したがって、第6の実施形態に係る半導体デバイスは、図19の上側から第1半導体基板1701A、第1配線層1701B、第2半導体基板1702A、第2配線層1702B、第3配線層1703B、第3配線層1703Aの順に積層されて構成される。ここで、第1配線層1701Bと第2配線層1702Bは例えば基板を貫通するコンタクト部1713を介して電氣的に接続され、第2配線層1702Bと第3配線層1703Bは前述の基板接合部1714を介して電氣的に接続される構成としてもよい。コンタクト部1713はタングステン、銅などの金属を主に含んで構成される。また、基板接合部1714は典型的には銅を主に含み、銅の拡散を抑制するためのバリアメタル（チタン、ニッケルなど）をさらに含んで形成される。

【0087】

第1保護回路1707は第1半導体基板1701Aに配置され、第2保護回路1708は第2半導体基板1702Aに配置される。さらに、第3保護回路1709は第3半導体基板1703Aに配置される。言い換えれば、保護素子のそれぞれは各基板に対応する電圧が印加されるパッドが設けられた配線層に近接する半導体基板に設けられ、パッドが設けられた配線層と保護素子が設けられた半導体基板とで1つの部材を構成する。また、不図示の基準電位配線をいずれか一つの基板に配置することで、配線面積を低減することが出来る。

【0088】

ここで、第4の実施形態に記載したSPADセンサを本実施形態の半導体デバイスに適用した場合を考える。この場合、例えば第1内部回路1710として図11に示したアバランシェフォトダイオード410を配置し、第2内部回路1711としてクエンチ素子4

10

20

30

40

50

07やインバータ回路408などを配置し、第3内部回路1712としてカウンタ回路409およびその他の周辺回路を配置する構成が考えられる。3つの部材を積層した構成にすることで、2つの部材を積層した半導体デバイスよりもSPADを構成するクエンチ素子407やインバータ回路408などのサイズを大きくすることが可能であり、素子の製造バラつき低減やノイズ低減等の効果が期待できる。

【0089】

このような構成の場合、第1半導体基板1701Aには光電変換で発生した電子をアバランシェ増倍させるため負極性の高電圧電源が供給される。一方、第2半導体基板170Aに配置される素子は、第3半導体基板1703Aに配置される素子よりも高電圧で動作させるのが一般的である。従って各基板に供給される電圧の絶対値は以下のような関係になる。

10

$$| \text{第1電源電圧} | > > | \text{第2電源電圧} | > | \text{第3電源電圧} |$$

【0090】

各基板に供給される電圧の大小関係は以下のように示すこともできる。

$$| \text{第1電源電圧} \quad \text{第2電源電圧} | > | \text{第2電源電圧} \quad \text{第3電源電圧} |$$

$$| \text{第1電源電圧} \quad \text{第3電源電圧} | > | \text{第2電源電圧} \quad \text{第3電源電圧} |$$

【0091】

したがって、本実施形態によれば、3つの部材に異なる電源電圧が供給される場合においても、部材ごとに設定された最適なデザインルールで保護回路を設計することができる。そのため、配線信頼性の低下やpn接合のブレークダウンの抑制と、回路面積の最適化を両立することが可能である。

20

【0092】

この構成は一例であり、各基板に配置される素子の種類及び供給される電圧の関係はこれに限定されるものではない。例えば第1部材1701にアバランシェフォトダイオード以外の素子も配置する構成や、第3部材1703にクエンチ素子407や、インバータ回路408の一部を配置する構成であってもよい。

【0093】

(第7の実施形態)

図20、図21を用いて本発明の第7の実施形態に係る半導体デバイスの構造を説明する。第7の実施形態は第6の実施形態と同様に3つの基板を備えた半導体デバイスであり、各部材の張り合わせ方法も第6の実施形態と同様である。本実施形態について、主に第6の実施形態との差分を中心に説明する。本実施形態は第2保護回路と第3保護回路が同じ部材に配置されることを特徴としている。

30

【0094】

図20は第7の実施形態に係る半導体デバイスの平面図である。本実施形態に係る半導体デバイスは、図20(a)に示すように第1部材1801、第2部材1802、第3部材1803の順に積層される。図20(b)に第1部材1801における素子の配置を示す。第1パッド1804、第1保護回路1807と第1内部回路1810が第1部材1801上に配置されている。さらに、第3部材1803に配置された第2パッド1805及び第3パッド1806に向かって第1部材1801を貫通する開口部が設けられている。図20(c)に第2部材1802における素子の配置を示す。第3部材1803に配置された第2パッド1805及び第3パッド1806に向かって第2部材1802を貫通する開口部が設けられている。図20(c)に第3部材1803における素子の配置を示す。第2パッド1805、第3パッド1806、第2保護回路1808、第3保護回路1809と第3内部回路1812が第3部材1803上に配置される。

40

【0095】

図21は図20に示した破線FF'における半導体デバイスの断面図である。上述のように各部材の張り合わせ方法は第6の実施形態と同様であるが、第2パッド1805及び第2保護回路1808が第3部材1803に配置されている点が第6の実施形態と異なる。なお、図21では第2パッド1805及び第2保護回路1808の双方を第3部材18

50

03に配置しているが、例えば第2保護回路1808は第2部材1802に配置し、第2パッド1805は第3部材1803に配置してもよい。

【0096】

第6の実施形態についての説明と同様に、SPADセンサを本実施形態の半導体デバイスに適用した場合に、各部材に印加される電圧関係の一例を以下に示す。第1部材1801と第2部材1802、または第1部材1801と第3部材1803では印加される電圧の絶対値に大きな差がある。

|第1電源電圧| >> |第2電源電圧| > |第3電源電圧|

【0097】

各基板に供給される電圧の大小関係は以下のように示すこともできる。

|第1電源電圧 第2電源電圧| > |第2電源電圧 第3電源電圧|
|第1電源電圧 第3電源電圧| > |第2電源電圧 第3電源電圧|

【0098】

例えば第1パッド1804に供給される電圧は-30V程度であり、第2パッド1805に供給される電圧は3.3V程度、第3パッド1806に供給される電圧が1.1V程度の場合を想定する。第2パッド1805と第3パッド1806とに供給される電圧に大きな差は無く、各パッドから電圧が供給される第2部材1802、第3部材1803の配線工程のデザインルールやpn接合の耐圧にも大きな差は生じないと考えられる。よって、第2パッド1805及び第2保護回路1808の双方を同一の基板に配置した場合、pn接合や配線の幅、スペースが最適化出来ない等のデメリットがあるがその影響は小さい。一方、第2パッド1805と第3パッド1806を同一工程で製造することが出来る。また、第2保護回路1808と第3保護回路1809を同一工程で製造することから、第7の実施形態に係る半導体デバイスは第6の実施形態に対して少ないプロセス工程で製造可能である。

【0099】

(第8の実施形態)

図22、図23を用いて本発明の第8の実施形態に係る半導体デバイスの構造を説明する。第8の実施形態は第6の実施形態及び第7の実施形態と同様に3つの部材から構成される半導体デバイスであるが、部材の積層方法が異なる点が特徴である。

【0100】

図22は第8の実施形態に係る半導体デバイスの平面図である。

【0101】

本実施形態は図22(a)に示したように、第1部材1901、第2部材1902、第3部材1903の順に積層される。図22(b)に第1部材1901における素子の配置を示す。第1パッド1904、第1保護回路1907と第1内部回路1910が第1部材1901上に配置される。さらに、第2部材1902に配置された第2パッド1905、第3パッド1906に向かって第2部材1902を貫通する開口部が設けられている。図22(c)に第2部材1902における素子の配置を示す。第2パッド1905、第3パッド1906、第2内部回路1911が第2部材1902上に配置される。図22(d)に示すように、第3部材1903上にはパッドも保護素子も配置されず、第3内部回路1912が配置される。

【0102】

図23は図22に示した破線GG'における半導体デバイスの断面図である。

【0103】

本実施例では第1配線層1901Bと第2配線層1902Bが貼り合わされ、第2半導体基板1901Aと第3配線層1903Bが貼り合わされる。第8の実施形態に係る半導体デバイスは、図23の上側から第1半導体基板1901A、第1配線層1901B、第2配線層1902B、第2半導体基板1902A、第3配線層1903B、第3配線層1903Aの順に配置される。ここで第1配線層1901Bと第2配線層1902Bは例えば基板接合部1913を介して電氣的に接続され、第2半導体基板1902Aと第3配線

10

20

30

40

50

層 1 9 0 3 B は例えば基板貫通型コンタクト部 1 9 1 4 を介して電氣的に接続される。

【 0 1 0 4 】

本実施形態において、第 1 保護回路 1 9 0 7 は第 1 半導体基板 1 9 0 1 A に配置され、第 2 保護回路 1 9 0 8 と第 3 保護回路 1 9 0 9 は第 2 半導体基板 1 9 0 2 A に配置される。図 2 2、図 2 3 において、第 2 パッド 1 9 0 5 と第 2 保護回路 1 9 0 7、および第 3 パッド 1 9 0 6 と第 3 保護回路 1 9 0 9 は第 1 半導体基板 1 9 0 1 A の主面の上部からの平面視で重ならない領域に配置されているが、重なる領域に配置しても良い。

【 0 1 0 5 】

第 6 の実施形態、第 7 の実施形態では少なくとも 2 回以上半導体基板を貫通する深いパッド開口を形成することが必要であったが、本実施形態に示す半導体デバイスでは半導体

10

【 0 1 0 6 】

(第 9 の実施形態)

本実施形態による光電変換システムについて、図 2 4 を用いて説明する。図 2 4 は、本実施形態による光電変換システムの概略構成を示すブロック図である。

【 0 1 0 7 】

上記第 1 ~ 第 6 実施形態で述べた光電変換装置は、種々の光電変換システムに適用可能である。適用可能な光電変換システムの例としては、デジタルスチルカメラ、デジタルカムコーダ、監視カメラ、複写機、ファックス、携帯電話、車載カメラ、観測衛星などが挙げられる。また、レンズなどの光学系と撮像装置とを備えるカメラモジュールも、光電変換システムに含まれる。図 2 4 には、これらのうちの一例として、デジタルスチルカメラのブロック図を例示している。

20

【 0 1 0 8 】

図 2 4 に例示した光電変換システムは、光電変換装置の一例である撮像装置 1 0 0 4、被写体の光学像を撮像装置 1 0 0 4 に結像させるレンズ 1 0 0 2 を備える。さらに、レンズ 1 0 0 2 を通過する光量を可変にするための絞り 1 0 0 3、レンズ 1 0 0 2 の保護のためのバリア 1 0 0 1 を有する。レンズ 1 0 0 2 及び絞り 1 0 0 3 は、撮像装置 1 0 0 4 に光を集光する光学系である。撮像装置 1 0 0 4 は、上記のいずれかの実施形態の光電変換装置であって、レンズ 1 0 0 2 により結像された光学像を電気信号に変換する。

30

【 0 1 0 9 】

光電変換システムは、また、撮像装置 1 0 0 4 より出力される出力信号の処理を行うことで画像を生成する画像生成部である信号処理部 1 0 0 7 を有する。信号処理部 1 0 0 7 は、必要に応じて各種の補正、圧縮を行って画像データを出力する動作を行う。信号処理部 1 0 0 7 は、撮像装置 1 0 0 4 が設けられた半導体基板に形成されていてもよいし、撮像装置 1 0 0 4 とは別の半導体基板に形成されていてもよい。

【 0 1 1 0 】

光電変換システムは、更に、画像データを一時的に記憶するためのメモリ部 1 0 1 0、外部コンピュータ等と通信するための外部インターフェース部 (外部 I / F 部) 1 0 1 3 を有する。更に光電変換システムは、撮像データの記録又は読み出しを行うための半導体

40

【 0 1 1 1 】

更に光電変換システムは、各種演算とデジタルスチルカメラ全体を制御する全体制御・演算部 1 0 0 9、撮像装置 1 0 0 4 と信号処理部 1 0 0 7 に各種タイミング信号を出力するタイミング発生部 1 0 0 8 を有する。ここで、タイミング信号などは外部から入力されてもよく、光電変換システムは少なくとも撮像装置 1 0 0 4 と、撮像装置 1 0 0 4 から出力された出力信号を処理する信号処理部 1 0 0 7 とを有すればよい。

【 0 1 1 2 】

50

撮像装置 1004 は、撮像信号を信号処理部 1007 に出力する。信号処理部 1007 は、撮像装置 1004 から出力される撮像信号に対して所定の信号処理を実施し、画像データを出力する。信号処理部 1007 は、撮像信号を用いて、画像を生成する。

【0113】

このように、本実施形態によれば、上記のいずれかの実施形態の光電変換装置（撮像装置）を適用した光電変換システムを実現することができる。

【0114】

（第10の実施形態）

本実施形態の光電変換システム及び移動体について、図25を用いて説明する。図25は、本実施形態の光電変換システム及び移動体の構成を示す図である。

【0115】

図25（A）は、車載カメラに関する光電変換システムの一例を示したものである。光電変換システム1300は、撮像装置1310を有する。撮像装置1310は、上記のいずれかの実施形態に記載の光電変換装置である。光電変換システム1300は撮像装置1310により取得された複数の画像データに対し画像処理を行う画像処理部1312と、光電変換システム1300により取得された複数の画像データから視差（視差画像の位相差）の算出を行う視差取得部1314を有する。また、光電変換システム1300は、算出された視差に基づいて対象物までの距離を算出する距離取得部1316と、算出された距離に基づいて衝突可能性があるか否かを判定する衝突判定部1318と、を有する。ここで、視差取得部1314や距離取得部1316は、対象物までの距離情報を取得する距離情報取得手段の一例である。すなわち、距離情報とは、視差、デフォーカス量、対象物までの距離等に関する情報である。衝突判定部1318はこれらの距離情報のいずれかを用いて、衝突可能性を判定してもよい。距離情報取得手段は、専用に設計されたハードウェアによって実現されてもよいし、ソフトウェアモジュールによって実現されてもよい。また、FPGA（Field Programmable Gate Array）やASIC（Application Specific Integrated Circuit）等によって実現されてもよいし、これらの組合せによって実現されてもよい。

【0116】

光電変換システム1300は車両情報取得装置1320と接続されており、車速、ヨーレート、舵角などの車両情報を取得することができる。また、光電変換システム1300は、衝突判定部1318での判定結果に基づいて、車両に対して制動力を発生させる制御信号を出力する制御部である制御ECU1330が接続されている。また、光電変換システム1300は、衝突判定部1318での判定結果に基づいて、ドライバーへ警報を発する警報装置1340とも接続されている。例えば、衝突判定部1318の判定結果として衝突可能性が高い場合、制御ECU1330はブレーキをかける、アクセルを戻す、エンジン出力を抑制するなどして衝突を回避、被害を軽減する車両制御を行う。警報装置1340は音等の警報を鳴らす、カーナビゲーションシステムなどの画面に警報情報を表示する、シートベルトやステアリングに振動を与えるなどしてユーザーに警告を行う。

【0117】

本実施形態では、車両の周囲、例えば前方又は後方を光電変換システム1300で撮像する。図25（B）に、車両前方（撮像範囲1350）を撮像する場合の光電変換システムを示した。車両情報取得装置1320が、光電変換システム1300ないしは撮像装置1310に指示を送る。このような構成により、測距の精度をより向上させることができる。

【0118】

上記では、他の車両と衝突しないように制御する例を説明したが、他の車両に追従して自動運転する制御や、車線からはみ出さないように自動運転する制御などにも適用可能である。更に、光電変換システムは、自動車等の車両に限らず、例えば、船舶、航空機あるいは産業用ロボットなどの移動体（移動装置）に適用することができる。加えて、移動体に限らず、高度道路交通システム（ITS）等、広く物体認識を利用する機器に適用する

10

20

30

40

50

ことができる。

【0119】

(第11の実施形態)

本実施形態の光電変換システムについて、図26を用いて説明する。図26は、本実施形態の光電変換システムである距離画像センサの構成例を示すブロック図である。

【0120】

図26に示すように、距離画像センサ1401は、光学系1407、光電変換装置1408、画像処理回路1404、モニタ1405、およびメモリ1406を備えて構成される。そして、距離画像センサ1401は、光源装置1409から被写体に向かって投光され、被写体の表面で反射された光(変調光やパルス光)を受光することにより、被写体までの距離に応じた距離画像を取得することができる。

10

【0121】

光学系1407は、1枚または複数枚のレンズを有して構成され、被写体からの像光(入射光)を光電変換装置1408に導き、光電変換装置1408の受光面(センサ部)に結像させる。

【0122】

光電変換装置1408としては、上述した各実施形態の光電変換装置が適用され、光電変換装置1408から出力される受光信号から求められる距離を示す距離信号が画像処理回路1404に供給される。

【0123】

画像処理回路1404は、光電変換装置1408から供給された距離信号に基づいて距離画像を構築する画像処理を行う。そして、その画像処理により得られた距離画像(画像データ)は、モニタ1405に供給されて表示されたり、メモリ1406に供給されて記憶(記録)されたりする。

20

【0124】

このように構成されている距離画像センサ1401では、上述した光電変換装置を適用することで、画素の特性向上に伴って、例えば、より正確な距離画像を取得することができる。

【0125】

(第12の実施形態)

本実施形態の光電変換システムについて、図27を用いて説明する。図27は、本実施形態の光電変換システムである内視鏡手術システムの概略的な構成の一例を示す図である。

30

【0126】

図27では、術者(医師)1131が、内視鏡手術システム1150を用いて、患者ベッド1133上の患者1132に手術を行っている様子が図示されている。図示するように、内視鏡手術システム1150は、内視鏡1100と、術具1110と、内視鏡下手術のための各種の装置が搭載されたカート1134と、から構成される。

【0127】

内視鏡1100は、先端から所定の長さの領域が患者1132の体腔内に挿入される鏡筒1101と、鏡筒1101の基端に接続されるカメラヘッド1102と、から構成される。図示する例では、硬性の鏡筒1101を有するいわゆる硬性鏡として構成される内視鏡1100を図示しているが、内視鏡1100は、軟性の鏡筒を有するいわゆる軟性鏡として構成されてもよい。

40

【0128】

鏡筒1101の先端には、対物レンズが嵌め込まれた開口部が設けられている。内視鏡1100には光源装置1203が接続されており、光源装置1203によって生成された光が、鏡筒1101の内部に延設されるライトガイドによって当該鏡筒の先端まで導光され、対物レンズを介して患者1132の体腔内の観察対象に向かって照射される。なお、内視鏡1100は、直視鏡であってもよいし、斜視鏡又は側視鏡であってもよい。

50

【0129】

カメラヘッド1102の内部には光学系及び光電変換装置が設けられており、観察対象からの反射光（観察光）は当該光学系によって当該光電変換装置に集光される。当該光電変換装置によって観察光が光電変換され、観察光に対応する電気信号、すなわち観察像に対応する画像信号が生成される。当該光電変換装置としては、前述の各実施形態に記載の光電変換装置を用いることができる。当該画像信号は、RAWデータとしてカメラコントロールユニット（CCU：CAMERA CONTROL UNIT）1135に送信される。

【0130】

CCU1135は、CPU（CENTRAL PROCESSING UNIT）やGPU（GRAPHICS PROCESSING UNIT）等によって構成され、内視鏡1100及び表示装置1136の動作を統括的に制御する。さらに、CCU1135は、カメラヘッド1102から画像信号を受け取り、その画像信号に対して、例えば現像処理（デモザイク処理）等の、当該画像信号に基づく画像を表示するための各種の画像処理を施す。

【0131】

表示装置1136は、CCU1135からの制御により、当該CCU1135によって画像処理が施された画像信号に基づく画像を表示する。

【0132】

光源装置1203は、例えばLED（LIGHT EMITTING DIODE）等の光源から構成され、術部等を撮影する際の照射光を内視鏡1100に供給する。

【0133】

入力装置1137は、内視鏡手術システム1150に対する入力インターフェースである。ユーザーは、入力装置1137を介して、内視鏡手術システム1150に対して各種の情報の入力や指示入力を行うことができる。

【0134】

処置具制御装置1138は、組織の焼灼、切開又は血管の封止等のためのエネルギー処置具1112の駆動を制御する。

【0135】

内視鏡1100に術部を撮影する際の照射光を供給する光源装置1203は、例えばLED、レーザ光源又はこれらの組み合わせによって構成される白色光源から構成することができる。RGBレーザ光源の組み合わせにより白色光源が構成される場合には、各色（各波長）の出力強度及び出力タイミングを高精度に制御することができるため、光源装置1203において撮像画像のホワイトバランスの調整を行うことができる。また、この場合には、RGBレーザ光源それぞれからのレーザ光を時分割で観察対象に照射し、その照射タイミングに同期してカメラヘッド1102の撮像素子の駆動を制御することにより、RGBそれぞれに対応した画像を時分割で撮像することも可能である。当該方法によれば、当該撮像素子にカラーフィルタを設けなくても、カラー画像を得ることができる。

【0136】

また、光源装置1203は、出力する光の強度を所定の時間ごとに変更するようにその駆動が制御されてもよい。その光の強度の変更のタイミングに同期してカメラヘッド1102の撮像素子の駆動を制御して時分割で画像を取得し、その画像を合成することにより、いわゆる黒つぶれ及び白とびのない高ダイナミックレンジの画像を生成することができる。

【0137】

また、光源装置1203は、特殊光観察に対応した所定の波長帯域の光を供給可能に構成されてもよい。特殊光観察では、例えば、体組織における光の吸収の波長依存性を利用する。具体的には、通常の観察時における照射光（すなわち、白色光）に比べて狭帯域の光を照射することにより、粘膜表層の血管等の所定の組織を高コントラストで撮影する。あるいは、特殊光観察では、励起光を照射することにより発生する蛍光により画像を得る

10

20

30

40

50

蛍光観察が行われてもよい。蛍光観察では、体組織に励起光を照射し当該体組織からの蛍光を観察すること、又はインドシアニンググリーン（ICG）等の試薬を体組織に局注するとともに当該体組織にその試薬の蛍光波長に対応した励起光を照射し蛍光像を得ること等を行うことができる。光源装置1203は、このような特殊光観察に対応した狭帯域光及び/又は励起光を供給可能に構成され得る。

【0138】

（第13の実施形態）

本実施形態の光電変換システムについて、図28（A）、（B）を用いて説明する。図28（A）は、本実施形態の光電変換システムである眼鏡1600（スマートグラス）を説明する。眼鏡1600には、光電変換装置1602を有する。光電変換装置1602は、上記の各実施形態に記載の光電変換装置である。また、レンズ1601の裏面側には、OLEDやLED等の発光装置を含む表示装置が設けられていてもよい。光電変換装置1602は1つでもよいし、複数でもよい。また、複数種類の光電変換装置を組み合わせて用いてもよい。光電変換装置1602の配置位置は図28（A）に限定されない。

10

【0139】

眼鏡1600は、制御装置1603をさらに備える。制御装置1603は、光電変換装置1602と上記の表示装置に電力を供給する電源として機能する。また、制御装置1603は、光電変換装置1602と表示装置の動作を制御する。レンズ1601には、光電変換装置1602に光を集光するための光学系が形成されている。

【0140】

図28（B）は、1つの適用例に係る眼鏡1610（スマートグラス）を説明する。眼鏡1610は、制御装置1612を有しており、制御装置1612に、光電変換装置1602に相当する光電変換装置と、表示装置が搭載される。レンズ1611には、制御装置1612内の光電変換装置と、表示装置からの発光を投影するための光学系が形成されており、レンズ1611には画像が投影される。制御装置1612は、光電変換装置および表示装置に電力を供給する電源として機能するとともに、光電変換装置および表示装置の動作を制御する。制御装置は、装着者の視線を検知する視線検知部を有してもよい。視線の検知は赤外線を用いてよい。赤外発光部は、表示画像を注視しているユーザーの眼球に対して、赤外光を発する。発せられた赤外光の眼球からの反射光を、受光素子を有する撮像部が検出することで眼球の撮像画像が得られる。平面視における赤外発光部から表示部への光を低減する低減手段を有することで、画像品位の低下を低減する。

20

30

【0141】

赤外光の撮像により得られた眼球の撮像画像から表示画像に対するユーザーの視線を検出する。眼球の撮像画像を用いた視線検出には任意の公知の手法が適用できる。一例として、角膜での照射光の反射によるプルキニエ像に基づく視線検出方法を用いることができる。

【0142】

より具体的には、瞳孔角膜反射法に基づく視線検出処理が行われる。瞳孔角膜反射法を用いて、眼球の撮像画像に含まれる瞳孔の像とプルキニエ像とに基づいて、眼球の向き（回転角度）を表す視線ベクトルが算出されることにより、ユーザーの視線が検出される。

40

【0143】

本実施形態の表示装置は、受光素子を有する光電変換装置を有し、光電変換装置からのユーザーの視線情報に基づいて表示装置の表示画像を制御してよい。

【0144】

具体的には、表示装置は、視線情報に基づいて、ユーザーが注視する第1の視界領域と、第1の視界領域以外の第2の視界領域とを決定される。第1の視界領域、第2の視界領域は、表示装置の制御装置が決定してもよいし、外部の制御装置が決定したものを受信してもよい。表示装置の表示領域において、第1の視界領域の表示解像度を第2の視界領域の表示解像度よりも高く制御してよい。つまり、第2の視界領域の解像度を第1の視界領域よりも低くしてよい。

50

【 0 1 4 5 】

また、表示領域は、第 1 の表示領域、第 1 の表示領域とは異なる第 2 の表示領域とを有し、視線情報に基づいて、第 1 の表示領域および第 2 の表示領域から優先度が高い領域を決定されてよい。第 1 の視界領域、第 2 の視界領域は、表示装置の制御装置が決定してもよいし、外部の制御装置が決定したものを受信してもよい。優先度の高い領域の解像度を、優先度が高い領域以外の領域の解像度よりも高く制御してよい。つまり優先度が相対的に低い領域の解像度を低くしてよい。

【 0 1 4 6 】

なお、第 1 の視界領域や優先度が高い領域の決定には、A I を用いてもよい。A I は、眼球の画像と当該画像の眼球が実際に視ていた方向とを教師データとして、眼球の画像から視線の角度、視線の先の目的物までの距離を推定するよう構成されたモデルであってよい。A I プログラムは、表示装置が有しても、光電変換装置が有しても、外部装置が有してもよい。外部装置が有する場合は、通信を介して、表示装置に伝えられる。

10

【 0 1 4 7 】

視認検知に基づいて表示制御する場合、外部を撮像する光電変換装置を更に有するスマートグラスに好ましく適用できる。スマートグラスは、撮像した外部情報をリアルタイムで表示することができる。

【 0 1 4 8 】

[変形実施形態]

本発明は、上記実施形態に限らず種々の変形が可能である。

20

【 0 1 4 9 】

例えば、いずれかの実施形態の一部の構成を他の実施形態に追加した例や、他の実施形態の一部の構成と置換した例も、本発明の実施形態に含まれる。

【 0 1 5 0 】

また、上記第 9 の実施形態、第 1 0 の実施形態に示した光電変換システムは、光電変換装置を適用しうる光電変換システム例を示したものであって、本発明の光電変換装置を適用可能な光電変換システムは図 2 4 乃至図 2 5 に示した構成に限定されるものではない。第 1 1 の実施形態に示した T o F システム、第 1 2 の実施形態に示した内視鏡、第 1 3 の実施形態に示したスマートグラスについても同様である。

【 0 1 5 1 】

なお、上記実施形態は、いずれも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

30

【 0 1 5 2 】

なお、本開示は以下の構成を備える。

【 0 1 5 3 】

(構成 1)

第 1 半導体基板と、前記第 1 半導体基板に積層される第 2 半導体基板と、前記第 1 半導体基板に形成された素子を駆動する第 1 電源電圧が外部から入力される第 1 パッドと、前記第 2 半導体基板に形成された素子を駆動する第 2 電源電圧が外部から入力される第 2 パッドと、前記第 1 半導体基板に配置された第 1 保護回路と、前記第 2 半導体基板に配置された第 2 保護回路と、を有し、前記第 1 電源電圧は前記第 2 電源電圧よりも高く、前記第 1 保護回路は前記第 1 パッドに電氣的に接続され、前記第 2 保護回路は前記第 2 パッドに電氣的に接続されることを特徴とする、半導体デバイス。

40

【 0 1 5 4 】

(構成 2)

前記第 1 保護回路の回路面積は前記第 2 保護回路の回路面積よりも大きいことを特徴とする構成 1 に記載の半導体デバイス。

【 0 1 5 5 】

50

(構成 3)

前記第 1 保護回路に含まれるトランジスタのゲート酸化膜は、前記第 2 保護回路に含まれるトランジスタのゲート酸化膜よりも厚いことを特徴とする構成 1 又は構成 2 に記載の半導体デバイス。

【0156】

(構成 4)

前記第 1 保護回路と前記第 2 保護回路とは平面視において重ならないことを特徴とする構成 1 ~ 3 のいずれかに記載の半導体デバイス。

【0157】

(構成 5)

前記第 1 半導体基板と前記第 2 半導体基板との間に配された第 1 配線構造と、前記第 1 配線構造と前記第 2 半導体基板との間に配された第 2 配線構造と、前記第 1 配線構造に含まれる第 1 配線層と、前記第 2 配線構造に含まれる第 2 配線層と、を有することを特徴とする構成 1 ~ 4 のいずれかに記載の半導体デバイス。

【0158】

(構成 6)

前記第 1 パッド及び前記第 2 パッドは前記第 1 配線層と同一の層に配されることを特徴とする構成 5 に記載の半導体デバイス。

【0159】

(構成 7)

前記第 1 パッドは前記第 1 配線層と同一の層に配され、前記第 2 パッドは前記第 2 配線層と同一の層に配されることを特徴とする構成 5 に記載の半導体デバイス。

【0160】

(構成 8)

前記第 2 配線層の一部の上に第 2 開口部が形成されることを特徴とする構成 6 又は構成 7 のいずれか一項に記載の半導体デバイス。

【0161】

(構成 9)

前記第 1 配線構造は第 1 絶縁層を含み、前記第 2 配線構造は第 2 絶縁層を含み、前記第 1 配線構造と前記第 2 配線構造とは前記第 1 絶縁層と前記第 2 絶縁層とが互いに接触するように接合されることを特徴とする構成 5 ~ 8 のいずれかに記載の半導体デバイス。

【0162】

(構成 10)

前記第 1 配線層に含まれる第 1 配線は前記第 1 半導体基板に形成された素子と電気的に接続されることを特徴とする構成 5 ~ 9 のいずれかに記載の半導体デバイス。

【0163】

(構成 11)

前記第 2 配線層に含まれる第 2 配線は前記第 2 半導体基板に形成された素子と電気的に接続されることを特徴とする構成 5 ~ 10 のいずれかに記載の半導体デバイス。

【0164】

(構成 12)

前記第 1 保護回路は、前記第 1 パッドと基準電位配線の間で電気的に接続され、前記第 2 保護回路は、前記第 2 パッドと前記基準電位配線との間で電気的に接続されることを特徴とする構成 1 ~ 11 のいずれかに記載の半導体デバイス。

【0165】

(構成 13)

前記基準電位配線は接地配線であることを特徴とする構成 12 に記載の半導体デバイス。

【0166】

(構成 14)

10

20

30

40

50

前記基準電位配線は前記第 1 半導体基板と前記第 2 半導体基板のいずれか一方に形成されることを特徴とする構成 1 2 又は構成 1 3 に記載の半導体デバイス。

【 0 1 6 7 】

(構成 1 5)

前記第 1 半導体基板に形成された素子は光電変換素子を含むことを特徴とする構成 1 ~ 1 4 のいずれかに記載の半導体デバイス。

【 0 1 6 8 】

(構成 1 6)

前記第 1 半導体基板は、前記光電変換素子の電荷に基づく信号を読み出すための回路の少なくとも一部を有することを特徴とした構成 1 5 に記載の半導体デバイス。

10

【 0 1 6 9 】

(構成 1 7)

前記光電変換素子は前記第 1 電源電圧が入力されるアバランシェフォトダイオードであることを特徴とした構成 1 5 に記載の半導体デバイス。

【 0 1 7 0 】

(構成 1 8)

前記第 1 半導体基板の厚みは前記第 2 半導体基板の厚みよりも薄いことを特徴とする構成 1 ~ 1 7 のいずれかに記載の半導体デバイス。

【 0 1 7 1 】

(構成 1 9)

前記第 1 パッドが配された配線層から第 1 保護回路までの間に配された配線層の数は、前記第 2 パッドが配された配線から第 2 保護回路までの間に配された配線層の数以下であることを特徴とする構成 5 に記載の半導体デバイス。

20

【 0 1 7 2 】

(構成 2 0)

前記第 2 半導体基板に積層される第 3 半導体基板と、前記第 3 半導体基板に形成された素子を駆動する第 3 電源電圧が外部から入力される第 3 パッドと、前記第 3 パッドに電氣的に接続される第 3 保護回路と、を有し、前記第 1 電源電圧の絶対値は前記第 3 電源電圧の絶対値よりも大きいことを特徴とする、構成 1 に記載の半導体デバイス。

【 0 1 7 3 】

(構成 2 1)

前記第 1 半導体基板に積層された第 1 配線構造と、前記第 2 半導体基板に積層された第 2 配線構造と、前記第 3 半導体基板に積層された第 3 配線構造と、前記第 1 配線構造に含まれる第 1 配線層と、前記第 2 配線構造に含まれる第 2 配線層と、前記第 3 配線構造に含まれる第 3 配線層と、を有し、前記第 1 パッドは前記第 1 配線層と同一の層に配され、前記第 2 パッドは前記第 2 配線層と同一の層に配され、前記第 3 パッドは前記第 3 配線層と同一の層に配されることを特徴とする構成 2 0 に記載の半導体デバイス。

30

【 0 1 7 4 】

(構成 2 2)

前記第 1 半導体基板に積層された第 1 配線構造と、前記第 2 半導体基板に積層された第 2 配線構造と、前記第 3 半導体基板に積層された第 3 配線構造と、前記第 1 配線構造に含まれる第 1 配線層と、前記第 2 配線構造に含まれる第 2 配線層と、前記第 3 配線構造に含まれる第 3 配線層と、を有し、前記第 1 パッドは前記第 1 配線層と同一の層に配され、前記第 2 パッド及び前記第 3 パッドとは前記第 2 配線層と同一の層に配されることを特徴とする構成 2 0 に記載の半導体デバイス。

40

【 0 1 7 5 】

(構成 2 3)

構成 1 ~ 2 2 のいずれかに記載の半導体デバイスと、前記半導体デバイスが出力する信号を用いて画像を生成する信号処理部と、を有することを特徴とする光電変換システム。

【 0 1 7 6 】

50

(構成 2 4)

構成 1 ~ 2 2 のいずれかに記載の半導体デバイスを含む移動体であって、前記半導体デバイスが出力する信号を用いて前記移動体の移動を制御する制御部を有することを特徴とする移動体。

【符号の説明】

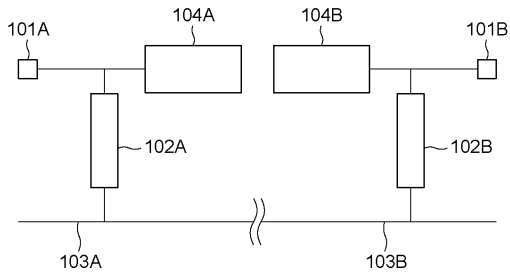
【 0 1 7 7 】

- 1 0 0 A 第 1 半導体基板
- 1 0 0 B 第 2 半導体基板
- 1 0 1 A 第 1 パッド
- 1 0 1 B 第 2 パッド
- 1 0 2 A 第 1 保護回路
- 1 0 2 B 第 2 保護回路

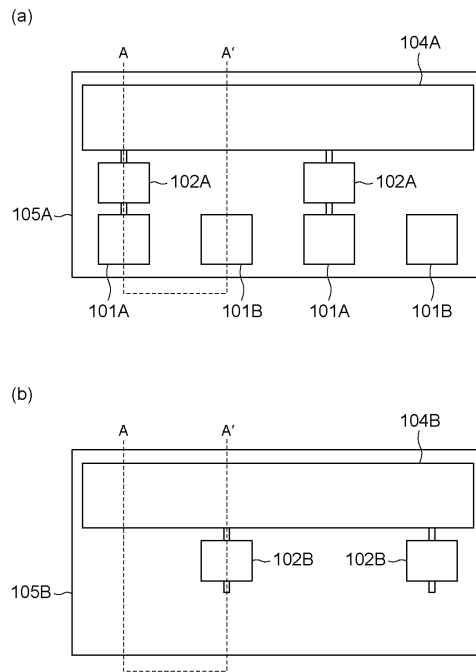
10

【 図 面 】

【 図 1 】



【 図 2 】



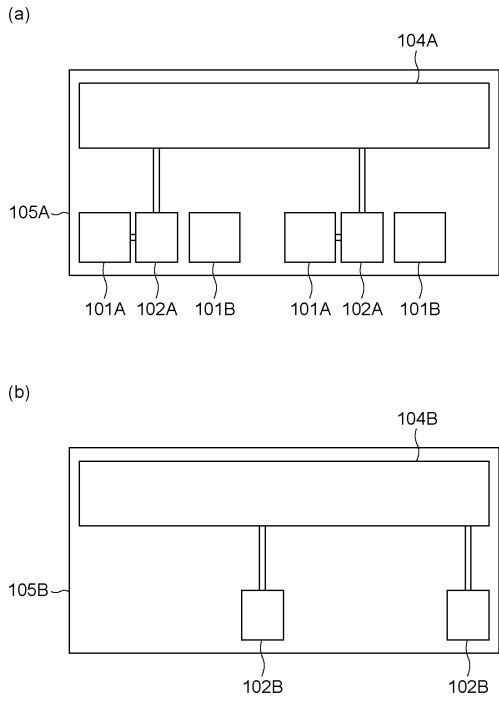
20

30

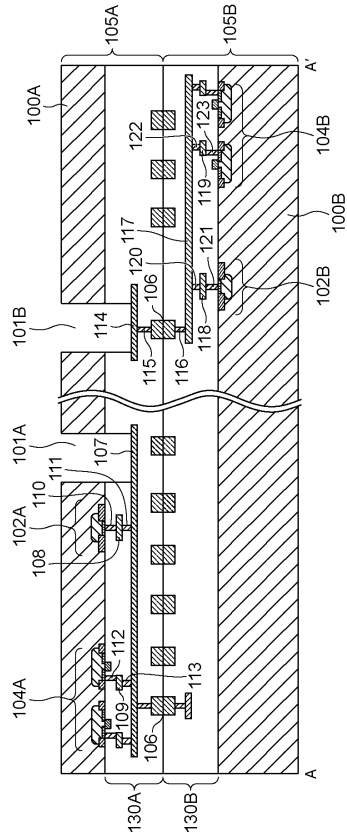
40

50

【 図 3 】



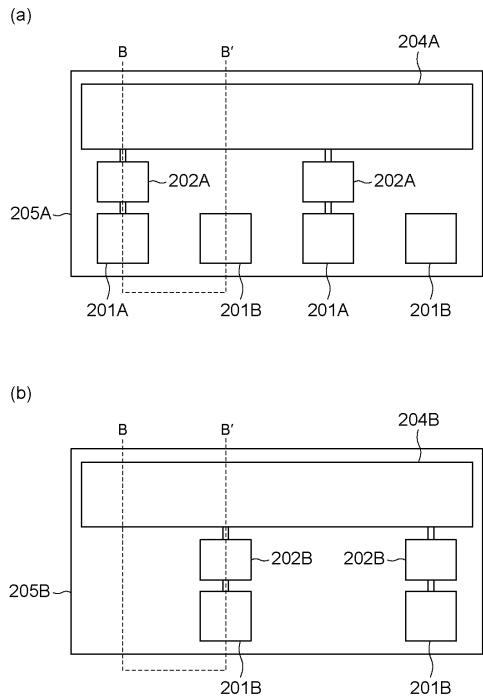
【 図 4 】



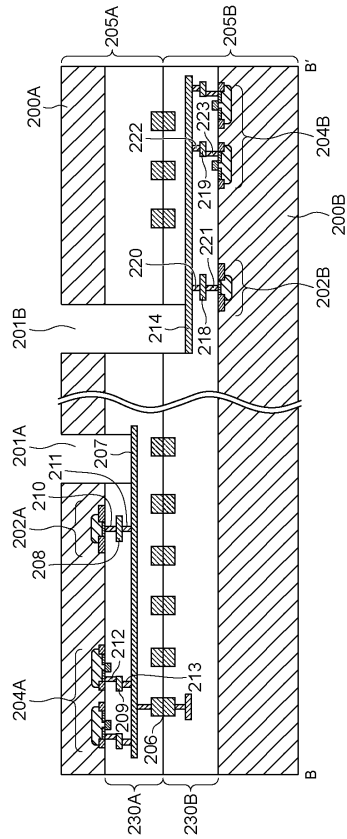
10

20

【 図 5 】



【 図 6 】

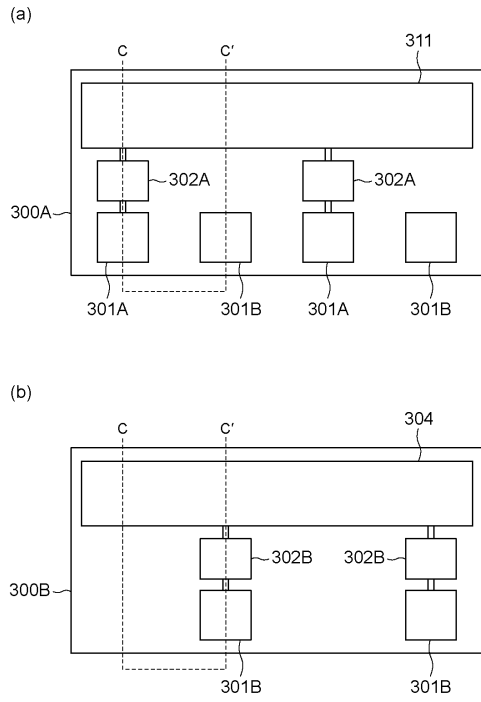


30

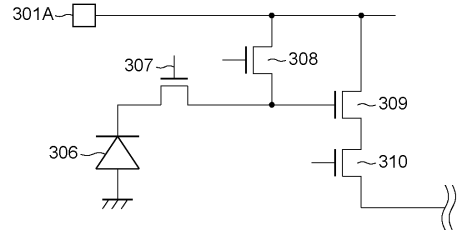
40

50

【 図 7 】



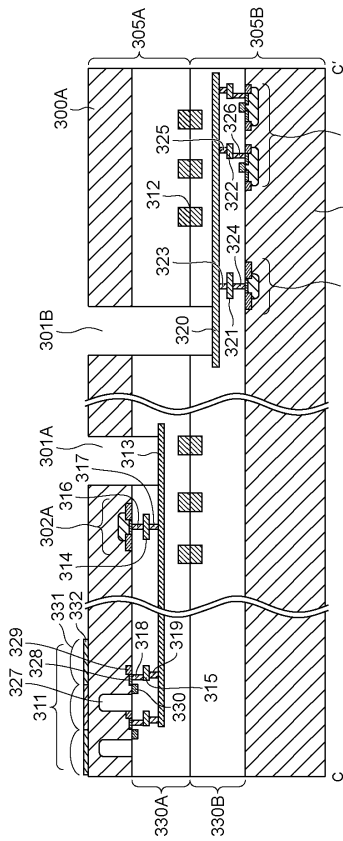
【 図 8 】



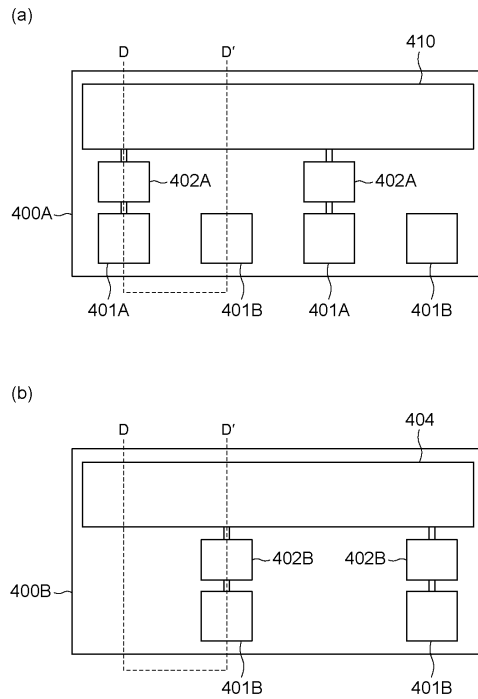
10

20

【 図 9 】



【 図 10 】

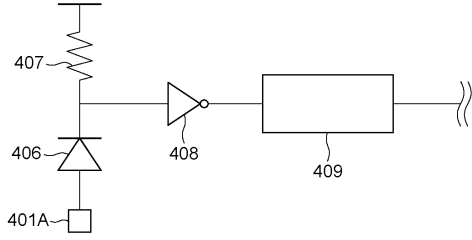


30

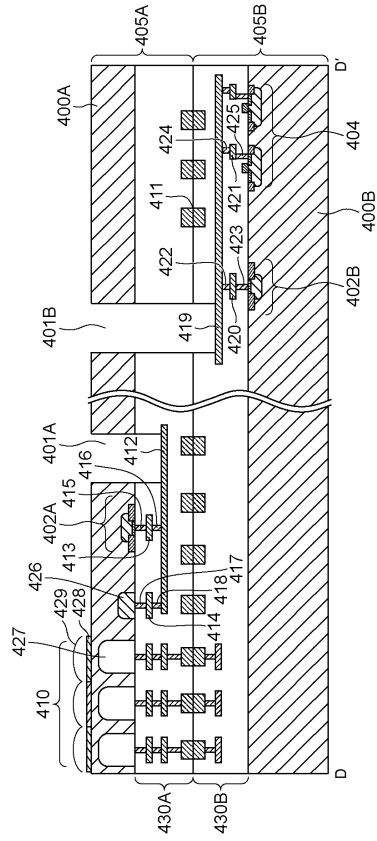
40

50

【 図 1 1 】



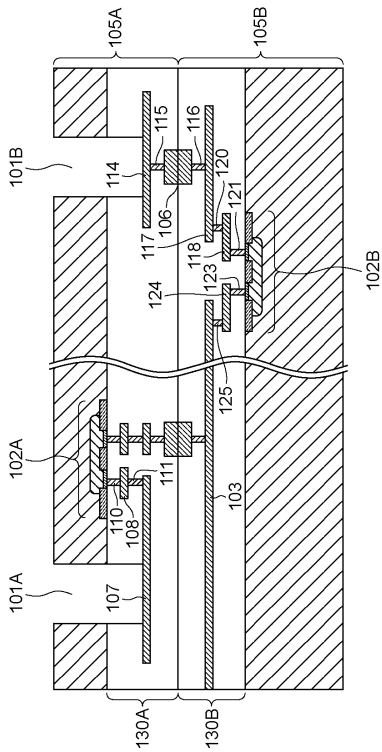
【 図 1 2 】



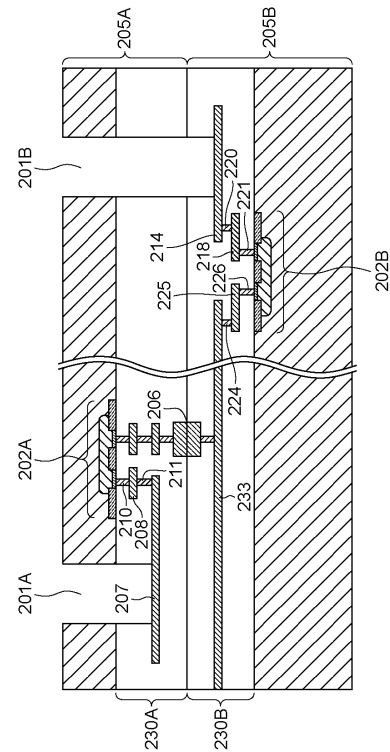
10

20

【 図 1 3 】



【 図 1 4 】

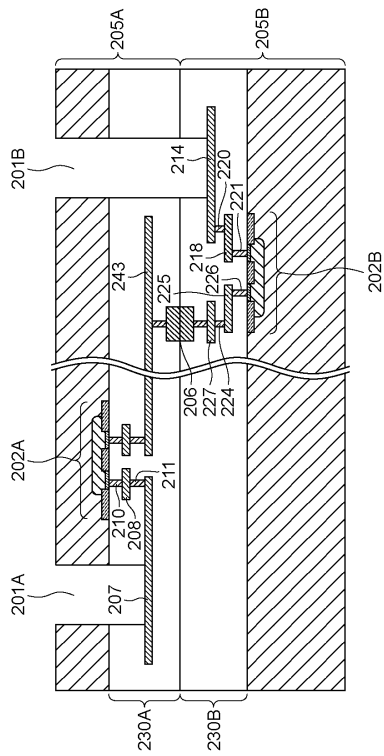


30

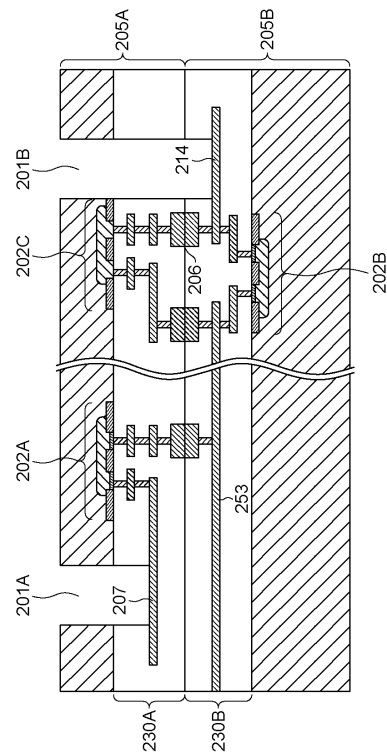
40

50

【 図 1 5 】



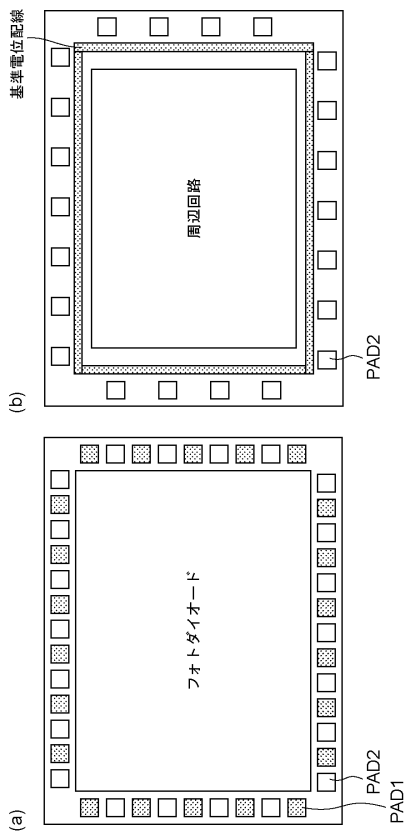
【 図 1 6 】



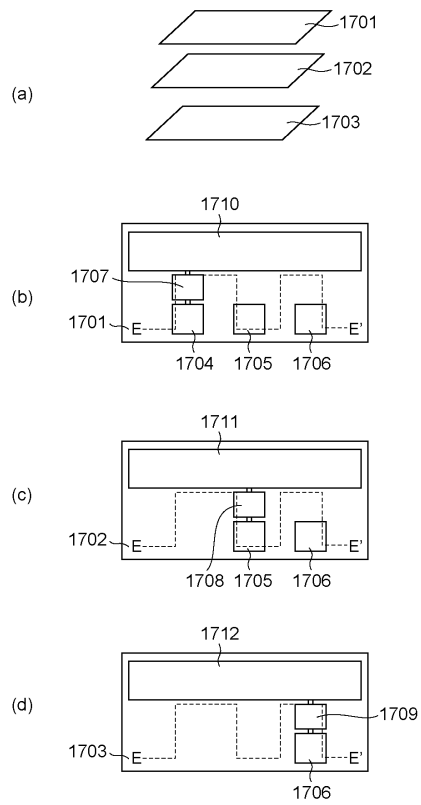
10

20

【 図 1 7 】



【 図 1 8 】

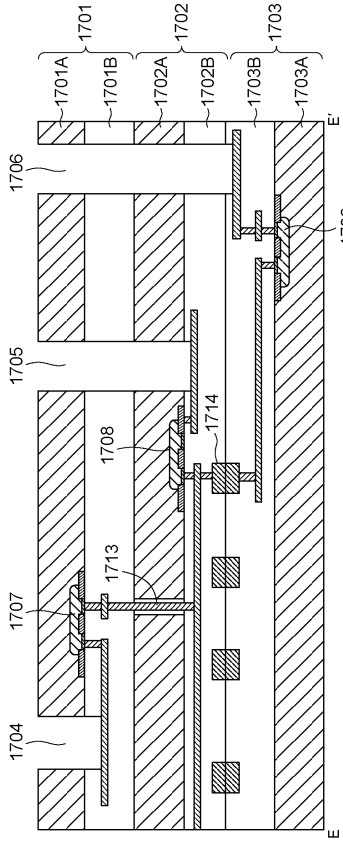


30

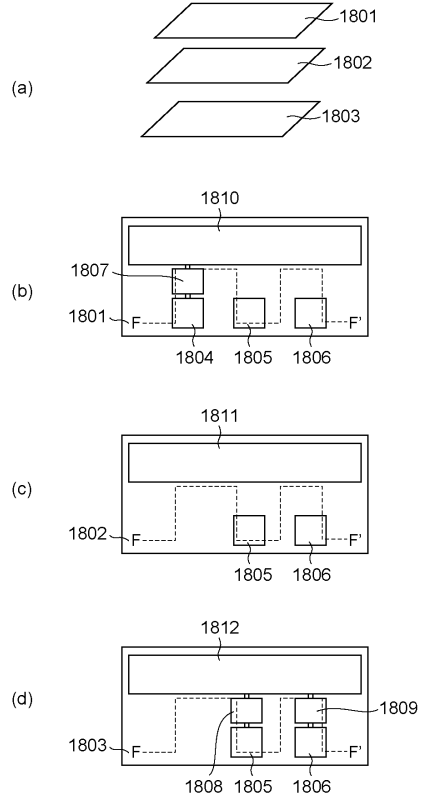
40

50

【 図 19 】



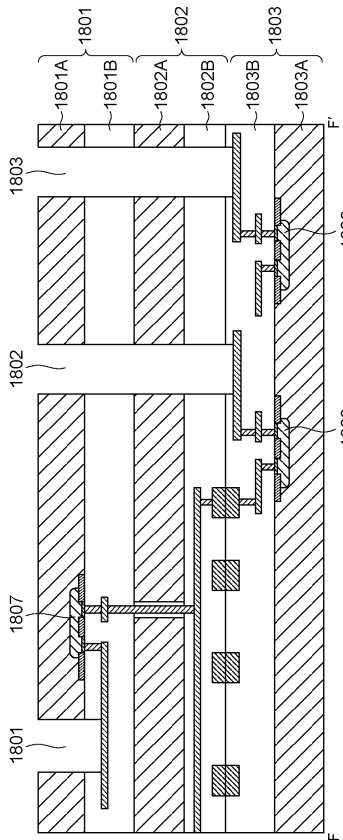
【 図 20 】



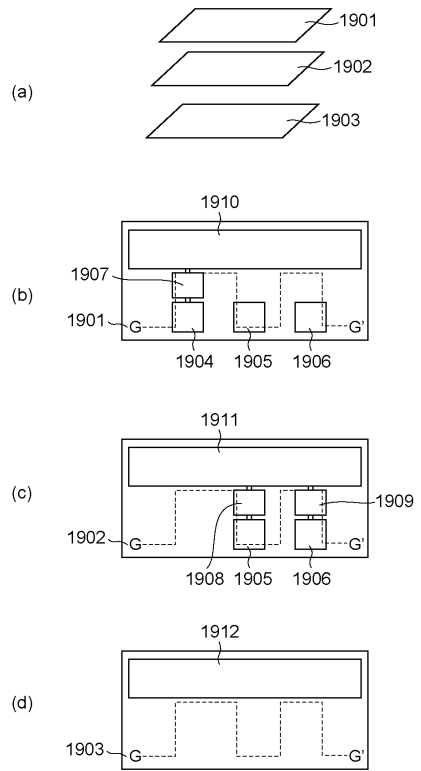
10

20

【 図 21 】



【 図 22 】

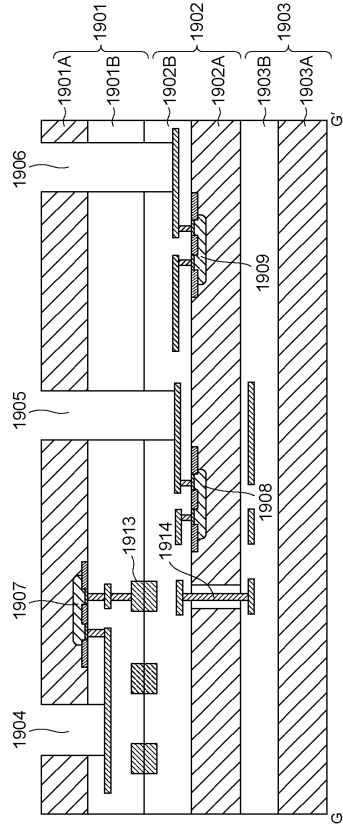


30

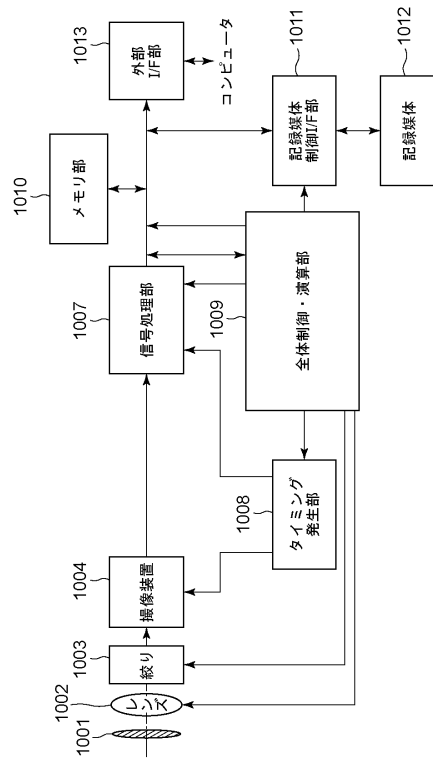
40

50

【 図 2 3 】



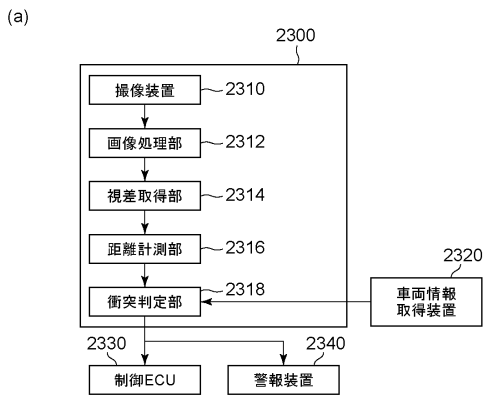
【 図 2 4 】



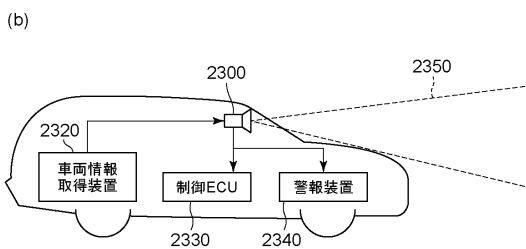
10

20

【 図 2 5 】

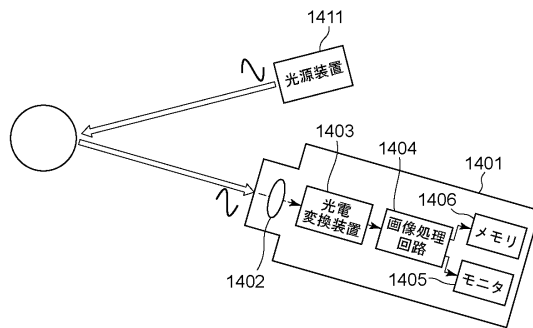


30



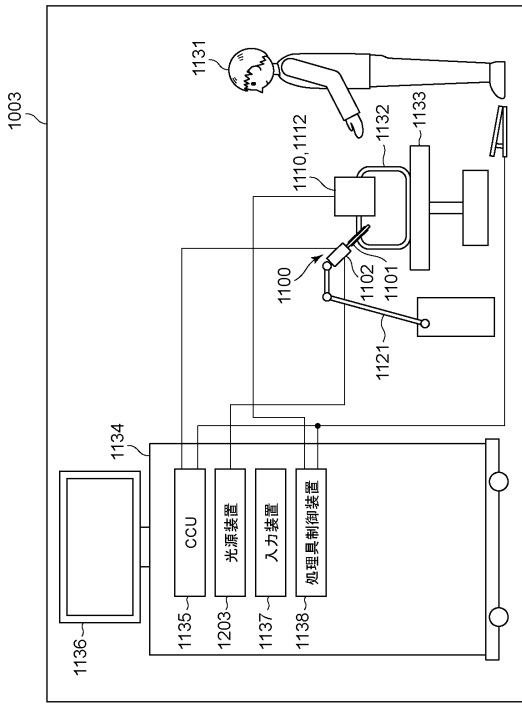
40

【 図 2 6 】

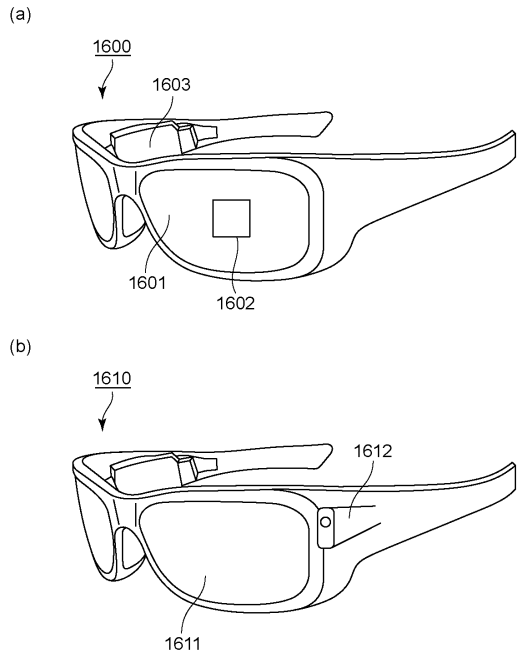


50

【 図 2 7 】



【 図 2 8 】



10

20

30

40

50

フロントページの続き

Fターム(参考) GD04 HA24 HA25 HA30
5F048 AB10 AC10 BA01 BF02 BF07 CB01 CB03 CB04 CC01 CC06
CC09 CC18