



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년01월07일
(11) 등록번호 10-2751446
(24) 등록일자 2025년01월03일

(51) 국제특허분류(Int. Cl.)
H01L 21/02 (2006.01) C23C 16/455 (2006.01)
H01J 37/32 (2006.01) H01L 21/28 (2025.01)
H01L 21/324 (2017.01) H01L 21/67 (2006.01)
(52) CPC특허분류
H01L 21/02274 (2013.01)
C23C 16/45525 (2013.01)
(21) 출원번호 10-2021-7014922
(22) 출원일자(국제) 2019년10월11일
심사청구일자 2022년10월06일
(85) 번역문제출일자 2021년05월17일
(65) 공개번호 10-2021-0063431
(43) 공개일자 2021년06월01일
(86) 국제출원번호 PCT/US2019/055920
(87) 국제공개번호 WO 2020/081397
국제공개일자 2020년04월23일
(30) 우선권주장
62/748,085 2018년10월19일 미국(US)
(56) 선행기술조사문헌
JP2016063232 A*
KR1020160061890 A*
WO2018132568 A1
KR1020160033057 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
램 리써치 코포레이션
미국 94538 캘리포니아주 프레몬트 쿠싱 파크웨이 4650
(72) 발명자
심스, 제임스 에스.
미국, 97223 오리건, 티가드, 사우스웨스트 미셸 코트 13537
탕, 세인
미국, 97068 오리건, 웨스트 린, 베닝턴 코트 19763
(뒷면에 계속)
(74) 대리인
특허법인인벤싱크

전체 청구항 수 : 총 17 항

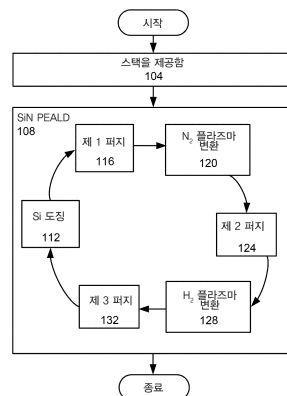
심사관 : 권철순

(54) 발명의 명칭 질화 실리콘 막들을 증착하는 방법

(57) 요약

스택 상에 질화 실리콘 층을 증착하기 위한 방법이 제공된다. 방법은 복수의 사이클들을 포함하는 원자 층 증착을 제공하는 단계를 포함하고, 사이클 각각은 실리콘 함유 전구체 가스를 제공함으로써 실리콘 함유 전구체로 스택을 도징하는 단계, N₂ 플라즈마 변환을 제공하는 단계, 및 H₂ 플라즈마 변환을 제공하는 단계를 포함한다.

대표도 - 도1



(52) CPC특허분류

C23C 16/45536 (2013.01)
H01J 37/32174 (2013.01)
H01L 21/02208 (2013.01)
H01L 21/0228 (2013.01)
H01L 21/28202 (2013.01)
H01L 21/324 (2013.01)
H01L 21/67017 (2013.01)
H01L 21/67098 (2013.01)

(72) 발명자

라이, 비크란트

미국, 97140 오리건, 셔우드, 사우스웨스트 사브리
나 애비뉴 13778

맥케로우, 앤드류

미국, 97034 오리건,레이크 오스웨고, 팰러세이즈
크레스트 드라이브 2640

치우, 후아탄

미국, 97229 오리건, 포틀랜드, 노스웨스트 킨즐리
테라스 3297

명세서

청구범위

청구항 1

복수의 사이클들을 포함하는 원자 층 증착을 제공하는 단계를 포함하는, 스택 상에 질화 실리콘 층을 증착하기 위한 방법에 있어서,

사이클 각각은,

실리콘 전구체 증착을 형성하는 할로겐화 실리콘 함유 전구체 가스를 제공함으로써 할로겐화 실리콘 함유 전구체로 스택을 도징하는 (dosing) 단계;

상기 실리콘 전구체 증착을 질화 실리콘 증착으로 변환하도록 상기 스택을 도징하는 단계 후 N₂ 플라즈마 변환을 제공하는 단계; 및

상기 질화 실리콘 증착의 수소화된 (hydrogenate) 표면을 형성하도록 상기 N₂ 플라즈마 변환을 제공하는 단계 후 H₂ 플라즈마 변환을 제공하는 단계로서, 상기 스택의 후속 사이클에서 상기 스택이 상기 할로겐화 실리콘 함유 전구체로 도징될 때, 실리콘 전구체가 상기 수소화된 표면 상에 증착되는, 상기 H₂ 플라즈마 변환을 제공하는 단계를 포함하는, 질화 실리콘 층 증착 방법.

청구항 2

제 1 항에 있어서,

상기 스택을 도징하는 동안, 상기 스택은 200 °C 내지 400 °C 범위의 온도로 유지되는, 질화 실리콘 층 증착 방법.

청구항 3

제 1 항에 있어서,

상기 스택을 도징하는 단계는 플라즈마리스 (plasmaless) 인, 질화 실리콘 층 증착 방법.

청구항 4

제 1 항에 있어서,

사이클 각각은 NH₃ 프리 (free) 인, 질화 실리콘 층 증착 방법.

청구항 5

제 1 항에 있어서,

상기 N₂ 플라즈마 변환을 제공하는 단계는,

수소 프리인 N₂ 가스를 흘리는 단계;

상기 N₂ 가스를 수소 프리 N₂ 플라즈마로 변환하는 단계;

상기 스택을 상기 N₂ 플라즈마에 노출하는 단계; 및

상기 N₂ 가스의 플로우를 중단하는 단계를 포함하는, 질화 실리콘 층 증착 방법.

청구항 6

제 5 항에 있어서,

상기 H₂ 플라즈마 변환을 제공하는 단계는,

H₂ 가스를 흘리는 단계;

상기 H₂ 가스를 H₂ 플라즈마로 변환하는 단계;

상기 스택을 상기 H₂ 플라즈마에 노출하는 단계; 및

상기 H₂ 가스의 플로우를 중단하는 단계를 포함하는, 질화 실리콘 층 증착 방법.

청구항 7

제 1 항에 있어서,

상기 실리콘 함유 전구체는 요오드화 실리콘인, 질화 실리콘 층 증착 방법.

청구항 8

제 1 항에 있어서,

상기 실리콘 함유 전구체는 염화 실리콘 또는 브롬화 실리콘인, 질화 실리콘 층 증착 방법.

청구항 9

제 1 항에 있어서,

상기 H₂ 플라즈마 변환을 제공한 후 그리고 상기 스택을 도징하기 전에, 상기 H₂ 플라즈마 변환에 의해 형성된 H₂ 플라즈마를 퍼지하는 단계를 더 포함하는, 질화 실리콘 층 증착 방법.

청구항 10

제 1 항에 있어서,

상기 스택을 도징한 후 그리고 상기 N₂ 플라즈마 변환을 제공하기 전에 상기 실리콘 함유 전구체 가스를 퍼지하는 단계를 더 포함하는, 질화 실리콘 층 증착 방법.

청구항 11

스택 상에 질화 실리콘 원자 층 증착을 증착하기 위한 장치에 있어서,

프로세스 챔버;

상기 프로세스 챔버 내의 기관 지지부;

상기 프로세스 챔버 내로 가스를 제공하기 위한 가스 유입구;

상기 가스를 상기 가스 유입구에 제공하기 위한 가스 소스로서,

실리콘 함유 전구체 소스;

N₂ 가스 소스; 및

H₂ 가스 소스를 포함하는, 상기 가스 소스;

상기 프로세스 챔버로부터 가스를 펌핑하기 위한 배기 펌프;

상기 프로세스 챔버 내에 RF 전력을 제공하기 위한 전극;

상기 전극에 전력을 제공하기 위한 적어도 하나의 전력 소스; 및

상기 가스 소스 및 상기 적어도 하나의 전력 소스에 제어 가능하게 연결된 제어기를 포함하고, 상기 제어기는,

적어도 하나의 프로세서; 및

컴퓨터 판독 가능 매체로서,

복수의 사이클들을 제공함으로써 스택 상에 질화 실리콘 층을 원자 층 증착에 의해 증착하기 위한 컴퓨터 코드를 포함하고, 상기 복수의 사이클들의 상기 사이클들 각각은,

실리콘 전구체 증착을 형성하는 상기 실리콘 함유 전구체 소스로부터 할로겐화 실리콘 함유 전구체 가스를 제공함으로써 할로겐화 실리콘 함유 전구체로 상기 스택을 도징하는 단계;

상기 실리콘 전구체 증착을 질화 실리콘 증착으로 변환하도록 상기 스택을 도징하는 단계 후 N_2 플라즈마 변환을 제공하는 단계; 및

상기 질화 실리콘 증착의 수소화된 표면을 형성하도록 상기 N_2 플라즈마 변환을 제공하는 단계 후 H_2 플라즈마 변환을 제공하는 단계로서, 상기 스택의 후속 사이클에서 상기 스택이 상기 할로겐화 실리콘 함유 전구체로 도징될 때, 실리콘 전구체가 상기 수소화된 표면 상에 증착되는, 상기 H_2 플라즈마 변환을 제공하는 단계를 포함하는, 상기 컴퓨터 판독 가능 매체를 포함하는, 질화 실리콘 원자 층 증착 장치.

청구항 12

제 11 항에 있어서,

상기 기관 지지부를 가열하기 위한 히터를 더 포함하는, 질화 실리콘 원자 층 증착 장치.

청구항 13

제 12 항에 있어서,

상기 컴퓨터 판독 가능 매체는 200 °C 내지 400 °C 범위의 온도로 상기 기관 지지부를 가열하기 위한 컴퓨터 코드를 더 포함하는, 질화 실리콘 원자 층 증착 장치.

청구항 14

제 11 항에 있어서,

상기 가스 소스는 NH_3 프리인, 질화 실리콘 원자 층 증착 장치.

청구항 15

제 11 항에 있어서,

상기 N_2 플라즈마 변환을 제공하는 단계는,

수소 프리인 N_2 가스를 흘리는 단계;

상기 N_2 가스를 수소 프리 N_2 플라즈마로 변환하는 단계;

상기 스택을 상기 N_2 플라즈마에 노출하는 단계; 및

상기 N_2 가스의 플로우를 중단하는 단계를 포함하는, 질화 실리콘 원자 층 증착 장치.

청구항 16

제 15 항에 있어서,

상기 H_2 플라즈마 변환을 제공하는 단계는,

H_2 가스를 흘리는 단계;

상기 H_2 가스를 H_2 플라즈마로 변환하는 단계;

상기 스택을 상기 H_2 플라즈마에 노출하는 단계; 및

상기 H₂ 가스의 플로우를 중단하는 단계를 포함하는, 질화 실리콘 원자 층 증착 장치.

청구항 17

제 11 항에 있어서,

상기 복수의 사이클들의 상기 사이클들 각각은,

상기 스택을 도징한 후 그리고 상기 N₂ 플라즈마 변환을 제공하기 전에 상기 실리콘 함유 전구체 가스를 퍼지하는 단계; 및

상기 H₂ 플라즈마 변환을 제공한 후 그리고 상기 스택을 도징하기 전에 상기 H₂ 플라즈마를 퍼지하는 단계를 포함하는, 질화 실리콘 원자 층 증착 장치.

청구항 18

삭제

청구항 19

삭제

발명의 설명

기술 분야

[0001] 관련 출원에 대한 교차 참조

[0002] 본 출원은 2018년 10월 19일에 출원된 미국 특허 출원 번호 제 62/748,085 호의 우선권의 이익을 주장하고, 이는 모든 목적들을 위해 참조로서 본 명세서에 인용된다.

배경 기술

[0003] 본 개시는 질화 실리콘 막들을 증착하는 방법들에 관한 것이다. 보다 구체적으로 본 개시는 원자 층 증착을 사용하여 질화 실리콘 막들을 증착하는 것에 관한 것이다.

발명의 내용

[0004] 본 개시의 목적에 따라 그리고 전술한 것을 달성하기 위해, 스택 상에 질화 실리콘 층을 증착하기 위한 방법이 제공된다. 방법은 복수의 사이클들을 포함하는 원자 층 증착을 제공하는 단계를 포함하고, 사이클 각각은 실리콘 함유 전구체 가스를 제공함으로써 실리콘 함유 전구체로 스택을 도징하는 (dosing) 단계, N₂ 플라즈마 변환을 제공하는 단계, 및 H₂ 플라즈마 변환을 제공하는 단계를 포함한다.

[0005] 또 다른 현상에서, 스택 상에 질화 실리콘 원자 층 증착을 증착하기 위한 장치가 제공된다. 프로세스 챔버가 제공된다. 기판 지지부가 프로세스 챔버 내에 있다. 가스 유입구가 프로세스 챔버 내로 가스를 제공한다. 가스 소스가 가스를 가스 유입구에 제공하고, 가스 소스는 실리콘 함유 전구체 소스, N₂ 가스 소스, 및 H₂ 가스 소스를 포함한다. 프로세스 챔버로부터 가스를 펌핑하기 위한 배기 펌프가 제공된다. 전극이 프로세스 챔버에 RF 전력을 제공한다. 적어도 하나의 전력 소스가 전극에 전력을 제공한다. 제어기가 가스 소스 및 적어도 하나의 전력 소스에 제어 가능하게 연결된다. 제어기는 적어도 하나의 프로세서 및 컴퓨터 판독 가능 매체를 포함한다. 컴퓨터 판독 가능 매체는 복수의 사이클들을 제공함으로써 스택 상에 질화 실리콘 층을 증착하기 위한 컴퓨터 코드를 포함하고, 복수의 사이클들의 사이클들 각각은 실리콘 함유 전구체 소스로부터 실리콘 함유 전구체 가스를 제공함으로써 실리콘 함유 전구체로 스택을 도징하는 단계, N₂ 플라즈마 변환을 제공하는 단계, 및 H₂ 플라즈마 변환을 제공하는 단계를 포함한다.

[0006] 본 개시의 이점 및 다른 특징들은 본 개시의 상세한 기술 (description) 및 이하의 도면들과 함께 본 개시의 발명을 실시하기 위한 구체적인 내용에 보다 상세히 기술될 것이다.

도면의 간단한 설명

- [0007] 본 개시는 유사한 참조 번호들이 유사한 엘리먼트들을 참조하는 첨부된 도면들의 도면들에, 제한이 아니라 예로서 예시된다.
 도 1은 일 실시 예의 고 레벨 플로우차트이다.
 도 2a 및 도 2b는 일 실시 예에 따라 프로세싱된 스택의 개략적 단면도들이다.
 도 3은 일 실시 예에서 사용될 수도 있는 프로세스 챔버의 개략도이다.
 도 4는 일 실시 예의 실시예에 사용될 수도 있는 컴퓨터 시스템의 개략도이다.

발명을 실시하기 위한 구체적인 내용

- [0008] 본 개시는 첨부된 도면들에 예시된 바와 같이 개시의 몇몇 예시적인 실시예들을 참조하여 이제 상세히 기술될 것이다. 이하의 기술에서, 본 개시의 완전한 이해를 제공하기 위해 수많은 구체적 상세들이 제시된다. 그러나, 본 개시가 이들 구체적인 상세들의 일부 또는 전부 없이 실시될 수도 있다는 것이 당업자들에게 명백할 것이다. 다른 예들에서, 공지된 프로세스 단계들 및/또는 구조체들은 본 개시를 불필요하게 모호하게 하지 않기 위해 상세히 기술되지 않았다.
- [0009] 150 °C 내지 450 °C에서 증착된 질화 실리콘 (SiN) 막들의 컨포멀한 (conformal) PEALD (Plasma-Enhanced Atomic Layer Deposition) 는 저 습식 에칭 레이트 (Wet Etch Rate; WER) 목표와 동시에 고 성장 레이트를 달성하는 문제에 직면한다. 할로겐화물 (halide)-기반 실리콘 전구체들이 이 온도 레짐 (regime) 에서 100 % 컨포멀성 (conformality) 을 달성할 수 있는 것으로 공지된 유일한 ALD (Atomic Layer Deposition) SiN 실리콘 전구체들이기 때문에, 동시 저 WER 및 고 성장 레이트 막들은 통상적으로 질화물 변환 플라즈마에 질소 (N₂) 및 암모니아 (NH₃) 의 일부 조합을 필요로 한다. N₂ 플라즈마는 저 WER을 초래하는 한편, NH₃ 플라즈마는 고 성장 레이트들 및 컨포멀성을 초래한다. 불행히도, NH₃의 사용은 원치 않은 부작용들을 발생시킨다. NH₃의 고 반응성은 NH₃가 잔류 할로겐화물-기반 실리콘 전구체들과 반응할 때 업스트림 입자 생성 및 금속들의 부식을 초래할 수 있다. 이들 반응들은 과도한 입자 생성 및 금속 챔버 컴포넌트들을 공격할 수 있는 휘발성 할로겐화물-기반 산 부산물들의 유리 (liberation) 를 초래한다. 변환 플라즈마로부터 NH₃를 제거하는 것은 저 성장 레이트들 (0.3 Å/사이클 미만) 을 발생시키고, 완전히 컨포멀한 막을 얻기 위해 긴 무선 주파수 (Radio Frequency; RF)-온 시간들 (8 초 (s) 초과) 을 필요로 한다. 이들 효과들 모두는 막을 상업적으로 매력적이지 않게 하는 매우 낮은 쓰루풋 (throughput; tpt) 을 초래한다.
- [0010] 현재의 저 WER, 고 성장 레이트 컨포멀 ALD SiN 프로세스들은 통상적으로 Si-X (X = 할로겐화물 또는 수소 원자들) 리간드들을 -Si-N- 결합들로 변환하도록 N₂ 플라즈마 및 NH₃ 플라즈마의 조합을 사용한다. NH₃와 연관된 문제들은 고 입자 생성 레이트 및 고 챔버 부식 레이트이다. 캡슐화 (encapsulation) 적용 예들을 위해, NH₃-플라즈마는 민감한 칼코겐화물 (chalcogenide) 재료들의 상단 상에 증착될 때 높은 원소 손실을 촉진하는 것으로 공지된다. 이에 더하여, NH₃ 플라즈마들은 일반적으로, 희석된 플루오르화수소산들 (dHF) 에서 고 WER들을 초래하는 다량의 -NH_x 모이어티들 (moieties) 의 혼입을 촉진한다.

[0011] 예

[0012] 이해를 용이하게 하기 위해, 도 1은 일 실시 예의 고 레벨 플로우차트이다. 스택이 제공된다 (단계 104). 도 2a는 일 실시 예의 스택 (200) 의 개략적인 단면도이다. 스택 (200) 은 기판 (204) 위에 형성된 구조체들 (208) 을 갖는 기판 (204) 을 포함할 수도 있다. 이 예에서, 스택 (200) 은 PRAM (Phase-change Random Access Memory) 을 형성한다.

[0013] SiN 층이 SiN ALD 프로세스에 의해 스택 (200) 위에 증착된다 (단계 108). 이 실시 예에서, SiN ALD 프로세스는 SiN PEALD 프로세스이다. SiN 층은 PRAM을 캡슐화하도록 사용된다. 이 실시 예에서, ALD 프로세스는 복수의 사이클들을 포함한다. 사이클 각각은 실리콘 함유 전구체 가스로 스택을 도징하는 (dosing) 단계를 갖는다 (단계 112). 이 예에서, 스택의 도징은 스택을 약 400 °C의 온도로 가열하는 것을 포함한다. 이 예에서, 실리콘 함유 전구체의 경우는 디요오드실란 (H₂SiI₂) 증기이다. 약 0.5 내지 1.5 초 동안, 도징이 완료되고 실리콘

함유 전구체 가스의 플로우가 중단된다. 이 실시 예에서, 스택의 도징 (단계 112) 은 플라즈마리스 (plasmaless) 또는 플라즈마 프리 (plasma free) 프로세스이다. 플라즈마 프리 도징이 자기-제한이라는 것을 보장함으로써 플라즈마를 사용하는 프로세스보다 보다 컴포멀하고 포화된 반-반응 (half-reaction) 을 가능하게 한다.

[0014] 도징 (단계 112) 이 완료되고 실리콘 함유 전구체 가스의 플로우가 중단된 후, 실리콘 함유 전구체 가스를 퍼지하기 위해 제 1 퍼지 (단계 116) 가 제공된다. 이 예에서, 제 1 퍼지 (단계 116) 는 제 1 퍼지 가스를 흘리는 것을 포함한다. 이 예에서, 제 1 퍼지 가스는 N_2 이다. 이 예에서, 제 1 퍼지는 플라즈마리스 또는 플라즈마 프리 프로세스이다. 프로세스는 실리콘 함유 플라즈마의 형성을 방지하도록 플라즈마 프리이다. 약 0.25 초 후, 제 1 퍼지 (단계 116) 가 중단된다.

[0015] 제 1 퍼지 (단계 116) 가 완료된 후 N_2 플라즈마 변환 (단계 120) 이 제공된다. 이 예에서, 제 1 퍼지 (단계 116) 동안 N_2 의 플로우를 계속되지만, N_2 플라즈마 변환은 플라즈마를 제공한다. 이 예에서, N_2 가스를 N_2 플라즈마로 변환하기 위해 충분한 RF 전력이 제공된다. 바이어스는 인가되지 않는다. 스택은 질화 실리콘 변환을 제공하기 위해 N_2 플라즈마에 노출된다. 수소-프리 변환을 사용함으로써, 막은 매우 적은 NH_x 결합들을 갖고, 이는 희석된 HF 산에서 저 WER을 발생시킨다. N_2 플라즈마 변환은 3 내지 5 초 동안 제공된다. N_2 플라즈마 변환 (단계 120) 이 완료된 후 N_2 의 플로우는 중단된다.

[0016] 이 예에서, N_2 플라즈마 변환 (단계 120) 이 완료되고 N_2 가스의 플로우가 중단된 후, 선택 가능한 제 2 퍼지 (단계 124) 가 제공될 수도 있다. 이 예에서, Ar의 제 2 퍼지 가스가 제공될 수도 있다. 이 예에서, RF 전력은 플라즈마를 유지하기 위해 계속된다.

[0017] 제 2 퍼지 (단계 124) 가 완료된 후 수소 (H_2) 플라즈마 변환 (단계 128) 이 제공된다. 이 예에서, H_2 가스가 흐른다. H_2 가스는 H_2 플라즈마로 변환된다. 이 실시 예에서, H_2 플라즈마 변환 (단계 128) 동안 제공된 RF 전력은 N_2 플라즈마 변환 (단계 120) 동안 제공된 RF 전력보다 높다. 바이어스는 인가되지 않는다. 스택은 표면을 수소화하고 인입하는 할로젠화물 분자에 보다 반응성이 되도록 H_2 플라즈마에 노출된다. H_2 플라즈마 변환은 1 내지 2 초 동안 제공된다. H_2 플라즈마 변환 (단계 128) 이 완료된 후 H_2 의 플로우는 중단된다.

[0018] 이 예에서, H_2 플라즈마 변환 (단계 128) 이 완료되고, H_2 가스의 플로우가 중단된 후, 제 3 퍼지 (단계 132) 가 제공된다. 이 예에서, N_2 의 제 3 퍼지 가스가 제공된다. 이 예에서, RF 전력은 플라즈마를 소화하기 위해 중단된다. 이 예에서, 제 3 퍼지는 약 0.25 내지 0.75 초 동안 제공된다. 제 3 퍼지가 완료된 후, 제 3 퍼지 가스의 플로우는 중단되고 사이클은 완료된다. 사이클은 다시 Si 도징 (단계 112) 으로 돌아가고, 프로세스는 복수의 사이클들 동안 수행된다.

[0019] 도 2b는 SiN 층 (212) 이 SiN ALD 프로세스 (단계 108) 를 통해 스택 상에 컴포멀하게 증착된 후의 스택 (200) 의 개략적인 단면도이다. PEALD 프로세스는 매우 컴포멀한 SiN 층 (212) 을 제공한다.

[0020] 발생하는 SiN 층 (212) 은 고 쓰루풋으로 형성될 수도 있다. 다양한 실시 예들은 프로세스로부터 NH_3 를 제거하고, 여전히 NH_3 플라즈마와 동일한 고 성장 레이트, N_2 플라즈마와 동일한 저 WER, 저 입자들, 및 업스트림 금속 부식이 없는 컴포멀한 ALD SiN 막을 갖는다. 이는 최초 N_2 플라즈마 단계 후에 H_2 플라즈마 단계를 삽입함으로써 수행된다. 이는 단순히 플라즈마 내 N_2 와 H_2 의 혼합물이 아니라, 전술한 고 성장 레이트들 및 저 WER들로 매우 높은 쓰루풋들이 획득될 수 있는 방식으로 수행된, 고유의 최적화된 플로우, 압력, 및 전력을 갖는 별개의 H_2 플라즈마 단계라는 것을 주의한다. 짧고, 희석된 H_2 플라즈마는 PRAM 칼코젠화물 재료들에 대해 보다 덜 반응성일 수도 있고, 고-쓰루풋 N_2/H_2 ALD SiN 프로세스로 N_2 -만 ALD SiN의 보호 층의 상단 상에 증착되는, 이중층 (bi-layer) 캡슐화 층들의 발생을 허용할 수도 있다고 예상된다. 이 하이브리드 스택은 동등한 두께의 N_2 -만 막보다 훨씬 보다 높은 쓰루풋 및 보다 우수한 산화 내성을 가질 것이다.

[0021] 다양한 실시 예들은 최초의 N_2 플라즈마 변환 단계 후 제 2 H_2 플라즈마 변환 단계를 삽입함으로써, 저 WER (200:1 희석된 플루오르화수소산 (dHF) 에서 4 옴스트롬/분 ($\text{\AA}/\text{min}$) 미만) 및 고 성장 레이트 ($0.7 \text{\AA}/\text{사이클}$

초과) 요건들을 충족하는 NH₃-프리 프로세스를 제공한다. H₂는 할로겐화물 전구체들과 NH₃만큼 열적으로 반응하지 않는 이점을 갖는다. 이는 GDP (Gas Distribution Plenum) 내에 업스트림 입자 생성이 없음을 의미한다. 이에 더하여, 금속 부식을 초래하는 요오드화 수소 (HI) 및 염화 수소 (HCl) 휘발성 부산물들의 업스트림 유리가 없다. H₂ 플라즈마 변환은 고 습식 에칭 레이트들을 초래하는 과도한 -NH_x 결합들을 포함하지 않고 실리콘 전구체 흡착의 다음 사이클을 촉진하기 위해 성장하는 SiN 막 표면에 충분한 반응성 리간드들을 첨가한다.

[0022] 이 실시 예가 NH₃보다 훨씬 보다 덜 반응성인 질소 소스를 사용하여 여전히 고 컨포멀성 및 고 성장 레이트들을 달성할 수 있다는 것은 이 ALD SiN 증착 프로세스에 대해 예상치 못하였다. 이에 더하여, 막 내 (in-film) 입자 첨가기는 2 내지 3 자릿수만큼 감소되었다. 다양한 실시 예들이 등급 최고의 막 특성들 및 생산성을 발생시키는 순차적인 N₂ 및 H₂ 플라즈마 단계들의 최적화를 가능하게 한다. NH₃의 제거는 또한 보다 덜 공격적인 금속들의 환원 전략들이 채용될 수 있고, 잔류 실리콘 전구체로부터 NH₃를 분리하기 위한 값비싼 듀얼-플레넘 (dual-plenum) 설계들에 대한 필요성이 제거되기 때문에, 톨 비용들의 큰 비용 감소를 초래할 수 있다.

[0023] 일부 실시 예들에서, 제 2 퍼지 (단계 124) 가 제거될 수도 있다. 이러한 실시 예에서, N₂ 가스가 먼저 흐른다. H₂ 가스는 N₂ 가스의 플로우의 시작 후, 그리고 H₂ 가스 및 N₂ 가스가 일부 시간 동안 함께 흐르도록 N₂ 가스가 계속해서 흐르는 동안 흐른다. 또 다른 실시 예에서, N₂ 가스의 플로우는 H₂의 플로우가 시작되기 전에 중단된다. 그러나, 제 2 퍼지 (단계 124) 없이, 남아 있는 N₂ 가스와 H₂ 가스의 일부 혼합이 있다. 제 2 퍼지 (단계 124) 의 제거는 프로세싱 시간을 감소시키고 쓰루풋을 상승시킨다.

[0024] 다양한 실시 예들에서, 실리콘 함유 전구체는 할로겐화 실리콘 중 적어도 하나이다. 다양한 실시 예들에서, 요오드화 실리콘들, 예컨대 디요오드실란 (H₂SiI₂), 트리오오드실란 (HSiI₃), 요오드실란 (H₃SiI), 또는 테트라요오드실란 (SiI₄) 이 바람직한 실리콘 함유 전구체를 제공할 것이다. 다른 실시 예들에서, 할로겐화 실리콘은 염화 실리콘들 또는 브롬화 실리콘들일 수도 있다. 바람직하게, 적어도 하나의 실리콘 원자에 부착된 적어도 하나의 할로겐을 갖는 할로겐화 실리콘에 더하여, 할로겐화 실리콘은 또한 적어도 하나의 실리콘 원자에 부착된 하나 이상의 수소 원자들을 가질 수도 있다. 다른 실시 예들에서, 할로겐화 실리콘은 적어도 하나의 실리콘 원자에 부착된 적어도 하나의 할로겐 및 적어도 하나의 실리콘 원자에 부착된 또 다른 원소의 원자 중 적어도 하나를 가질 수도 있다. 이들 다른 실리콘 함유 전구체들은 이탈기 (leaving groups), 교차-결합 촉진제들 또는 도펀트들로서 작용할 수 있는 아미노-기반, 아미노-기반 또는 알킬-기반 서브기 (subgroups) 일 수 있다. 다양한 실시 예들에서, 기판은 도징 (단계 112) 동안 적어도 150 °C의 온도로 가열된다. 보다 구체적으로, 기판은 200 °C 내지 400 °C의 온도로 가열된다. 가열은 실리콘 함유 전구체로 하여금 포화된 컨포멀한 단층을 형성하게 하도록 실리콘 함유 전구체에 활성화 에너지를 제공한다.

[0025] 도 3은 일 실시 예에서 사용될 수도 있는 프로세스 챔버의 개략도이다. 하나 이상의 실시 예들에서, 프로세스 챔버 (300) 가 챔버 벽 (352) 에 의해 인클로징된 챔버 (349) 내에, 가스 유입구를 제공하는 가스 분배 플레이트 (306) 및 기판 지지부 (308) 를 포함한다. 챔버 (349) 내에서, 기판 (200) 이 기판 지지부 (308) 위에 위치된다. 예지 링 (309) 이 기판 지지부 (308) 를 둘러싼다. 가스 소스 (310) 가 가스 분배 플레이트 (306) 를 통해 챔버 (349) 에 연결된다. 이 예에서, 가스 소스 (310) 는 실리콘 함유 전구체 소스 (311), N₂ 가스 소스 (312), 및 H₂ 가스 소스 (316) 를 포함한다. 지지부 온도 제어기 (350) 가 기판 지지부 (308) 를 가열하기 위해 히터 (351) 에 연결된다. 무선 주파수 (RF) 소스 (330) 가 상부 전극에 RF 전력을 제공한다. 이 실시 예에서, 상부 전극은 가스 분배 플레이트 (306) 이다. 일 예시적인 실시 예에서, 400 kHz (kilohertz), 13.56 MHz (megahertz), 및 선택 가능하게 2 MHz, 27 MHz 전력 소스들이 RF 소스 (330) 를 구성한다. 이 실시 예에서, 기판 지지부 (308) 는 접지된다. 이 실시 예에서, 일 생성기가 주파수 각각에 대해 제공된다. 다른 실시 예들에서, 생성기들은 개별적인 RF 소스들 내에 있을 수도 있고, 또는 개별적인 RF 생성기들이 상이한 전극들에 연결될 수도 있다. 예를 들어, 상부 전극은 상이한 RF 소스들에 연결된 내측 전극 및 외측 전극을 가질 수도 있다. RF 소스들 및 전극들의 다른 구성들이 다른 실시 예들에서 사용될 수도 있다. 제어기 (335) 가 RF 소스 (330), 배기 펌프 (320), 및 가스 소스 (310) 에 제어 가능하게 연결된다. 이러한 챔버의 일 예는 CA, Fremont 소재의 Lam Research Corporation에 의해 제작된 Striker™ 시스템이다.

[0026] 도 4는 실시 예들에 사용된 제어기 (335) 를 구현하기에 적합한 컴퓨터 시스템 (400) 을 도시하는 고 레벨 블록도이다. 컴퓨터 시스템은 집적 회로, 인쇄 회로 기판, 및 소형 휴대용 디바이스로부터 대형 슈퍼컴퓨터까지 범

위의 많은 물리적 형태들을 가질 수도 있다. 컴퓨터 시스템 (400) 은 하나 이상의 프로세서들 (402) 을 포함하고, (그래픽, 텍스트, 및 다른 데이터를 디스플레이하기 위한) 전자 디스플레이 디바이스 (404), 메인 메모리 (406) (예를 들어, RAM (Random Access Memory)), 저장 디바이스 (408) (예를 들어, 하드 디스크 드라이브), 이동식 저장 디바이스 (410) (예를 들어, 광학 디스크 드라이브), 사용자 인터페이스 디바이스들 (412) (예를 들어, 키보드들, 터치 스크린들, 키패드들, 마우스들 또는 다른 포인팅 디바이스들, 등), 및 통신 인터페이스 (414) (예를 들어, 무선 네트워크 인터페이스) 를 더 포함할 수 있다. 통신 인터페이스 (414) 는 소프트웨어 및 데이터로 하여금 링크를 통해 컴퓨터 시스템 (400) 과 외부 디바이스들 사이에서 이송되게 한다. 시스템은 또한 전술한 디바이스들/모듈들에 연결된 통신 인프라스트럭처 (416) (예를 들어, 통신 버스, 크로스-오버 바, 또는 네트워크) 를 포함할 수도 있다.

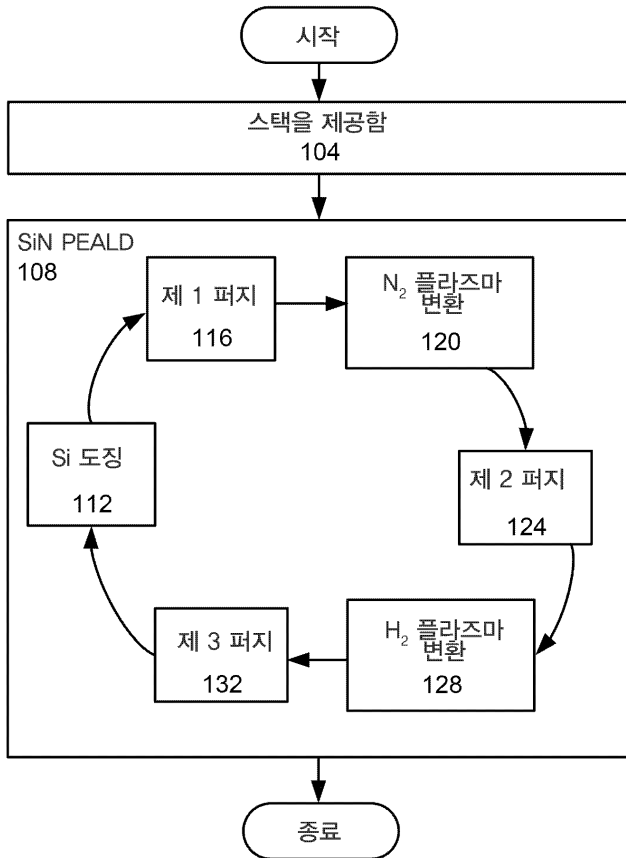
[0027] 통신 인터페이스 (414) 를 통해 전달된 정보는 신호들을 반송하고, 전선 또는 케이블, 광섬유, 전화선, 휴대전화 링크, 무선 주파수 링크, 및/또는 다른 통신 채널들을 사용하여 구현될 수도 있는 통신 링크를 통해, 통신 인터페이스 (414) 에 의해 수신될 수 있는 전자, 전자기, 광학, 또는 다른 신호들과 같은 신호들의 형태일 수도 있다. 이러한 통신 인터페이스를 사용하여, 하나 이상의 프로세서들 (402) 이 상기 기술된 방법 단계들을 수행하는 동안 네트워크로부터 정보를 수신할 수도 있고, 또는 네트워크에 정보를 출력할 수도 있다는 것이 고려된다. 또한, 방법 실시 예들은 프로세서들 상에서만 실행될 수도 있거나, 프로세싱의 일부를 공유하는 원격 프로세서들과 함께 인터넷과 같은 네트워크를 통해 실행될 수도 있다.

[0028] 용어 "비일시적 컴퓨터 판독가능 매체"는 일반적으로 메인 메모리, 보조 메모리, 이동식 저장장치, 및 저장 디바이스들, 예컨대 하드 디스크들, 플래시 메모리, 디스크 드라이브 메모리, CD-ROM 및 다른 형태들의 영구 메모리와 같은 매체를 지칭하도록 사용되고, 반송파들 또는 신호들과 같은 일시적 주체를 커버하는 것으로 해석되지 않는다. 컴퓨터 코드의 예들은 예컨대 컴파일러에 의해 생성된 머신 코드, 및 인터프리터 (interpreter) 를 사용하여 컴퓨터에 의해 실행되는 보다 고-레벨 코드를 포함하는 파일들을 포함한다. 컴퓨터 판독가능 매체는 또한 반송파에 구현된 컴퓨터 데이터 신호에 의해 송신되고, 프로세서에 의해 실행 가능한 인스트럭션들의 시퀀스를 나타내는 컴퓨터 코드일 수도 있다.

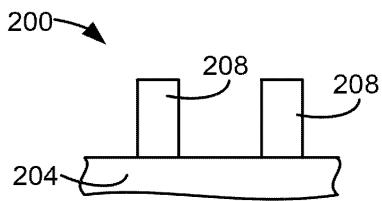
[0029] 본 개시가 몇몇의 바람직한 실시 예들의 측면에서 기술되었지만, 본 개시의 범위 내에 속하는 변경들, 수정들, 치환들, 및 다양한 대체 등가물들이 있다. 또한 본 개시의 방법들 및 장치들을 구현하는 많은 대안적인 방식들이 있다는 것에 유의해야 한다. 따라서 이하의 첨부된 청구항들은 본 개시의 진정한 정신 및 범위 내에 속하는 이러한 변경들, 수정들, 치환들, 및 다양한 대체 등가물들을 모두 포함하는 것으로 해석되는 것이 의도된다.

도면

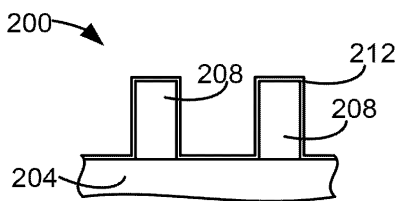
도면1



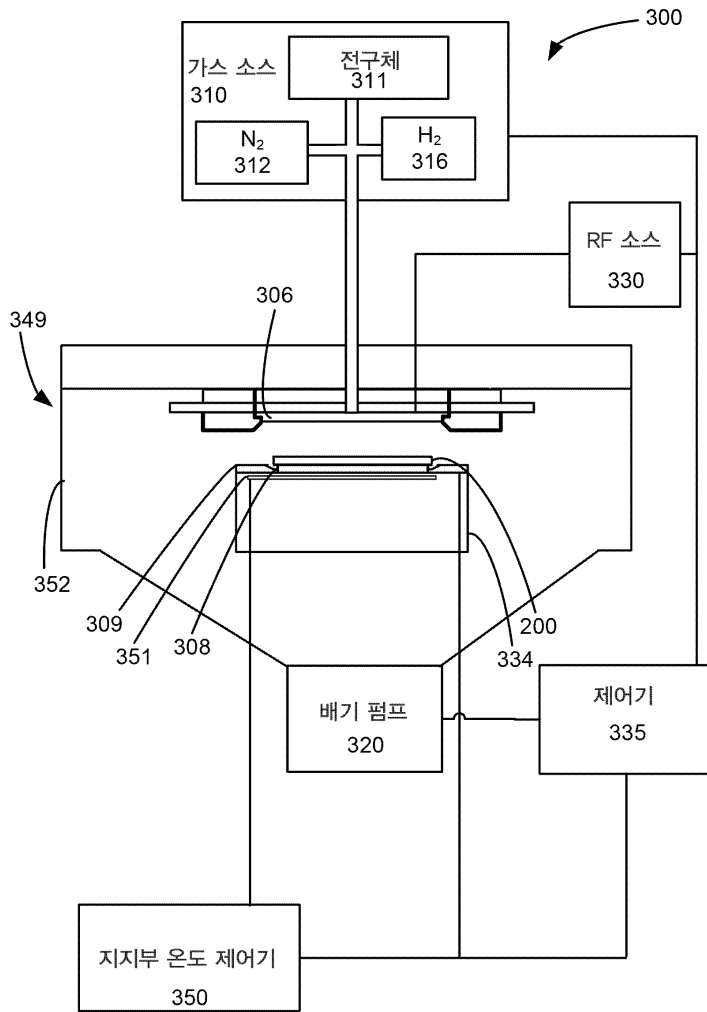
도면2a



도면2b



도면3



도면4

