

(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) Int. Cl.⁶
G11C 8/00

(45) 공고일자 2001년04월16일

(11) 등록번호 10-0287188

(24) 등록일자 2001년01월20일

(21) 출원번호	10-1999-0011826	(65) 공개번호	특2000-0065489
(22) 출원일자	1999년04월06일	(43) 공개일자	2000년11월15일

(73) 특허권자 삼성전자주식회사 윤종용
경기 수원시 팔달구 매탄3동 416
(72) 발명자 김건태
경기도용인시기흥읍농서리산7-1번지월계수동331호
이정배
경기도군포시산본동주몽주공아파트1006동1205호
(74) 대리인 이영필, 권석흠, 정상빈

심사관 : 곽준영

(54) 데이터 처리속도 및 데이터 입출력핀의 효율을 향상시킬 수 있는 반도체 메모리장치 및 이의 독출 기입 제어방법

요약

데이터 처리속도 및 데이터 입출력핀(DQ)의 효율을 향상시킬 수 있는 반도체 메모리장치 및 이의 독출기입 제어방법이 개시된다. 데이터 FIFO는, 기입명령이 입력되어 기입동작이 수행되는 중에 독출명령이 입력되는 경우, 상기 독출명령이 입력되는 때부터 입력되는 기입데이터를 순차적으로 저장하고 독출동작이 완료된 후에 상기 기입동작을 계속하기 위해 상기 저장된 기입데이터를 순차적으로 메모리셀 어레이로 출력한다. 어드레스 FIFO는, 기입명령이 입력되어 기입동작이 수행되는 중에 독출명령이 입력되는 경우, 상기 기입 데이터에 대응되는 어드레스를 순차적으로 저장하고 독출동작이 완료된 후에 기입동작을 계속하기 위해 상기 저장된 어드레스를 순차적으로 상기 메모리셀 어레이로 출력한다. 제어신호 발생기는 상기 기입명령 및 상기 독출명령을 입력으로 하여 상기 데이터 FIFO 및 상기 어드레스 FIFO를 제어하기 위한 복수개의 제어신호들을 발생한다. 상기 독출동작중의 어드레스가 상기 어드레스 FIFO에 저장되어 있는 어드레스와 일치할 경우, 즉 어드레스 히트 때에는 상기 메모리셀 어레이의 데이터가 출력되지 않고 상기 데이터 FIFO에 저장되어 있는 기입데이터가 출력된다. 상기 데이터 FIFO에 저장되는 기입데이터의 수와 상기 어드레스 FIFO에 저장되는 어드레스의 수는 상기 반도체 메모리장치의 CAS(Column Address Strobe) 레이턴시에 따라 가변적이다.

대표도

도2

명세서

도면의 간단한 설명

- 도 1은 SDR SDRAM과 DDR SDRAM에서의 데이터 처리속도와 DQ의 효율을 비교하기 위한 타이밍도
- 도 2는 본 발명에 따른 DDR SDRAM의 블록도
- 도 3은 도 2에 도시된 제어신호 발생기의 상세 회로도
- 도 4는 도 2에 도시된 어드레스 FIFO 및 관련회로들의 상세 회로도
- 도 5는 도 2에 도시된 데이터 FIFO의 상세 회로도
- 도 6a 내지 도 6d는 도 2에 도시된 본 발명에 따른 DDR SDRAM의 동작 타이밍도

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 메모리장치에 관한 것으로, 특히 이중 데이터율(Double Data Rate) 동기식 디램(이하 DDR SDRAM이라 함) 및 이의 독출기입 제어방법에 관한 것이다.

단일 데이터율(Single Data Rate) 동기식 디램(이하 SDR SDRAM이라 함)에서는 데이터 입출력핀(이하 DQ라

함)을 통한 데이터의 입출력이 클럭의 상승에지에서 처리되고, DDR SDRAM에서는 DQ를 통한 데이터의 입출력이 클럭의 상승에지 및 하강에지에서 처리된다. 일반적으로 한 클럭에 처리되는 데이터의 양을 프리페치 (Prefetch) 단위라고 하며, SDR SDRAM의 프리페치 단위는 1이고 DDR SDRAM의 프리페치 단위는 2이다. 도 1에 SDR SDRAM과 DDR SDRAM에서의 데이터 처리속도와 DQ의 효율을 비교하기 위한 타이밍도가 도시되어 있다. 여기에서는 CAS 레이턴시 (Latency)(CL)가 2.5이고 버스트(Burst) 길이(BL)가 4인 경우가 도시되어 있다.

산술적인 측면에서 고려하면, DDR SDRAM이 SDR SDRAM에 비하여 1클럭에 두배의 데이터를 처리하므로 그 처리속도가 SDR SDRAM의 처리속도의 두배가 되어야 하지만 실제로는 그렇지 못하다. 즉 도 1에 도시된 바와 같이 DDR SDRAM에서는 기입명령(WT) 이후에 독출명령(RD)이 입력될 경우에 기입데이터(D0 내지 D3)가 완전히 기입된 후, 즉 기입회복 시간(Write Recovery Time)(tCDLR)이 지난 후에 독출명령(RD)이 입력되어야 하며 또한 독출명령(RD)이 입력된 후에는 CAS 레이턴시 만큼의 클럭이 지난 다음에 독출데이터(Q0 내지 Q3)가 출력되므로 DDR SDRAM의 처리속도는 SDR SDRAM의 처리속도의 두배가 되지 않는다. 이에 따라 DQ의 효율에 있어서도 DDR SDRAM이 SDR SDRAM에 비하여 떨어지게 된다. 도 1을 참조하면, SDR SDRAM에서의 DQ의 효율은 67%이고 DDR SDRAM에서의 DQ의 효율은 44%이다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명이 이루고자 하는 기술적 과제는 데이터 처리속도 및 DQ의 효율을 향상시킬 수 있는 DDR SDRAM을 제공하는 데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 데이터 처리속도 및 DQ의 효율을 향상시킬 수 있는 DDR SDRAM의 독출 및 기입 제어방법을 제공하는 데 있다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명에 따른 DDR SDRAM은, 기입명령이 입력되어 기입동작이 수행되는 중에 독출명령이 입력되는 경우, 상기 독출명령이 입력되는 때부터 입력되는 기입데이터를 순차적으로 저장하고 독출동작이 완료된 후에 기입동작을 계속하기 위해 상기 저장된 기입데이터를 순차적으로 메모리셀 어레이로 출력하는 데이터 저장수단을 구비하는 것을 특징으로 한다. 또한 상기 본 발명에 따른 DDR SDRAM은, 상기 기입명령이 입력되어 상기 기입동작이 수행되는 중에 상기 독출명령이 입력되는 경우, 상기 기입데이터에 대응되는 어드레스를 순차적으로 저장하고 독출동작이 완료된 후에 기입동작을 계속하기 위해 상기 저장된 어드레스를 순차적으로 상기 메모리셀 어레이로 출력하는 어드레스 저장수단을 더 구비하는 것을 특징으로 한다. 또한 상기 본 발명에 따른 DDR SDRAM은, 상기 기입명령 및 상기 독출명령을 입력으로 하여 상기 데이터 저장수단 및 상기 어드레스 저장수단을 제어하기 위한 복수개의 제어신호들을 발생하는 제어신호 발생기를 더 구비하고, 상기 독출동작중의 어드레스가 상기 어드레스 저장수단에 저장되어 있는 어드레스와 일치할 경우에는 상기 메모리셀 어레이로부터 데이터가 출력되지 않고 상기 데이터 저장수단에 저장되어 있는 데이터가 출력되는 것을 특징으로 한다.

바람직한 실시예에 의하면, 상기 데이터 저장수단 및 상기 어드레스 저장수단은 FIFO 회로로 구성된다. 또한 상기 데이터 저장수단에 저장되는 기입데이터의 수와 상기 어드레스 저장수단에 저장되는 어드레스의 수는 상기 DDR SDRAM의 CAS 레이턴시에 따라 가변적이다.

상기 다른 기술적 과제를 달성하기 위한 본 발명에 따른 DDR SDRAM의 독출 및 기입 제어방법은, 기입명령이 입력되어 기입동작이 수행되는 중에 독출명령이 입력되는 경우, 상기 독출명령이 입력되는 때부터 입력되는 기입데이터를 순차적으로 저장하고 독출동작이 완료된 후에 상기 기입동작을 계속하기 위해 상기 저장된 기입데이터를 순차적으로 메모리셀 어레이로 출력하는 단계; 상기 기입명령이 입력되어 상기 기입동작이 수행되는 중에 상기 독출명령이 입력되는 경우, 상기 기입 데이터에 대응되는 어드레스를 순차적으로 저장하고 상기 독출동작이 완료된 후에 상기 기입동작을 계속하기 위해 상기 저장된 어드레스를 순차적으로 상기 메모리셀 어레이로 출력하는 단계; 및 상기 독출동작중의 어드레스와 상기 저장되어 있는 어드레스를 비교하여 서로 일치할 경우에는 상기 메모리셀 어레이의 데이터를 출력하지 않고 상기 저장되어 있는 기입데이터를 출력하는 단계를 구비하는 것을 특징으로 한다.

바람직한 실시예에 의하면, 상기 저장되는 기입데이터의 수와 상기 저장되는 어드레스의 수는 상기 DDR SDRAM의 CAS 레이턴시에 따라 가변적이다.

이하 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하겠다.

도 2는 본 발명에 따른 DDR SDRAM의 블록도이다.

도 2를 참조하면, 상기 본 발명에 따른 DDR SDRAM은, 메모리셀 어레이(21), 데이터 FIFO(First-In First-Out)(23), 어드레스 FIFO(25), 제어신호 발생기(27), 및 선택기(29)를 구비하고, 기입명령에서도 독출명령에서도 같은 CAS 레이턴시(또는 CAS 레이턴시-1)를 갖도록 구성된다.

상기 제어신호 발생기(27)는 기입명령 및 독출명령을 입력으로 하여, 상세하게는 신호들 (PRF, PCF, PWR, COSIR, COSIW)을 입력으로 하여 내부클럭(PCLK)에 응답하여 상기 데이터 FIFO(23) 및 상기 어드레스 FIFO(25)를 제어하기 위한 복수개의 제어신호들(PREAD, PWE, PFIFOE, PIWE, CNT <0:2>)을 발생한다. 상기 신호(PRF)는 외부에서 입력되는 /RAS(Row Address Strobe) 신호의 반전신호이고, 상기 신호(PCF)는 외부에서 입력되는 /CAS(Column Address Strobe) 신호의 반전신호이며, 상기 신호(PWR)는 외부에서 입력되는 /WE(Write Enable) 신호의 반전신호이다. 상기 신호(COSIR)는 버스트(Burst) 독출이 끝날 때 인에이블되는 신호이고, 상기 신호(COSIW)는 버스트 기입이 끝날 때 인에이블되는 신호이다.

여기에서 기입명령이라 함은 상기 /RAS 신호가 논리 '하이', 상기 /CAS 신호가 논리 '로우', 상기 /WE 신호가 논리 '하이' 상태로 입력됨을 의미한다. 또한 독출명령이라 함은 상기 /RAS 신호가 논리 '하이', 상기 /CAS 신호가 논리 '로우', 상기 /WE 신호가 논리 '로우' 상태로 입력됨을 의미한다.

데이터 저장수단인 상기 데이터 FIFO(23)는, 상기 제어신호 발생기(27)로 상기 기입명령이 입력된 후 상기 독출명령이 입력될 때, 상기 제어신호들(PWE, PFIFOE, PIWE, CNT <0:2>)과 상기 내부클럭(PCLK), 및 상기 어드레스 FIFO(25)에서 발생하는 신호들(PAHIT0 <0:2>)에 응답하여 데이터 입출력핀(DQ)을 통해 입력되는 기입데이터를 순차적으로 저장하고 독출동작이 완료된 후에 기입동작을 계속하기 위해 상기 저장된 기입 데이터를 순차적으로 상기 메모리셀 어레이(21)로 출력한다.

상기 선택기(29)는, 출력 멀티플렉서로서, 상기 독출동작중의 어드레스가 상기 어드레스 FIFO(25)에 저장된 어드레스와 일치할 경우 상기 어드레스 FIFO(25)에서 발생하는 어드레스 히트 신호(PAHIT)에 응답하여 상기 데이터 FIFO(23)에 저장된 데이터를 선택하여 상기 데이터 입출력핀(DQ)을 통해 출력한다.

여기에서는 도시되지 않았지만, 상기 데이터 입출력핀(DQ)으로부터 상기 메모리셀 어레이(21)까지의 기입 데이터패스에 있어서 상기 데이터 입출력핀(DQ)과 상기 데이터 FIFO(23) 사이에는 입력버퍼, 입력 멀티플렉서, 데이터 입출력라인 구동기 등이 개재되며 상기 데이터 FIFO(23)와 상기 메모리셀 어레이(21) 사이에는 입출력라인 구동기 등이 개재된다. 또한 상기 메모리셀 어레이(21)로부터 상기 데이터 입출력핀(DQ)까지의 독출 데이터패스에 있어서 상기 메모리셀 어레이(21)와 상기 선택기(29) 사이에는 입출력라인 멀티플렉서, 입출력라인 센스앰프 등이 개재되며 상기 선택기(29)와 상기 데이터 입출력핀(DQ) 사이에는 출력버퍼 등이 개재된다.

도 3은 도 2에 도시된 제어신호 발생기의 상세 회로도이다.

도 3을 참조하면, 상기 제어신호 발생기는, 독출명령 신호 발생부(31), 기입명령 신호 발생부(33), FIFO 플래그 신호 발생부(35), 내부기입 신호 발생부(37), 및 FIFO 카운터(39)를 구비한다.

상기 독출명령 신호 발생부(31)는 독출명령이 입력될 때, 즉 신호(PRF)가 논리'로우'가 되고 신호(PCF)가 논리'하이'가 되며 신호(PWRF)가 논리'로우'가 될 때 인에이블되며 버스트 독출이 끝날 때, 즉 신호(COSIR)이 인에이블될 때 디스에이블되는 독출명령 신호(PREAD)를 발생한다. 상기 독출명령 신호 발생부(31)는, 인버터들(31a, 31b, 31d), 낸드게이트(31c), 및 제어기(31e)를 포함하여 구성되며, 필요에 따라 다른 논리게이트들로 구성될 수 있다.

상기 기입명령 신호 발생부(33)는 기입명령이 입력될 때, 즉 신호(PRF)가 논리'로우'가 되고 신호(PCF)가 논리'하이'가 되며 신호(PWRF)가 논리'하이'가 될 때 인에이블되며 버스트 기입이 끝난 다음, 즉 신호(COSIW)가 인에이블된 다음 CAS 레이턴시 만큼의 지연시간 후에 디스에이블되는 제1기입명령 신호(PWE)를 발생한다. 또한 상기 기입명령 신호 발생부(33)는 인에이블 시점이 상기 제1기입명령 신호(PWE)에 비해 CAS 레이턴시 만큼 지연되며 디스에이블 시점은 상기 제1기입명령 신호(PWE)와 동일한 제2기입명령 신호(PWED)를 발생한다. 상기 기입명령 신호 발생부(33)는, 인버터들(33a, 33c), 낸드게이트(33b), 제1제어기(33d), 지연기(33e), 및 제2제어기(33f)를 포함하여 구성되며, 필요에 따라 다른 논리게이트들로 구성될 수 있다.

상기 FIFO 플래그 신호 발생부(35)는 도 2에 도시된 상기 데이터 FIFO(23)에 데이터가 있는지 없는지를 알리는 신호인 FIFO 플래그 신호(PFIFOE)를 발생한다. 상기 FIFO 플래그 신호(PFIFOE)는 상기 제2기입명령 신호(PWED)가 논리'하이'로 인에이블되어 있는 동안 독출명령이 입력될 때, 즉 상기 독출명령 신호(PREAD)가 논리'하이'로 인에이블될 때 인에이블되고 상기 데이터 FIFO(23)에 데이터가 없을 때, 즉 카운트 신호(CNT0, CNT1, CNT2)가 모두 논리'로우'가 될 때 디스에이블된다. 상기 FIFO 플래그 신호 발생부(35)는, 낸드게이트(35a), 인버터(35b), 노아게이트(35c), 제어기(35d)를 포함하여 구성되며, 필요에 따라 다른 논리게이트들로 구성될 수 있다.

상기 내부기입 신호 발생부(37)는 내부기입이 가능하다는 것을 알리는 내부기입 신호(PIWE)를 발생한다. 상기 내부기입 신호(PIWE)는 상기 데이터 FIFO(23)에 데이터가 있고(PFIFOE가 논리'하이') 독출동작이 완료되고(PREAD가 논리'로우') 상기 데이터 FIFO(23)에 기입데이터가 모두 들어왔을 때(PWE가 논리'로우') 인에이블되며 그렇지 않을 경우에는 디스에이블된다. 상기 내부기입 신호 발생부(37)는 인버터들(37a, 37b, 37d), 및 낸드게이트(37c)를 포함하여 구성되며, 필요에 따라 다른 논리게이트들로 구성될 수 있다.

상기 FIFO 카운터(39)는, 상기 제2기입명령 신호(PWED)에 의해 제어됨으로써 상기 데이터 FIFO(23)에 저장될 기입데이터의 수를 카운트하는 상기 카운트 신호(CNT0, CNT1, CNT2)를 발생한다. 상기 데이터 FIFO(23)에 저장될 기입데이터의 수가 1개이면 (CNT0, CNT1, CNT2)는 (1, 0, 0)가 되고, 2개이면 (CNT0, CNT1, CNT2)는 (1, 1, 0)가 되며, 3개이면 (CNT0, CNT1, CNT2)는 (1, 1, 1)가 된다. 상기 카운트 신호(CNT0, CNT1, CNT2)는 상기 제2기입명령 신호(PWED)가 논리'하이'이고 상기 FIFO 플래그 신호(PFIFOE)가 논리'하이'일 때 상기 내부클럭(PCLK)에 응답하여 증가하고 상기 내부기입 신호(PIWE)가 논리'하이'일 때 상기 내부클럭(PCLK)에 응답하여 감소한다. 상기 FIFO 카운터(39)는 낸드게이트(39a), 인버터(39b), 및 카운터(39c)를 포함하여 구성되며, 필요에 따라 다른 논리게이트들로 구성될 수 있다.

도 4는 도 2에 도시된 어드레스 FIFO 및 관련회로들의 상세 회로도이다. 여기에서는 설명을 용이하게 하기 위하여 어드레스 FIFO 및 이와 관련된 회로들이 함께 도시되었다.

도 4를 참조하면, 어드레스 FIFO(47)는 멀티플렉서들(47b, 47d) 및 내부클럭(PCLK)에 응답하여 동작하는 D 플립플롭들(47a, 47c, 47e)을 포함하여 구성되며 상기 어드레스 FIFO(47)에 저장되는 어드레스의 수, 즉 상기 어드레스 FIFO(47)의 단(Stage) 수는 상기 CAS 레이턴시에 따라 가변적이다. 상기 CAS 레이턴시는 주로 3까지 사용되므로 도 4에는 상기 어드레스 FIFO(47)의 깊이(Depth)가 3인 경우가 도시되어 있으며 필요에 따라 상기 어드레스 FIFO(47)의 깊이는 확장될 수 있다.

독출동작시에는, 즉 상기 독출명령 신호(PREAD)가 논리'하이'인 동안에는 제1어드레스 카운터부(41)가 도 2에 도시된 어드레스 핀(ADDR)을 통해 입력되는 어드레스(AD)를 받아 내부 어드레스를 발생하고 상기 내부 어드레스는 멀티플렉서(43)를 통해 어드레스(AD1)로서 출력되며 상기 어드레스(AD1)은 도 2에 도시된 메모리셀 어레이의 어드레스 디코더로 전달된다.

한편 정상적인 기입 동작(PWE가 논리'하이'이고 PFIFOE가 논리'로우')시나 또는 내부기입 동작(PIWE가 논

리'하이')시에는, 상기 어드레스 FIFO(47)가 동작된다. 즉 상기 CAS 레이턴시가 3인 경우(이때 제어신호 CL1, CL2는 모두 논리'0'가 된다.), 정상적인 기입 동작시에는 제2어드레스 카운터부(45)에서 발생된 내부 어드레스가 상기 어드레스 FIFO(47)의 3단을 순차적으로 통해, 즉 플립플롭(47a), 멀티플렉서(47b), 플립플롭(47c), 멀티플렉서(47d), 플립플롭(47e)을 순차적으로 통해 출력단(F0)으로 출력된다. 상기 CAS 레이턴시가 2인 경우에는(이때 제어신호 CL1은 논리'0', CL2는 논리'1'이 된다.), 상기 제2어드레스 카운터부(45)에서 발생된 내부 어드레스는 상기 어드레스 FIFO(47)의 2단을 순차적으로 통해, 즉 멀티플렉서(47b), 플립플롭(47c), 멀티플렉서(47d), 플립플롭(47e)을 순차적으로 통해 출력단(F0)으로 출력된다. 상기 CAS 레이턴시가 1인 경우에는(이때 제어신호 CL1은 논리'1', CL2는 논리'0'이 된다.), 상기 제2어드레스 카운터부(45)에서 발생된 내부 어드레스는 상기 어드레스 FIFO(47)의 1단을 순차적으로 통해, 즉 멀티플렉서(47d), 플립플롭(47e)을 순차적으로 통해 출력단(F0)으로 출력된다. 상기 출력단(F0)으로 출력된 내부 어드레스는 상기 멀티플렉서(43)을 통해 상기 어드레스(AD1)로서 출력되며 상기 어드레스(AD1)는 도 2에 도시된 메모리셀 어레이의 어드레스 디코더로 전달된다.

상기 기입동작중에 독출명령이 입력되면, 상기 PFIFOE가 논리'하이'가 되어 상기 어드레스 FIFO(47)의 동작이 멈추고 상기 어드레스 FIFO(47)에 입력된 내부 어드레스는 저장된다. 다음에 독출동작이 완료된 후 내부기입 동작시 상기 내부기입 신호(PIWE)가 논리'하이'가 됨으로써 상기 어드레스 FIFO(47)의 동작이 재개되며, 상기 어드레스 FIFO(47)에 저장되어 있던 어드레스가 순차적으로 상기 출력단(F0)으로 출력된다. 상기 출력단(F0)으로 출력된 어드레스는 상기 멀티플렉서(43)을 통해 상기 어드레스(AD1)로서 출력되며 상기 어드레스(AD1)는 도 2에 도시된 메모리셀 어레이의 어드레스 디코더로 전달된다.

한편 상기 FIFO 플래그 신호(PFIFOE)가 논리'하이'일 때, 즉 도 2에 도시된 데이터 FIFO(23)에 데이터가 있을 때 독출명령이 입력되면(PREAD가 논리'하이'), 비교부(49)가 독출동작중의 어드레스, 즉 상기 제1어드레스 카운터부(41)의 출력과 상기 어드레스 FIFO(47)에 있는 각각의 어드레스를 비교하여 신호들(PAHITD <0:2>)을 발생한다.

좀더 설명하면, 비교기(49a)는 상기 카운트 신호(CNT2)에 응답하여 상기 제1어드레스 카운터부(41)의 출력과 상기 어드레스 FIFO(47)의 셋째단, 즉 상기 플립플롭(47a)에 저장된 어드레스를 비교하여 일치할 경우 상기 신호(PAHITD2)를 논리'하이'로 인에이블시킨다. 비교기(49b)는 상기 카운트 신호(CNT1)에 응답하여 상기 제1어드레스 카운터부(41)의 출력과 상기 어드레스 FIFO(47)의 둘째단, 즉 상기 플립플롭(47c)에 저장된 어드레스를 비교하여 일치할 경우 상기 신호(PAHITD1)를 논리'하이'로 인에이블시킨다. 또한 비교기(49c)는 상기 카운트 신호(CNT0)에 응답하여 상기 제1어드레스 카운터부(41)의 출력과 상기 어드레스 FIFO(47)의 첫째단, 즉 상기 플립플롭(47e)에 저장된 어드레스를 비교하여 일치할 경우 상기 신호(PAHITD0)를 논리'하이'로 인에이블시킨다. 상기 신호들(PAHITD <0:2>)중 어느 하나가 논리'하이'로 인에이블되면, 노아게이트(49g) 및 인버터(49h)를 통해 상기 어드레스 히트 신호(PAHIT)가 논리'하이'로 인에이블된다.

도 5는 도 2에 도시된 데이터 FIFO의 상세 회로도이다.

도 5를 참조하면, 데이터 FIFO는 멀티플렉서들(52, 54, 56, 57) 및 내부클럭(PCLK)에 응답하여 동작하는 D 플립플롭들(51, 53, 55)을 포함하여 구성된다. 도 4에는 상기 데이터 FIFO의 깊이가 3인 경우가 도시되어 있으며 필요에 따라 상기 데이터 FIFO의 깊이는 확장될 수 있다. 또한 상기 데이터 FIFO의 갯수는 프리페치 단위에 따라 결정되는 데 DDR SDRAM의 프리페치는 2이므로 2개의 데이터 FIFO가 필요하다.

정상적인 기입 동작시에는 PWE가 논리'하이'가 되고 PFIFOE가 논리'로우'가 되므로 입출력핀(DQ)를 통해 입력되는 기입데이터(DATA)는 상기 멀티플렉서(56)를 통해 데이터(DATA2)로서 출력되고 상기 데이터(DATA2)는 도 2에 도시된 메모리셀 어레이로 전달된다.

한편 상기 기입동작중에 독출명령이 입력되면, 상기 PFIFOE가 논리'하이'가 되어 도 3에 도시된 FIFO 카운터(39)가 동작된다. 이때 상기 데이터 FIFO에 저장될 기입데이터의 수가 1개일 경우에는 상기 FIFO 카운터(39)의 출력들 (CNT0, CNT1, CNT2)는 (1, 0, 0)가 되며, 이에 따라 입출력핀(DQ)를 통해 입력되는 1개의 기입데이터(DATA)는 멀티플렉서(54)를 통해 플립플롭(55)에 저장된다. 상기 데이터 FIFO에 저장될 기입데이터의 수가 2개일 경우에는 상기 FIFO 카운터(39)의 출력들 (CNT0, CNT1, CNT2)는 (1, 1, 0)가 되며, 이에 따라 입출력핀(DQ)를 통해 입력되는 2개의 기입데이터(DATA)중 첫번째 기입데이터는 멀티플렉서(54)를 통해 플립플롭(55)에 저장되고 두번째 기입데이터는 멀티플렉서(52)를 통해 플립플롭(53)에 저장된다. 또한 상기 데이터 FIFO에 저장될 기입데이터의 수가 3개일 경우에는 상기 FIFO 카운터(39)의 출력들 (CNT0, CNT1, CNT2)는 (1, 1, 1)이 되며, 이에 따라 입출력핀(DQ)를 통해 입력되는 3개의 기입데이터(DATA)중 첫번째 기입데이터는 멀티플렉서(54)를 통해 플립플롭(55)에 저장되고 두번째 기입데이터는 멀티플렉서(52)를 통해 플립플롭(53)에 저장되며 세번째 기입데이터는 직접 플립플롭(51)에 저장된다. 상기 데이터 FIFO에 저장될 기입데이터의 수는 상기 CAS 레이턴시에 따라 가변적이다.

다음에 내부기입 동작이 가능하게 되면, PIWE가 논리'하이'가 됨으로써 상기 플립플롭들(55, 53, 51)에 저장되어 있던 기입데이터가 순차적으로 출력단(G0)으로 출력된다. 상기 출력단(G0)으로 출력된 기입데이터는 상기 멀티플렉서(56)를 통해 데이터(DATA2)로서 출력되고 상기 데이터(DATA2)는 도 2에 도시된 메모리셀 어레이로 전달되게 된다.

상기 데이터 FIFO에 기입데이터가 있을 때 독출동작중 어드레스 히트가 발생되면, 상기 신호들(PAHITD <0:2>)에 응답하여 상기 플립플롭들(51, 53, 55)에 저장되어 있는 데이터중 하나가 선택되어 멀티플렉서(57)를 통해 데이터(DATA1)로서 출력된다. 좀더 설명하면, 상기 신호(PAHITD0)가 논리'하이'가 될 경우에는 상기 플립플롭(55)에 저장되어 있는 데이터가 멀티플렉서(57)를 통해 데이터(DATA1)로서 출력되고, 상기 신호(PAHITD1)이 논리'하이'가 될 경우에는 상기 플립플롭(53)에 저장되어 있는 데이터가 멀티플렉서(57)를 통해 데이터(DATA1)로서 출력된다. 또한 상기 신호(PAHITD2)가 논리'하이'가 될 경우에는 상기 플립플롭(51)에 저장되어 있는 데이터가 멀티플렉서(57)를 통해 데이터(DATA1)로서 출력된다. 이때 상기 어드레스 히트 신호(PAHIT)는 논리'하이'로 인에이블되므로, 상기 데이터(DATA1)는 도 2에 도시된 선택기(29)를 통해 입출력핀(DQ)으로 출력되게 된다.

상술한 본 발명에 따른 DDR SDRAM의 동작 타이밍도가 도 6a 내지 도 6d에 도시되어 있으며, 이들을 참조

하여 본 발명에 따른 DDR SDRAM의 동작을 좀더 설명하겠다.

도 6a 및 도 6b는 CAS 레이턴시가 2.5이고 버스트 길이가 4인 경우의 동작 타이밍도이다.

도 6a를 참조하면, 기입명령(WT)이 입력된 다음 CAS 레이턴시 후, 즉 2.5클럭 후 기입데이터(D0)가 입력될 때 첫번째 독출명령(RD1)이 입력되고 또한 상기 첫번째 독출명령(RD1)이 입력된 다음 2클럭 후 두번째 독출명령(RD2)이 입력된다. 이 경우에는 먼저 2쌍의 기입데이터(D0/D1, D2/D3)는 2개의 상기 데이터 FIFO(23)에 저장된다. 그리고 상기 첫번째 독출명령(RD1)이 입력된 다음 2.5클럭 후부터 2쌍의 출력데이터(Q10/Q11, Q12/Q13)가 상기 메모리셀 어레이(21)로부터 출력되고, 연속하여, 즉 상기 두번째 독출명령(RD2)이 입력된 다음 2.5클럭 후부터 2쌍의 출력데이터(Q20/Q21, Q22/Q23)가 상기 메모리셀 어레이(21)로부터 출력된다. 독출동작이 완료된 후 상기 데이터 FIFO(23)에 저장된 상기 2쌍의 기입데이터(D0/D1, D2/D3)는 내부기입 동작에 의해 내부적으로 상기 메모리셀 어레이(21)에 기입된다. 상기과 같은 동작순서가 칼럼선택라인(CSL)에 도시되어 있으며, R은 독출동작을 의미하며 IW는 내부기입 동작을 의미한다. 상기 칼럼선택라인(CSL)은 당업계에서 통상의 지식을 가진자에게 널리 알려진 것이므로 여기에서 상세한 설명은 생략하겠다.

도 6b를 참조하면, 기입명령(WT)이 입력된 다음 CAS 레이턴시 후, 즉 2.5클럭 후 기입데이터(D0)가 입력될 때 첫번째 독출명령(RD1)이 입력되고 또한 상기 첫번째 독출명령(RD1)이 입력된 다음 도 6a와 달리 2.5클럭 후 두번째 독출명령(RD2)이 입력된다. 이 경우에는 상기 2개의 독출명령(RD1, RD2) 사이에, 즉 두번의 독출동작 사이에 내부기입될 1클럭의 시간적 갭(Gap)이 있으므로, 상기 두 독출동작 사이에 내부기입 동작이 이루어지는 것을 보여주고 있다.

도 6c는 CAS 레이턴시가 2.5이고 버스트 길이가 8인 경우의 동작 타이밍도이다.

도 6c를 참조하면, 기입명령(WT)이 입력된 다음 CAS 레이턴시 후, 즉 2.5클럭 후부터 기입데이터(D0 내지 D3)가 입력되고 다음에 기입데이터(D4)가 입력될 때 독출명령(RD)이 입력된다. 이 경우에는 먼저 상기 기입데이터(D0 내지 D3)는 상기 메모리셀 어레이(21)로 직접 기입되고, 이후에 입력되는 2쌍의 기입데이터(D4/D5, D6/D7)는 2개의 상기 데이터 FIFO(23)에 저장된다. 그리고 상기 독출명령(RD)이 입력된 다음 2.5클럭 후부터 4쌍, 즉 8개의 출력데이터(Q0 내지 Q7)가 상기 메모리셀 어레이(21)로부터 출력된다. 독출동작이 완료된 후 상기 데이터 FIFO(23)에 저장된 상기 2쌍의 기입데이터(D4/D5, D6/D7)는 내부기입 동작에 의해 내부적으로 상기 메모리셀 어레이(21)에 기입된다. 상기과 같은 동작순서가 칼럼선택라인(CSL)에 도시되어 있으며, R은 독출동작을 의미하고 DW는 직접기입 동작을 의미하며 IW는 내부기입 동작을 의미한다.

도 6d는 CAS 레이턴시가 2.5이고 버스트 길이가 8이며 어드레스 히트가 발생한 경우의 동작 타이밍도이다.

도 6d를 참조하면, 기입명령(WT)이 입력된 다음 CAS 레이턴시 후, 즉 2.5클럭 후부터 기입데이터(D0 내지 D3)가 입력되고 다음에 기입데이터(D4)가 입력될 때 독출명령(RD)이 입력된다. 이 경우에는 먼저 상기 기입데이터(D0 내지 D3)는 상기 메모리셀 어레이(21)로 직접 기입되고, 이후에 입력되는 2쌍의 기입데이터(D4/D5, D6/D7)는 2개의 상기 데이터 FIFO(23)에 저장된다. 그리고 상기 독출명령(RD)이 입력된 다음 2.5클럭 후부터 4쌍, 즉 8개의 출력데이터(Q0 내지 Q7)가 출력된다. 그런데 독출동작중 어드레스 히트가 발생한 경우, 예컨대 상기 어드레스 FIFO(47)의 첫째단에 저장된 어드레스가 어드레스 히트된 경우에는 상기 메모리셀 어레이(21)로부터 데이터가 출력되지 않고 두개의 상기 데이터 FIFO(23)의 첫째단에 저장된 상기 기입데이터(D4/D5)가 상기 출력데이터(Q0/Q1)로서 출력된다. 또한 상기 어드레스 FIFO(47)의 둘째단에 저장된 어드레스가 어드레스 히트된 경우에는 두개의 상기 데이터 FIFO(23)의 둘째단에 저장된 상기 기입데이터(D6/D7)가 상기 출력데이터(Q2/Q3)로서 출력된다. 나머지 출력데이터(Q4 내지 Q7)는 상기 메모리셀 어레이(21)로부터 출력된다. 다음에 독출동작이 완료된 후 상기 데이터 FIFO에 저장된 상기 2쌍의 기입데이터(D4/D5, D6/D7)는 내부기입 동작에 의해 내부적으로 상기 메모리셀 어레이(21)에 기입된다.

이상과 같이, 본 발명을 일 실시예를 들어 한정적으로 설명하였으나 이에 한정되지 않으며 본 발명의 사상의 범위 내에서 당해 분야의 통상의 지식을 가진 자에 의해 본원 발명에 대한 각종 변형이 가능함은 자명하다.

발명의 효과

따라서 상술한 본 발명에 따른 DDR SDRAM은 상기 데이터 FIFO 및 어드레스 FIFO를 구비하고 기입명령에서도 독출명령에서와 같은 CAS 레이턴시(또는 CAS 레이턴시-1)를 갖도록 구성됨으로써 기입동작 중에 독출명령이 입력될 수 있으며, 이에 따라 데이터 처리속도가 향상될 수 있고 DQ의 효율이 향상될 수 있는 장점이 있다.

(57) 청구의 범위

청구항 1

메모리셀 어레이;

기입명령이 입력되어 기입동작이 수행되는 중에 독출명령이 입력되는 경우, 상기 독출명령이 입력되는 때부터 입력되는 기입데이터를 순차적으로 저장하고 독출동작이 완료된 후에 기입동작을 계속하기 위해 상기 저장된 기입데이터를 순차적으로 상기 메모리셀 어레이로 출력하는 데이터 저장수단;

상기 기입명령이 입력되어 상기 기입동작이 수행되는 중에 상기 독출명령이 입력되는 경우, 상기 기입데이터에 대응되는 어드레스를 순차적으로 저장하고 독출동작이 완료된 후에 기입동작을 계속하기 위해 상기 저장된 어드레스를 순차적으로 상기 메모리셀 어레이로 출력하는 어드레스 저장수단; 및

상기 기입명령 및 상기 독출명령을 입력으로 하여 상기 데이터 저장수단 및 상기 어드레스 저장수단을 제

어하기 위한 복수개의 제어신호들을 발생하는 제어신호 발생기를 구비하고,

상기 독출동작중의 어드레스가 상기 어드레스 저장수단에 저장되어 있는 어드레스와 일치할 경우에는 상기 메모리셀 어레이로부터 데이터가 출력되지 않고 상기 데이터 저장수단에 저장되어 있는 데이터가 출력되는 것을 특징으로 하는 반도체 메모리장치.

청구항 2

제1항에 있어서, 상기 데이터 저장수단은 FIFO회로인 것을 특징으로 하는 반도체 메모리장치.

청구항 3

제1항에 있어서, 상기 데이터 저장수단에 저장되는 기입데이터의 수는 상기 반도체 메모리장치의 CAS 레이턴시에 따라 가변적인 것을 특징으로 하는 반도체 메모리장치.

청구항 4

제1항에 있어서, 상기 어드레스 저장수단은 FIFO회로인 것을 특징으로 하는 반도체 메모리장치.

청구항 5

제1항에 있어서, 상기 어드레스 저장수단에 저장되는 어드레스의 수는 상기 반도체 메모리장치의 CAS 레이턴시에 따라 가변적인 것을 특징으로 하는 반도체 메모리장치.

청구항 6

메모리셀 어레이를 구비하는 반도체 메모리장치의 독출 및 기입 제어방법에 있어서,

기입명령이 입력되어 기입동작이 수행되는 중에 독출명령이 입력되는 경우, 상기 독출명령이 입력되는 때부터 입력되는 기입데이터를 순차적으로 저장하고 독출동작이 완료된 후에 상기 기입동작을 계속하기 위해 상기 저장된 기입데이터를 순차적으로 상기 메모리셀 어레이로 출력하는 단계;

상기 기입명령이 입력되어 상기 기입동작이 수행되는 중에 상기 독출명령이 입력되는 경우, 상기 기입 데이터에 대응되는 어드레스를 순차적으로 저장하고 상기 독출동작이 완료된 후에 상기 기입동작을 계속하기 위해 상기 저장된 어드레스를 순차적으로 상기 메모리셀 어레이로 출력하는 단계; 및

상기 독출동작중의 어드레스와 상기 저장되어 있는 어드레스를 비교하여 서로일치할 경우에는 상기 메모리셀 어레이의 데이터를 출력하지 않고 상기 저장되어 있는 기입데이터를 출력하는 단계를 구비하는 것을 특징으로 하는 독출 및 기입 제어방법.

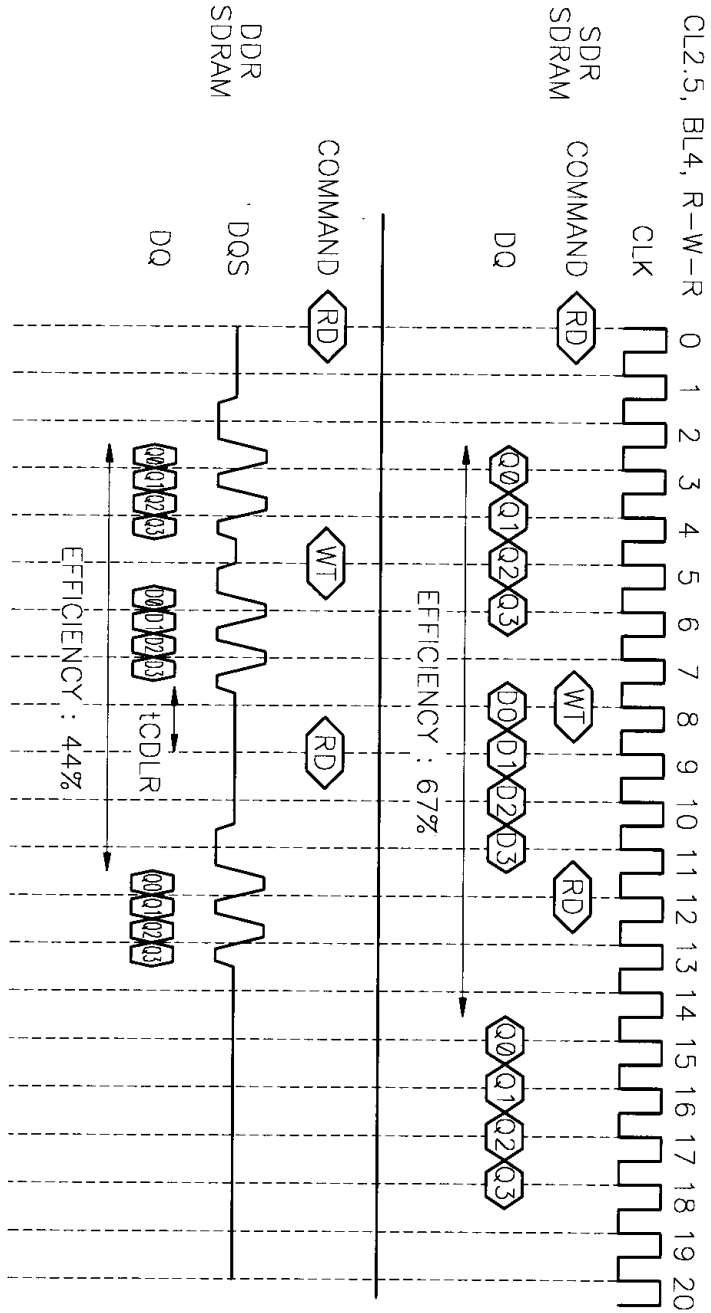
청구항 7

제6항에 있어서, 상기 저장되는 기입데이터의 수는 CAS 레이턴시에 따라 가변적인 것을 특징으로 하는 독출 및 기입 제어방법.

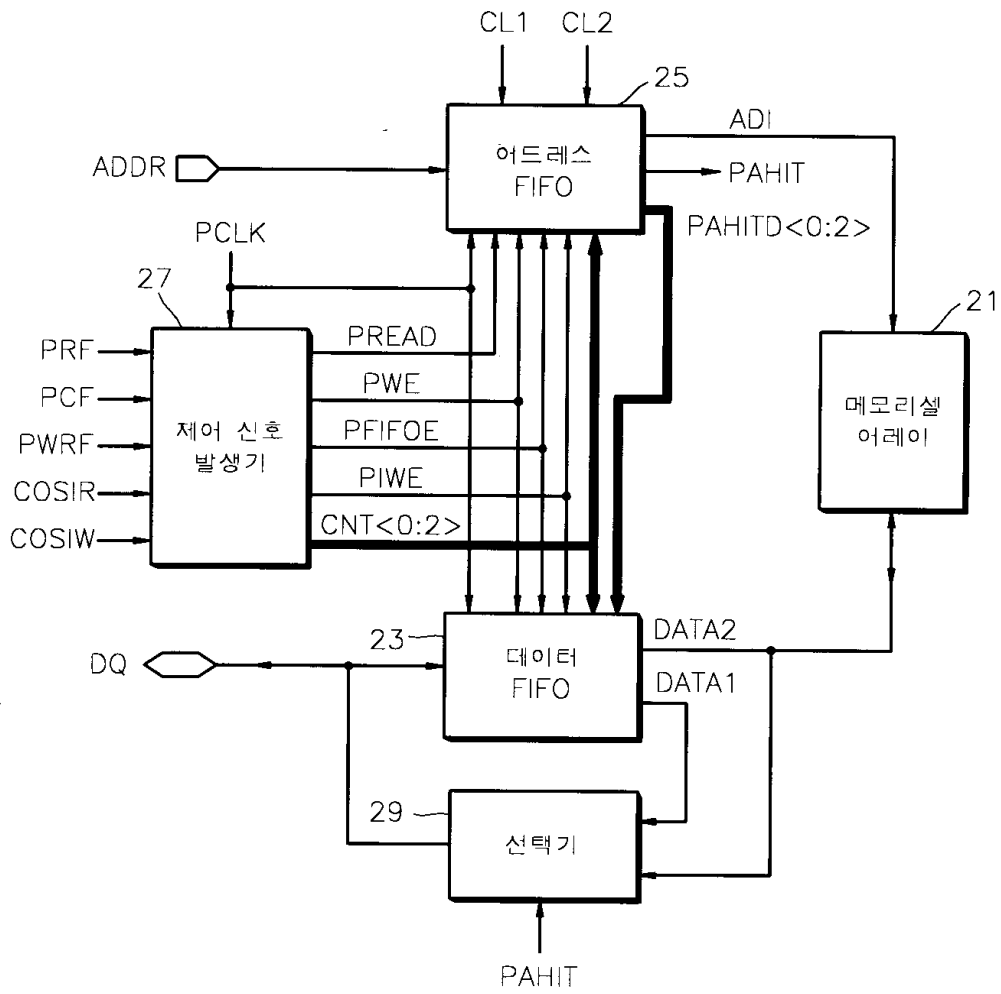
청구항 8

제6항에 있어서, 상기 저장되는 어드레스의 수는 CAS 레이턴시에 따라 가변적인 것을 특징으로 하는 독출 및 기입 제어방법.

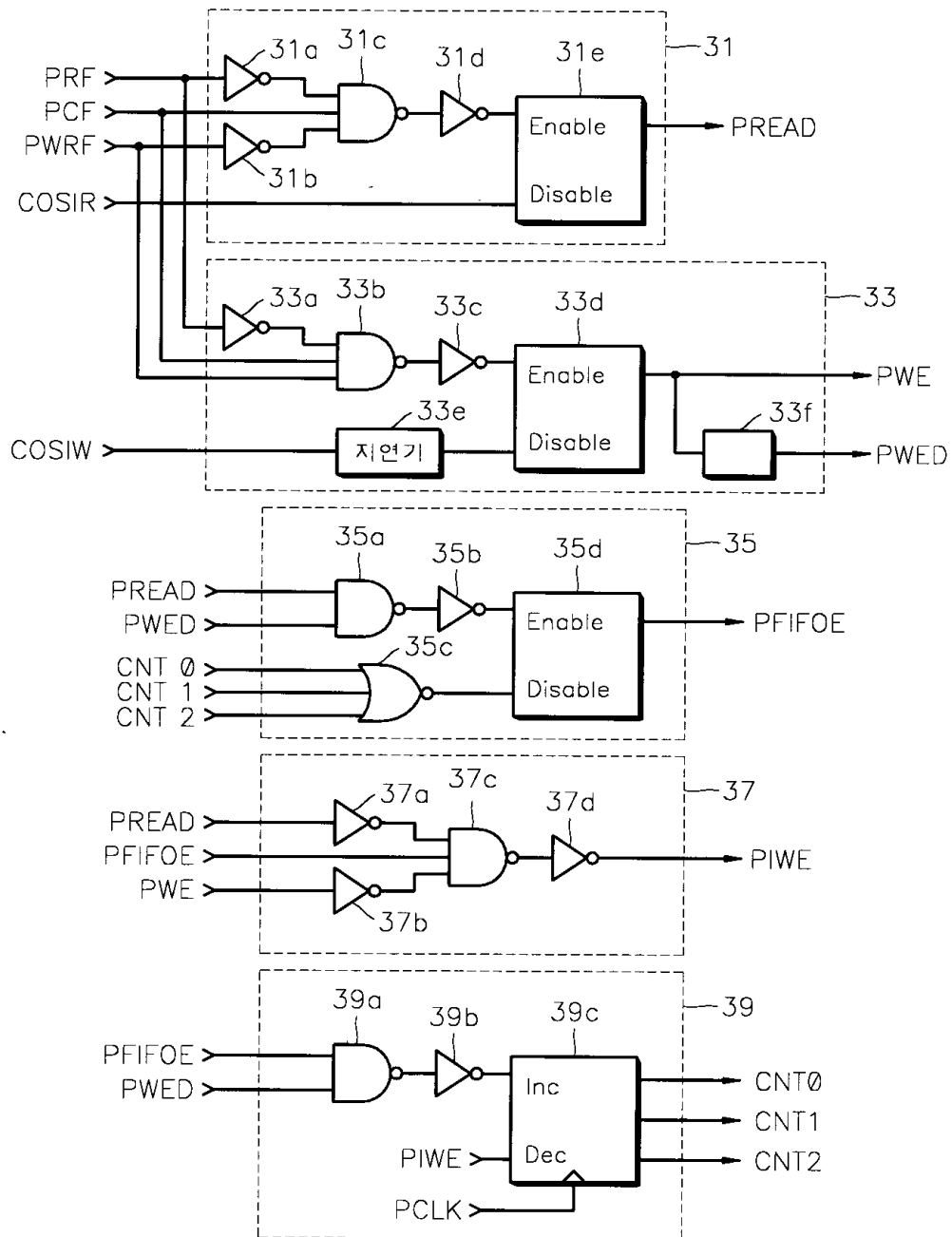
도면



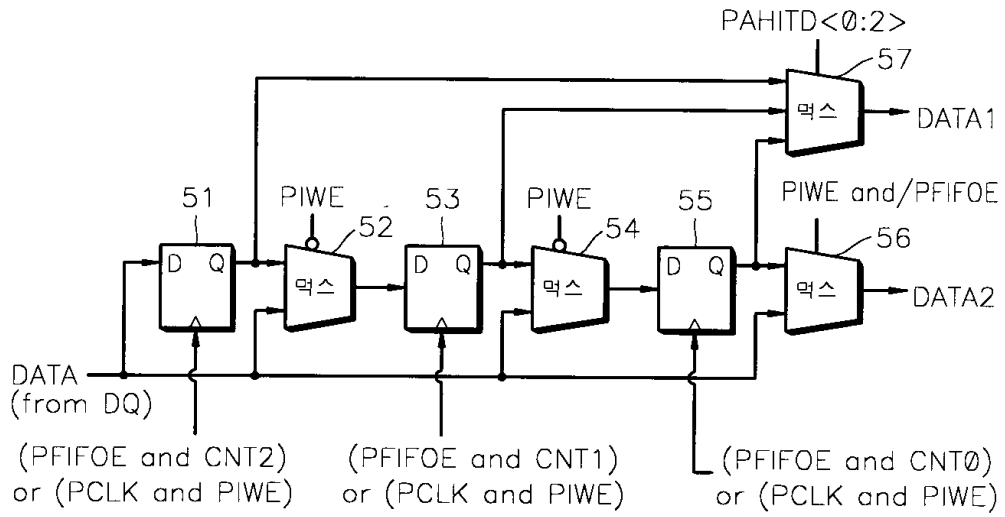
도면2



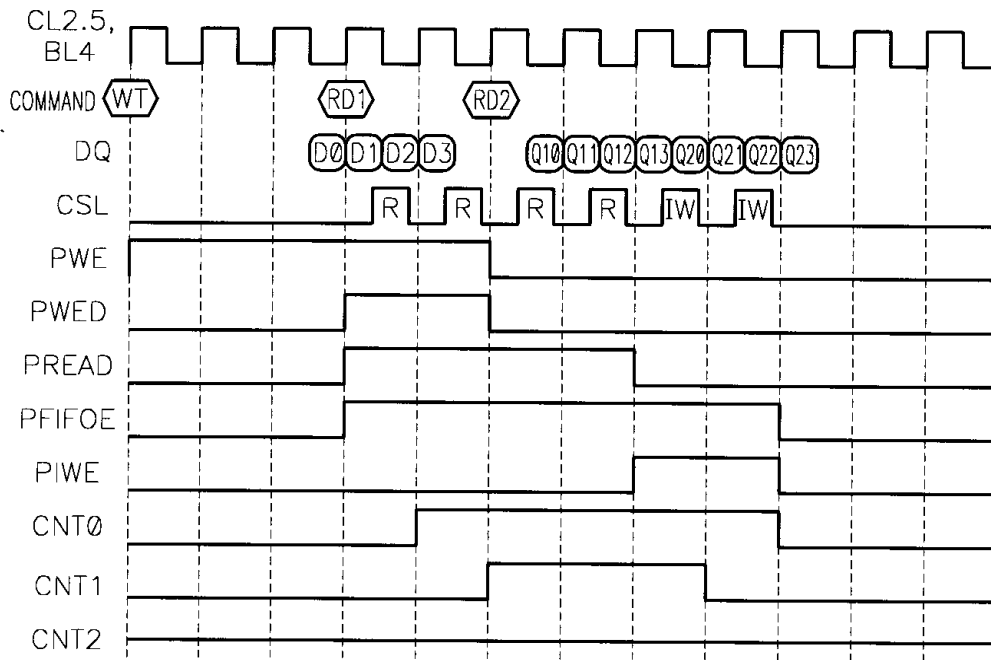
도면3



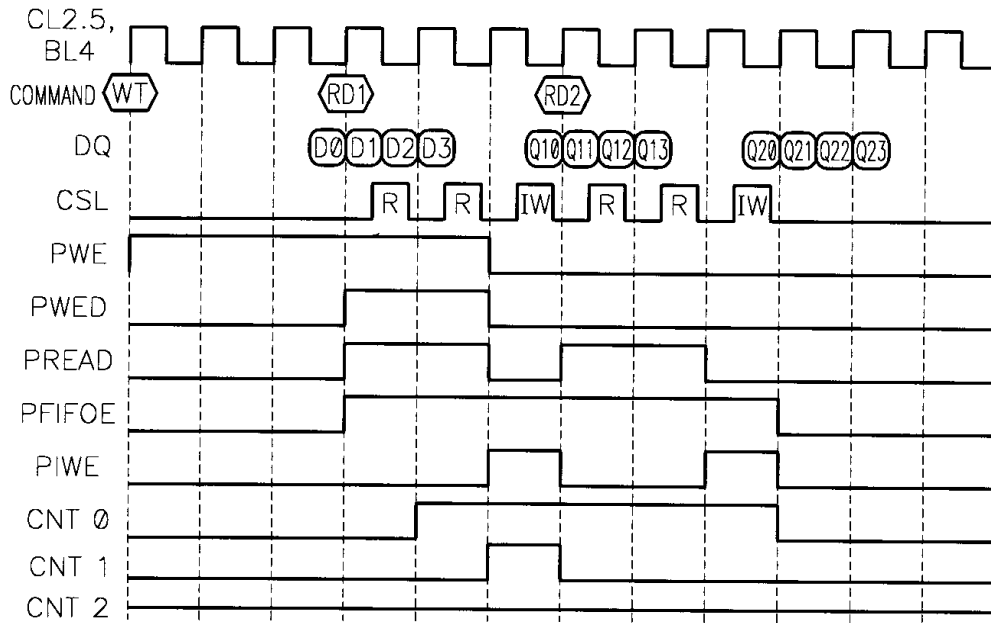
도면5



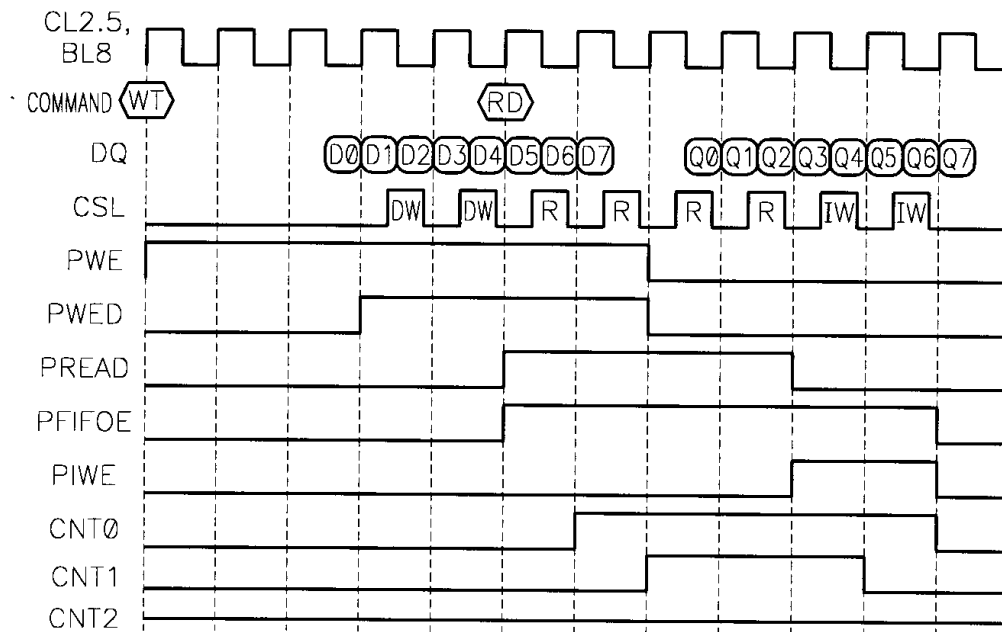
도면6a



도면6b



도면6c



도면6d

