

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 23/28

(11) 공개번호 특2000-0028362
(43) 공개일자 2000년05월25일

(21) 출원번호	10-1998-0046567
(22) 출원일자	1998년10월31일
(71) 출원인	아남반도체 주식회사 김규현
(72) 발명자	서울특별시 성동구 성수동 2가 280-8 한병준 서울특별시 송파구 오륜동 올림픽아파트 125동 502호 심일권 서울특별시 노원구 월계1동 438번지 동신빌라 라동 101호 박창규 경기도 부천시 원미구 상동 399번지 1833동 1504호 서만규, 최용원
(74) 대리인	서만규, 최용원

심사청구 : 없음

(54) 반도체패키지의 제조 방법

요약

본 발명은 반도체패키지의 제조 방법에 관한 것으로, 최종 입출력 단자인 솔더볼이 반도체칩의 외주연에 위치함으로써 그 솔더볼의 갯수를 증대시키는 동시에 상기 솔더볼을 확고하게 지지하기 위해, 수지침투가 공재인 판상의 프레프레그상에 구리박막을 입히는 원시 리지드써킷 제조 단계와; 상기 리지드써킷상에 통상의 포토마스크 및 에칭 기술을 이용하여 본드핑거, 연결부, 솔더볼랜드 등의 회로패턴을 형성하고, 상기 본드핑거, 솔더볼랜드를 제외한 상면을 커버코오트로 코팅하며, 반도체칩이 위치될 부분의 중앙부에는 소정의 공간부를 형성하는 리지드써킷 제조 단계와; 상기 리지드써킷의 공간부 저면 외주연에 접착제를 개재하여 센터패드를 갖는 반도체칩을 접착하되, 상기 반도체칩의 센터패드가 리지드써킷의 공간부쪽으로 노출되도록 하는 반도체칩 접착 단계와; 상기 반도체칩의 센터패드와 리지드써킷의 본드핑거를 도전성과 이터로 본딩하는 와이어 본딩 단계와; 상기 리지드써킷의 공간부에 봉지재를 주입하는 봉지 단계와; 상기 리지드써킷에 구비된 솔더볼랜드상에 고온의 환경에서 솔더볼을 용착하는 솔더볼 용착 단계와; 상기 리지드써킷을 소정의 반도체패키지 유닛으로 소잉하는 싱글레이션 단계를 포함하여 이루어진 반도체패키지의 제조 방법.

대표도

도4

명세서

도면의 간단한 설명

도1은 종래의 반도체패키지를 도시한 부분 절개 사시도이다.
도2a 및 도2g는 본 발명에 의한 반도체패키지의 제조 방법을 도시한 설명도이다.
도3는 본 발명에 이용된 리지드써킷을 도시한 평면도이다.
도4는 본 발명에 의한 반도체패키지의 상태를 도시한 부분 절개 사시도이다.
도5는 본 발명의 다른 실시예를 도시한 단면도이다.

- 도면중 주요 부호에 대한 설명 -

100, 101 ; 본 발명의 리지드써킷(Rigid circuit)을 이용한 반도체패키지

100' ; 종래의 반도체패키지

10p ; 원시 리지드써킷(Rigid circuit)

10 ; 리지드써킷

11 ; 구리박막

12 ; 프레프레그(prepeg)

13 ; 본드핑거(Bond finger)

14 ; 연결부

15 ; 솔더볼랜드(Solder ball land)	16 ; 커버코오트(Cover coat)
17 ; 리지드써킷의 공간부	18 ; 장공
22 ; 접착제	40 ; 반도체칩
41 ; 센터패드(Center pad)	
50 ; 도전성와이어(Conductive wire)	
60 ; 봉지재	70 ; 솔더볼
80 ; 싱글레이션툴(singulation tool)	

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체패키지의 제조 방법에 관한 것으로, 보다 상세하게 설명하면 최종 입출력 단자인 솔더볼이 반도체칩의 외주연에 위치함으로써 그 솔더볼의 갯수를 증대시키는 동시에 상기 솔더볼을 확고하게 지지할 수 있는 반도체패키지의 제조 방법에 관한 것이다.

최근의 반도체패키지는 반도체칩의 경박단소화 추세에 따라 그 반도체칩을 마더보드상에 지지시켜주는 동시에 입출력신호를 매개해주는 패키지의 크기도 반도체칩의 크기와 유사한 칩사이즈(Chip size)반도체패키지의 형태로 전환되고 있다.

이러한 칩사이즈반도체패키지의 일례를 도1에 도시하였으며, 이의 구조를 간단히 설명하면 다음과 같다.

도1은 유연성 회로기판시트를 이용한 칩사이즈반도체패키지(100')로서, 도시된 바와 같이 상면의 둘레에 엣지패드(41';Edge pad)가 구비된 반도체칩(40')과, 상기 반도체칩(40')의 엣지패드(41') 내측면에 접착된 접착제(21')와, 상기 접착제(21') 상면에 폴리이미드층(12')이 접착되고, 상기 폴리이미드층(12')상에는 본드핑거(13'), 연결부(14') 및 솔더볼랜드(15')가 형성되어 있으며, 상기 본드핑거(13') 및 솔더볼랜드(15')를 제외한 상면에 코팅된 커버코오트(16')로 이루어진 회로기판시트(10')와, 상기 반도체칩(40')의 엣지패드(41')와 회로기판시트(10')의 본드핑거(13')를 연결하는 도전성와이어(50')와, 상기 회로기판시트(10')의 솔더볼랜드(15')에 융착되어 마더보드(도시되지 않음)에 실장되는 솔더볼(70')과, 상기 반도체칩(40')의 엣지패드(41')에 연결된 도전성와이어(41')를 외부의 환경으로부터 보호하기 위해 봉지된 봉지재(60')로 이루어져 있다.

이와 같은 칩사이즈반도체패키지는 통상 웨이퍼 차원의 묶음 생산 공정(Batch process) 즉, 다수의 반도체칩이 형성된 웨이퍼 상에서 와이어본딩, 솔더볼 융착 및 봉지 등의 모든 패키징 작업을 완료한 후 최종 단계에서 낱개의 반도체패키지로 분리하여 제조하는 방법을 사용하고 있다.

그러나 이러한 칩사이즈반도체패키지는 반도체칩의 소형화 또는 엣지패드(즉, 입출력패드) 갯수가 증가함에 따라 최종 입출력 단자(여기서는 솔더볼)의 수를 반도체칩 상면 내에서 모두 수용할 수 없는 팬인(Fan-in)형으로서 그 한계를 나타내고 있다. 즉, 종래의 반도체패키지는 상기 회로기판시트의 넓이가 반도체칩의 넓이로 한정됨으로써 형성 또는 융착될 수 있는 솔더볼의 갯수에 한계가 있다. 최근에는 반도체칩의 집적도 발전으로 인해 그 표면에 형성되는 입출력패드의 갯수가 계속 증가하고 있지만 상기와 같이 회로기판시트의 넓이가 한정됨으로써 상기 입출력패드를 모두 수용할 수 없는 문제점이 있는 것이다. 여기서 상기 팬인에 대한 상대적 개념으로서 팬아웃(Fan out)형이 있으며, 이는 최종 입출력 단자 즉, 솔더볼이 반도체칩의 상면 외주연에도 위치되는 반도체패키지로서 최근의 반도체패키지 발전 추세중의 하나이다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 종래의 문제점을 해결하기 위해 안출한 것으로, 최종 입출력 단자인 솔더볼이 반도체칩의 외주연에 위치함으로써 그 솔더볼의 갯수를 증대시키는 동시에 상기 솔더볼을 확고하게 지지할 수 있는 반도체패키지의 제조 방법을 제공하는데 있다.

발명의 구성 및 작용

상기한 목적을 달성하기 위해 본 발명에 의한 반도체패키지의 제조 방법은 수지침투가공재인 판상의 프레프레그상에 구리박막을 입히는 원시 리지드써킷 제조 단계와; 상기 리지드써킷상에 통상의 포토마스킹 및 에칭 기술을 이용하여 본드핑거, 연결부, 솔더볼랜드 등의 회로패턴을 형성하고, 상기 본드핑거, 솔더볼랜드를 제외한 상면을 커버코오트로 코팅하며, 반도체칩이 위치될 부분의 중앙부에는 소정의 공간부를 형성하는 리지드써킷 제조 단계와; 상기 회로기판시트의 공간부 지면 외주연에 접착제를 개재하여 센터패드를 갖는 반도체칩을 접착하되, 상기 반도체칩의 센터패드가 리지드써킷의 공간부쪽으로 노출되도록 하는 반도체칩 접착 단계와; 상기 반도체칩의 센터패드와 리지드써킷의 본드핑거를 도전성와이어로 본딩하는 와이어 본딩 단계와; 상기 리지드써킷의 공간부에 봉지재를 주입하는 봉지 단계와; 상기 리지드써킷에 구비된 솔더볼랜드상에 고온의 환경에서 솔더볼을 융착하는 솔더볼 융착 단계와; 상기 리지드써킷을 소정의 반도체패키지 유닛으로 소잉하는 싱글레이션 단계를 포함하여 이루어진 것을 특징으로 한다.

이와 같이 하여 본 발명에 의한 반도체패키지의 제조 방법에 의하면, 반도체칩의 외주연 상으로 리지드써킷이 연장 형성되고, 그 상면에 솔더볼이 융착됨으로써 대량의 솔더볼을 확보할 수 있게 된다. 또한 상기 리지드써킷은 수지침투가공제로서 그 재질이 딱딱한 프레프레그를 기초로 하여 제조됨으로써 그 리지드써

킷의 외주연에 대한 휨 현상을 방지함과 동시에 그 상면의 솔더볼을 확고히 지지할 수 있게 된다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명하면 다음과 같다.

도2a 및 도2g는 본 발명에 의한 반도체패키지의 제조 방법을 도시한 설명도이다.

먼저 수지침투가공재인 판상의 프레프레그(12)상에 스퍼터링(Sputtering, 가스화한 도전성 물질을 프레프레그(12)상에 피복하는 방법)이나 접착층을 개재하여 소정의 도전성 박막 바람직하기로는 구리박막(11)을 입힘으로써 판상의 원시 리지드써킷(10p)을 제조한다.(도2a)

이어서 상기 원시 리지드써킷(10p) 상에 통상의 포토마스크(Photo masking) 및 에칭(Etching) 기술을 이용하여 선택적으로 구리박막을 제거함으로써 본드핑거(13), 연결부(도시되지 않음), 솔더볼랜드(15) 등의 미세한 회로패턴을 형성하고, 또한 상기 본드핑거(13), 솔더볼랜드(15)를 제외한 상면에는 절연성 물질인 커버코트(16)를 코팅하여 외부 환경으로부터 회로패턴을 보호하며, 차후 반도체칩(40)의 중앙상면이 위치되는 소정 영역에는 대략 직사각형 모양의 공간부(17)를 형성하여 리지드써킷(10)을 제조한다.(도2b)

이때 상기 본드핑거(13)는 상기 공간부(17)의 외주연상에 위치하도록 하며, 그 본드핑거(13)의 표면에는 은(Ag)을 도금하여 차후에 도전성와이어(50)가 양호하게 본딩될수 있도록 하고, 또한 상기 솔더볼랜드(15)의 상면에는 금(Au) 및 니켈(Ni)을 도금하여 차후에 솔더볼(70)이 확고히 용착되도록 한다.

여기서 상기 리지드써킷(10)의 구체적 이해를 돕기 위해 그 평면적인 양태를 도3에 도시하였다. 도시된 바와 같이 유닛 단위로 다수의 리지드써킷(10)이 대략 바둑판 모양으로 형성되어 있고, 각각의 리지드써킷(10)에는 중앙에 대략 직사각형 모양의 공간부(17)가 형성되어 있으며, 상기 공간부(17) 외주연에는 대응되는 2열의 본드핑거(13)가 형성되어 있다. 또한 상기 본드핑거(13)의 외주연에는 다수의 솔더볼랜드(15)가 균집형성되어 있으며, 상기 솔더볼랜드(15)의 외주연에는 대략 사각 모양으로 장공(18)이 형성되어 있다.

이어서 상기 리지드써킷(10)의 저면에는 접착제(22) 또는 양면접착테이프를 개재하여 반도체칩(40)의 상면을 접착시킨다.(도2c)

여기서, 상기 반도체칩(40)은 웨이퍼(도시되지 않음)에서 분리된 양품의 것만을 사용한다. 또한 상기 반도체칩(40)의 상면에는 센터패드(41)가 형성되어 있음으로써, 상기 리지드써킷(10)에 형성된 공간부(17)에 상기 센터패드(41)가 위치하게 된다.

이어서 상기 반도체칩(40)의 센터패드(41)와 리지드써킷(10)의 공간부(17) 외주연에 위치한 본드핑거(13)를 금(Au)이나 알루미늄(Al) 등의 도전성와이어(50)를 이용하여 본딩한다.(도2d)

이어서, 상기 리지드써킷(10)에 형성된 공간부(17)에 봉지재(60)를 채움으로써, 상기 도전성와이어(50)가 외부의 환경으로부터 보호되도록 한다.(도2e)

여기서 상기 봉지재(60)는 액상 봉지재 또는 트랜스퍼 몰드용 봉지재를 사용할 수 있으며, 그 종류는 다양하게 변경 가능하다.

이어서, 상기 리지드써킷(10)에 구비된 다수의 솔더볼랜드(15)에 솔더볼(70)을 안착시킨 후 이를 고온의 퍼니스에 투입함으로써 상기 솔더볼랜드(15)에 솔더볼(70)이 용착되도록 한다.(도2f)

마지막으로 상기 리지드써킷(10)을 소정의 싱글레이션툴(80)을 이용하여 각각의 반도체패키지(100) 유닛으로 싱글레이션한다.(도2g)

이와 같이 하여 완성된 반도체패키지(100) 형태는 도4와 같다.

도시된 바와같이 본 발명의 제조방법으로 완성된 반도체패키지(100)의 구조를 간략히 설명하면, 센터패드(41)가 형성되어 있는 반도체칩(40)과, 상기 반도체칩(40)의 상부에 그 반도체칩(40)의 넓이보다 더 넓게 접착제(21)로 접착된 리지드써킷(10)과, 상기 리지드써킷(10)과 반도체칩(40)의 센터패드(41)를 연결하는 도전성와이어(50)와, 상기 도전성와이어(50) 등을 외부의 환경으로부터 보호하기 위해 리지드써킷(10)의 공간부(17)에 충전된 봉지재(60)와, 상기 리지드써킷(10)의 상부에 용착됨으로써 차후에 마더보드에 실장되는 솔더볼(70)을 포함하여 이루어져 있다.

도면중 미설명 부호 12는 리지드써킷(10)의 한 구성 요소인 프레프레그로서 그 재질이 딱딱하고 단단하기 때문에 리지드써킷(10)이 쉽게 휘어지지 않게 된다. 따라서 반도체패키지(100)를 마더보드에 용착하거나, 보관 및 이동중에 상기 리지드써킷(10)이 휘지 않게 된다.

한편, 이와 같은 방법 및 구조하에서 상기 반도체칩(40)의 센터패드(41)를 통한 소정의 전기적 신호는 도전성와이어(50), 본드핑거(13), 연결부(14), 솔더볼랜드(15) 및 솔더볼(70)을 통하여 마더보드에 전달된다.

또한 도5는 본 발명의 다른 실시예로서 반도체칩(40)상에 엠티패드(41, 입출력패드가 반도체칩상의 가장 자리에 형성됨)가 형성된 경우의 반도체패키지(101)를 도시한 것으로, 그 구조는 엠티패드(41)가 형성되어 있는 반도체칩(40)과, 상기 반도체칩(40)의 상부에 그 반도체칩(40)의 넓이보다 더 넓게 접착제(21)로 접착된 리지드써킷(10)과, 상기 리지드써킷(10)과 반도체칩(40)의 엠티패드(41)를 연결하는 도전성와이어(50)와, 상기 도전성와이어(50) 등을 외부의 환경으로부터 보호하기 위해 리지드써킷(10)의 공간부(17)에 충전된 봉지재(60)와, 상기 리지드써킷(10)의 상부에 용착됨으로써 차후에 마더보드에 실장되는 솔더볼(70)로 이루어져 있다. 여기서 상기 공간부(17)는 반도체칩(40)의 엠티패드(41)가 형성된 영역과 대응되는 위치에 형성되어 있으며, 봉지재(60)는 이 공간부(17)에 충전되어 있다.

이와 같이 하여 본 발명에 의한 반도체패키지 제조 방법은 반도체칩의 외주연 상으로 리지드써킷이 연장형성되고, 그 상면에 솔더볼이 용착됨으로써 대량의 솔더볼을 확보할 수 있게 된다. 또한 상기 리지드써킷은 수지침투가공제로서 그 재질이 딱딱한 프레프레그를 기초로 하여 제조됨으로써 상기 반도체패키지를

마더보드에 실장시, 또는 보관 및 운반시에 상기 리지드써킷이 휘지 않게 되며 특히, 상기 리지드써킷에서 스트레스를 많이 받는 돌레 부분의 휨현상도 완화함으로써 마더보드의 실장 작업이 용이해진다.

이상에서와 같이 본 발명은 비록 상기의 실시예에 한하여 설명하였지만 여기에만 한정되지 않으며 본 발명의 범주와 사상을 벗어나지 않는 범위내에서 여러가지로 변형된 실시예도 가능할 것이다.

발명의 효과

따라서 본 발명에 의한 반도체패키지의 제조 방법에 의하면, 리지드써킷이 반도체칩상의 외주연으로 연장 형성되고, 그 상부에 솔더볼이 융착됨으로써 대량의 솔더볼을 확보할 수 있는 동시에 반도체칩상에 형성되는 모든 입출력패드(센터패드 또는 엣지패드)를 수용할 수 있는 효과가 있다.

또한 수지침투가공제로서 그 재질이 딱딱한 프레프레그를 기초로 한 리지드써킷을 사용함으로써 그 리지드써킷의 휨 현상을 방지하고, 그 상부에 융착된 솔더볼을 충분히 지지할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1

수지침투가공재인 판상의 프레프레그상에 구리박막을 입히는 원시 리지드써킷 제조 단계와;

상기 리지드써킷상에 통상의 포토마스킹 및 에칭 기술을 이용하여 본드핑거, 연결부, 솔더볼랜드 등의 회로패턴을 형성하고, 상기 본드핑거, 솔더볼랜드를 제외한 상면을 커버코오프로 코팅하며, 반도체칩이 위치될 부분의 중앙부에는 소정의 공간부를 형성하는 리지드써킷 제조 단계와;

상기 리지드써킷의 공간부 저면 외주연에 접착제를 개재하여 센터패드를 갖는 반도체칩을 접착하되, 상기 반도체칩의 센터패드가 리지드써킷의 공간부쪽으로 노출되도록 하는 반도체칩 접착 단계와;

상기 반도체칩의 센터패드와 리지드써킷의 본드핑거를 도전성와이어로 본딩하는 와이어 본딩 단계와;

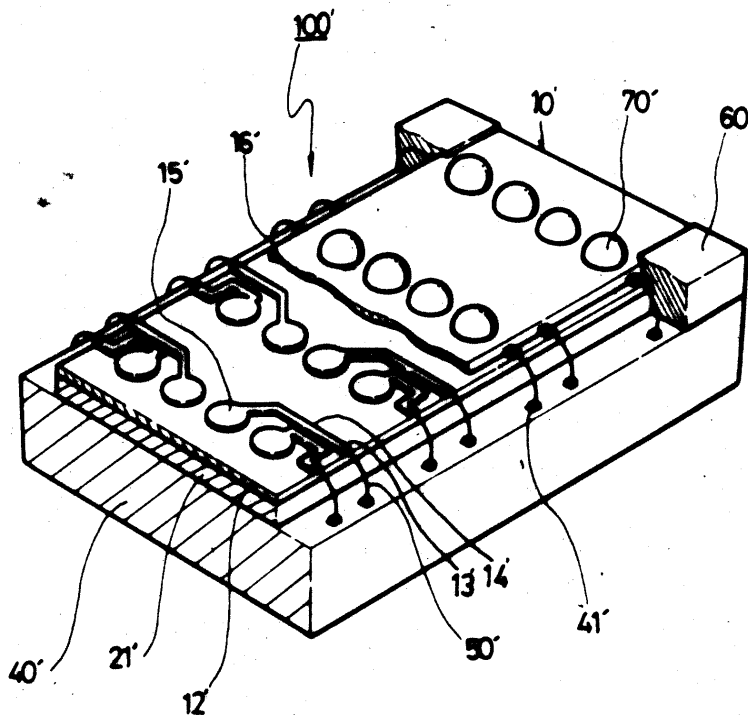
상기 리지드써킷의 공간부에 봉지재를 주입하는 봉지 단계와;

상기 리지드써킷에 구비된 솔더볼랜드상에 고온의 환경에서 솔더볼을 융착하는 솔더볼 융착 단계와;

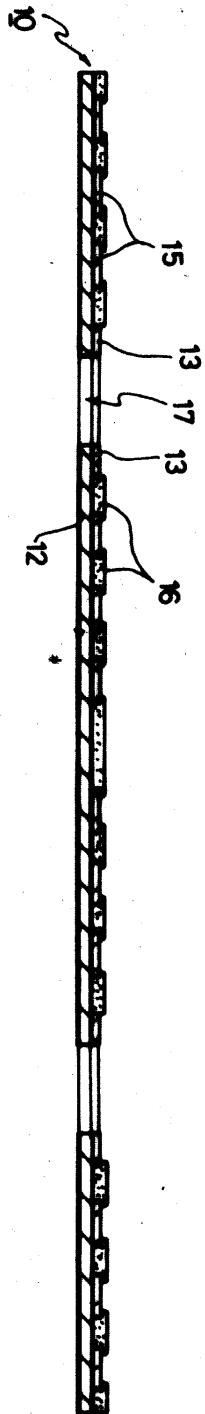
상기 리지드써킷을 소정의 반도체패키지 유닛으로 소잉하는 싱글레이션 단계를 포함하여 이루어진 반도체패키지의 제조 방법.

도면

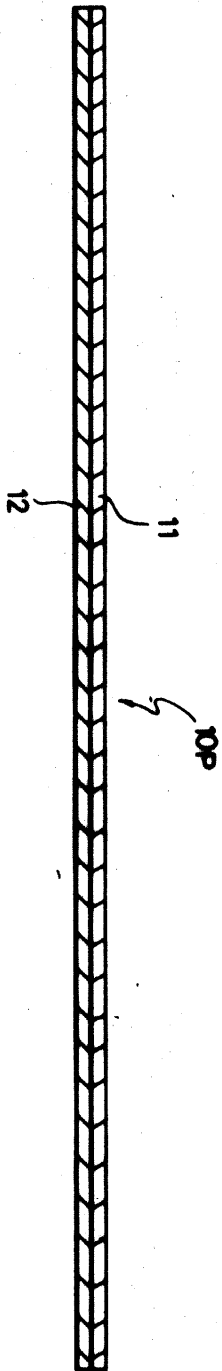
도면1



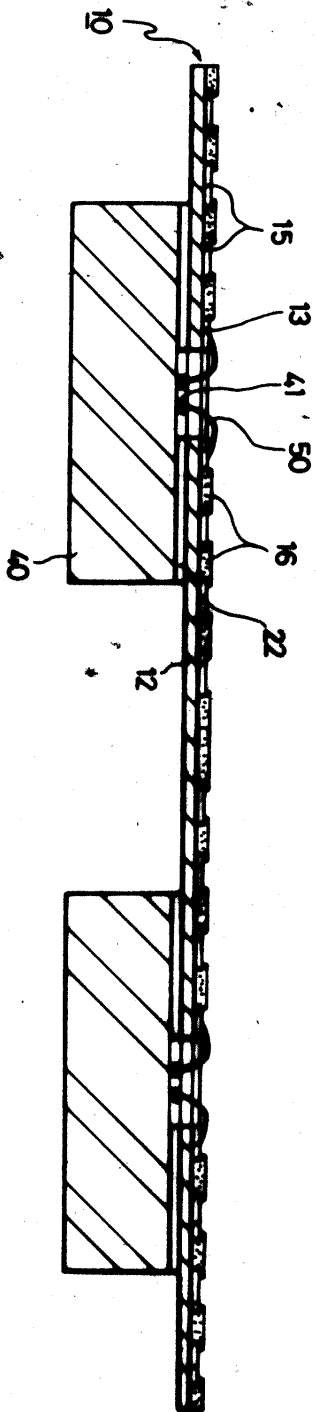
도면2a



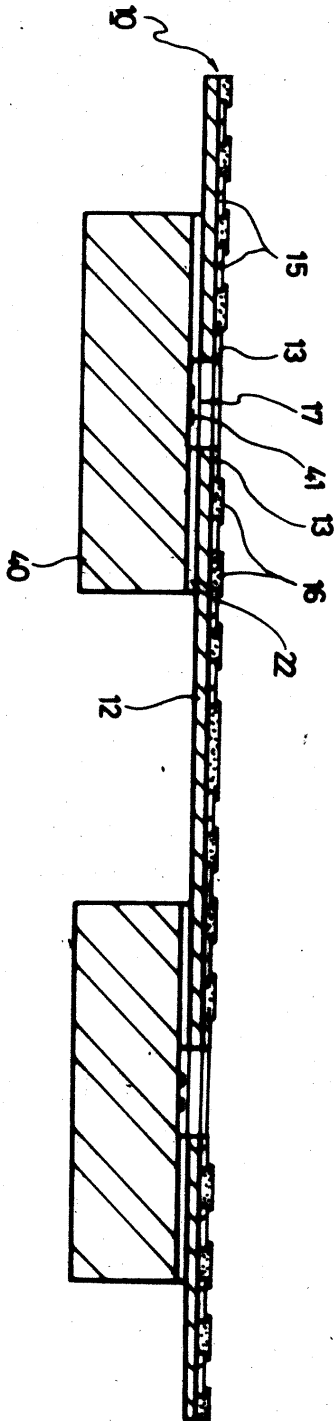
도면2b



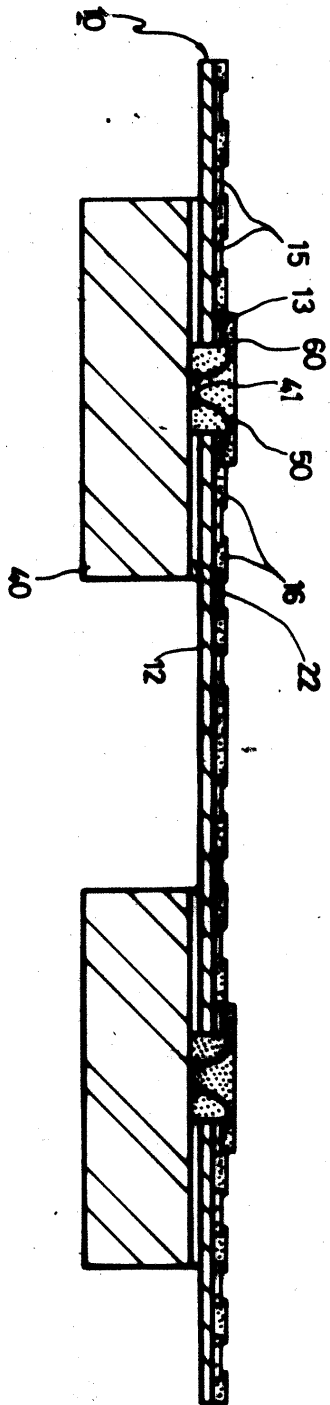
도면2c



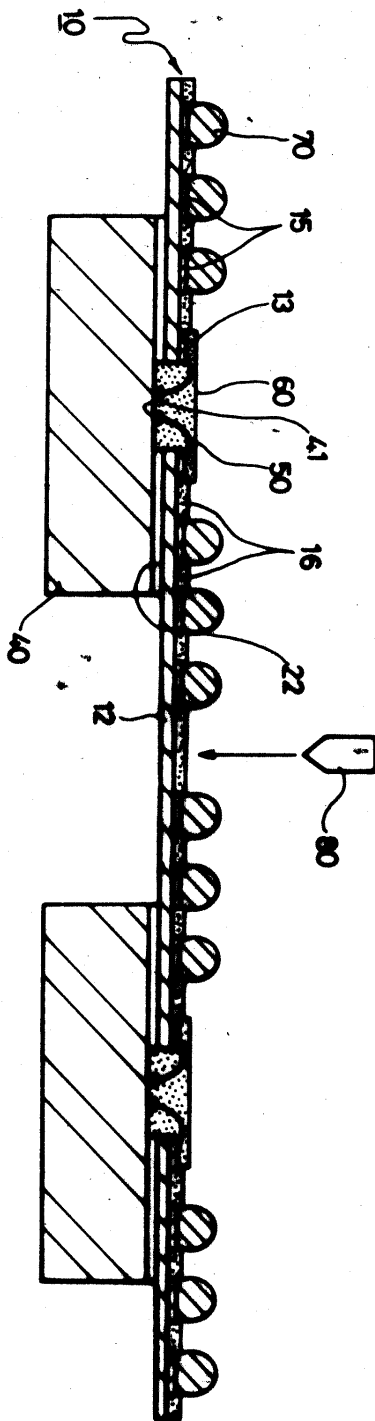
도면2d



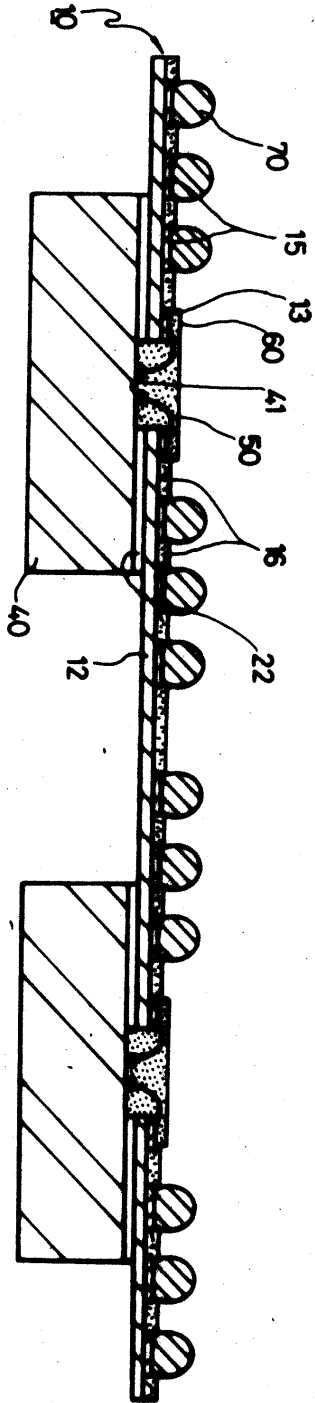
도면2e



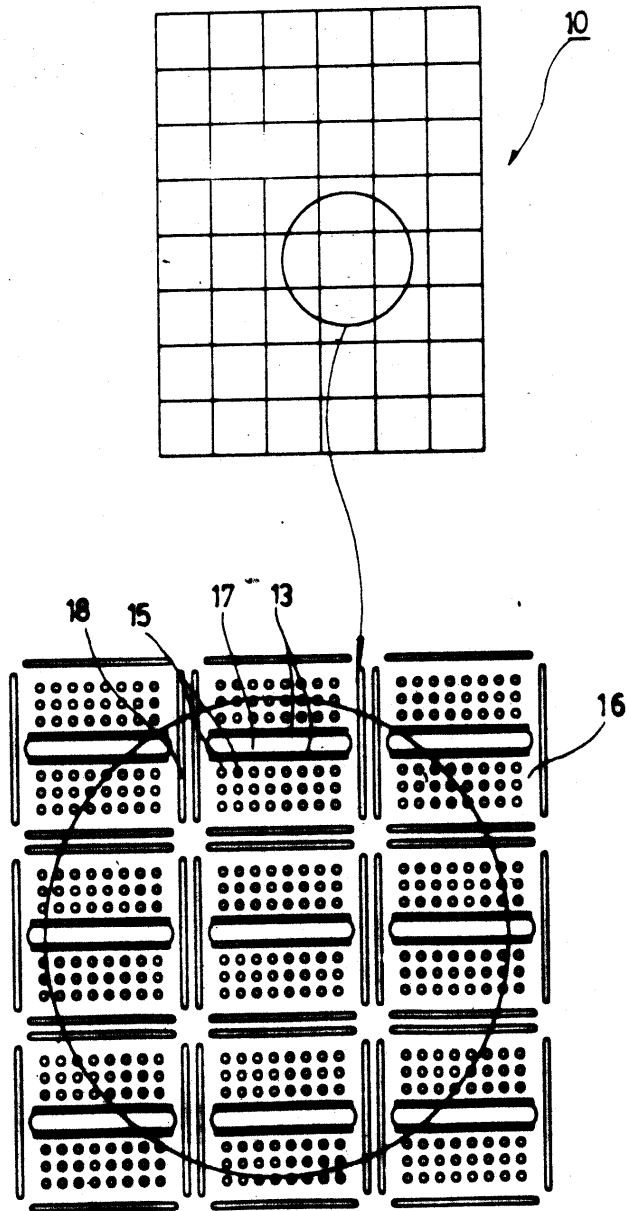
도면2f



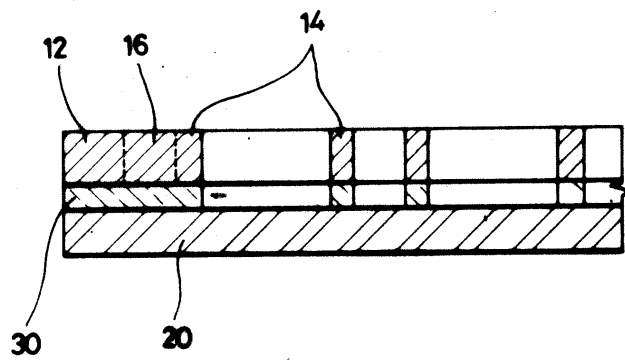
도면2g



도면3



도면4



도면5

