(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년04월09일
(11) 등록번호 10-2239051
(24) 등록일자 2021년04월06일

(51) 국제특허분류(Int. Cl.)
G01R 31/28 (2006.01) *G01R 1/073* (2006.01)
G01R 35/00 (2006.01) *G06N 3/00* (2019.01)
H01L 21/66 (2006.01) *H01L 21/67* (2006.01)
(52) CPC특허분류
G01R 31/2891 (2013.01)
G01R 1/07307 (2013.01)
(21) 출원번호 10-2019-7028803
(22) 출원일자(국제) 2018년01월30일
심사청구일자 2019년10월01일
(85) 번역문제출일자 2019년10월01일
(65) 공개번호 10-2019-0117775
(43) 공개일자 2019년10월16일
(86) 국제출원번호 PCT/JP2018/002934
(87) 국제공개번호 WO 2018/159190
국제공개일자 2018년09월07일
(30) 우선권주장
JP-P-2017-039458 2017년03월02일 일본(JP)
(56) 선행기술조사문헌
JP10078464 A*
JP2003258044 A*
JP2009216596 A*
JP07055885 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
도쿄엘렉트론가부시키가이샤
일본 도쿄도 미나토쿠 아카사카 5쵸메 3반 1고
(72) 발명자
가가미 데츠야
일본 야마나시켄 니라사키시 후지이쵸 기타게죠 2381-1 도쿄엘렉트론테크놀로지솔루션즈가부시키가이샤 내
(74) 대리인
제일특허법인(유)

전체 청구항 수 : 총 16 항 심사관 : 권민정

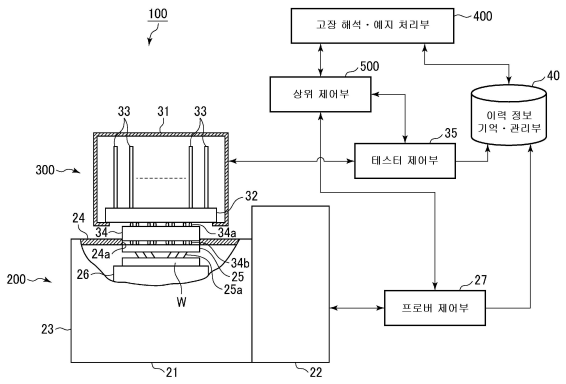
(54) 발명의 명칭 **검사 시스템, 및 검사 시스템의 고장 해석 및 예지 방법**

(57) 요 약

검사 장치(100)는, 복수의 디바이스가 형성된 기판 W를 유지하는 스테이지(26)와, 기판(W)을 스테이지(26)에 반송하는 반송부(22)와, 복수의 프로브(25a)를 기판(W) 상의 복수의 디바이스의 전극에 접촉시키는 프로브 카드(25)를 갖는 프로버(200)와, 프로브 카드(25)를 통해서 기판(W) 상의 복수의 디바이스에 전기적 신호를 주어, 디

(뒷면에 계속)

대 표 도



바이스의 전기 특성을 검사하는 테스터(300)와, 검사 때에 고장이 발생했을 때, 또는 고장의 전 단계의 징조가 발생했을 때에, 그 고장에 관련되는 프로버(200)와 테스터(300)의 이력 정보를 해석하여 고장의 개소를 파악 또는 예지하는 고장 해석 및 예지 처리부(400)를 갖는다.

(52) CPC특허분류
G01R 31/2879 (2013.01)
G01R 35/00 (2013.01)
G06N 3/00 (2019.01)
H01L 21/67242 (2013.01)
H01L 22/14 (2013.01)
H01L 22/30 (2013.01)

명 세 서

청구범위

청구항 1

디바이스를 스테이지에 반송하는 반송부와, 프로브를 상기 디바이스의 전극에 접촉시키는 프로브 카드를 갖는 프로버와,

상기 프로브 카드를 통해서 상기 디바이스에 전기적 신호를 주어, 상기 디바이스의 전기 특성을 검사하는 테스터와,

상기 디바이스의 전기 특성을 검사할 때에 상기 디바이스의 측정 불량을 나타내는 고장이 발생했을 때, 또는 상기 고장의 전 단계의 징조가 발생했을 때에, 그 고장에 관련되는 상기 프로버와 상기 테스터의 이력 정보를 해석하여 고장의 개소를 특정 또는 추정, 또는 예지하는 고장 해석 및 예지 처리부

를 구비하고,

검사 때에 PASS가 된 검사 항목에 대하여 출력 결과를 복수 단계로 레벨 나누기 하고, 레벨의 변화로부터 고장의 징조를 파악하고, 고장을 예지하는 것을 특징으로 하는 검사 시스템.

청구항 2

제 1 항에 있어서,

상기 고장 해석 및 예지 처리부는, 상기 이력 정보와 조작자의 평가에 근거하여 고장의 개소를 특정 또는 추정, 또는 예지하는 것을 특징으로 하는 검사 시스템.

청구항 3

제 2 항에 있어서,

상기 고장의 요인이 복수 상정되는 경우, 상기 조작자의 평가에 근거하여, 상기 고장의 요인을 특정하고, 그것에 의해 고장의 개소를 특정 또는 추정, 또는 예지하는 것을 특징으로 하는 검사 시스템.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 테스터는, 마더보드와, 상기 마더보드에 장착된 복수의 검사 회로 보드를 갖고, 상기 프로버에 장착된 프로브 카드와 상기 마더보드의 사이에, 이들을 접속하는 콘택트 부재가 배치되고, 상기 검사 회로 보드, 상기 마더보드, 상기 콘택트 부재, 상기 프로브 카드 중 어느 하나에 생긴 고장의 개소를 특정 또는 추정 또는 예지하는 것을 특징으로 하는 검사 시스템.

청구항 5

제 4 항에 있어서,

기판에 형성된 복수의 디바이스의 검사에 있어서, 접촉 불량 또는 상기 테스터로부터 피검사체까지의 전송 경로의 저항이 커지는 고장이 생겼을 때, 그것에 관한 프로버 쪽의 요인 및 테스터 쪽의 요인을 포함하는 복수의 요인을 파악하고, 그들 중에서 정상인 것을 알고 있는 요인, 또는 소정의 진단을 행한 결과 정상의 결과가 얻어진 것에 의해 정상인 것을 알 수 있는 요인을 제외하고, 남은 요인으로부터 고장 개소를 특정 또는 추정 또는 예지

하는 것을 특징으로 하는 검사 시스템.

청구항 6

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 레벨의 변화는 상기 검사 항목에 대한 복수의 측정 결과에 의해 파악되는 것을 특징으로 하는 검사 시스템

청구항 7

제 6 항에 있어서,

기판에 형성된 복수의 디바이스를 표시하는 맵에 있어서, 검사 때에 PASS가 된 항목에 대하여 출력 결과를 복수 단계로 레벨 나누기 하고, PASS로 판단된 디바이스의 레벨의 분포도로부터 고장 개소를 예지하는 것을 특징으로 하는 검사 시스템.

청구항 8

제 7 항에 있어서,

상기 맵의 상기 레벨의 분포도와, 상기 프로버의 피검사체의 스테이지의 높이의 격차를 관련짓는 것에 의해 고장 개소를 예지하는 것을 특징으로 하는 검사 시스템.

청구항 9

디바이스를 스테이지에 반송하는 반송부와, 프로브를 상기 디바이스의 전극에 접촉시키는 프로브 카드를 갖는 프로버와, 상기 프로브 카드를 통해서 상기 디바이스에 전기적 신호를 주어, 상기 디바이스의 전기 특성을 검사하는 테스터를 갖는 검사 시스템에 있어서, 고장의 개소를 파악 또는 예지하는 고장 해석 및 예지 방법으로서,

상기 디바이스의 전기 특성을 검사할 때에 상기 디바이스의 측정 불량을 나타내는 고장이 발생했을 때, 또는 상기 고장의 전 단계의 징조가 발생했을 때에, 그 고장에 관련되는 상기 프로버와 상기 테스터의 이력 정보를 해석하여 고장의 개소를 특정 또는 추정, 또는 예지하고,

검사 때에 PASS가 된 검사 항목에 대하여 출력 결과를 복수 단계로 레벨 나누기 하고, 레벨의 변화로부터 고장의 징조를 파악하고, 고장을 예지하는 것을 특징으로 하는 검사 시스템의 고장 해석 및 예지 방법.

청구항 10

제 9 항에 있어서,

상기 이력 정보와 조작자의 평가에 근거하여 고장의 개소를 특정 또는 추정 또는 예지하는 것을 특징으로 하는 검사 시스템의 고장 해석 및 예지 방법.

청구항 11

제 10 항에 있어서,

상기 고장의 요인이 복수 상정되는 경우, 상기 조작자의 평가에 근거하여, 상기 고장의 요인을 특정하고, 그것에 의해 고장의 개소를 특정 또는 추정 또는 예지하는 것을 특징으로 하는 검사 시스템의 고장 해석 및 예지 방법.

청구항 12

제 9 항 내지 제 11 항 중 어느 한 항에 있어서,

상기 테스터는, 마더보드와, 상기 마더보드에 장착된 복수의 검사 회로 보드를 갖고, 상기 프로버에 장착된 프로브 카드와 상기 마더보드의 사이에, 이들을 접속하는 콘택트 부재가 배치되고, 상기 검사 회로 보드, 상기 마더보드, 상기 콘택트 부재, 상기 프로브 카드 중 어느 하나에 생긴 고장의 개소를 특정 또는 추정, 또는 예지하는 것을 특징으로 하는 검사 시스템의 고장 해석 및 예지 방법.

청구항 13

제 12 항에 있어서,

기판에 형성된 복수의 디바이스의 검사에 있어서, 접촉 불량 또는 상기 테스터로부터 피검사체까지의 전송 경로의 저항이 커지는 고장이 생겼을 때, 그것에 관한 프로버 쪽의 요인 및 테스터 쪽의 요인을 포함하는 복수의 요인을 파악하고, 그들 중에서 정상인 것을 알고 있는 요인, 또는 소정의 진단을 행한 결과 정상의 결과가 얻어진 것에 의해 정상인 것을 알 수 있는 요인을 제외하고, 남은 요인으로부터 고장 개소를 특정 또는 추정 또는 예지하는 것을 특징으로 하는 검사 시스템의 고장 해석 및 예지 방법.

청구항 14

제 9 항 내지 제 11 항 중 어느 한 항에 있어서,

상기 레벨의 변화는 상기 검사 항목에 대한 복수의 측정 결과에 의해 파악되는 것을 특징으로 하는 검사 시스템의 고장 해석 및 예지 방법.

청구항 15

제 14 항에 있어서,

기판에 형성된 복수의 디바이스를 표시하는 맵에 있어서, 검사 때에 PASS가 된 항목에 대하여 출력 결과를 복수 단계로 레벨 나누기 하고, PASS로 판단된 디바이스의 레벨의 분포도로부터 고장 개소를 예지하는 것을 특징으로 하는 검사 시스템의 고장 해석 및 예지 방법.

청구항 16

제 15 항에 있어서,

상기 맵의 상기 레벨의 분포도와, 상기 프로버의 피검사체의 스테이지의 높이의 격차를 관련짓는 것에 의해 고장 개소를 예지하는 것을 특징으로 하는 검사 시스템의 고장 해석 및 예지 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은, 피검사체의 검사를 행하는 검사 시스템, 및 검사 시스템의 고장 해석 및 예지 방법에 관한 것이다.

배 경 기 술

[0002] 반도체 디바이스의 제조 프로세스에 있어서는, 반도체 웨이퍼(이하 간단히 웨이퍼라고 적는다)에 있어서의 모든 프로세스가 종료된 단계에서, 웨이퍼에 형성되어 있는 복수의 디바이스(IC 칩)의 전기적 검사가 행하여진다. 이와 같은 전기적 검사를 행하는 검사 시스템은, 일반적으로, 웨이퍼 스테이지와 웨이퍼 반송계를 가짐과 아울러, 웨이퍼에 형성된 디바이스에 접촉하는 프로브를 갖는 프로브 카드가 장착되는 프로버와, 디바이스에 전기적

신호를 주어, 디바이스의 다양한 전기 특성을 검사하기 위한 테스터를 갖고 있다.

[0003] 이와 같은 검사 시스템에 있어서, 고장이 발생했을 때, 그 고장 요인을 신속히 특정하여 대처하는 것이 요구되고 있다. 또한, 고장을 사전에 예지하여 고장을 회피하는 것도 요구되고 있다.

[0004] 특허문헌 1에는, 프로버의 컨트롤러에 자기 진단 실행 기능을 갖게 하여, 프로버에 있어서의 고장 요인을 특정하는 기술이 기재되어 있다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 특허문헌 1 : 일본 특허 공개 2007-235031호 공보

발명의 내용

해결하려는 과제

[0006] 그런데, 테스터와 프로버는, 각각 다른 메이커에 의해 제조되어, 고객 납입 후에 이들을 일체화하는 일이 많고, 진단 기능을 갖게 하는 경우에도, 테스터와 프로버에 별개로 진단 기능을 마련하게 된다.

[0007] 그러나, 테스터 및 프로버의 각각의 진단 기능을 이용하여 고장 해석을 행하는 경우, 테스터에 기인하여 프로버의 진단이 FAIL(NG)인 경우나, 그 반대의 경우가 있고, 그와 같은 경우에는 테스터 및 프로버가 진단 기능을 갖고 있더라도, 고장 개소를 파악하는 것이 곤란하다. 또한, 고장 예지를 행하려고 하더라도, 마찬가지로, 테스터에 기인하여 프로버의 진단이 FAIL(NG)인 경우 및 그 반대의 경우에는 충분한 예지를 행할 수 없다.

[0008] 따라서, 본 발명의 목적은, 테스터 및 프로버에 걸친 요인의 고장 또는 그 전 단계의 징조가 생긴 경우에도 그 개소를 신속히 파악 또는 예지할 수 있는 기술을 제공하는 것에 있다.

과제의 해결 수단

[0009] 본 발명의 제 1 관점에 따르면, 복수의 디바이스가 형성된 기판을 유지하는 스테이지와, 기판을 상기 스테이지에 반송하는 반송부와, 복수의 프로브를 기판 상의 복수의 디바이스의 전극에 접촉시키는 프로브 카드를 갖는 프로버와, 상기 프로브 카드를 통해서 상기 기판 상의 복수의 디바이스에 전기적 신호를 주어, 상기 디바이스의 전기 특성을 검사하는 테스터와, 검사 때에 고장이 발생했을 때, 또는 상기 고장의 전 단계의 징조가 발생했을 때에, 그 고장에 관련되는 상기 프로버와 상기 테스터의 이력 정보를 해석하여 고장의 개소를 특정 또는 추정, 또는 예지하는 고장 해석 및 예지 처리부를 갖는 것을 특징으로 하는 검사 시스템이 제공된다.

[0010] 본 발명의 제 2 관점에 따르면, 복수의 디바이스가 형성된 기판을 유지하는 스테이지와, 기판을 상기 스테이지에 반송하는 반송부와, 복수의 프로브를 기판 상의 복수의 디바이스의 전극에 접촉시키는 프로브 카드를 갖는 프로버와, 상기 프로브 카드를 통해서 상기 기판 상의 복수의 디바이스에 전기적 신호를 주어, 상기 디바이스의 전기 특성을 검사하는 테스터를 갖는 검사 시스템에 있어서, 고장의 개소를 특정 또는 추정 또는 예지하는 고장 해석 및 예지 방법으로서, 검사 때에 고장이 발생했을 때, 또는 상기 고장의 전 단계의 징조가 발생했을 때에, 그 고장에 관련되는 상기 프로버와 상기 테스터의 이력 정보를 해석하여 고장의 개소를 특정 또는 추정, 또는 예지하는 것을 특징으로 하는 검사 시스템의 고장 해석 및 예지 방법이 제공된다.

[0011] 상기 제 1 관점 및 제 2 관점에 있어서, 상기 이력 정보와 조작자의 평가에 근거하여 고장의 개소를 파악 또는 예지하는 것이 바람직하다. 상기 고장의 요인이 복수 상정되는 경우, 상기 조작자의 평가에 근거하여, 상기 고장의 요인을 특정하고, 그것에 의해 고장의 개소를 특정 또는 추정 또는 예지할 수 있다.

[0012] 상기 테스터는, 마더보드와, 상기 마더보드에 장착된 복수의 검사 회로 보드를 갖고, 상기 프로버에 장착된 프로브 카드와 상기 마더보드의 사이에, 이들을 접속하는 콘택트 부재가 배치되고, 상기 검사 회로 보드, 상기 마더보드, 상기 콘택트 부재, 상기 프로브 카드 중 어느 하나에 생긴 고장의 개소를 특정 또는 추정 또는 예지하도록 할 수 있다.

[0013] 기판에 형성된 복수의 디바이스의 검사에 있어서, 접촉 불량 또는 상기 테스터로부터 피검사체까지의 전송 경로의 저항이 커지는 고장이 생겼을 때, 그것에 관한 프로버 쪽의 요인 및 테스터 쪽의 요인을 포함하는 복수의 요

인을 파악하고, 그들 중에서 정상인 것을 알고 있는 요인, 또는 소정의 진단을 행한 결과 정상의 결과가 얻어진 것에 의해 정상인 것을 알 수 있는 요인을 제외하고, 남은 요인으로부터 고장 개소를 특정 또는 추정 또는 예지할 수 있다.

[0014] 검사 때에 PASS가 된 검사 항목에 대하여 출력 결과를 복수 단계로 레벨 나누기 하고, 복수의 측정 결과에 의한 레벨의 변화로부터 고장의 징조를 파악하고, 고장을 예지할 수 있다. 이 경우에, 기판에 형성된 복수의 디바이스를 표시하는 맵에 있어서, 검사 때에 PASS가 된 항목에 대하여 출력 결과를 복수 단계로 레벨 나누기 하고, PASS로 판단된 디바이스의 레벨의 분포도로부터 고장 개소를 예지할 수 있다. 또한, 상기 맵의 상기 레벨의 분포도와, 상기 프로버의 피검사체의 스테이지의 높이의 분포를 관련짓는 것에 의해 고장 개소를 예지할 수 있다.

발명의 효과

[0015] 본 발명에 따르면, 고장이 발생한 경우에, 프로버 및 테스터의 양쪽의 이력 정보에 근거하여 이상의 요인을 특정하므로, 신속히 고장 개소의 특정 또는 추정을 행할 수 있다. 또한, 고장의 전 단계의 징조가 발생한 경우에, 고장이 발생하기 전에 고장 개소를 예지할 수 있으므로, 사전에 대상 부품의 교환이나 수리가 가능하게 된다. 이 때문에, 검사 시스템의 가동률을 향상시킬 수 있다.

도면의 간단한 설명

[0016] 도 1은 본 발명의 일 실시형태와 관련되는 검사 시스템의 개략 구성을 모식적으로 나타내는 도면이다.

도 2는 도 1의 검사 시스템의 고장 해석 및 예지 처리부를 설명하기 위한 도면이다.

도 3은 테스터의 검사 회로 보드로부터 웨이퍼까지의 구성을 설명하기 위한 도면이다.

도 4는 고장 해석 및 예지 프로그램의 플로차트이다.

도 5는 프로브 카드(25)의 설치가 정상이 아닌 경우의 상태를 나타내는 도면이다.

도 6은 진단용 프로브 카드로 진단을 행하고 있는 상태를 나타내는 도면이다.

도 7은 검사 항목에 대하여 OK(PASS)의 레벨을 복수 단계로 설정한 예를 나타내는 도면이다.

도 8은 웨이퍼 맵을 이용한 해석 결과 표시의 예를 설명하는 도면이고, 웨이퍼 맵에 선 형상으로 색이 진한(FAIL 또는 레벨이 높은) 부분이 생기는 경우를 나타내는 도면이다.

도 9는 웨이퍼 맵을 이용한 해석 결과 표시의 예를 설명하는 도면이고, 웨이퍼 맵의 일부에 스폿 형상으로 색이 진한(FAIL 또는 레벨이 높은) 부분이 생기는 경우를 나타내는 도면이다.

도 10은 웨이퍼 맵을 이용한 해석 결과 표시의 예를 설명하는 도면이고, 웨이퍼 맵의 우측에 전체적으로 색이 진한(FAIL 또는 레벨이 높은) 부분이 생기는 경우를 나타내는 도면이다.

도 11은 스테이지(웨이퍼 척 탑)의 높이 위치의 격차를 표시한 예를 나타내는 도면이다.

도 12는 스테이지(웨이퍼 척 탑)의 높이 위치가 흐트러진 상태의 예를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0017] 이하, 첨부 도면을 참조하여 본 발명의 실시의 형태에 대하여 상세하게 설명한다.

[0018] <검사 시스템>

[0019] 도 1은 본 발명의 일 실시형태와 관련되는 검사 시스템의 개략 구성을 모식적으로 나타내는 도면이다. 검사 시스템은, 웨이퍼에 있어서의 모든 프로세스가 종료된 단계에서, 웨이퍼에 형성되어 있는 복수의 디바이스(IC 칩; 이하 DUT(Device Under Test)라고도 한다)의 전기적 검사를 행하는 것이다.

[0020] 도 1에 나타내는 바와 같이, 검사 시스템(100)은, 웨이퍼 상의 디바이스에 대하여 프로브 카드의 프로브를 접촉시키는 프로버(200)와, 디바이스에 전기 신호를 주어 전기적인 검사를 행하는 테스터(300)와, 고장 해석 및 예지 처리부(400)와, 상위 제어부(500)를 갖고 있다.

[0021] 프로버(200)는, 본체부(21)와, 반송부(22)와, 프로버 제어부(27)를 갖고 있다.

[0022] 본체부(21)는, 하우징(23)과, 하우징(23)의 윗면을 구성하고, 중앙에 원형의 구멍(24a)이 형성된 헤드 플레이트

(24)와, 헤드 플레이트(24)의 구멍(24a)에 대응하는 위치에 설치되고, 복수의 프로브(접촉자)(25a)를 갖는 프로브 카드(25)와, 프로브 카드(25)의 아래쪽 위치에서 웨이퍼 W를 탑재하고, 흡착하는 스테이지(웨이퍼 척 탑)(26)를 갖는다. 스테이지(26)는, X-Y 테이블 기구, Z 방향 이동 기구 및 Θ 방향 이동 기구(모두 도시하지 않음)에 의해 X, Y, Z, Θ 방향으로 이동 가능하게 되어 있고, 웨이퍼 W를 소정의 검사 위치에 위치결정 하도록 되어 있다. 그리고, 웨이퍼 W를 상승시키는 것에 의해, 프로브 카드(25)의 프로브(25a)가 복수의 디바이스의 전극에 접촉하도록 되어 있다.

[0023] 반송부(22)는 반송 장치(도시하지 않음)를 가짐과 아울러, 웨이퍼 캐리어 및 프로브 카드 스토커(모두 도시하지 않음)가 장착되어 있고, 반송 장치에 의해, 웨이퍼 캐리어로부터 웨이퍼 W를 스테이지(26) 상에 반송함과 아울러, 프로브 카드 스토커로부터 프로브 카드(25)를 헤드 플레이트(24)의 아래쪽에 반송한다.

[0024] 프로버 제어부(27)는, 프로버(200)의 각 구성부를 제어하는, CPU를 갖는 주 제어부와, 키보드나 마우스, 리모컨 등의 입력부와, 프린터 등의 출력부와, 디스플레이 등의 표시부와, 제어에 필요한 정보를 기억하는 기억부를 갖고 있다. 주 제어부는, 검사에 있어서, 기억부에 처리 레시피가 기억된 기억 매체를 세트하는 것에 의해, 기억 매체로부터 호출된 처리 레시피에 근거하여 프로버(200)에 소정의 처리 동작을 실행시킨다.

[0025] 테스터(300)는, 하우징(31)과, 하우징(31) 내의 저부에 수평으로 마련된 마더보드(32)와, 마더보드(32)의 슬롯에 수직 상태로 장착된 복수의 검사 회로 보드(33)와, 마더보드(32)와 프로브 카드(25)를 접속하기 위한 콘택트 블록(34)과, 테스터 제어부(35)를 갖고 있다.

[0026] 마더보드(32)는, 콘택트 블록(34)을 사이에 두고 프로브 카드(25)에 접속된다. 콘택트 블록(34)은, 마더보드(32)와의 사이의 접속 및 프로브 카드(25)와의 사이의 접속을, 각각 복수의 콘택트 핀(34a) 및 콘택트 핀(34b)을 통해서 행한다. 콘택트 핀(34a, 34b)은 포고핀으로 구성되어 있다. 검사 회로 보드(33)는, 다양한 테스트 항목에 따라 웨이퍼 W의 디바이스에 전기적 신호를 주는 것이다.

[0027] 테스터 제어부(35)는, 테스터(300)의 각 구성부를 제어하는, CPU를 갖는 주 제어부와, 키보드나 마우스, 리모컨 등의 입력부와, 프린터 등의 출력부와, 디스플레이 등의 표시부와, 제어에 필요한 정보를 기억하는 기억부를 갖고 있다. 주 제어부는, 검사에 있어서, 기억부에 테스트 항목 등이 기억된 기억 매체를 세트하는 것에 의해, 기억 매체로부터 호출된 테스트 항목에 근거하여 테스터(300)에 소정의 동작을 실행시킨다.

[0028] 프로버 제어부(27) 및 테스터 제어부(35)는, 각각, 어떠한 고장이 발생한 경우에, 그 원인의 해명이나 대처를 목적으로 하여, 시스템의 동작 이력이나 조작자의 조작 이력, 진단 이력 등의 이력 정보(로그 데이터)를 취득하는 이력 정보 취득부(도시하지 않음)를 갖고, 이력 정보 취득부가 취득한 이력 정보는, 이력 정보 기억 및 관리부(40)에 기억되도록 되어 있다.

[0029] 고장 해석 및 예지 처리부(400)는, 인공 지능(AI)을 갖고 있고, 고장(FAIL) 또는 고장의 징조가 발생했을 때에, 프로버(200) 또는 테스터(300)로부터의 정보로 요인 해석을 행하고, 그래서 고장 개소를 모르는 경우에, 이력 정보 기억 및 관리부(40)로부터, 그 고장에 관련되는 테스터 및 프로버의 이력 정보를 취득하고, 그 정보와 서비스 개발자 등의 조작자의 평가에 근거하여 고장의 개소를 파악(특정 또는 추정) 또는 예지한다.

[0030] 도 2에 나타내는 바와 같이, 고장 해석 및 예지 처리부(400)는, 이력 정보 기억 및 관리부(40)로부터, 프로버 정보로서, 스테이지 좌표 정보, 콘택트 가중 정보, 프로브 위치 및 기울기 정보, 스테이지 온도를 취득할 수 있고, 테스터 정보로서, 핀 리크 정보, 핀 접촉 저항, 핀 전원 전압 및 전류 정보를 취득할 수 있다.

[0031] 상위 제어부(500)는, CPU를 갖는 주 제어부와, 키보드나 마우스, 리모컨 등의 입력부와, 프린터 등의 출력부와, 디스플레이 등의 표시부와, 제어에 필요한 정보를 기억하는 기억부를 갖고 있다. 상위 제어부(500)는, 프로버 제어부(27) 및 테스터 제어부(35)의 상위의 제어부이고, 프로버 제어부(27) 및 테스터 제어부(35)에 대한 정보의 수수를 행함과 아울러, 고장 정보를 고장 해석 및 예지 처리부(400)에 보내고, 고장 해석 및 예지 처리부(400)로부터 고장(또는 그 징조)의 요인에 관한 정보를 받아, 그 정보를 표시부에 표시한다.

[0032] <검사 방법>

[0033] 이와 같이 구성된 검사 시스템(100)에 있어서는, 프로버(200)의 반송부(22)에 의해 프로브 카드(25)를 장착하고, 그 다음에 반송부(22)에 의해 캐리어 내의 웨이퍼 W를 스테이지(26) 상에 반송하고, 웨이퍼 W를 스테이지(26) 상에 진공 흡착한 상태에서, 웨이퍼 W에 대하여 테스터(300)에 의해, 전기적 검사를 행한다. 이때, 프로브 카드(25)는 콘택트 블록(34)을 사이에 두고 마더보드(32)에 전기적으로 접속되어 있다.

[0034] 검사에 있어서는, 스테이지(26)를 상승시켜 프로브 카드(25)의 프로브(25a)를 웨이퍼 W의 각 디바이스(DUT)에

접촉시킨다. 그리고, 도 3에 나타내는 바와 같이, 검사 회로 보드(33)로부터의 전기 신호가, 마더보드(32), 콘택트 블록(34), 프로브 카드(25)를 거쳐 웨이퍼 W의 각 디바이스에 도달하고, 또한 디바이스로부터 프로브 카드(25), 콘택트 블록(34), 마더보드(32)를 거쳐 검사 회로 보드(33)에 돌아온다. 이것에 의해 각 디바이스의 전기적 특성이 검사된다.

[0035] 구체적으로는, 테스터(300)로부터 웨이퍼 상의 디바이스에 대하여, 전압, 전류, 로직 파형 등을 출력하고, 디바이스로부터의 전압, 전류, 로직 파형을 측정하여, 디바이스의 PASS 및 NG를 판단한다.

[0036] 테스터(300)의 검사 회로 보드(33)로부터 웨이퍼까지는 도 3과 같은 구성으로 되어 있기 때문에, 테스터 측정 정밀도, 콘택트부의 위치, 웨이퍼 W와 프로브(25a)의 접촉, 스테이지(26)(웨이퍼 척 탑)의 위치 등의 복수의 요인이 포함되어 웨이퍼 W 상의 디바이스의 측정에 이르고 있다.

[0037] 그 때문에, 상기의 구성상의 어딘가에 문제가 있었을 경우, 웨이퍼의 측정 불량(고장)이 발생하지만, 종래에는, 그 요인이 어디에 있는지를 용이하게 특정할 수 없는 일이 있었다. 그 이유의 하나로서, 종래, 테스터의 정보와 프로버의 정보를 별개로 관리하고 있었기 때문에, 테스터 및 프로버의 한쪽이 다른 쪽의 요인으로 불량(고장)을 일으킨 경우는, 그 요인을 특정할 수 없는 것을 들 수 있다. 또한, 고장을 예지하여 사전에 대응하는 것이 요구되지만, 이와 같이 테스터의 정보와 프로버의 정보를 별개로 관리하는 경우는, 고장의 예지도 곤란하다.

[0038] 그래서, 본 실시형태에서는, 검사 때에 불량(FAIL)이 되었을 때, 즉 어떠한 고장이 생긴 경우에, 또는 FAIL은 아니지만 고장의 전 단계의 징조가 생긴 경우, 고장 해석 및 예지 처리부(400)의 프로그램이 기동되도록 하여, 이와 같은 문제에 대처한다. 또, 고장의 전 단계의 징조란, 후술하는 바와 같이, PASS의 레벨을 몇 단계인가로 나누고, PASS이더라도 가까운 장래에 고장이 된다고 판단되는 경우를 말하고, 고장 예지에 도움이 되는 것이다.

[0039] <고장 해석 및 예지 프로그램>

[0040] 이때의 고장 해석 및 예지 프로그램의 플로차트를 도 4에 나타낸다.

[0041] 우선, 고장 또는 고장의 전 단계의 징조가 발생한 것이 통지된다(스텝 1). 또, 여기서 "고장"이란, 측정이 "FAIL"이 된 것을 말하고, 장치 구성부의 본래의 고장뿐만 아니라, 장치는 고장이 아니지만 먼지 등에 의해 "FAIL"이 된 것도 포함한다.

[0042] 다음으로, 테스터 내 또는 프로버 내의 정보를 취득하고 그 정보로 요인 해석을 행한다(스텝 2). 요인의 특정을 할 수 있었는지 여부를 판단하고(스텝 3), 요인을 특정할 수 있었을 경우는 종료한다.

[0043] 요인의 특정을 할 수 없는 경우는, 이력 정보 기억 및 관리부(40)의 테스터 또는 프로버의 과거의 이력을 검색한다(스텝 4). 다음으로, 그 고장(또는 징조)의 정보 또는 그 고장(또는 징조)에 가까운 정보가 있는지 여부를 판단한다(스텝 5). 가까운 정보가 없는 경우, 다른 쪽의 정보(최초로 해석한 것이 프로버인 경우는 테스터의 정보이고, 최초로 해석한 것이 테스터의 정보인 경우는 프로버의 정보)로, 과거의 이력 중에서 그 고장(또는 징조)의 정보 또는 고장(또는 징조)에 가까운 정보를 해석한다(스텝 6). 다음으로, 고장(또는 징조) 개소와 해석 위치가 관련되는지를 판단하고(스텝 7), 관련되는 경우는, 고장 개소를 특정 또는 추정 또는 고장 개소를 예지하고(스텝 8), 이력으로서 등록한다(스텝 9). 그리고, 그 결과는, 예컨대 표시부에 표시된다. 고장을 예지한 경우에는, 실제로 고장은 생기지 않은 단계에서 대처할 수 있다.

[0044] 한편, 상기 스텝 5에서 가까운 정보가 있는 경우, 고장 개소를 특정 또는 추정 또는 고장 개소를 예지하고(스텝 8), 이력으로서 등록한다(스텝 9). 또한, 스텝 7에서, 고장(또는 징조) 개소와 해석 위치가 관련되지 않는 경우는, 다른 정보를 검색하여, 스텝 6의 과거의 이력의 해석을 행한다.

[0045] <고장 해석 및 예지의 실례>

[0046] 다음으로, 고장 해석 및 예지의 실례에 대하여 설명한다.

[0047] 예컨대, 도 5에 나타내는 바와 같이, 프로브 카드(25)의 설치가 정상이 아닌 경우, 웨이퍼 검사에 있어서, 접촉 불량(오픈), 또는, 테스터로부터 웨이퍼까지의 전송 경로의 저항이 커지는 것에 의해, 검사 결과 불량이 발생한다.

[0048] 접촉 불량 또는 전송 경로의 저항이 클 때의 발생 요인으로서는, 이하의 (1)~(5)의 복수의 요인을 생각할 수 있다.

[0049] (1) 콘택트 블록(34)의 테스터 쪽의 콘택트

[0050] (2) 콘택트 블록(34)의 프로브 카드 쪽의 콘택트

[0051] (3) 프로브(25a)와 웨이퍼 W의 콘택트

[0052] (4) 스테이지(26)(척 탑)의 수평 불량→스테이지의 높이 정보로부터 판단

[0053] (5) 테스터 출력 및 측정 불량 등→테스터 진단 결과로부터 판단

[0054] 이미 이 시점에서, 테스터 진단 결과 및 스테이지(26)의 높이의 정보로, 이들이 정상인 것을 알고 있으면, 콘택트 블록(34) 및 프로브 카드 주변에서의 불량(고장)이 추측된다.

[0055] 또한, 도 6에 나타내는 바와 같이, 진단용 프로브 카드(250)로 진단을 행한 결과, 정상의 결과가 얻어졌으면, 상기 (1) 및 (2)가 정상인 것을 알 수 있고, 요인은 (3)의 프로브 카드에 의한 접촉 불량으로 추측(특정)할 수 있고, 고장 개소를 파악할 수 있다. 또한, 후술하는 바와 같이 PASS의 레벨을 복수 레벨로 설정하여 두면, 이들에 의해 고장 개소의 예지를 행할 수 있다.

[0056] 이와 같이, 테스터(300) 및 프로버(200)로부터의 정보와, 서비스 개발자 등의 장치 조작자에 의한 요인 해석 프로세스에 관한 평가에 근거하여, 고장 개소의 파악 및 예지가 가능하게 된다.

[0057] <고장 예지>

[0058] 다음으로, 고장 예지에 대하여 상세하게 설명한다.

[0059] 테스터(300)에 의한 웨이퍼 W 상의 디바이스(DUT)의 검사에 있어서는, 디바이스마다 검사 결과가 얻어지고, OK(PASS)이더라도, 전혀 문제가 없는 레벨로부터 FAIL에 가까운 레벨까지 존재한다.

[0060] 복수의 검사 항목에 대하여, OK(PASS) 내의 레벨을 예컨대 도 7에 나타내는 바와 같이, 6단계로 설정한다. 도 7의 레벨 0은, 고장의 가능성이 거의 없는 레벨이고, 레벨 1~5로 레벨이 높아짐에 따라 FAIL에 가까워져 간다.

[0061] 예컨대 어느 검사 항목(기능)에 대하여, 복수 일 또는 복수 회의 측정 결과를 사용한다. 복수의 측정 결과가 모두 레벨 0이면, 이 검사 항목(기능)은 높은 수준으로 정상이고, 현시점에서는 고장의 가능성은 낮다고 판단할 수 있다. 그러나, 시간 경과에 따라, 측정 결과가 레벨 1, 2, 3으로 상승하여 가면, 장래적으로 고장(FAIL)에 이를 가능성이 높고, 상승의 시간 간격이 소정의 값이 되었을 때에, 고장의 전 단계의 징조 있음으로 한다. 이것에 의해, 고장 시기를 예측할 수 있다. 그 결과, 사전에 그 부품의 교환, 수리가 가능하게 된다. 또한, 동일하게, 다른 항목도 레벨 나누기를 행하고, 상술한 바와 같이 비교, 참조함으로써, 고장의 요인 개소의 특정도 가능하게 된다.

[0062] 예컨대, 유저가 검사 시스템을 이용하여 웨이퍼의 검사를 행하였을 때, 수율이 이전과 비교하여 나빠졌다고 한다. 예컨대 최종적으로 도 3의 구조에 있어서 접촉 저항이 큰 개소가 있다고 여겨지는 경우, 종래에는 그 개소의 특정이 곤란하고, 고장 예지를 할 수 없었다. 그 이유는, 종래에는, 각 진단 항목에 대하여 웨이퍼의 모든 디바이스의 검사를 행하고 있지만, 그 결과는 PASS와 FAIL에 지나지 않고, 단계적인 평가를 할 수 없었기 때문이다.

[0063] 이것에 비하여, 상술한 바와 같이 PASS의 레벨을 복수 단계로 나누는 것에 의해, 고장의 전 단계의 징조를 파악할 수 있고, 또한 복수 항목을 합해서 그 개소도 특정할 수 있으므로, 그것에 근거하여, 고장 해석 및 예지 처리부(400)에 의해, 특정 부분(예컨대, 프로브 카드, 검사 회로 보드)의 고장의 예지를 행할 수 있다.

[0064] <웨이퍼 맵을 이용한 해석 결과 표시>

[0065] 이와 같이 PASS의 레벨을 복수 단계로 나누는 수법을 웨이퍼 맵에 이용하고, 웨이퍼 맵을 표시하여 해석 결과를 확인할 수 있다. 고장 해석은 기본적으로 디바이스(DUT) 단위로 행하기 때문에, 복수의 DUT가 PASS이기는 하지만 레벨이 높아 고장의 전 단계로 판단된 경우, 이것이 어느 영향으로 발생하고 있는지를 웨이퍼 상의 복수의 DUT를 표시한 웨이퍼 맵으로 확인할 수 있다. 웨이퍼 맵의 표시는, 최근의 결과만의 표시와, 과거의 결과를 겹친 표시의 선택이 가능하다.

[0066] 레벨 표시 가능한 웨이퍼 맵을 이용하여 복수의 DUT가 FAIL, 또는 PASS이긴 하지만 레벨이 높아 고장의 전 단계로 판단된 경우의 고장 해석 및 예지의 예를 도 8~도 10에 나타낸다. 이들 도면에 있어서, 색이 진할수록 도 7의 레벨이 높은 것을 나타낸다.

[0067] 도 8은 웨이퍼 맵에 선 형상으로 색이 진한(레벨이 높은) 부분이 생기는 경우이다. 복수의 검사 회로 보드(33)는, 각각, 웨이퍼 상의 복수의 DUT 중 상이한 선 형상 영역에 대응하고 있기 때문에, 이와 같이 선 형상으로 색이 진한 경우는, 검사 회로 보드(33)의 1매가 고장이거나, 고장의 전 단계인 것이 요인이라고 생각된다.

[0068] 도 9는 웨이퍼 맵의 일부에 스폿 형상으로 색이 진한(레벨이 높은) 부분이 생기는 경우이다. 이것은, 콘택트 핀의 선단에 이물이 끼어, 그 영향으로 주위의 콘택트 핀의 접촉이 나빠진 것이 요인이라고 생각된다.

[0069] 도 10은 웨이퍼 맵의 우측에 전체적으로 색이 진한(레벨이 높은) 부분이 생기는 경우이다. 이것은, 웨이퍼 또는 프로브 카드의 접촉이 균일하게 되어 있지 않은 것이 요인이라고 생각된다. 예컨대, 도 5와 같은 상태이다.

[0070] <스테이지(웨이퍼 척 탑)의 높이>

[0071] 스테이지의 높이는, 스테이지의 4점에 있어서, 4점의 높이 평균에 대한 격차를 예컨대 도 7의 6단계(레벨 0~5) 및 FAIL로 판정하여 표시한다. 그 예를 도 11에 나타낸다. 도 11에 있어서도, 색이 진할수록 도 7의 레벨이 높은 것을 나타낸다. 예컨대, 도 12와 같은 상태이다. 스테이지의 높이에 격차가 있었을 경우, 시각적으로 확인할 수 있다. 상기 도 10의 결과도 합치면, 스테이지(26)의 높이 격차에 기인하여, 콘택트 블록으로부터 테스터까지의 사이에 영향을 주는 것도 생각할 수 있다.

[0072] 이상과 같이, 본 실시형태에 따르면, 고장이 발생한 경우에, 프로버 및 테스터의 양쪽의 이력 정보에 근거하여 이상의 요인을 특정하므로, 신속히 고장 개소의 특정 또는 추정을 행할 수 있다. 또한, 고장의 전 단계의 징조가 발생한 경우에, 고장 전에 고장 개소를 예지할 수 있으므로, 사전에 대상 부품의 교환이나 수리가 가능하게 된다. 이 때문에, 검사 시스템의 가동률을 향상시킬 수 있다.

[0073] <다른 적용>

[0074] 또, 본 발명은 상기 실시형태로 한정되는 일 없이, 본 발명의 사상의 범위 내에 있어서 다양하게 변형 가능하다. 예컨대, 상기 실시형태에 있어서, 도 4의 플로차트는 예시에 지나지 않고, 프로버 및 테스터의 양쪽의 정보로부터 고장 해석 및 고장 예지를 할 수 있으면 이것으로 한정되지 않는다. 또한, 검사 시스템의 구성도 상기 실시형태로 한정되지 않고, 또한, 검사 시스템이 복수의 프로버 및 복수의 테스터를 포함하고 있더라도 좋다. 또한, 기판으로서 반도체 웨이퍼를 이용한 예를 나타냈지만, 기판은 반도체 웨이퍼에 한하는 것이 아니다.

부호의 설명

[0075] 21 : 본체부

22 : 반송부

23 : 하우징

24 : 헤드 플레이트

25 : 프로브 카드

25a : 프로브

26 : 스테이지(웨이퍼 척 탑)

27 : 프로버 제어부

31 : 하우징

32 : 마더보드

33 : 검사 회로 보드

34 : 콘택트 블록

35 : 테스터 제어부

40 : 이력 정보 기억 및 관리부

100 : 검사 시스템

200 : 프로버

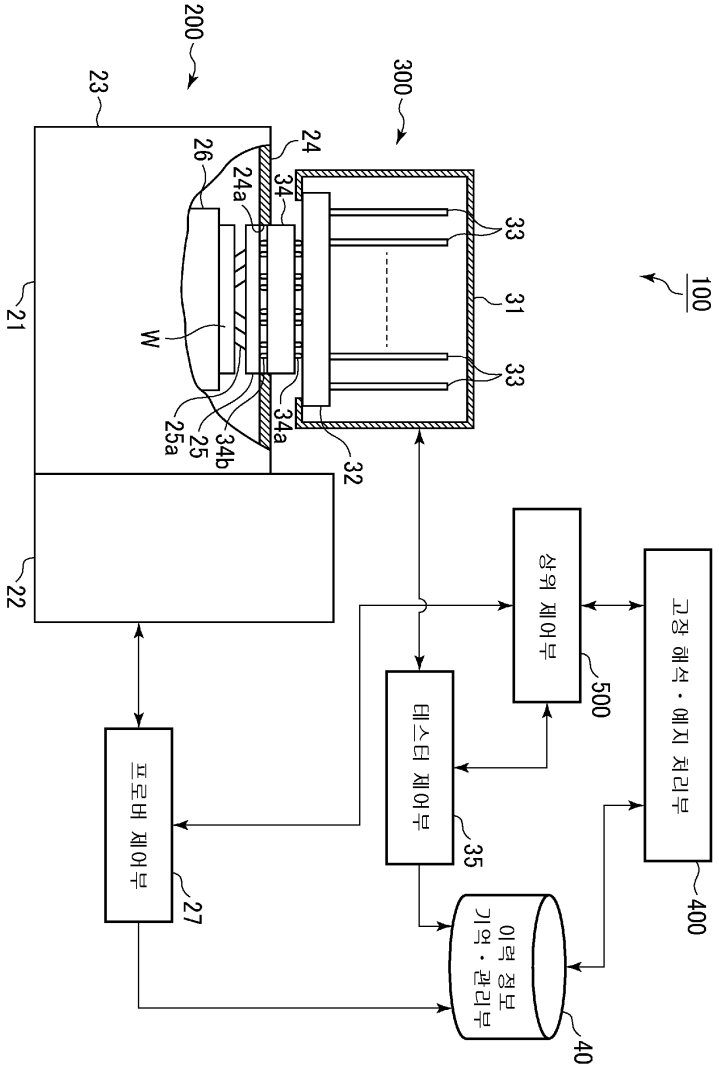
300 : 테스터

400 : 고장 해석 및 예지 처리부

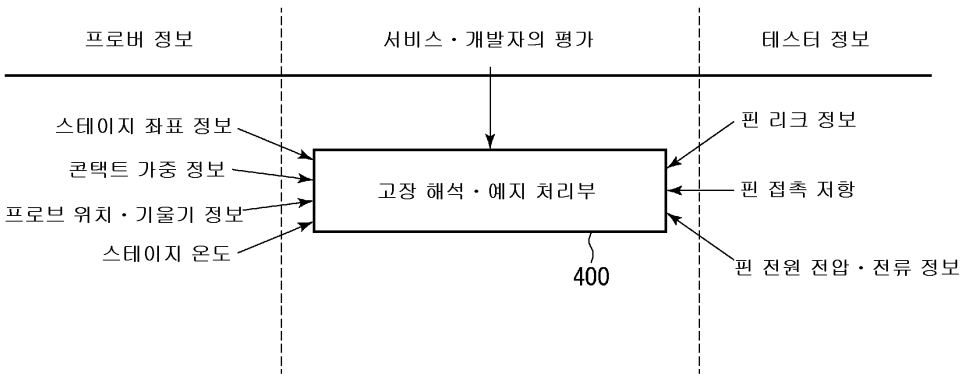
500 : 상위 제어부

도면

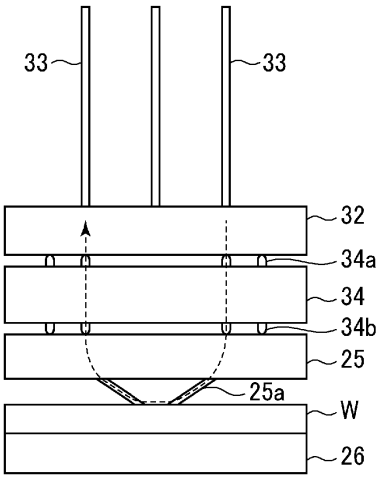
도면1



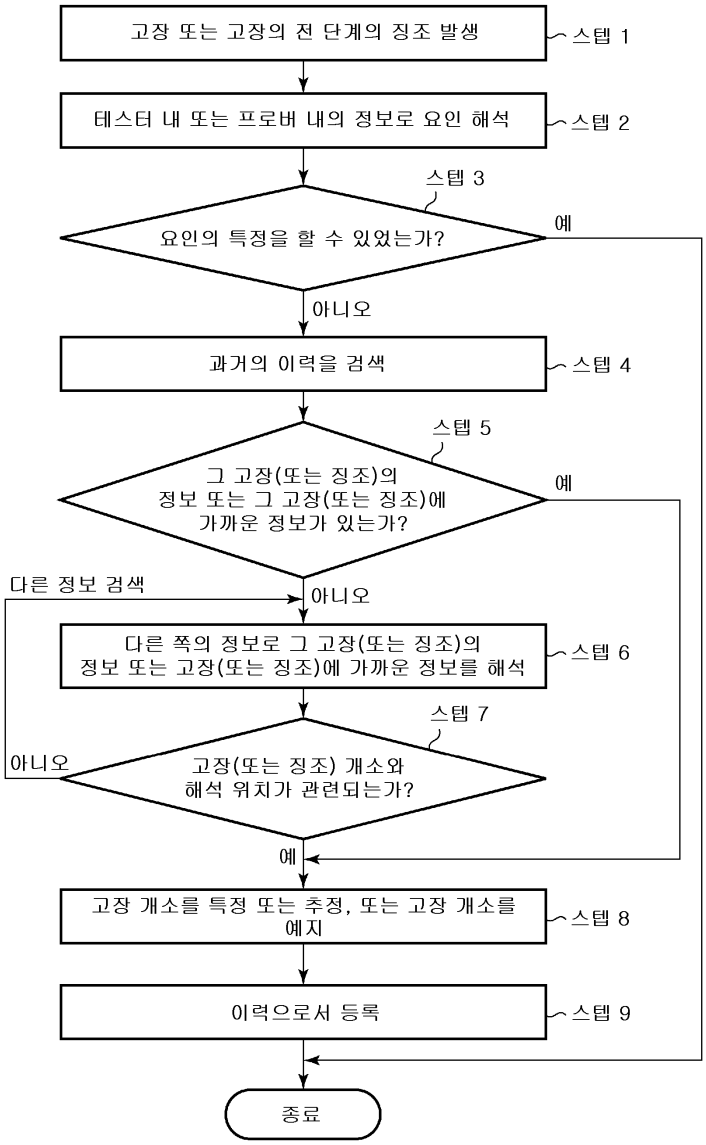
도면2



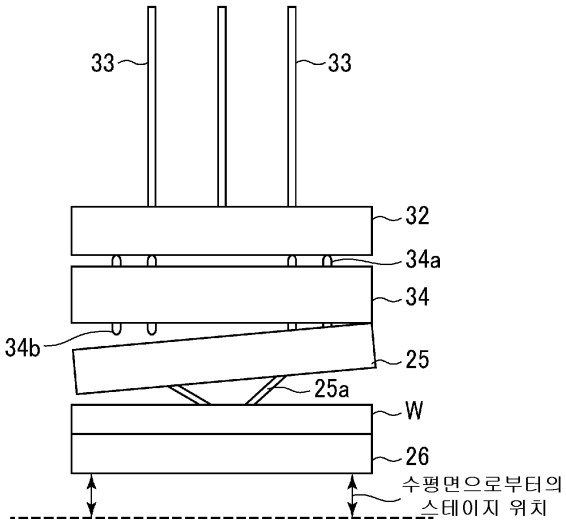
도면3


33
33
32
34a
34
34b
25
25a
W
26

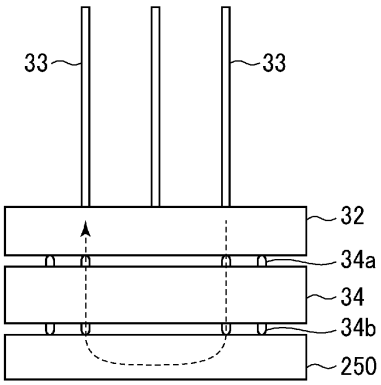
도면4


고장 또는 고장의 전 단계의 징조 발생
스텝 1
테스터 내 또는 프로버 내의 정보로 요인 해석
스텝 2
스텝 3
요인의 특정을 할 수 있었는가?
예
아니오
과거의 이력을 검색
스텝 4
스텝 5
그 고장(또는 징조)의
정보 또는 그 고장(또는 징조)에
가까운 정보가 있는가?
예
다른 정보 검색
아니오
다른 쪽의 정보로 그 고장(또는 징조)의
정보 또는 고장(또는 징조)에 가까운 정보를 해석
스텝 6
스텝 7
아니오
고장(또는 징조) 개소와
해석 위치가 관련되는가?
예
고장 개소를 특정 또는 추정, 또는 고장 개소를
예지
스텝 8
이력으로서 등록
스텝 9
종료

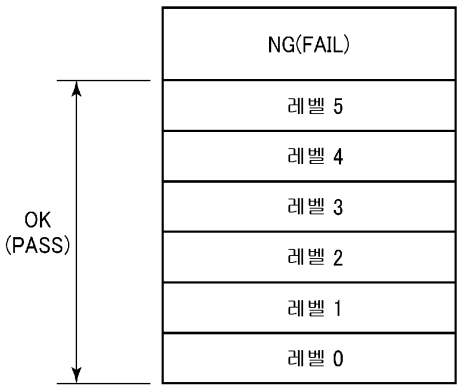
도면5


33
33
32
34a
34
34b
25
25a
W
26
수평면으로부터의
스테이지 위치

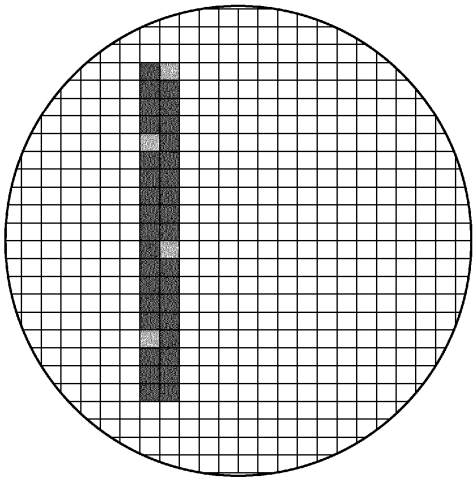
도면6


33
33
32
34a
34
34b
250

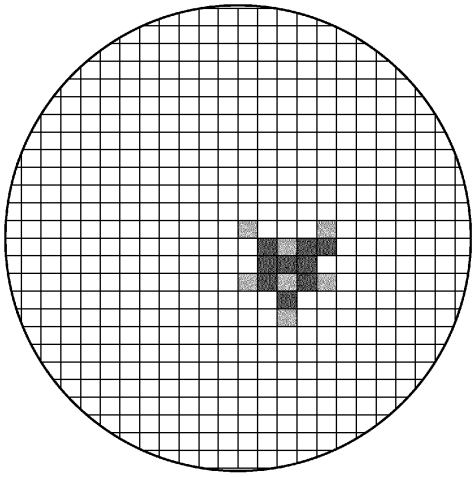
도면7


NG(FAIL)
레벨 5
레벨 4
레벨 3
레벨 2
레벨 1
레벨 0
OK
(PASS)

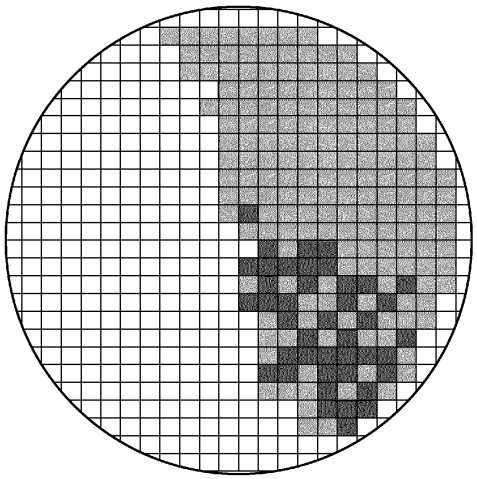
도면8



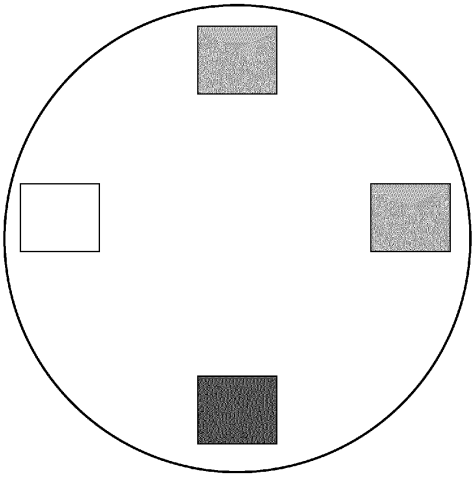
도면9



도면10



도면11



도면12

