

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-7601

(P2014-7601A)

(43) 公開日 平成26年1月16日(2014.1.16)

(51) Int.Cl.
H04L 12/42 (2006.01)F I
H04L 12/42 Zテーマコード (参考)
5K031

審査請求 未請求 請求項の数 8 O L (全 18 頁)

(21) 出願番号 特願2012-142365 (P2012-142365)
(22) 出願日 平成24年6月25日 (2012. 6. 25)(71) 出願人 000005108
株式会社日立製作所
東京都千代田区丸の内一丁目6番6号
(74) 代理人 100064414
弁理士 磯野 道造
(74) 代理人 100111545
弁理士 多田 悦夫
(72) 発明者 徳永 素克
茨城県ひたちなか市市毛1070番地 株
式会社日立製作所都市開発システム社内
Fターム(参考) 5K031 AA08 DA15 DB14 EA01 EB08

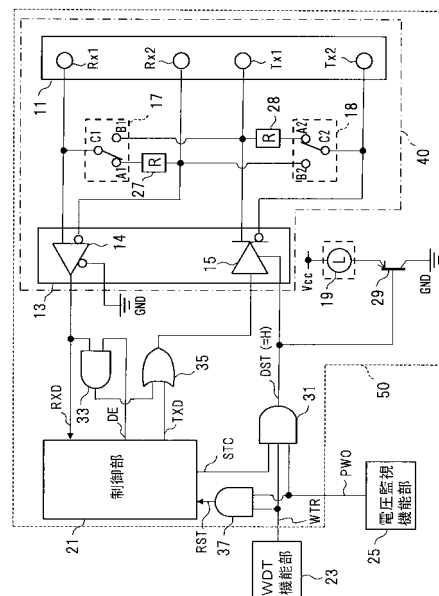
(54) 【発明の名称】 組込インタフェース回路

(57) 【要約】

【課題】機器が異常動作状態に陥った場合でも、ネットワークへの影響を最小限に抑制し得る組込インタフェース回路を提供する。

【解決手段】1対の受信端子Rx1, Rx2を介して差動シリアル信号を受信する差動レシーバ14と、1対の送信端子Tx1, Tx2に差動シリアル信号を出力する差動ドライバ15と、を備え、機器状態判断手段(ANDゲート31)により、当該組込インタフェース回路が組み込まれる機器が正常稼働状態であるか否かを判断し、切替手段(17、18)により、機器状態判断手段が正常稼働状態であると判断したときには、1対の受信端子及び差動レシーバ14間、並びに、差動ドライバ15及び1対の送信端子間、をそれぞれ接続し、また、機器状態判断手段が正常稼働でない状態と判断したときには、1対の受信端子及び1対の送信端子間を接続する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

1 対の受信端子と、

1 対の送信端子と、

当該組込インタフェース回路が組み込まれる機器が正常稼働状態であるか否かを判断する機器状態判断手段と、

前記 1 対の受信端子を介して差動シリアル信号を受信する差動レシーバと、

前記 1 対の送信端子に差動シリアル信号を出力する差動ドライバと、

前記機器状態判断手段が正常稼働状態であると判断したとき、前記 1 対の受信端子及び前記差動レシーバ間、並びに、前記差動ドライバ及び前記 1 対の送信端子間、をそれぞれ接続し、前記機器状態判断手段が正常稼働でない状態と判断したとき、前記 1 対の受信端子及び前記 1 対の送信端子間を接続する切替手段と、を有すること

10

を特徴とする組込インタフェース回路。

【請求項 2】

前記正常稼働でない状態は、前記機器の動作が異常である状態、前記機器の起動が未完である状態、及び / または、前記機器の電源が未投入である状態を含むこと、

を特徴とする請求項 1 に記載の組込インタフェース回路。

【請求項 3】

前記切替手段は、

一端が前記受信端子の反転極性端子及び前記差動レシーバの反転極性入力と接続される第 1 抵抗と、

20

一端が前記送信端子の正極性端子及び前記差動ドライバの正極性出力と接続される第 2 抵抗と、

前記第 1 抵抗の他端と接続される第 1 端子と、前記第 2 抵抗の一端と接続される第 2 端子と、前記受信端子の正極性端子及び前記差動レシーバの正極性入力と接続される第 3 端子と、を備え、前記第 3 端子と前記第 1 端子または前記第 2 端子との接続を切り替える第 1 スwitching 素子と、

前記第 2 抵抗の他端と接続される第 1 端子と、前記第 1 抵抗の一端と接続される第 2 端子と、前記送信端子の反転極性端子及び前記差動ドライバの反転極性出力と接続される第 3 端子と、を備え、前記第 3 端子と前記第 1 端子または前記第 2 端子との接続を切り替える第 2 スwitching 素子と、を有し、

30

前記機器状態判断手段が正常稼働状態であると判断したときは、前記第 1 スwitching 素子の前記第 3 端子と前記第 1 端子とを接続すると共に、前記第 2 スwitching 素子の前記第 3 端子と前記第 1 端子とを接続し、

前記機器状態判断手段が正常稼働でない状態と判断したときは、前記第 1 スwitching 素子の前記第 3 端子と前記第 2 端子とを接続すると共に、前記第 2 スwitching 素子の前記第 3 端子と前記第 2 端子とを接続すること

を特徴とする請求項 1 または請求項 2 に記載の組込インタフェース回路。

【請求項 4】

前記切替手段は、

40

一端が前記受信端子の反転極性端子及び前記差動レシーバの反転極性入力と接続される第 1 抵抗と、

一端が前記送信端子の正極性端子及び前記差動ドライバの正極性出力と接続される第 2 抵抗と、

一端が前記第 1 抵抗の他端と接続され、他端が前記受信端子の正極性端子及び前記差動レシーバの正極性入力と接続される第 3 スwitching 素子と、

一端が前記第 2 抵抗の一端と接続され、他端が前記受信端子の正極性端子及び前記差動レシーバの正極性入力と接続される第 4 スwitching 素子と、

一端が前記第 1 抵抗の一端と接続され、他端が前記送信端子の反転極性端子及び前記差動ドライバの反転極性出力と接続される第 5 スwitching 素子と、

50

一端が前記第 2 抵抗の他端と接続され、他端が前記送信端子の反転極性端子及び前記差動ドライバの反転極性出力と接続される第 6 スイッチング素子と、を有し、

前記機器状態判断手段が正常稼働状態であると判断したときは、前記第 3 スイッチング素子及び前記第 5 スイッチング素子を閉制御すると共に、前記第 4 スイッチング素子及び前記第 6 スイッチング素子を閉制御し、

前記機器状態判断手段が正常稼働でない状態であると判断したときは、前記第 3 スイッチング素子及び前記第 5 スイッチング素子を閉制御すると共に、前記第 4 スイッチング素子及び前記第 6 スイッチング素子を閉制御すること

を特徴とする請求項 1 または請求項 2 に記載の組込インタフェース回路。

【請求項 5】

前記差動レシーバ及び前記差動ドライバを介した差動シリアル信号の送受信を制御する制御手段を有し、

前記制御手段は、前記差動レシーバを常時作動可能とし、前記差動ドライバを前記機器状態判断手段が正常稼働状態であると判断したときにのみ作動可能とすること

を特徴とする請求項 1 または請求項 2 に記載の組込インタフェース回路。

【請求項 6】

前記差動レシーバの出力と前記差動ドライバの入力とを接続するバイパス回路を有し、

前記制御手段は、第 1 の他機器からの差動シリアル信号を第 2 の他機器へ転送する転送機能を有効とするときにのみ、前記バイパス回路を有効とすること

を特徴とする請求項 5 に記載の組込インタフェース回路。

【請求項 7】

当該組込インタフェース回路が組み込まれる機器が、

N 番目 (N は 3 以上の整数) の機器の 1 対の送信端子が 1 番目の機器の 1 対の受信端子に接続され、j 番目 ($j = 2 \sim N - 1$) の機器の 1 対の受信端子が j - 1 番目の機器の 1 対の送信端子に接続され、j 番目の機器の 1 対の送信端子が j + 1 番目の機器の 1 対の受信端子に接続された N 個の機器を備えたネットワークシステムの一機器であるとき、

前記制御手段は、当該機器から差動シリアル信号を送信した後、一定期間内に該差動シリアル信号を受信しないとき、或いは、一定期間内に受信した差動シリアル信号が送信した差動シリアル信号と一致しないとき、前記ネットワークシステムの異常であると判断すること

を特徴とする請求項 1 または請求項 2 に記載の組込インタフェース回路。

【請求項 8】

当該組込インタフェース回路が組み込まれる機器が、

N 番目 (N は 3 以上の整数) の機器の 1 対の送信端子が 1 番目の機器の 1 対の受信端子に接続され、j 番目 ($j = 2 \sim N - 1$) の機器の 1 対の受信端子が j - 1 番目の機器の 1 対の送信端子に接続され、j 番目の機器の 1 対の送信端子が j + 1 番目の機器の 1 対の受信端子に接続された N 個の機器を備えたネットワークシステムの一機器であるとき、

前記制御手段は、当該機器から差動シリアル信号を送信する期間、及び、該送信後に該差動シリアル信号を受信するまでの期間、或いは、該送信後から一定期間の間、前記転送機能を無効とすること

を特徴とする請求項 6 に記載の組込インタフェース回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ネットワークに接続する機器に組み込まれる組込インタフェース回路に関する。

【背景技術】

【0002】

半二重方式の差動シリアルインタフェースを介して機器間の接続を行うネットワークでは、ネットワークの接続構成は多種多様である。例えば、高速通信が必要な経路、接続台

10

20

30

40

50

数が多い経路、配線長が多い経路など、各種仕様に合わせた最適な構成がある。また、半二重方式の差動シリアルインタフェースは、主に2線の差動信号を送信/受信で共用しており、通信状況のモニタとプロトコル制御で送受信タイミングを形成している。

【0003】

例えば、特許文献1は、CPUなどのコントローラと表示パネルやカメラなどの周辺デバイス間の通信インタフェースを想定したものであって、自機の送信ポートが後段の受信ポートに接続され、また自機の受信ポートが前段の送信ポートに接続されるようネットワークを構成している。特許文献1では、このように制御デバイスと被制御デバイスをリングネットワーク状に接続して、多くの被制御デバイスが接続される場合にも、信号線の本数を増やさずに全体を最小限の信号線で接続可能とする手法が開示されている。

10

【0004】

また、特許文献2では、自機の送信ポートが後段の受信ポートに接続され、また自機の受信ポートが前段の送信ポートに接続されて構成されるリング型ネットワークを前提としている。このようなネットワークにおいて、データ伝送環境が悪い場合であっても、ロック信号とトレーニング信号とを区別するためのトレーニングヘッダ信号で初期化を行って、各機器が同期化され、且つ、互いに判定レベルを設定して一方向通信を可能とする手法が提案されている。

【先行技術文献】

【特許文献】

【0005】

20

【特許文献1】特開2007-49217号公報

【特許文献2】特開2005-150970号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

このような半二重方式の差動シリアルインタフェースは、主に、送信/受信機能を持つ複数の機器が相互間通信を行う場合に適用される。この半二重方式の差動シリアルインタフェースを用いたネットワーク構成の利点としては、差動信号を形成する2本の配線のみを使用してネットワーク接続が可能であるため、ネットワーク構築を低コスト化できる点、並びに、各機器におけるインタフェース回路が簡素化される点などが挙げられる。

30

【0007】

他方で、このネットワーク構成における制約事項として、半二重に対応したプロトコルである必要がある点、並びに、配線長や接続機器台数に対応した通信品質（通信速度、エラー率等）の検証が必要となる点などが挙げられる。特に配線長と通信速度については、双方の影響度が大きく、一定の通信品質を保つためには、配線長が長くなるに伴って通信速度の低下が余儀なくされる。この通信速度の低下はシステムの応答性能などに影響を与えるため、ネットワークの高速化が望まれる。

【0008】

また、ネットワークに接続される機器台数が多いほど、機器故障時のネットワークへの影響が懸念される。前記特許文献1において、ネットワークが正常稼働するには、受信データを自機で判別し転送する機能が正常稼働していることが前提であり、機器故障や電源異常などの異常動作状態に陥った場合には、該機器の後段に接続されるネットワーク上の通信経路は無効となって通信不可となる懸念がある。また、前記特許文献2においても同様である。

40

【0009】

なお、ネットワークに接続される機器が機器故障や電源異常などの異常動作状態に陥った場合の対処として、種々の技法が考えられる。例えば、該異常動作状態の機器から他の機器に異常通知メッセージ等が送信されるとき、他の機器側では、該異常動作状態の機器を迂回したネットワーク上の別経路を構築して、他の機器間で通信を行うようにするものがある。

50

【 0 0 1 0 】

さらに、異常通知メッセージ等が送信できないケースも考えられる。このような場合に対処するためには、例えば、各機器に受信データについて異常の有無を常時監視する監視機能や、定期的に他の機器の状態を確認するための通信を行う確認機能など、を各機器が備える必要がある。すなわち、ネットワークに接続される機器が異常動作状態に陥った場合、それを他の機器側で検知するための機能を備えておく必要性や、ネットワーク上の通信経路の変更を行う必要性があるなど、ネットワークへの影響は大きいものがあつた。

【 0 0 1 1 】

本発明は、以上のような事情に鑑みてなされたものであって、ネットワークに接続される機器が異常動作状態に陥った場合でも、該ネットワークにおける他の機器との接続状態を維持して、ネットワークシステムへの影響を最小限に抑制し得る組込インタフェース回路を提供することを目的としている。

【課題を解決するための手段】

【 0 0 1 2 】

上記課題を解決するため、本発明は、1対の受信端子と、1対の送信端子と、当該組込インタフェース回路が組み込まれる機器が正常稼働状態であるか否かを判断する機器状態判断手段と、前記1対の受信端子を介して差動シリアル信号を受信する差動レシーバと、前記1対の送信端子に差動シリアル信号を出力する差動ドライバと、前記機器状態判断手段が正常稼働状態であると判断したとき、前記1対の受信端子及び前記差動レシーバ間、並びに、前記差動ドライバ及び前記1対の送信端子間、をそれぞれ接続し、前記機器状態判断手段が正常稼働でない状態と判断したとき、前記1対の受信端子及び前記1対の送信端子間を接続する切替手段と、を備えることを特徴とする。

【発明の効果】

【 0 0 1 3 】

本発明により、ネットワークに接続される機器が異常動作状態に陥った場合でも、該ネットワークにおける他の機器との接続状態を維持して、ネットワークシステムへの影響を最小限に抑制し得る組込インタフェース回路を実現することができる。

【図面の簡単な説明】

【 0 0 1 4 】

【図1】本発明の一実施形態に係る組込インタフェース回路の回路構成図である。

【図2】(a)はスイッチング素子を説明する説明図であり、(b)はスイッチング素子が図1とは逆に切り替えられたときの接続状態を示す部分的な回路構成図である。

【図3】実施形態の組込インタフェース回路が組み込まれた機器をN台接続してリング型ネットワークを構成したときの構成図である。

【図4】実施形態の組込インタフェース回路が組み込まれた機器における送信時の処理手順を説明するフローチャートである。

【図5】図3のリング型ネットワークを入退室管理システムに適用したときの構成図である。

【図6】実施形態の変形例に係る組込インタフェース回路の部分的な回路構成図である。

【発明を実施するための形態】

【 0 0 1 5 】

以下、本発明の組込インタフェース回路の実施形態について、適宜図面を参照しながら詳細に説明する。なお、各図において共通する部分には同一の符号を付し、重複した説明を省略する。

【 0 0 1 6 】

〔実施形態〕

図1は本発明の一実施形態に係る組込インタフェース回路50の回路構成図である。本実施形態の組込インタフェース回路50は、各種入力機器や各種センサ等の機器に組み込まれ、該機器を、半二重方式の差動シリアルインタフェースを介して機器間接続を行うネットワークに接続するためのインタフェース回路である。なお、後記するように、本実施

10

20

30

40

50

形態の組込インタフェース回路 50 では、機器状態に応じて差動シリアル信号の接続関係が切り替わるが、図 1 とは逆の接続関係に切り替えられたときの部分的な回路構成図を図 2 (b) に示す。

【 0 0 1 7 】

図 1 において、組込インタフェース回路 50 は、コネクタ 11、差動シリアルトランシーバ 13、第 1 スイッチング素子 17、第 2 スイッチング素子 18、励磁コイル 19、制御部 21、トランジスタ 29、第 1 抵抗 27、第 2 抵抗 28、AND ゲート 31, 33, 37 及び OR ゲート 35 を備えた構成である。

【 0 0 1 8 】

コネクタ 11 は、差動シリアルインタフェースの受信端子及び送信端子を分離して備える。すなわち、受信端子 (Rx) として正極性端子 Rx 1 及び反転極性端子 Rx 2 を持ち、受信端子 (Tx) として正極性端子 Tx 1 及び反転極性端子 Tx 2 を持つ。このような送受信端子の分離構成により、他の機器とのデジチェーン接続が可能となる。

10

【 0 0 1 9 】

また、差動シリアルトランシーバ 13 には、1 対の受信端子 Rx 1, Rx 2 を介して差動シリアル信号を受信する差動レシーバ 14 と、1 対の送信端子 Tx 1, Tx 2 に差動シリアル信号を出力する差動ドライバ 15 と、を備える。なお、差動レシーバ 14 のイネーブル端子 (負論理) は接地電位 GND と接続されており、差動レシーバ 14 が常に有効となるよう制御されている。また、差動ドライバ 15 のイネーブル端子 (正論理) には後記する機器状態信号 DST が接続され、該機器状態信号 DST により差動ドライバ 15 の有効 / 無効が制御される構成である。

20

【 0 0 2 0 】

次に、特許請求の範囲にいう切替手段は、第 1 スイッチング素子 17、第 2 スイッチング素子 18、励磁コイル 19、第 1 抵抗 27、第 2 抵抗 28 及びトランジスタ 29 を備えて構成されている。

【 0 0 2 1 】

第 1 抵抗 27 は、一端が受信端子の反転極性端子 Rx 2 及び差動レシーバ 14 の反転極性入力と接続され、他端が第 1 スイッチング素子 17 の第 1 端子 A 1 と接続されている。また、第 2 抵抗 28 は、一端が送信端子の正極性端子 Tx 1 及び差動ドライバ 15 の正極性出力と接続され、他端が第 2 スイッチング素子 18 の第 1 端子 A 2 と接続されている。なお、第 1 抵抗 27 及び第 2 抵抗 28 は、デジチェーン接続における他の機器との 1 対 1 接続において、それぞれ終端抵抗として機能する。

30

【 0 0 2 2 】

第 1 スイッチング素子 17 は、第 1 抵抗 27 の他端と接続される第 1 端子 A 1 と、第 2 抵抗 28 の一端と接続される第 2 端子 B 1 と、受信端子の正極性端子 Rx 1 及び差動レシーバ 13 の正極性入力と接続される第 3 端子 C 1 と、を備えて、第 3 端子 C 1 と第 1 端子 A 1 または第 2 端子 B 1 との接続を切り替える。

【 0 0 2 3 】

また、第 2 スイッチング素子 18 は、第 2 抵抗 28 の他端と接続される第 1 端子 A 2 と、第 1 抵抗 27 の一端と接続される第 2 端子 B 2 と、送信端子の反転極性端子 Tx 2 及び差動ドライバ 15 の反転極性出力と接続される第 3 端子 C 2 と、を備えて、前記第 3 端子と前記第 1 端子または前記第 2 端子との接続を切り替える。

40

【 0 0 2 4 】

すなわち、第 1 スイッチング素子 17 及び第 2 スイッチング素子 18 は、それぞれ第 1 端子 A 1, A 2 側に接続されるとき (図 1 に示す接続状態) には、1 対の受信端子 Rx 1, Rx 2 に入力される差動シリアル信号は差動レシーバ 13 に供給される。このとき、受信される差動シリアル信号線の正極性側と反転極性側との間は第 1 抵抗 27 を介して接続され、終端抵抗 (第 1 抵抗 27) による終端処理が施された構成となる。また、同時に、差動ドライバ 15 から出力される差動シリアル信号は 1 対の送信端子 Tx 1, Tx 2 に出力される。このとき、送信される差動シリアル信号線の正極性側と反転極性側との間は第

50

2 抵抗 2 8 を介して接続され、終端抵抗 (第 2 抵抗 2 8) による終端処理が施された構成となる。

【 0 0 2 5 】

また、第 1 スイッチング素子 1 7 及び第 2 スイッチング素子 1 8 がそれぞれ第 2 端子 B 1 , B 2 側に接続されるとき (図 2 (b) に示す接続状態) には、送受信端子間が短絡され、1 対の受信端子 R x 1 , R x 2 に入力される差動シリアル信号は、そのまま 1 対の送信端子 T x 1 , T x 2 に出力される。なお、このとき、差動シリアル信号には終端抵抗 (第 1 抵抗 2 7 または第 2 抵抗 2 8) は接続されない。

【 0 0 2 6 】

なお、第 1 スイッチング素子 1 7 及び第 2 スイッチング素子 1 8 は、図 2 (a) に示すように、励磁コイル 1 9 によるメカニカルリレー 2 0 で具現されるものであり、(p n p) トランジスタ 2 9 のオンオフによって接続が切り替わる。すなわち、励磁コイル 1 9 はトランジスタ 2 9 と直列接続されて、電源電位 V c c と接地電位 G N D 間に接続されており、トランジスタ 2 9 のベース電極には、後記する機器状態信号 D S T が接続されている。

10

【 0 0 2 7 】

機器状態信号 D S T が H レベルの (機器が通常状態にある) ときには、トランジスタ 2 9 がオフ状態となって励磁コイル 1 9 には電圧は印加されず、第 1 スイッチング素子 1 7 及び第 2 スイッチング素子 1 8 は、それぞれ第 1 端子 A 1 , A 2 側に接続される (図 1 に示す接続状態) 。他方、機器状態信号 D S T が L レベルの (機器が非通常状態にある) ときには、トランジスタ 2 9 がオン状態となって励磁コイル 1 9 に電圧が印加され、第 1 スイッチング素子 1 7 及び第 2 スイッチング素子 1 8 は、それぞれ第 2 端子 B 1 , B 2 側に接続される (図 2 (b) に示す接続状態) こととなる。

20

【 0 0 2 8 】

次に、制御部 2 1 は、M P U (Micro-Processing Unit) または D S P (Digital Signal Processor) 等のプロセッサ、プログラムや各種データを記憶した R O M (Read Only Memory) や R A M (Random Access Memory) 等のメモリなどで構成され、差動レシーバ 1 4 及び差動ドライバ 1 5 を介した差動シリアル信号の送受信を行う。すなわち、受信時には、差動レシーバ 1 4 からの受信データ R X D を取り込み、送信時には、O R ゲート 3 5 を介して送信データ T X D を差動ドライバ 1 5 に出力する。なお、M P U または D S P は、当該組込インタフェース回路 5 0 が組み込まれる機器 (以下では、自機と称することもある) が、機器の動作制御のために持つものを流用しても良いし、或いは、独立したデータ通信制御専用のものであっても良い。

30

【 0 0 2 9 】

また、本実施形態の組込インタフェース回路 5 0 は、差動レシーバ 1 4 の出力と差動ドライバ 1 5 の入力とを接続するバイパス回路を備えている。バイパス回路は A N D ゲート 3 3 及び O R ゲート 3 5 で具現され、A N D ゲート 3 3 で受信データ R X D と転送イネーブル信号 D E との論理積がとられ、O R ゲート 3 5 で A N D ゲート 3 3 出力と送信データ T X D との論理和がとられる構成である。

【 0 0 3 0 】

すなわち、該バイパス回路を介した転送機能の有効 / 無効を判断する転送イネーブル信号 D E が H レベルのときに、受信データ R X D は A N D ゲート 3 3 をそのままスルーする。また、A N D ゲート 3 3 をスルーした受信データ R X D は、送信データ T X D が L レベルのときに、O R ゲート 3 5 をそのままスルーして転送機能が有効化される。なお、転送イネーブル信号 D E は制御部 2 1 から出力される信号である。また、転送イネーブル信号 D E が L レベルのときには、受信データ R X D の A N D ゲート 3 3 のスルーが禁止されるので、O R ゲート 3 5 をスルーできるのは、制御部 2 1 からの送信データ T X D のみであり、自機の送信機能が実施可能な状態となる。

40

【 0 0 3 1 】

ここで、制御部 2 1 が該転送イネーブル信号 D E を有効 (H レベル) とするのは、自機

50

の送受信を行わず、自機の受信端子と接続される第 1 の他機器からの差動シリアル信号を、自機の送信端子と接続される第 2 の他機器へ転送する転送機能を有効とするときのみである。換言すれば、制御部 21 は、自機の送受信を行うとき、転送イネーブル信号 DE を無効 (L レベル) とする。

【0032】

次に、AND ゲート 31 は、特許請求の範囲にいう機器状態判断手段に該当し、当該組込インタフェース回路が組み込まれる機器 (自機) が正常稼働状態であるか否かを判断して、機器状態信号 DST を出力する。本実施形態では、機器 (自機) の稼働状態を、電圧監視機能部 25 が出力するパワーオン信号 PWO、WDT 機能部 23 が出力する WDT リセット信号 WTR、並びに、制御部 21 が出力する起動完了信号 STC に基づき判断する。

10

【0033】

電圧監視機能部 25 は、自機の電源電圧 (Vcc) を常時監視し、電源電圧が所定電位を下回ったときにパワーオン信号 PWO を L レベルにする。したがって、自機の電源が未投入であるときや、停電時 (瞬停を含む) などにパワーオン信号 PWO が L レベルとなる。

【0034】

また、WDT 機能部 23 は、ハードウェア的に時間を計測するウォッチドッグタイマ (WatchDog Timer: WDT) がタイムアウトしたときに、WDT リセット信号 WTR を L レベルにする。例えば、制御部 21 を具現する MPU または DSP 等のプロセッサ上で実行されるプログラムの規則的な処理ルーチン中などに、この WDT の計時に基づくチェック機能が組み込まれる。その場合に、所定時間内に WDT がリセットされなかった (例えば、該処理ルーチンの所定タイミングで実行されるべき WDT リセット命令が実行されなかった) ときに WDT タイムアウトとなり、システムのリセット信号として、WDT リセット信号 WTR が L レベルとなる。

20

【0035】

なお、WDT 機能部 23 及び電圧監視機能部 25 は、機器が持つ RAS (Reliability, Availability and Serviceability) 機能として一般的に備えられているものであり、本実施形態では、組込インタフェース回路 50 の構成要素には含まれないものとした。また、機器が正常稼働でない状態として、WDT タイムアウトの状態や、自機の電源が未投入である状態を例示しているが、これらの何れか一方のみを用いた構成であっても良く、また、これら以外の他の要因に基づき正常稼働でない状態を判断するようにしても良い。

30

【0036】

また、起動完了信号 STC は、制御部 21 の稼働状態が通常状態にあるときにのみ H レベルとなる。例えば、機器の電源が投入または再投入されても、或いは、機器がリスタートしたとしても、制御部 21 が稼働可能な状態 (送受信を行える状態) に至るまでの間は、機器の起動が未完であるとして、起動完了信号 STC は L レベルのままとなる。また、機器 (自機) の稼働を終了させるときには、制御部 21 による送受信を行う必要が無くなった時点で起動完了信号 STC は L レベルとされ、機器の電源断時に取り残された受信データ RXD が残らないようにしている。

40

【0037】

AND ゲート 31 では、パワーオン信号 PWO、WDT リセット信号 WTR 及び起動完了信号 STC の論理積がとられて機器状態信号 DST が生成されるので、これらの信号が全て H レベルにあるとき、機器 (自機) の稼働状態が正常稼働状態にあるとして、H レベルの機器状態信号 DST が出力される。

【0038】

このとき、前記したように、トランジスタ 29 はオフ状態となって、励磁コイル 19 に電圧は印加されず、第 1 スイッチング素子 17 及び第 2 スイッチング素子 18 はそれぞれ第 1 端子 A1, A2 側に接続される (図 1 に示す接続状態)。これにより、差動シリアルインタフェースの受信側と送信側とが分離され、また同時に、受信側と送信側に第 1 抵抗

50

27、第2抵抗28がそれぞれ接続されて、終端処理が施された回路構成となる。さらに、機器状態信号DSTは、差動シリアルトランシーバ13の差動ドライバ15のイネーブル端子(正論理)に接続されており、自機の送信機能、或いは、バイパス回路(ANDゲート33及びORゲート35)を介した転送機能が実施可能となる。

【0039】

他方で、パワーオン信号PWO、WDTリセット信号WTRまたは起動完了信号STCの何れか1つがLレベルとなったときには、機器(自機)の稼働状態が正常稼働でない状態であるとして、ANDゲート31からはLレベルの機器状態信号DSTが出力されることとなる。

【0040】

このとき、前記したように、トランジスタ29がオン状態となって、励磁コイル19に電圧が印加され、第1スイッチング素子17及び第2スイッチング素子18はそれぞれ第2端子B1、B2側に接続される(図2(b)に示す接続状態)。すなわち、1対の受信端子Rx1、Rx2に入力される差動シリアル信号は、そのまま1対の送信端子Tx1、Tx2に出力され、当該機器による差動シリアル信号の転送が無条件に機能することとなる。

【0041】

また、前記したように、自機の稼働状態が正常稼働でない状態のとき、機器状態信号DSTによって差動ドライバ15が無効となり、自機の送信機能及びバイパス回路(ANDゲート33及びORゲート35)を介した転送機能は強制的に無効化される。なお、当該機器による転送機能は、第1スイッチング素子17及び第2スイッチング素子18の切り替えによって維持されることとなる。

【0042】

さらに、パワーオン信号PWOとWDTリセット信号WTRについては、ANDゲート37によって両者の論理積がとられ、該論理積の結果がリセット信号RSTとして制御部21に出力されている。前記したように機器(自機)の稼働状態が正常稼働でない状態に至った後に、その要因が解消された場合、例えば、停電後の復旧により自機の電源が投入されたケースや、WDTタイムアウト時に自機の電源断に至らずリスタートされるケースでは、該リセット信号RSTがHレベルとなって、制御部21はこれを検知することができる。すなわち、制御部21による復旧(リカバリ)処理が行われると共に、機器状態信号DSTがHレベルとなって、図1に示す転送または送信可能な接続状態に戻るものとなる。

【0043】

なお、本実施形態のように正常稼働でない状態と判断される要因として、電源断を検知するパワーオン信号PWOが含まれる場合には、バッテリバックアップで第1スイッチング素子17及び第2スイッチング素子18による切り替え状態を維持する必要がある。バッテリバックアップは、例えば、電圧監視機能部25、ANDゲート31、並びに、励磁コイル19及びトランジスタ29の直列回路に接続される電源電位Vccについて行う。

【0044】

次に、本実施形態の組込インタフェース回路50が組み込まれた機器を、N台(Nは3以上の整数)デジチェーン接続して構成したリング型ネットワークを図3に例示する。

【0045】

同図において、リング型ネットワークは、N台の機器1-1~1-Nを備えている。N番目の機器1-Nの1対の送信端子Txは、ケーブル5-Nを介して1番目の機器1-1の1対の受信端子Rxに接続されている。また、j番目(j=2~N-1)の機器1-jの1対の受信端子Rxは、ケーブル5-j-1を介してj-1番目の機器1-j-1の1対の送信端子Txに接続されている。さらに、j番目の機器1-jの1対の送信端子Txは、ケーブル5-jを介してj+1番目の機器1-j+1の1対の受信端子Rxに接続されている。つまり、隣合う機器間で送信端子Tx及び受信端子Rxを1対1接続して、リ

10

20

30

40

50

ング型ネットワークを構成している。(ここで、参照符号の表記法として、「 $x - y - 1$ 」、「 $x - y + 1$ 」という形式の参照符号を用いているが、1番目の「 $-$ 」は「の」を意味し、2番目の「 $-$ 」は減算記号を意味する。)

【0046】

また、同図においては、 N 台の機器 $1 - 1 \sim 1 - N$ それぞれの内部構成として、組込インタフェース回路 50の部分回路 40のみを示している。ここで、部分回路 40は、図1で説明した構成において、コネクタ 11、差動シリアルトランシーバ 13、第1スイッチング素子 17、第2スイッチング素子 18、第1抵抗 27及び第2抵抗 28を備える。

【0047】

また、同図において、機器 $1 - 1 \sim 1 - N$ の稼働状態は、 j 番目の機器 $1 - j$ が非正常稼働状態にあり、 j 番目の機器 $1 - j$ 以外の機器が正常稼働状態にある。したがって、機器 $1 - j$ 以外の機器については、第1スイッチング素子 17及び第2スイッチング素子 18がそれぞれ第1端子 $A1$ 、 $A2$ 側に接続され、受信端子 Rx を介して受信した差動シリアル信号または自機の送信データを、送信端子 Tx を介してそれぞれ転送または送信可能な接続状態である。

10

【0048】

また、 j 番目の機器 $1 - j$ では、第1スイッチング素子 17及び第2スイッチング素子 18がそれぞれ第2端子 $B1$ 、 $B2$ 側に接続され、受信端子 Rx に入力される差動シリアル信号がそのまま送信端子 Tx に出力される転送のみを行う接続状態である。このとき、 j 番目の機器 $1 - j$ の第1抵抗 27及び第2抵抗 28は転送経路に接続されず、 $j - 1$ 番目の機器 $1 - j - 1$ の送信側から $j + 1$ 番目の機器 $1 - j + 1$ の受信側に至る伝送経路において、機器 $1 - j - 1$ の第2抵抗 28と、機器 $1 - j + 1$ の第1抵抗 27とがそれぞれ終端抵抗として機能することとなる。

20

【0049】

このように、非正常稼働状態となった機器において、第1スイッチング素子 17及び第2スイッチング素子 18の切り替えにより、少なくとも該機器の転送機能が維持されて、リング型ネットワーク上での通信経路が維持されるので、該ネットワーク及び該ネットワークの他の正常稼働状態の機器に対する影響を最小限に止めることができる。

【0050】

次に、このようなリング型ネットワークに接続される一機器において、制御部 21が送信を行う際に行われるネットワークの故障検知について、図4を参照して説明する。図4は、送信時の処理手順を説明するフローチャートである。

30

【0051】

まず、制御部 21は、自機のアプリケーションから送信要求があったか否かを判断する(ステップ S101)。ここで、アプリケーションからの送信要求は、例えば、機器が入室者管理を行うためのカードリーダーである場合、当該機器(カードリーダー)が認証情報(IDデータ)を読み取ったときなどに発生する。この送信要求の有無の判断は、送信要求が有るまで断続的に行われ、アプリケーションからシリアル通信の送信要求があったとき(S101:有)、ステップ S102に進む。

【0052】

40

そして、制御部 21は、ネットワークからのデータ受信が有るか否か、即ち受信割込の有無を確認する(ステップ S102)。受信割込があった場合(S102:有)は、ネットワークが使用中であることから該受信処理が優先され、ステップ S103に進んで受信処理を実施する。なお、このとき、転送イネーブル信号 DE はHレベルとなっており、受信データ RXD は、制御部 21に取り込まれると共に、バイパス回路(ANDゲート 33及びORゲート 35)並びに差動ドライバ 15を介して、送信端子 Tx に接続される他の機器に転送される。

【0053】

また、受信割込が無い場合(S102:無)には、制御部 21は、ステップ S104に進んで、転送イネーブル信号 DE をLレベルに設定して、バイパス回路による転送機能を

50

無効にすると共に、送信機能を有効にする。

【0054】

そして、制御部21は、1バイト単位でデータ送信処理を実施する(ステップS105)。このとき、該1バイトデータについての送信回数を計数する送信回数カウンタをインクリメントすると共に、該1バイトデータを送信してからの経過時間を計時する送受信タイマの計時動作をスタートさせる。なお、送信回数カウンタ及び送受信タイマは、ハードウェアによって具現しても良いし、或いは、ソフトウェアによる実現であっても良い。

【0055】

そして、制御部21は、自機から送信された送信データがネットワークを一巡して自機に転送されてくるのを待つ。すなわち、自機の送信データを受信したか否かを判断する(ステップS106)。なお、自機からの送信データがネットワーク上に送信されてから一巡して自機に戻るまでの間、他機側では受信割込みが優先されるので、ネットワークに故障等が発生していない限りにおいて、自機が自機の送信データ以外のデータを受信することはない。

【0056】

自機の送信データを受信していないとき(S106:No)には、制御部21は、送受信タイマの値が所定のタイムアウト値以上であるか否かを判断する(ステップS111)。送受信タイマの値がタイムアウト値以上でなければ(S111:No)、再びステップS106で、自機の送信データについて受信の有無を確認する。

【0057】

つまり、ステップS106及びステップS111によって、自機から送信された送信データが、タイムアウト値の間にネットワークを一巡して自機に転送されてきたか否かが判断され、タイムアウト値に達するまでの間に自機の送信データを受信したとき(S106:Yes)には、ステップS107に進む。また、タイムアウト値に達するまでの間に自機の送信データを受信しなかったとき(S111:Yes)には、ステップS112に進む。

【0058】

ここで、ステップS106における判断は、受信したデータについて、制御部21が送信した1バイトデータとの比較による一致判断を行うものとする。また、ステップS111で用いるタイムアウト値は予め設定されているものとする。例えば、制御部21が送信データTXDを送信して、該送信データがネットワークを一巡して受信データRXDとして受信するまでの転送経路における信号伝送の遅延時間に、送信ビット数(ここでは1バイト=8ビット)分のシリアルデータ形成に要する時間を足し合わせた時間を、タイムアウト値とする。

【0059】

自機が送信データを送信してからタイムアウト値に達するまでの間に自機の送信データを受信したとき(S106:Yes)には、該1バイトデータの送受信動作について、ネットワークが正常に機能していると思倣することができる。この場合、制御部21は、転送イネーブル信号DEをHレベルに設定して(ステップS107)、バイパス回路による転送機能を有効にすると共に、送信機能を無効化する。

【0060】

そして、制御部21は、送信回数カウンタをクリア(ステップS108)した後、次の送信データの有無を確認し(ステップS109)、次の送信データが有る場合にはステップS102に戻り、次の1バイトデータについて一連の処理を繰り返す。また、次の送信データが無い場合には終了する。

【0061】

他方、自機が送信データを送信してからタイムアウト値に達するまでの間に自機の送信データを受信しなかったとき(S111:Yes)には、制御部21は、転送イネーブル信号DEをHレベルに設定して(ステップS112)、バイパス回路による転送機能を有効にすると共に、送信機能を無効化する。

10

20

30

40

50

【 0 0 6 2 】

そして、制御部 2 1 は、送信回数カウンタを参照して、該 1 バイトデータについての送信回数が K 回に達したか否かを判断（ステップ S 1 1 3）し、K 回未満の場合（S 1 1 3：No）には、ステップ S 1 0 2 に戻って、該 1 バイトデータについて一連の処理を繰り返す。ここで、判断に用いる係数 K は、不具合発生時（送受信データの不一致または受信タイムアウト時）に行うリトライ回数を規定するものであり、最大 K - 1 回のリトライが行われることとなる。具体的に、例えば K = 2 ~ 3 に設定される。

【 0 0 6 3 】

また、該 1 バイトデータについての送信回数が K 回に達しているとき（S 1 1 3：Yes）には、送信回数カウンタをクリア（ステップ S 1 1 4）した後、ネットワークに故障が発生していると判断して、エラーログを生成すると共に、メモリに保存（ステップ S 1 1 5）した後に終了する。ここで、エラーログは、例えば、発生した不具合の事象（送受信データの不一致または受信タイムアウト）、送信データ、受信データ（受信データがある場合に限る）、時刻データ（機器が時計機能を持つ場合に限る）などのログである。

【 0 0 6 4 】

さらに、図 5 には、図 3 に示したリング型ネットワークをビル管理システムに適用したときのシステム構成図を示す。同図において、ビル管理システムは、システム全体を統括し情報収集機能を持つサーバ 6 2 と、サーバ 6 2 に収集された情報を閲覧可能なクライアント PC 6 1 と、第 1 ネットワーク 7 p 及び第 2 ネットワーク 7 q を含む複数のリング型ネットワークと、これら構成要素に接続されデータ通信を中継するハブ 6 3 と、を備えている。なお、ビル管理システムには、撮像装置による監視系統や空調制御系統など種々の系統が含まれるが、図 5 に示す構成では省略している。

【 0 0 6 5 】

リング型ネットワーク 7 p , 7 q の区分は、例えばフロアや所定の区画分け等によって行われ、各ネットワークを構成する機器の内の 1 つが、該ネットワークにおけるホストコントローラの機能を備えている。図 5 では、第 1 ネットワーク 7 p または第 2 ネットワーク 7 q において、それぞれ 1 番目の機器 1 - 1 がホストコントローラ機能を持つものとし、それぞれが備えるインタフェース回路 5 0 を介してハブ 6 3 に接続されている。なお、1 つの機器にホストコントローラ機能を組み込む形ではなく、別途独立したホストコントローラを備えた構成としても良い。

【 0 0 6 6 】

第 1 ネットワーク 7 p 及び第 2 ネットワーク 7 q は、構成機器台数がそれぞれ P 台、Q 台と異なるが、両者の構成はほぼ同等であるので、ここでは、代表的に第 1 ネットワーク 7 p の構成について具体的に説明して、第 2 ネットワーク 7 q については説明を省略する。

【 0 0 6 7 】

第 1 ネットワーク 7 p は、P 台の機器 1 - 1 ~ 1 - P を備え、図 3 と同様に、隣合う機器間で送信端子 Tx 及び受信端子 Rx がケーブル 5 - 1 ~ 5 - P を介して 1 対 1 接続されて、リング型ネットワークを構成している。例えば、第 1 ネットワーク 7 p が入退室管理システムを実現するものである場合、機器 1 - 1 ~ 1 - P はカードリーダーや電気錠である。以下では、機器 1 - 3 がカードリーダーであり、機器 1 - 4 が電気錠であるとし、入室時のセキュリティ管理を一例として、具体的なデータ送受信について説明する。

【 0 0 6 8 】

入出者がカードリーダー（機器 1 - 3）に ID カードを近接または接触させると、ID カードに記録されている認証情報である ID データが読み取られ、ホストコントローラ機能を持つ機器 1 - 1 を介してサーバ 6 2 に伝送される。サーバ 6 2 は、入室許可者の ID が登録されたデータベースを備え、伝送された ID データとデータベースに登録された ID とを照合し、同じ ID が登録されていれば、入室可であることを示す信号を機器 1 - 1 に送信し、入室履歴として入室者の ID データおよび入室時刻をメモリ等に記録する。また、未登録 ID であれば、サーバ 6 2 は、入室不可であることを示す信号を機器 1 - 1 に送

10

20

30

40

50

信する。機器 1 - 1 は、サーバ 6 2 から受けた入室可の信号または入室不可の信号に応じた制御信号を電気錠（機器 1 - 4）に送信し、電気錠（機器 1 - 4）の開錠または施錠を制御する。

【0069】

ここで、ホストコントローラ機能を持つ機器 1 - 1 と、カードリーダー（機器 1 - 3）及び電気錠（機器 1 - 4）との間の送受信は、前記したような半二重の差動シリアルインタフェースを介して行われる。例えば、カードリーダー（機器 1 - 3）が ID データを読み取ったときに、制御部 2 1 に対する送信要求が発生し、図 4 を参照して説明した送信処理が行われる。なお、前記したように、ネットワーク上での不具合発生時（送受信データの不一致または受信タイムアウト時）には、該不具合に関するエラーログが制御部 2 1 のメモリに保持されている。各機器 1 - 1 ~ 1 - P のエラーログは、定期的にまたはサーバ 6 2 からの要求に応じて、ホストコントローラ機能を持つ機器 1 - 1 を介してサーバ 6 2 に伝送されて集中管理される。また、サーバ 6 2 内のエラーログを含む各種情報はクライアント PC 6 1 を介して確認することができ、保守やシステム異常発生時のトラブルシューティングを行うための情報として供されることとなる。

10

20

【0070】

以上説明したように、本実施形態の組込インタフェース回路では、1 対の受信端子 $R \times 1$ 、 $R \times 2$ を介して差動シリアル信号を受信する差動レシーバ 1 4 と、1 対の送信端子 $T \times 1$ 、 $T \times 2$ に差動シリアル信号を出力する差動ドライバ 1 5 と、を備え、機器状態判断手段（AND ゲート 3 1）により、当該組込インタフェース回路が組み込まれる機器が正常稼働状態であるか否かを判断し、切替手段（第 1 スイッチング素子 1 7、第 2 スイッチング素子 1 8）により、機器状態判断手段が正常稼働状態であると判断したときには、1 対の受信端子 $R \times 1$ 、 $R \times 2$ 及び差動レシーバ 1 4 間、並びに、差動ドライバ 1 5 及び 1 対の送信端子 $T \times 1$ 、 $T \times 2$ 間、をそれぞれ接続し、また、機器状態判断手段が正常稼働でない状態と判断したときには、1 対の受信端子 $R \times 1$ 、 $R \times 2$ 及び 1 対の送信端子 $T \times 1$ 、 $T \times 2$ 間を接続する。具体的に、正常稼働でない状態には、機器の動作が異常である状態、機器の起動が未完である状態、及び / または、機器の電源が未投入である状態を含むことが望ましい。

【0071】

このように、本実施形態では、送受信端子の分離構成により、ネットワークを構成する場合において、当該機器と他の機器とのデジチェーン接続が可能となり、1 : 1 接続の配線接続となることで、マルチポイント接続と比較して、1 送受信（1 本のケーブル）毎の配線長は短くなり、配線長が接続機器の台数に影響されにくい仕組みが可能となる。また、信号配線の分岐（スタブ）を無くすることができ、反射の影響を受けないので信号遅延を抑制することができ、結果として、伝送速度の高速化を図ることができる。

30

40

【0072】

また、機器の稼働状態に応じた切替手段による自律的な切り替えを行うので、機器が正常稼働でない状態、例えば、機器の電源異常や機器故障等が発生した場合においても、送受信端子間を短絡するので、ネットワーク側から見たときに、当該機器と他の機器との接続状態が常に維持されることとなり、ネットワークへの影響を最小限に抑制することができる。また、機器には、他機器からの受信データを監視する等の監視機能を持たせる必要も無いので、より簡単な機器構成で、ネットワークに接続される機器が異常動作状態に陥った場合でも、該ネットワークにおける他の機器との接続状態を維持して、ネットワークシステムへの影響を最小限に抑制し得る組込インタフェース回路を実現することができる。

【0073】

また、本実施形態では、切替手段は、一端が受信端子の反転極性端子 $R \times 2$ 及び差動レシーバ 1 4 の反転極性入力と接続される第 1 抵抗 2 7 と、一端が送信端子の正極性端子 $T \times 1$ 及び差動ドライバ 1 5 の正極性出力と接続される第 2 抵抗 2 8 と、を備える。また切替手段は、第 1 抵抗 2 7 の他端と接続される第 1 端子 A 1 と、第 2 抵抗 2 8 の一端と接続

50

される第2端子B1と、受信端子の正極性端子Rx1及び差動レシーバ13の正極性入力と接続される第3端子C1と、を備え、第3端子C1と第1端子A1または第2端子B1との接続を切り替える第1スイッチング素子17を備える。また切替手段は、第2抵抗28の他端と接続される第1端子A2と、第1抵抗27の一端と接続される第2端子B2と、送信端子の反転極性端子Tx2及び差動ドライバ15の反転極性出力と接続される第3端子C2と、を備え、第3端子C2と第1端子A2または第2端子B2との接続を切り替える第2スイッチング素子18を備える。

【0074】

この場合、機器状態判断手段(ANDゲート31)が正常稼働状態であると判断したときは、第1スイッチング素子17の第3端子C1と第1端子A1とを接続すると共に、第2スイッチング素子18の第3端子C2と第1端子A2とを接続し、正常稼働でない状態と判断したときは、第1スイッチング素子17の第3端子C1と第2端子B1とを接続すると共に、第2スイッチング素子18の第3端子C2と第2端子B2とを接続する。

【0075】

このような構成及び機器状態判断手段の状態判断に基づく切り替えにより、機器が正常稼働状態のときには、受信される差動シリアル信号線の正極性側と反転極性側との間は第1抵抗27を介して接続され、終端抵抗(第1抵抗27)による終端処理が施された構成となる。また同時に、送信される差動シリアル信号線の正極性側と反転極性側との間は第2抵抗28を介して接続され、終端抵抗(第2抵抗28)による終端処理が施された構成となる。また、機器が正常稼働でない状態のときには、差動シリアル信号には終端抵抗(第1抵抗27または第2抵抗28)は接続されない。このように、1:1接続の配線接続において、終端抵抗が最適な位置で有効となるので、差動シリアル信号の信号波形の品質向上を図ることができる。

【0076】

また、本実施形態では、差動レシーバ14及び差動ドライバ15を介した差動シリアル信号の送受信を制御する制御部21を備えて、制御部21により、差動レシーバ14を常時作動可能とし、差動ドライバ15を機器状態判断手段(ANDゲート31)が正常稼働状態であると判断したときにのみ作動可能としている。このように、機器が正常稼働でない状態のときには、自機の送信機能が無効となるので、異常動作による誤送信処理をハード的に阻止することができ、ネットワークの通信品質の維持が可能となる。

【0077】

また、本実施形態では、差動レシーバ14の出力と差動ドライバ15の入力とを接続するバイパス回路(ANDゲート33及びORゲート35)を備え、制御部21により、第1の他機器からの差動シリアル信号を第2の他機器へ転送する転送機能を有効とするときにのみ、バイパス回路を有効とするようにしている。これにより、制御部21のソフトウェアなどによる内容判定処理を介さずに、バイパス回路を介して受信データRXDを直接送信側へスルーさせるので、伝達時間のタイムロスを最小限に抑えることができる。

【0078】

また、本実施形態では、当該組込インタフェース回路が組み込まれる機器が、N番目(Nは3以上の整数)の機器1-Nの1対の送信端子が1番目の機器1-1の1対の受信端子に接続され、j番目(j=2~N-1)の機器1-jの1対の受信端子がj-1番目の機器1-j-1の1対の送信端子に接続され、j番目の機器1-jの1対の送信端子がj+1番目1-j+1の機器の1対の受信端子に接続されたN個の機器1-1~1-Nを備えたネットワークシステムの一機器であるとき、制御部21は、当該機器から差動シリアル信号を送信した後、一定期間内に該差動シリアル信号を受信しないとき、或いは、一定期間内に受信した差動シリアル信号が送信した差動シリアル信号と一致しないとき、ネットワークシステムの異常であると判断する。

【0079】

このように、送信処理において、送信データが正しく受信されているか否か、並びに、自機が送信したデータであるか否かの整合性確認を行うので、データ送信毎にネットワー

10

20

30

40

50

クの健全性確認が可能となる。

【 0 0 8 0 】

また、本実施形態では、当該組込インタフェース回路が組み込まれる機器が、前記と同等のネットワークシステムの一機器であるとき、制御部 2 1 は、当該機器から差動シリアル信号を送信する期間、及び、該送信後に該差動シリアル信号を受信するまでの期間、或いは、該送信後から一定期間の間、転送機能を無効とする。このように、送信処理の間、バイパス回路を介して受信データ R X D が転送されるのを防ぐことにより、1 回の送信で発せられたデータがリング型ネットワークを巡回するのを 1 回までとすることができ、ネットワークの伝送効率を低下させることなく維持できる。

【 0 0 8 1 】

〔 変形例 1 〕

以上、本発明の実施形態について図面を参照して詳述したが、本発明はこれら実施形態およびその変形に限定されるものではなく、本発明の要旨を逸脱しない範囲の設計変更等があっても本発明に含まれる。例えば、前記実施形態において、第 1 スイッチング素子 1 7 及び第 2 スイッチング素子 1 8 において第 1 端子を A 1 , A 2、第 2 端子を B 1 , B 2 と称したが、これらの称呼はリレーにおける a 接点、b 接点に関連したものではない。したがって、A 1 , A 2 及び B 1 , B 2 の称呼を入れ替えても何ら問題はない。

【 0 0 8 2 】

また、自機の稼働状態が正常稼働でない状態のときに励磁コイル 1 9 に電圧を印加して、第 1 スイッチング素子 1 7 及び第 2 スイッチング素子 1 8 がそれぞれ第 2 端子 B 1 , B 2 側に接続されるようにしたが、この構成に限定されるものではない。トランジスタ 2 9 を n p n 型として、自機の稼働状態が正常稼働状態のときに励磁コイル 1 9 に電圧を印加し、第 1 スイッチング素子 1 7 及び第 2 スイッチング素子 1 8 がそれぞれ第 1 端子 A 1 , A 2 側に接続されるように構成することも可能である。但し、通常、正常稼働でない状態の期間は正常稼働状態の期間と比べて非常に短い期間であることから、電力消費の観点からは、実施形態の構成の方が消費電力は小さい。

【 0 0 8 3 】

また、実施形態では、第 1 スイッチング素子 1 7 及び第 2 スイッチング素子 1 8 をメカニカルリレーで具現したが、M O S F E T (Metal-Oxide-Semiconductor Field-Effect Transistor) を用いた構成であっても良い。図 6 には、M O S F E T を用いて第 1 スイッチング素子及び第 2 スイッチング素子を構成したときの組込インタフェース回路の部分的な回路構成図を示す。

【 0 0 8 4 】

同図において、第 1 スイッチング素子 1 7 a は、N O T ゲート 4 1 及び n チャネル型 M O S F E T 4 3 , 4 4 を備え、第 2 スイッチング素子 1 8 a は N O T ゲート 4 2 及び n チャネル型 M O S F E T 4 6 , 4 7 を備えた構成である。

【 0 0 8 5 】

すなわち、本変形例における切替手段は、一端が受信端子の反転極性端子 R x 2 及び差動レシーバ 1 3 の反転極性入力と接続される第 1 抵抗 2 7 と、一端が送信端子の正極性端子 T x 1 及び差動ドライバ 1 5 の正極性出力と接続される第 2 抵抗 2 8 と、を備える。また切替手段は、一端が第 1 抵抗 2 7 の他端と接続され、他端が受信端子の正極性端子 R x 1 及び差動レシーバ 1 4 の正極性入力と接続される M O S F E T 4 3 (第 3 スイッチング素子)と、一端が第 2 抵抗 2 8 の一端と接続され、他端が受信端子の正極性端子 R x 1 及び差動レシーバ 1 4 の正極性入力と接続される M O S F E T 4 4 (第 4 スイッチング素子)と、を備える。また切替手段は、一端が第 1 抵抗 2 7 の一端と接続され、他端が送信端子の反転極性端子 T x 2 及び差動ドライバ 1 5 の反転極性出力と接続される M O S F E T 4 7 (第 5 スイッチング素子)と、一端が第 2 抵抗 2 8 の他端と接続され、他端が送信端子の反転極性端子 T x 2 及び差動ドライバ 1 5 の反転極性出力と接続される M O S F E T 4 6 (第 6 スイッチング素子)と、を備える。

【 0 0 8 6 】

この場合、機器状態判断手段（ANDゲート31）が正常稼働状態であると判断したときは、MOSFET43及びMOSFET46を閉（オン）制御すると共に、MOSFET44及びMOSFET47を開（オフ）制御し、正常稼働でない状態と判断したときは、MOSFET43及びMOSFET46を開（オフ）制御すると共に、MOSFET44及びMOSFET47を閉（オン）制御する。

【0087】

このような構成及び機器状態判断手段の状態判断に基づく切り替えにより、実施形態と同様に、1:1接続の配線接続において、終端抵抗が最適な位置で有効となるので、差動シリアル信号の信号波形の品質向上を図ることができる。なお、MOSFET等のトランジスタの電圧降下が相対的に大きいと見做される構成の場合には、このような電圧降下を
10 考える必要のないメカニカルリレーを用いることが望ましい。また、実施形態と同様に、正常稼働でない状態と判断される要因としてパワーオン信号PWOが含まれる場合には、バッテリーバックアップを行う必要がある。図6の構成では、図示しない電圧監視機能部25の他に、例えば、ANDゲート31及びNOTゲート41, 42について行う。

【0088】

〔変形例2〕

また、実施形態では、バイパス回路をANDゲート33及びORゲート35で構成し、転送機能の有効/無効を転送イネーブル信号DEで制御したが、図6に示すように、バイパス回路をORゲート35a及びANDゲート33aで構成し、転送機能の有効/無効を送信イネーブル信号TEで制御する態様であっても良い。
20

【0089】

すなわち、図6において、本変形例のバイパス回路は、ORゲート35a及びANDゲート33aを備え、ORゲート35aで受信データRXDと送信イネーブル信号TEとの論理和がとられ、ANDゲート33aでORゲート35a出力と送信データTXDとの論理積がとられる構成である。

【0090】

送信機能の有効/無効を判断する送信イネーブル信号TEがLレベル（無効）のときに、受信データRXDはORゲート35aをそのままスルーする。また、ORゲート35aをスルーした受信データRXDは、送信データTXDがHレベルのときに、ANDゲート33aをそのままスルーして転送機能が有効化される。なお、送信イネーブル信号TEは
30 制御部21から出力される信号である。また、送信イネーブル信号TEがHレベル（有効）のときには、受信データRXDがORゲート35aで無効化されるので、ANDゲート33aから送信データTXDのみ出力可能であり、自機の送信機能が実施可能な状態となる。

【0091】

〔変形例3〕

また、図3のリング型ネットワークにおいて、前記実施形態または変形例の組込インタフェースを持っていなくても、半二重の差動シリアルインタフェースを持ち、且つ該リング型ネットワークにおけるプロトコルで通信を行う機器であれば、該機器をケーブル5-1~5-Nに接続することが可能である。すなわち、局所的なマルチポイント接続によっ
40 て機器を追加することが可能である。

【0092】

これにより、例えば、ネットワークの再構築時に新旧タイプの機器が混在するようなケースにおいて、旧タイプの機器をマルチポイント接続によってネットワークに接続するような態様とすることができると、システム構築をより柔軟に行うことが可能となる。但し、スタブが発生することから、システムの応答性能が要求される場合には、マルチポイント接続による追加機器台数は制限されることとなる。

【符号の説明】

【0093】

1-1~1-N, 1-P, 1-Q 組込インタフェース回路

10

20

30

40

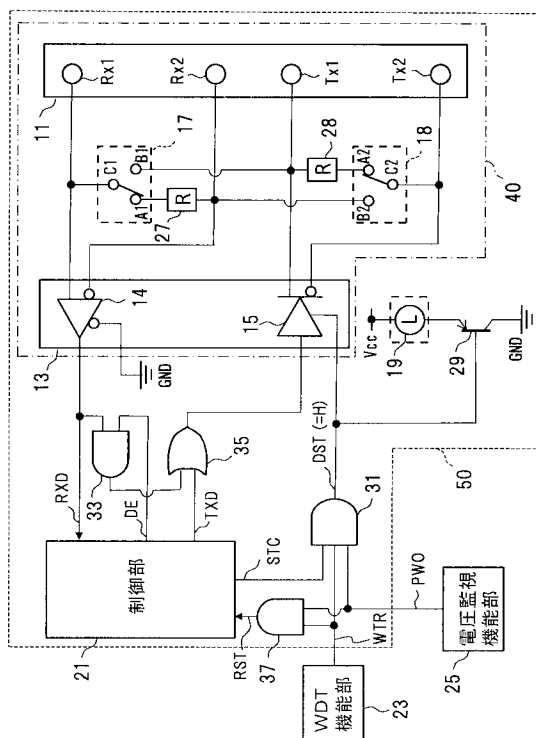
50

5 - 1 ~ 5 - N , 5 - P , 5 - Q	機器
7 p , 7 q	ネットワーク
1 1	コネクタ
R x , R x 1 , R x 2	受信端子
T x , T x 1 , T x 2	送信端子
1 3	差動シリアルトランシーバ
1 4	差動レシーバ
1 5	差動ドライバ
1 7 , 1 7 a	第 1 スイッチング素子
1 8 , 1 8 a	第 2 スイッチング素子
1 9	励磁コイル
2 1	制御部
2 3	W D T 機能部
2 5	電圧監視機能部
2 7	第 1 抵抗
2 8	第 2 抵抗
2 9	トランジスタ
3 1 , 3 3 , 3 3 a	A N D ゲート
3 5 , 3 5 , 3 5 a	O R ゲート
4 1 , 4 2	N O T ゲート

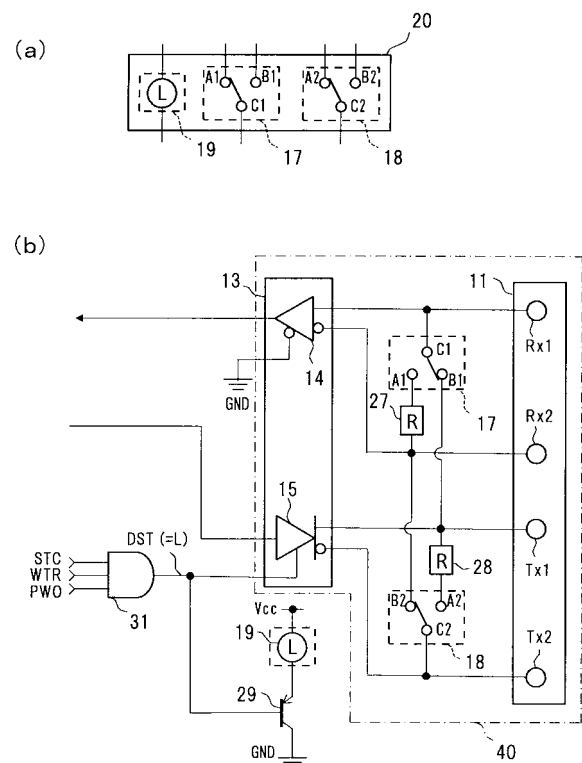
10

20

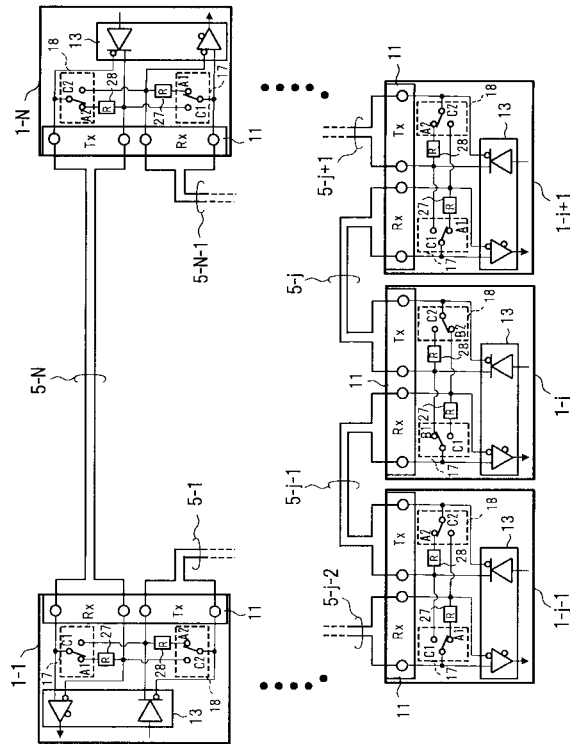
【 図 1 】



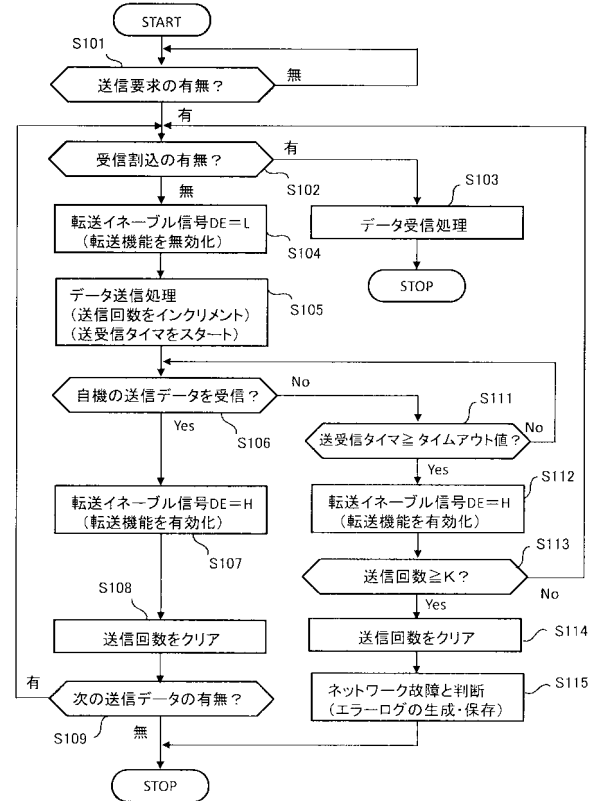
【圖 2】



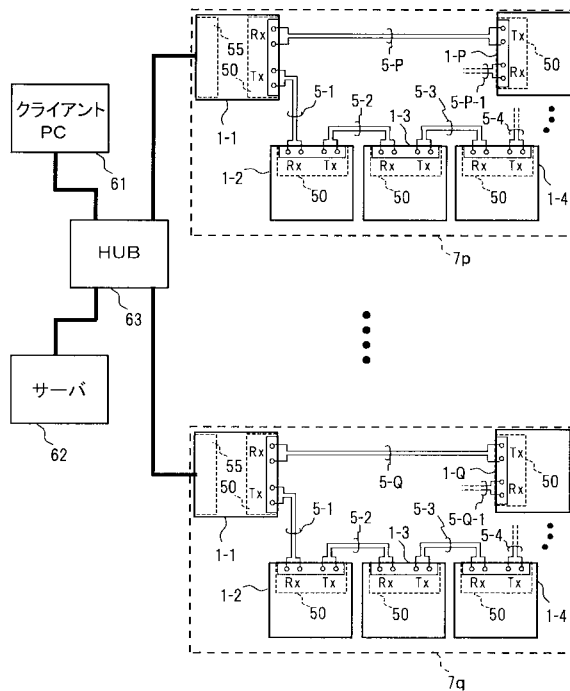
【図 3】



【図 4】



【図 5】



【図 6】

