(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 101924556 B
(45)授权公告日 2015.07.01

(21)申请号 201010212844.4
(22)申请日 2010.06.12
(30)优先权数据
61/186,533 2009.06.12 US
12/791,963 2010.06.02 US
(73)专利权人 台湾积体电路制造股份有限公司
地址 中国台湾新竹市
(72)发明人 庄建祥
(74)专利代理机构 北京德恒律师事务所 11306
代理人 陆鑫 高雪琴
(51)Int.Cl.
H03M 1/12(2006.01)
(56)对比文件
JP 昭59-23624 A,1984.02.07, 说明书摘要、说明书第2页以及说明书附图1-2.
CN 1897466 A,2007.01.17, 全文.
EP 0370661 A2,1990.05.30, 全文.
李亚等. 一种新的蔡氏电路设计方法与硬件实现.《物理学报》.2006, 第55卷(第08期),3938-3943.
审查员 邢白灵

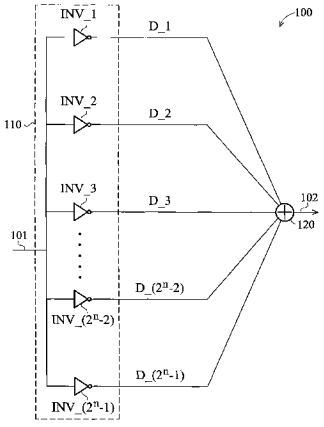
权利要求书3页 说明书9页 附图11页

(54)发明名称

集成电路、系统与模拟信号转换至数字信号的方法

(57)摘要

一种集成电路、系统与模拟信号转换至数字信号的方法，其中集成电路用以转换一模拟信号成为至少一数字信号，包括第一输入端、第一组(2^n-1)个反相器与第一加法器。第一输入端用以接收一第一模拟信号。第一组(2^n-1)个反相器用以量化该第一模拟信号，并且输出一第一组(2^n-1)个数字值。第一组(2^n-1)个数字值的各者分别为0或1。第一加法器与该第一组(2^n-1)个反相器耦接。第一加法器加总该第一组(2^n-1)个数字值，并且输出对应于至少一数字信号的一第一整数值。(2^n-1)个反相器所需面积小于传统快闪式模拟至数字转换器中(2^n-1)个比较器所需面积。因此可有效减少集成电路100的晶片尺寸。



CN 101924556 B

1. 一种集成电路，用以转换一模拟信号成为至少一数字信号，包括第一输入端、反相器和第一加法器，其特征在于，

该第一输入端用以接收一第一模拟信号；

该反相器包括各输入端与所述第一输入端直接耦接的第一组 2^n-1 个反相器，该第一组 2^n-1 个反相器用以量化该第一模拟信号，并且输出一第一组 2^n-1 个数字值，其中，所述第一组 2^n-1 个反相器中的每个输出一个数字值并且该第一组 2^n-1 个数字值的各者分别为 0 或 1；以及

该第一加法器，与该第一组 2^n-1 个反相器的各输出端耦接，该第一加法器加总该第一组 2^n-1 个数字值，并且输出对应于至少一数字信号的一第一整数值；

其中，n 为正整数；

所述集成电路还包括：

一第一组分压器，其中该第一组 2^n-1 个反相器的各输出端耦接至该第一组分压器的至少一者，该第一组分压器的各者分别包含一第一组 2^m 个电子元件，该第一组分压器的各者用以量化该第一模拟信号，并输出一第一组 2^m-1 个数字值，其中，所述第一组分压器中的每个输出一个数字值并且该第一组 2^m-1 个数字值的各者用分别为 0 或 1，并且该第一加法器累加该第一组 2^n-1 个数字值与该第一组分压器的各者的该第一组 2^m-1 个数字值，并输出对应于该至少一数字信号的一第二整数值；

其中，m 为正整数。

2. 如权利要求 1 所述的集成电路，还包括：

一第二组 2^n-1 个反相器，该第二组 2^n-1 个反相器与该第一组 2^n-1 个反相器平行配置，所述第二组 2^n-1 个反相器的各输入端与所述第一输入端直接耦接，并且所述第二组 2^n-1 个反相器的各输出端与该第一加法器耦接，其中该第二组 2^n-1 个反相器用以量化该第一模拟信号，并且输出一第二组 2^n-1 个数字值，其中，所述第二组 2^n-1 个反相器中的每个输出一个数字值并且该第二组 2^n-1 个数字值的各者分别为 0 或 1；以及

一第二组分压器，其中该第二组 2^n-1 个反相器的各输出端耦接至该第二组分压器的至少一者，该第二组分压器的各者分别包含一第二组 2^m 个电子元件，该第二组分压器的各者用以量化该第一模拟信号，并输出一第二组 2^m-1 个数字值，该第一组 2^m-1 个数字值的各者分别为 0 或 1，并且该第一加法器累加该第一组 2^n-1 个数字值、该第二组 2^n-1 个数字值、该第一组分压器的各者的该第一组 2^m-1 个数字值以及该第二组分压器的各者的该第二组 2^m-1 个数字值，并输出对应于该至少一数字信号的一第三整数值。

3. 如权利要求 1 所述的集成电路，还包括：

一第二输入端，用以接收一第二模拟信号，其中该第一模拟信号与该第二模拟信号具有一相位差；

一第三组 2^n-1 个反相器，所述第三组 2^n-1 个反相器的各输入端与所述第二输入端直接耦接，所述第三组 2^n-1 个反相器用以量化该第二模拟信号，并输出一第三组 2^n-1 个数字值，其中，所述第三组 2^n-1 个反相器中的每个输出一个数字值并且该第三组 2^n-1 个数字值的各者分别为 0 或 1；

一第二加法器，与该第三组 2^n-1 个反相器的各输出端耦接，该第二加法器用以加总该第三组 2^n-1 个数字值，并输出对应于该第二模拟信号的一第四整数值；以及

一减法器，耦接于该第一加法器与该第二加法器，其中该减法器对该第一整数值与该第四整数值执行减法运算，用以提供对应于该至少一数字信号的一第五整数值。

4. 如权利要求 1 所述的集成电路，还包括 ：

一查照表，耦接至该第一加法器，其中该查照表输出对应于该第一整数值的一二进制数字信号 ；

一校准器，耦接至该第一加法器，其中该校准器用以接收该第一整数值，并输出对应于该第一整数值的一校准过的数字信号 ；

一计数器，耦接于该校准器 ；以及

一数字至模拟转换器，耦接至该校准器与该第一组 $2^n - 1$ 个反相器。

5. 一种集成电路系统，包括 ：

一集成电路，该集成电路用以转换一第一模拟信号成为至少一数字信号，该集成电路包括 ：

一第一输入端，用以接收该第一模拟信号 ；

一第一组 $2^n - 1$ 个反相器，所述第一组 $2^n - 1$ 个反相器的各输入端与所述第一输入端直接耦接，该第一组 $2^n - 1$ 个反相器用以量化该第一模拟信号，并且输出一第一组 $2^n - 1$ 个数字值，所述第一组 $2^n - 1$ 个反相器中的每个输出一个数字值并且该第一组 $2^n - 1$ 个数字值的各者分别为 0 或 1 ；以及

一第一加法器，与该第一组 $2^n - 1$ 个反相器的各输出端耦接，该第一加法器加总该第一组 $2^n - 1$ 个数字值，并且输出对应于该至少一数字信号的一第一整数值 ；以及

所述集成电路还包括 ：

一第一组分压器，其中该第一组 $2^n - 1$ 个反相器的各输出端耦接至该第一组分压器的至少一者，该第一组分压器的各者分别包含一第一组 2^m 个电子元件，该第一组分压器的各者用以量化该第一模拟信号，并输出一第一组 $2^m - 1$ 个数字值，其中，所述第一组分压器中的每个输出一个数字值并且该第一组 $2^m - 1$ 个数字值的各者用分别为 0 或 1，并且该第一加法器累加该第一组 $2^n - 1$ 个数字值与该第一组分压器的各者的该第一组 $2^m - 1$ 个数字值，并输出对应于该至少一数字信号的一第二整数值 ；

其中，m 为正整数 ；

一装置，耦接至该集成电路并用以接收该至少一数字信号 ；

其中，n 为正整数。

6. 一种用以转换至少一第一模拟信号成为至少一数字信号的方法，包括

使用一第一组 $2^n - 1$ 个反相器量化一第一模拟信号，以提供一第一组 $2^n - 1$ 个数字值，其中，所述第一组 $2^n - 1$ 个反相器中的每个都接收所述第一模拟信号并相对应地输出一个数字值 ；以及

通过第一加法器加总该第一组 $2^n - 1$ 个数字值，以提供一第一整数值，其中该第一整数值对应于至少一数字信号，

其中，该第一组 $2^n - 1$ 个数字值的各者分别为 0 或 1，并且 n 为正整数 ；

所述方法还包括 ：

使用一第一组分压器量化该第一模拟信号，该第一组分压器的各者耦接至该第一组 $2^n - 1$ 个数字值的至少一者，该第一组分压器的各者分别包含一第一组 2^m 个电子元件，该第

一组分压器的各者提供一第一组 $2^m - 1$ 个数字值；以及

加总该第一组 $2^n - 1$ 个数字值与该第一组分压器的各者的该第一组 $2^m - 1$ 个数字值，用以提供对应于该至少一数字信号的一第二整数值；

其中，m 为正整数。

7. 如权利要求 6 所述的方法，还包括：

使用一第二组 $2^n - 1$ 个反相器量化该第一模拟信号，以提供一第二组 $2^n - 1$ 个数字值，其中，所述第二组 $2^n - 1$ 个反相器中的每个都接收所述第一模拟信号并相对应地输出一个数字值；

使用一第二组分压器量化该第一模拟信号，该第二组分压器的各者耦接至该第二组 $2^n - 1$ 个数字值的至少一者，该第二组分压器的各者提供一第二组 $2^m - 1$ 个数字值；以及

加总该第一组 $2^n - 1$ 个数字值、该第二组 $2^n - 1$ 个数字值、该第一组分压器的各者的该第一组 $2^m - 1$ 个数字值与该第二组分压器的各者的该第二组 $2^m - 1$ 个数字值，用以提供对应于该至少一数字信号的一第三整数值。

8. 如权利要求 6 所述的方法，还包括：

使用一第三组 $2^n - 1$ 个反相器量化一第二模拟信号，以提供一第三组 $2^n - 1$ 个数字值，其中，所述第三组 $2^n - 1$ 个反相器中的每个都接收所述第二模拟信号并相对应地输出一个数字值；

加总该第三组 $2^n - 1$ 个数字值，用以提供一第四整数值；以及

对该第一整数值与该第四整数值执行一减法运算，用以提供对应于该至少一数字信号的一第五整数值。

集成电路、系统与模拟信号转换至数字信号的方法

技术领域

[0001] 本发明涉及一种半导体电路，特别涉及一种用于将模拟信号转换成数字信号的集成电路与操作方法。

背景技术

[0002] 模拟至数字转换器 (Analog-to-digital converter，简称 ADC) 可将模拟信号转换成数字信号。模拟至数字转换器可用以决定许多电子系统的品质与速度。一种常见的模拟至数字转换器为快闪式模拟至数字转换器 (flash ADC)。快闪式模拟至数字转换器可快速地执行模拟至数字转换，其包含一些固有的延迟，并且容易设计。快闪式模拟至数字转换器通常用于极高速的电子系统。

发明内容

[0003] 为克服现有技术的缺陷，根据本发明的一实施例，一种集成电路，用以转换一模拟信号成为至少一数字信号，包括第一输入端、第一组 (2^n-1) 个反相器与第一加法器。第一输入端用以接收一第一模拟信号。第一组 (2^n-1) 个反相器用以量化该第一模拟信号，并且输出一第一组 (2^n-1) 个数字值。第一组 (2^n-1) 个数字值的各者分别为 0 或 1。第一加法器与该第一组 (2^n-1) 个反相器耦接。第一加法器加总该第一组 (2^n-1) 个数字值，并且输出对应于至少一数字信号的一第一整数值。

[0004] 根据本发明的另一实施例，一种系统包括用以转换一第一模拟信号成为至少一数字信号的一集成电路以及耦接至该集成电路并用以接收该至少一数字信号的一装置。集成电路包括第一输入端、第一组 (2^n-1) 个反相器与第一加法器。第一输入端用以接收一第一模拟信号。第一组 (2^n-1) 个反相器用以量化该第一模拟信号，并且输出一第一组 (2^n-1) 个数字值。第一组 (2^n-1) 个数字值的各者分别为 0 或 1。第一加法器与该第一组 (2^n-1) 个反相器耦接。第一加法器加总该第一组 (2^n-1) 个数字值，并且输出对应于至少一数字信号的一第一整数值。

[0005] 根据本发明的另一实施例，一种用以转换至少一第一模拟信号成为至少一数字信号的方法包括：使用一第一组 (2^n-1) 个反相器量化一第一模拟信号，用以提供一第一组 (2^n-1) 个数字值；以及加总该第一组 (2^n-1) 个数字值，以提供一第一整数值，其中该第一整数值对应于至少一数字信号。

[0006] 值得注意的是，(2^n-1) 个反相器 110 可将模拟信号量化成 2^n 个等级，并输出 (2^n-1) 个整数值。加法器 120 可加总 (2^n-1) 个整数值，并输出一整数结果。集成电路 100 可根据所需的转换速率将模拟信号转换成以数字信号形式表现的整数值。可发现的是，(2^n-1) 个反相器 110 所需的面积小于传统快闪式模拟至数字转换器中 (2^n-1) 个比较器所需的面积。因此可有效减少集成电路 100 的晶片尺寸。

附图说明

[0007] 图 1A 是显示根据本发明的一实施例所述的可执行模拟信号至数字信号转换的集成电路示意图。

[0008] 图 1B 是显示根据本发明的另一实施例所述的可执行模拟信号至数字信号转换的集成电路示意图。

[0009] 图 2A 是显示根据本发明的一实施例所述的模拟多个反相器的电压转换曲线。

[0010] 图 2B 是显示如图 1B 所示的集成电路的部分电路图。

[0011] 图 2C 是显示根据本发明的一实施例所述的由介于两相邻的反相器之间的分压器所提供的额外的电压转换曲线，其介于由两相邻的反相器所提供的两电压转换曲线之间。

[0012] 图 3A ～图 3D 是显示根据本发明的数个实施例所述的反相器电路图。

[0013] 图 4 是显示根据本发明的另一实施例所述的可执行模拟信号至数字信号转换的集成电路示意图。

[0014] 图 5 是显示根据本发明的另一实施例所述的可执行模拟信号至数字信号转换的集成电路示意图。

[0015] 图 6 是显示根据本发明的另一实施例所述的可执行模拟信号至数字信号转换的集成电路示意图。

[0016] 图 7 是显示出无校准与有校准的模拟结果示意图。

[0017] 图 8 是显示根据本发明的一实施例所述的系统。

[0018] 并且，上述附图中的附图标记说明如下：

[0019] 100、150、400、500、600、810 ～集成电路；

[0020] 101、151、401、501a、501b、601 ～输入端；

[0021] 102、152、502 ～输出端；

[0022] 110、160、161a、161b、210a、210b、210c、210d、210e、310a、310b、310c、310d、410a、410b、INV_1、INV_2、INV_3、INV_16、INV_17、INV_(2^n-2)、INV_(2^n-1) ～反相器；

[0023] 120、170、420、515a、515b、615a ～加法器；

[0024] 165、415a、415b、VD_17 ～分压器；

[0025] D_1、D_2、D_3、D_4、D_64、D_65、D_66、D_67、D_68、D_(2^n-2)、D_(2^n-1)、D_$(2^{(m+n)}-4)$、D_$(2^{(m+n)}-3)$、D_$(2^{(m+n)}-2)$、D_$(2^{(m+n)}-1)$ ～数字值；

[0026] 201、701、702、703 ～线；

[0027] 211、212、213、214、215 ～电压转换曲线；

[0028] 311a、311b、311c、311d、313a、313b、313c、313d、319d ～晶体管；

[0029] 315b、315c、317b、317c、R_1、R_2、R_3、R_4、R_2^m～电阻；

[0030] 430 ～查照表；

[0031] 503a、503b、603a ～取样保持电路；

[0032] 505a、505b、605a ～模拟缓冲器；

[0033] 510a、510b、610a ～量化器；

[0034] 520 ～减法器；

[0035] 630 ～校准器；

[0036] 635 ～控制逻辑；

[0037] 640 ～计数器；

[0038] 645～数字至模拟转换器；

[0039] 650～多工器；

[0040] 800～系统；

[0041] 820～装置。

具体实施方式

[0042] 为使本发明的制造、操作方法、目标和优点能更明显易懂，下文特举几个较佳实施例，并配合所附图式，作详细说明如下：

[0043] 实施例：

[0044] 传统的快闪式模拟至数字转换器具有 (2^n-1) 个比较器以及一个电压梯形电路 (voltage ladder)，其包含 2^n 个电阻用以提供 n 位元解析度的模拟至数字转换。电压梯形电路的各梯级被供应至其对应的比较器的负输入端作为参考电压。各比较器比较输入电压与来自电压梯形电路的各梯级的参考电压，并输出一数字信号。通过输出 (2^n-1) 个数字级别，可提供 n 位元的二进制数字信号。

[0045] 可以发现在传统的快闪式模拟至数字转换器中使用 (2^8-1) 或 255 个比较器，用以提供 8 位元的模拟至数字转换解析度。大量的比较器会占据传统快闪式模拟至数字转换器的庞大面积。此外，也可以发现电压梯形电路耦接于供应电压与接地点之间。在模拟至数字转换的过程中，电压梯形电路的各电阻会耗损供应电压的功率。因此，当需要做高解析度的转换时，例如，需要高于 8 位元的解析度，大面积与高功率耗损成为传统快闪式模拟至数字转换器的缺点。

[0046] 基于上述的缺点，需要一种可将模拟信号转换至数字信号的集成电路、系统与操作方法。

[0047] 值得注意的是，以下所公开的内容可提供多个用以实践本发明的不同特点的实施例或范例。以下所述的特殊的元件范例与安排仅用以简单扼要地阐述本发明的精神，并非用以限定本发明的范围。此外，以下说明书可能在多个范例中重复使用相同的元件符号或文字。然而，重复使用的目的仅为了提供简化并清楚的说明，并非用以限定多个以下所讨论的实施例和 / 或配置之间的关系。此外，以下说明书所述的一个特征连接至、耦接至和 / 或形成于另一特征的上等的描述，实际可包含多个不同的实施例，包括该等特征直接接触，或者包含其它额外的特征形成于该等特征之间等等，使得该等特征并非直接接触。此外，有关空间关系的术语，例如“较低”、“较高”、“水平”、“垂直”、“在 ... 上方”、“在 ... 下方”、“上”、“下”、“顶端”、“底部”、以及其它衍生的术语等（例如，“水平地”、“向下地”、“朝上地”等等）是用以简单描述出本发明的一特征与另一特征的关系。这些空间关系的术语可涵盖到包含该些特征的装置的不同的方向定位。

[0048] 图 1A 是显示根据本发明的一实施例所述的可执行模拟信号至数字信号转换的集成电路示意图。在图 1A 中，集成电路 100 可包含一输入端 101 用以接收一模拟信号与一输出端 102 用以输出对应于模拟信号的一整数值（以数字形式）。集成电路 100 可包括一组 (2^n-1) 个反相器 110，其分别标示为 INV_1、INV_2、INV_3...INV_(2^n-2) 与 INV_(2^n-1)。(2^n-1) 个反相器 110 可自输入端 101 接收模拟信号。在一些实施例中，(2^n-1) 个反相器 110 可平行配置，并且与输入端 101 耦接。(2^n-1) 个反相器 110 可量化模拟信号，并输出一组

(2^n-1) 数字值，其分别标示为 D_1、D_2、D_3...D(2^n-2) 与 D(2^n-1)。(2^n-1) 个数字值中的各数值可为“0”或“1”。集成电路 100 可包含一加法器 120。加法器 120 可与 (2^n-1) 个反相器 110 耦接。加法器 120 可用于加组总该组 (2^n-1) 个数字值，并于输出端 102 输出对应于至少一数字信号的整数值。集成电路 100 可包括一快闪式模拟至数字转换器、一逐渐趋近式模拟至数字转换器 (successive-approximation ADC)、斜坡比较式模拟至数字转换器 (ramp-compare ADC)、威金森模拟至数字转换器 (Wilkinson ADC)、整合式模拟至数字转换器 (integrating ADC)、积分编码式模拟至数字转换器 (delta-encoded ADC)、管线式模拟至数字转换器 (pipeline ADC)、三角积分式模拟至数字转换器 (sigma-delta ADC)、时序交错式模拟至数字转换器 (time-interleaved ADC)、或其它模拟至数字转换器。在一些实施例中，集成电路 100 可为一信号处理器、一控制电路、一电源控制电路或其它可将模拟信号转换成数字信号的电路。

[0049] 以下将说明有关于使用 5 位元的模拟至数字转换解析度用以量化一模拟信号的步骤。值得注意的是，以下的说明内容仅为本发明的一范例。以下说明的实施例当可提供高解析度的模拟至数字转换，例如 8 位元或更高的解析度。在一些实施例中，使用 5 位元的模拟至数字转换解析度，因此，该组 (2^n-1) 个反相器 110 可包含 (2^5-1) 或 31 个反相器。各 31 个转换器可具有其对应的电压转换曲线 (Voltage Transfer Curve，简称为 VTC)，并且其跳变点 (Trip Point) 显示于图 2A 中。如图 2A 所示，线 201 可大体通过所有 31 个反相器的跳变点。在一些实施例中，各 31 个反相器可包括互补式金属 - 氧化层 - 半导体 (Complementary Metal-Oxide-Semiconductor，简称 CMOS) 晶体管。CMOS 晶体管可包含一 P 型 MOS(简称 PMOS) 晶体管与一 N 型 MOS(简称 NMOS) 晶体管。PMOS 晶体管与 NMOS 晶体管可具有，例如，不同的通道宽度与通道长度比例 (W/L)，使得 (2^n-1) 个反相器 110 可具有不同的跳变点。

[0050] 例如，于输入端 101 的模拟信号可具有约 1.018 伏特的输入电压。如图 2A 所示，第 1 个反相器至第 16 个反相器可具有高于 1.018 伏特的跳变点，因此各第 1 至 16 个反相器可输出数字值“1”。第 17 至第 31 个反相器可具有低于 1.018 伏特的跳变点，因此这 15 个反相器可输出数字值“0”。

[0051] 参考至图 1A，加法器 120 可加总由 31 个反相器所输出的数字值，并输出一整数值 (以数字形式)。对于使用具有约 1.018 伏特的输入电压的模拟信号的实施例，加法器 120 可于输出端 102 输出整数值“15”。整数值“15”可被解码为 5 位元的二进制数字信号，例如“01111”，以提供后续的数字信号处理。

[0052] 值得注意的是，(2^n-1) 个反相器 110 可将模拟信号量化成 2^n 个等级，并输出 (2^n-1) 个整数值。加法器 120 可加总 (2^n-1) 个整数值，并输出一整数结果。集成电路 100 可根据所需的转换速率将模拟信号转换成以数字信号形式表现的整数值。可发现的是，(2^n-1) 个反相器 110 所需的面积小于传统快闪式模拟至数字转换器中 (2^n-1) 个比较器所需的面积。因此可有效减少集成电路 100 的晶片尺寸。

[0053] 在一些实施例中，加法器 120 可耦接一查照表 (lookup table，图未示)。查照表可接收加法器输出的整数值，并输出对应于该整数值的 n 位元的数字二进制信号。在不包含多个解码操作的情况下，查照表可协助在所需的速率下将模拟信号转换成数字信号。

[0054] 图 1B 是显示根据本发明的另一实施例所述的集成电路示意图，其包含反相器与

分压器用以将一模拟信号转换成数字信号。图 1B 中，具有相同的元件符号，或者具有数值增加 50 的元件符号，代表与图 1A 中相同的元件。在一些实施例中，集成电路 150 可包含闲置的反相器 161a 与 161b。由反相器 160 所提供的各等级可更进一步由分压器量化。在进一步量化模拟信号的实施例中，集成电路 150 可更包含多个分压器 165，例如 2^n 个分压器。各 (2^n-1) 个反相器的输出端与至少一分压器 165 耦接。各分压器 165 包含一组 2^m 个电子元件，例如电阻（如图所示的电阻 R_1、R_2、R_3...R_2^m）、二极管、或其它可提供所需的阻抗的电子元件和 / 或其组合。各分压器 165 可提供 (2^m-1) 个数字值，并且各 (2^m-1) 个数字值可分别为“0”或“1”。因此，所有分压器 165 一共可提供 (2^n) 乘以 (2^m-1) 个数字值。(2^n-1) 个反相器 160 与 $2^{(n+m)}$ 个电子元件可提供 $(2^{(n+m)}-1)$ 个整数值，其可代表具有 (n+m) 位元解析度的模拟至数字转换结果。对于使用 7 位元的模拟至数字转换解析度的实施例，集成电路 150 可包括 (2^5-1) 个反相器与 $(2^{(5+2)})$ 个电子元件。

[0055] 以下将介绍有关反相器与电子元件量化模拟信号的实施例。在此实施例中使用 7 位元的模拟至数字转换解析度，因此集成电路 150 可包括 (2^5-1) 或 31 个反相器 160，以及 32 个分压器 165。各 32 个分压器 165 可具有 2^2 或 4 个电阻。由于各电阻可将两相邻反相器的输出端之间的压降做更进一步分压，因此 31 个反相器与 32 个分压器可提供 127 个数字值。

[0056] 举例而言，第 17 个分压器（如图 2B 所示的 VD_17）可配置于第 16 个反相器（如图 2B 所示的 INV_16）与第 17 个反相器（如图 2B 所示的 INV_17）之间。第 17 个分压器可更进一步量化第 16 个反相器与第 17 个反相器之间的电压降。在一些实施例中，由第 17 个分压器所执行的量化可为内插 (interpolation) 操作。第 17 个分压器可包含 4 个电阻（如图 2B 所示的 R_1 ～ R_4）。第 17 个分压器以及第 16 个反相器与第 17 个反相器的各个输出端可与反相器 210a ～ 210e 耦接。反相器 210b ～ 210d 可分别提供如图 2C 所示的介于第 16 个反相器的电压转换曲线 (VTC)214 与第 17 个反相器的电压转换曲线 215 之间的电压转换曲线 211 ～ 213。在一些实施例中，模拟信号可具有约 1.018 伏特的输入电压。值得注意的是，1.018 伏特的模拟信号低于第 16 个反相器的跳变点，并且高于第 17 个反相器的跳变点。同时可以发现 1.018 伏特的模拟信号低于电压转换曲线 211 的跳变点，并且高于电压转换曲线 212 与 213 的跳变点。第 65 个数字值 D_65 可为“1”，且第 66 与 67 个数字值 D_66 与 D_67 可为“0”。同时可注意到的是，由第 1 至第 16 个分压器所输出的数字值为“1”，且由第 18 至第 32 个分压器所输出的数字值为“0”。

[0057] 参考回图 1B，加法器 170 可加总由 31 个反相器与 32 个分压器所输出的数字值，并输出对应的整数值。对于使用具有输入电压约 1.018 伏特的模拟信号的实施例，加法器 170 可于输出端 152 输出整数值“65”。在一些实施例中，整数值“65”可被解码成 7 位元的二进制数字信号，例如“1000001”，以提供后续的数字信号处理。

[0058] 值得注意的是，传统的模拟至数字转换器使用多个比较器量化输入模拟信号。为了达到 7 位元的解析度，将使用 (2^7-1)，也就是 127 个比较器。127 个比较器需要花费较大的面积。此外，传统的模拟至数字转换器使用电阻网络以提供不同的电压电平作为比较器的参考电压。电阻网络也会耗损掉一些模拟至数字转换器的功率。

[0059] 不同于传统模拟至数字转换器，集成电路 150 使用反相器 160 与分压器 165 量化模拟信号。可以注意到的是，集成电路 150 可包括 (2^5-1)，例如 31 个反相器与 $2^{(5+2)}$ 个电子

元件，例如 128 个电阻，用以达成 7 位元解析度的模拟至数字转换。可以发现的是，相较于传统模拟至数字转换器的 127 个比较器，使用 31 个反相器 160 与 32 个分压器 165 可花费较小的面积。集成电路 150 的尺寸可有效缩减。当执行 8 位元或更高解析度的模拟至数字转换时，集成电路 150 同样可达到想要的尺寸缩减。

[0060] 同样可以发现的是，集成电路 150 不需包含用以提供不同的电压电平作为比较器的参考电压的电阻网络。因此可降低由电阻网络所造成的功率耗损。值得注意的是，上述的 7 位元的模拟至数字转换解析度仅为一介绍范例，并非用以限定本发明的应用范围。任何本领域普通技术人员，在不脱离本发明的精神和范围内，当可修改 (2^n-1) 个反相器 160 与 2^m 个电子元件的数量，以达到所需的 (n+m) 位元的模拟至数字转换解析度。

[0061] 图 3A ～图 3D 是显示根据本发明的数个实施例所述的反相器电路图。可以注意到的是，反相器 110（如图 1A 所示）、160（如图 1B 所示）和 / 或 210a ～ 210e（如图 2B 所示）可包含一 CMOS 晶体管。在图 3A 中，反相器 310a 可包括一 PMOS 晶体管 311a 与 NMOS 晶体管 313a。PMOS 晶体管 311a 的源极端可耦接至电压源，例如约 2.2 伏特的 VDD。NMOS 晶体管 313a 的源极端可耦接至地。在一些实施例中，PMOS 晶体管 311a 的宽长比例 (W/L) 可从约 0.6/0.18 变化至 9.08/0.18。PMOS 晶体管 311a 的宽长比例 (W/L) 可从约 0.6 微米 (μm)/0.18 微米变化至 8.26 微米 /0.18 微米。PMOS 晶体管 311a 与 NMOS 晶体管 313a 的宽长比例变化可提供不同的跳变点。

[0062] 在图 3B 中，反相器 310b 可包括一 PMOS 晶体管 311b 与 NMOS 晶体管 313b。PMOS 晶体管 311b 与 NMOS 晶体管 313b 分别类似于 PMOS 晶体管 311a 与 NMOS 晶体管 313a。PMOS 晶体管 311b 的源极端可耦接至电阻 315b。NMOS 晶体管 313b 的源极端可耦接至电阻 317b。在一些实施例中，电阻 315b 与 317b 可具有约 1.8KΩ 的电阻值。

[0063] 在图 3C 中，反相器 310c 可包括一 PMOS 晶体管 311c 与 NMOS 晶体管 313c。PMOS 晶体管 311c 的漏极端可耦接至电阻 315c。NMOS 晶体管 313c 的漏极端可耦接至电阻 317c。在一些实施例中，电阻 315c 与 317c 可具有约 1.8KΩ 的电阻值。

[0064] 在图 3C 中，反相器 310c 可包括一 PMOS 晶体管 311c 与 NMOS 晶体管 313c。PMOS 晶体管 311c 的漏极端可耦接至电阻 315c。NMOS 晶体管 313c 的漏极端可耦接至电阻 317c。在一些实施例中，电阻 315c 与 317c 可具有约 1.8KΩ 的电阻值。

[0065] 在图 3D 中，反相器 310d 可包括一 PMOS 晶体管 311d 与 NMOS 晶体管 313d 与 319d。NMOS 晶体管 313d 耦接于 PMOS 晶体管 311d 与 NMOS 晶体管 319d 之间。PMOS 晶体管 311d 的源极端可耦接至电压源，例如约 2.2 伏特的 VDD。NMOS 晶体管 319d 的源极端可耦接至地。在一些实施例中，NMOS 晶体管 313d 与 319d 可具有相同的宽长比例。

[0066] 值得注意的是，上述 PMOS 与 NMOS 晶体管的宽长比例和 / 或电阻的电阻值仅为范例。任何本领域普通技术人员，在不脱离本发明的精神和范围内，当可改变宽长比例与电阻值以获得所需的跳变点。同样值得注意的是，上述的反相器 310a ～ 310d 的结构仅为范例。任何可提供所需的电压转换曲线的反相器结构都可应用于本发明。

[0067] 图 4 是显示根据本发明的另一实施例所述的可执行模拟信号至数字信号转换的集成电路示意图。在一些实施例中，结合上述图 1B 所介绍的反相器与电子元件的数量可加倍，用以进一步量化模拟信号。在此实施例中，集成电路 400 可包括输入端 401 用以接收模拟信号。集成电路 400 可包括第一组 (2^n-1) 个反相器 410a、第二组 (2^n-1) 个反相器 410b、

第一组 2^n 个分压器 415a 与第二组 2^n 个分压器 415b。在一些实施例中，第一与第二组 (2^n-1) 个反相器 410a 与 410b 可类似如第 1A 与图 1B 中所示的 (2^n-1) 个反相器 110 或 160。各第一与第二组 2^n 个分压器 415a 与 415b 可类似于图 1B 中所示的分压器 165。

[0068] 可注意到的是，第一组 (2^n-1) 个反相器 410a 与第一组 2^n 个分压器 415a 包含 $2^{(n+m)}$ 个电子元件，其可提供一组 $(2^{(n+m)}-1)$ 个数字值。第二组 (2^n-1) 个反相器 410b 与第二组 2^n 个分压器 415b 包含 $2^{(n+m)}$ 个电子元件，其可提供另一组 $(2^{(n+m)}-1)$ 个数字值。加法器 420 加总该等 $2\times(2^{(n+m)}-1)$ 个数字值，输出可代表 (n+m+1) 位元的二进制数字信号的一整数值。在一些实施例中，由加法器 420 所输出的可代表 (n+m+1) 位元的二进制数字信号的整数值可被解码为 (n+m+1) 位元的二进制数字信号。

[0069] 在其它实施例中，由加法器 420 所输出的可代表 (n+m+1) 位元的二进制数字信号的整数值可被转换成 (n+m) 位元的二进制数字信号。参考至图 4，集成电路 400 可包含一查照表 430。查照表 430 可包括复数数据，包括整数值与其对应的 (n+m) 位元的二进制数字信号。查照表 430 可自加法器 420 接收整数值，并提供对应于整数值的一 (n+m) 位元的二进制数字信号。例如，查照表 430 可接收可代表 9 位元的二进制数字信号的整数值，并且输出 8 位元的二进制数字信号。由于在量化模拟信号时可提供更多的等级，因此可达到所需的量化模拟信号的精确度和 / 或解析度。

[0070] 图 5 是显示根据本发明的另一实施例所述的可执行模拟信号至数字信号转换的集成电路示意图。在一些实施例中，集成电路 500 可接收差动输入信号，用以有效降低信号噪声比例 (signal-to-noise ratio，简称 SNR)。在图 5 中，集成电路 500 可包括一第一输入端 501a，例如一正输入端，以及一第二输入端 501b，例如一负输入端。第一输入端 501a 可接收第一模拟信号，第二输入端 501b 可接收第二模拟信号。在一些实施例中，第一模拟信号类似于第二模拟信号。在其它实施例中，第一模拟信号与第二模拟信号可具有相位差，例如，约 180 度的相位差。在又另一些实施例中，第一输入端 501a 与第二输入端 501b 的输入可为差动输入。

[0071] 在一些实施例中，集成电路 500 可包括取样保持 (Sample and Hold) 电路 503a 与 503b，其分别耦接于第一输入端 501a 与第二输入端 501b。取样保持电路 503a 与 503b 可用以取样并保持第一与第二模拟信号一段所需的时间。

[0072] 在一些实施例中，集成电路 500 可包括模拟缓冲器 505a 与 505b，其分别耦接于取样保持电路 503a 与 503b。集成电路 500 可包括量化器 510a 与 510b，其分别耦接于模拟缓冲器 505a 与 505b。在一些实施例中，各量化器 510a 与 510b 可包括图 4 所示的反相器 410a 与 410b 和 / 或分压器 415a 与 415b。量化器 510a 与 510b 可分别与加法器 515a 与 515b 耦接。集成电路 500 可包含一减法器 520，耦接至加法器 515a 与 515b。

[0073] 可以注意到的是，各加法器 515a 与 515b 可输出一整数值，其可如以上图 4 所述代表 (n+m-1) 位元的二进制数字信号。减法器 520 可对于加法器 515a 与 515b 所提供的整数值进行减法运算，并输出可代表 (n+m+2) 位元的二进制数字信号的整数值。例如，各加法器 515a 与 515b 可输出一整数值，其可代表 9 位元的二进制数字信号。减法器 520 可对于加法器 515a 与 515b 所提供的整数值进行减法运算，并输出可代表 10 位元的二进制数字信号的整数值。

[0074] 可以发现的是，集成电路 500 可提供 (n+m+2) 位元的模拟至数字转换解析度，其高

于图 4 所示的集成电路 400。此外，集成电路 500 可更有效降低模拟至数字转换的信号噪声比例。

[0075] 在一些实施例中，减法器 520 可耦接至一查照表（图未示），例如图 4 中所示的查照表 430。查照表可接收可代表 (n+m+2) 位元的二进制数字信号的整数值，并输出 (n+m+1) 位元的二进制数字信号，用以达到所需的模拟至数字转换的精确度和 / 或解析度。

[0076] 图 6 是显示根据本发明的另一实施例所述的可执行模拟信号至数字信号转换的集成电路示意图，其包含了一校准器。在图 6 中，具有数值增加 100 的元件符号，代表与图 5 中相同的元件。集成电路 600 可包括一校准器 630。校准器 630 用以自加法器 615a 接收整数值，并输出对应于该整数值的一校准过的数字信号。在一些实施例中，校准器 630 的操作可为斜坡式校准 (ramp calibration)。

[0077] 在一些实施例中，集成电路 600 可包括一控制逻辑 635，耦接至校准器 630。计数器 640 耦接至控制逻辑 635 与校准器 630。数字至模拟转换器 (Digital to Analog Converter，简称 DAC)645 可耦接至计数器 640。多工器 650 可耦接于数字至模拟转换器 645 与取样保持电路 603a。

[0078] 参考至图 6，控制逻辑 635 可致能和 / 或驱动校准器 630 和 / 或计数器 640。在一些使用斜坡式校准的实施例中，计数器 640 可输出斜坡 (m+n+1) 位元的二进制数字信号至校准器 630 以及数字至模拟转换器 645。校准器 630 可纪录由计数器 640 所输出的 (m+n+1) 位元的二进制数字信号。数字至模拟转换器 645 可将接收自计数器 640 的 (m+n+1) 位元的二进制数字信号转换成模拟信号，并供应至多工器 650。

[0079] 为了校准，多工器 650 将接收自数字至模拟转换器 645 的模拟信号输出至量化器 610a。可以注意到的是，加法器 615a 可输出代表 (m+n+1) 位元的二进制数字信号的整数值至校准器 630。校准器 630 可纪录代表 (m+n+1) 位元的数字信号的输出整数值和 / 或将此输出整数值与对应的接收自计数器 640 的 (m+n+1) 位元的数字信号进行匹配。在一些实施例中，该些整数值与 (m+n+1) 位元的数字信号可被纪录于一校正表或存储器（图未示）中。

[0080] 若要被转换的模拟信号提供至输入端 601，多工器 650 将模拟信号自输入端 601 输出至取样保持电路 603a、模拟缓冲器 605a 以及量化器 610a。加法器 615a 可加总来自量化器 610a 的数字值，并输出代表 (m+n+1) 位元的二进制数字信号至校准器 630。校准器 630 可接收整数值，并根据校准表输出对应于整数值的校准过的数字信号。

[0081] 图 7 是显示出无校准与有校准的模拟结果示意图。在图 7 中，线 701 可代表瞄准线，其通过数字输出的理想斜坡转换级距的中点。锯齿状的线 702 可代表无校准过的数字输出。锯齿状的线 703 可代表有校准过的数字输出。可以发现的是，未被校准的锯齿状的线 702 在一些等级上会偏离线 701。这些偏离可能是由于装置不匹配、工艺偏移、和 / 或其它影响模拟至数字转换解析度的因素所造成。

[0082] 相较于锯齿状的线 702，代表有校准过的数字输出的锯齿状的线 703 可逼近线 701。通过以上图 6 所介绍的校准机制，可达到所需的模拟至数字转换解析度和 / 或精确度。

[0083] 值得注意的是，在校准的过程中，校准器 630、逻辑电路 635、计数器 640 和 / 或数字至模拟转换器 645 可应用至如图 1A、图 1B、图 4 与图 5 所示的集成电路 100、150、400 与 500。

[0084] 图 8 是显示根据本发明的一实施例所述的系统示意图，其包括本发明所述的集成

电路范例以及与其耦接的用以接收数字信号的一装置。在图 8 中，系统 800 可包括集成电路 810，其耦接至用以接收数字信号的一装置 820。集成电路 810 可接收内部或外部的模拟信号，例如自系统 800 内部或外部的一装置或电路。在一些实施例中，集成电路 810 可类似于图 1A、图 1B、图 4、图 5 与图 6 所示的集成电路 100、150、400、500 与 600。

[0085] 在一些实施例中，系统 800 可包括一硬盘驱动器、一数字多用途光盘 (Digital Versatile Disc)、一高解析度电视、一车辆、一移动电话、一机顶盒、一多媒体播放器、或任何具有模拟至数字转换的系统。用以接收数字信号的装置 820 可以是，例如，一存储器、一储存媒介、一显示器、一逻辑电路和 / 或其它可接收数字信号的电路。

[0086] 在一些实施例中，集成电路 810 与用以接收数字信号的装置 820 可物理并电性地耦接至一印刷电路板，用以形成电子配件。电子配件可以是电子系统，例如电脑、无线通讯装置、电脑相关周边装置、娱乐装置等的一部分。

[0087] 在一些实施例中，包含集成电路 810 的系统 800 可提供整个系统于一集成电路中，称之为系统单芯片 (System-on-a-chip，简称 SOC) 或集成电路系统 (system on integrated circuit，简称 SOIC)。这些系统单芯片装置可提供，例如需要实作出移动电话、个人数据助理 (personal data assistant，简称 PDA)、数字卡式录影机 (Video Cassette Recorder，简称 VCR)、数字摄录象机、数字相机、MP3 播放机、或其它装置所需的电路于单一个整合电路中。

[0088] 本发明虽以较佳实施例公开如上，然而其并非用以限定本发明的范围，任何本领域普通技术人员，在不脱离本发明的精神和范围内，当可做些许的更动与润饰，因此本发明的保护范围当视随附的权利要求所界定的范围为准。

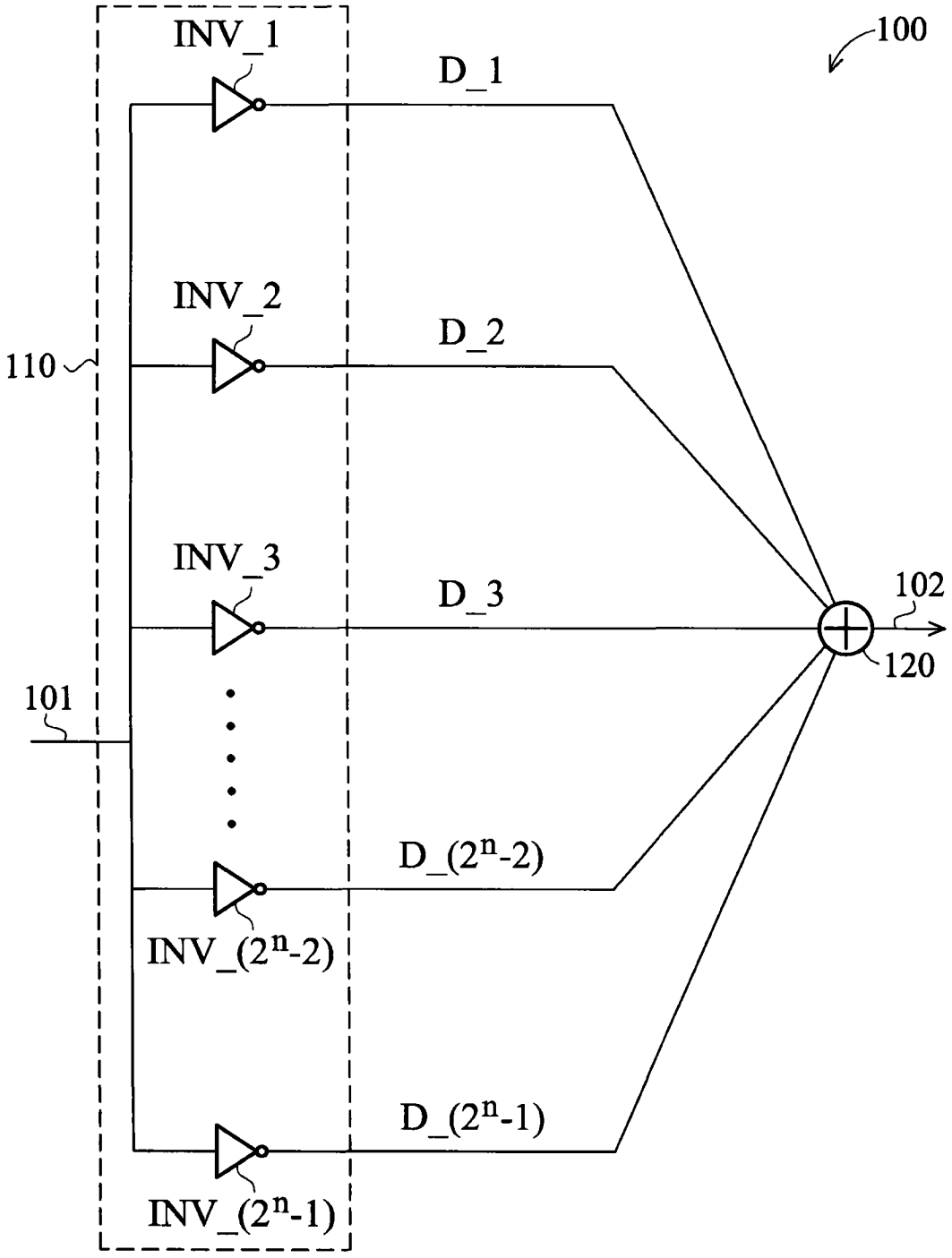

INV_1
D_1
100
INV_2
D_2
110
INV_3
D_3
102
120
101
D_(2^n-2)
INV_(2^n-2)
D_(2^n-1)
INV_(2^n-1)

图 1A

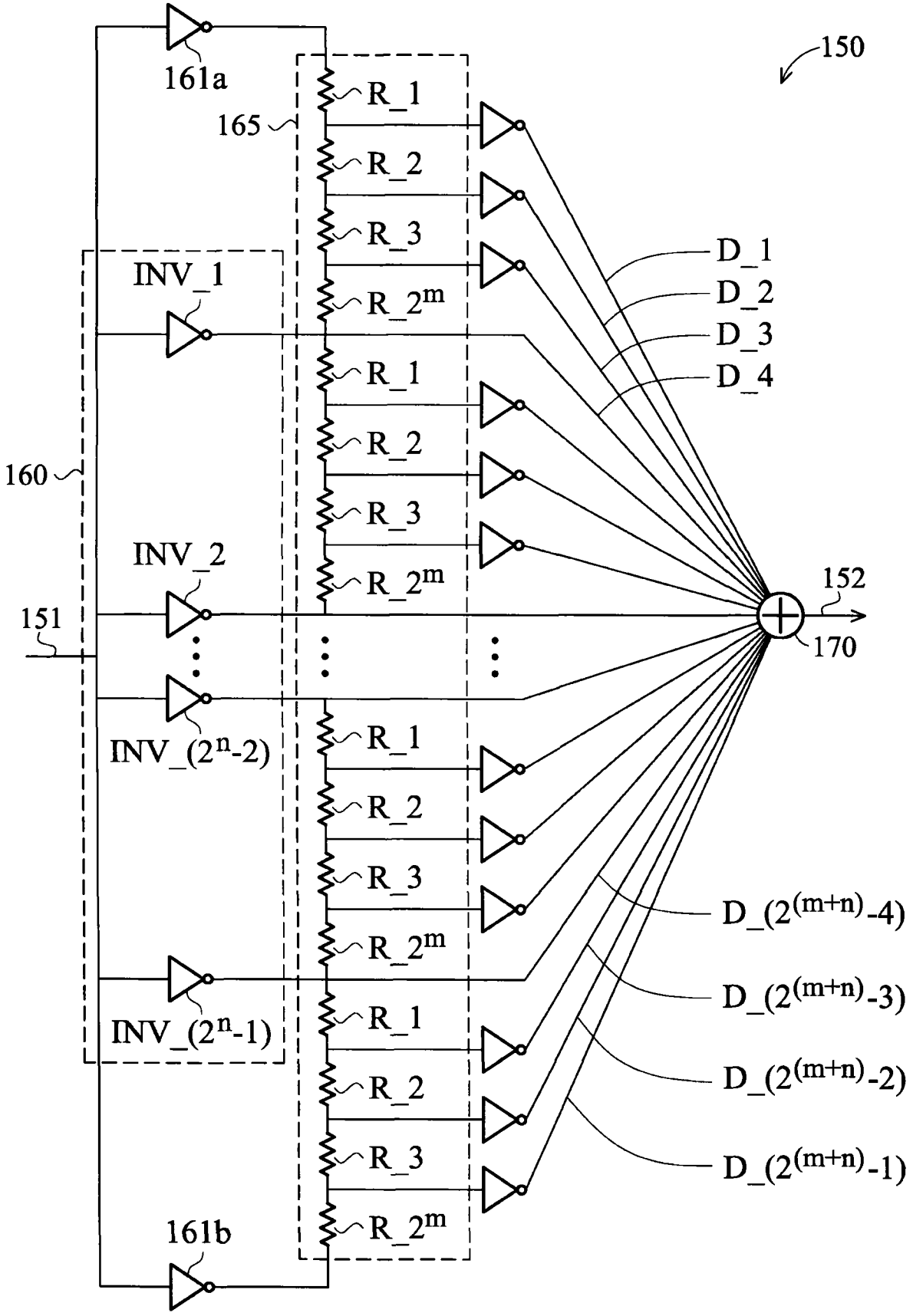

150
161a
165
R_1
R_2
R_3
R_2^m
INV_1
D_1
D_2
D_3
D_4
160
INV_2
151
152
170
INV_(2^n-2)
INV_(2^n-1)
D_(2^(m+n)-4)
D_(2^(m+n)-3)
D_(2^(m+n)-2)
D_(2^(m+n)-1)
161b

图 1B

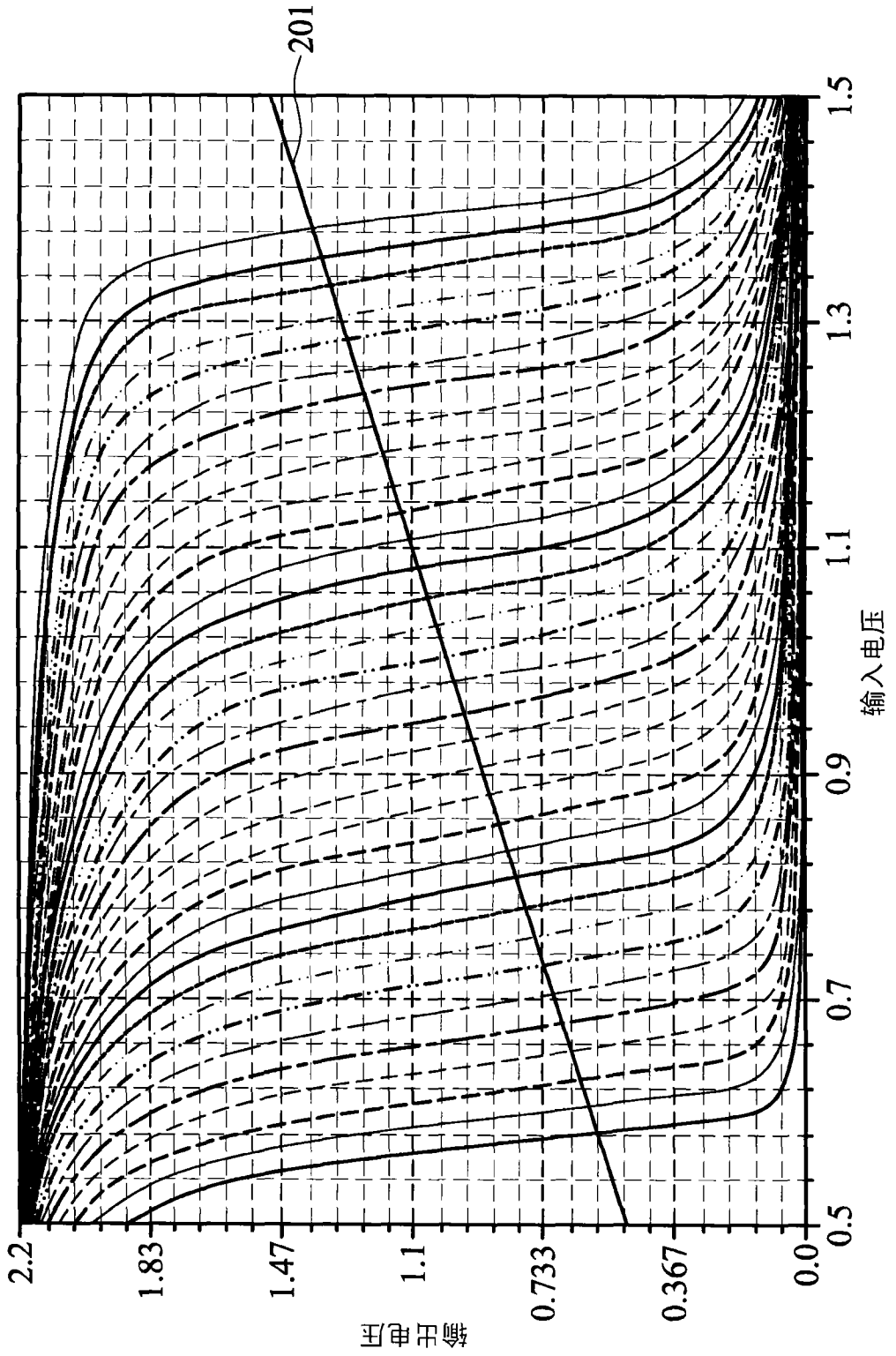


图 2A

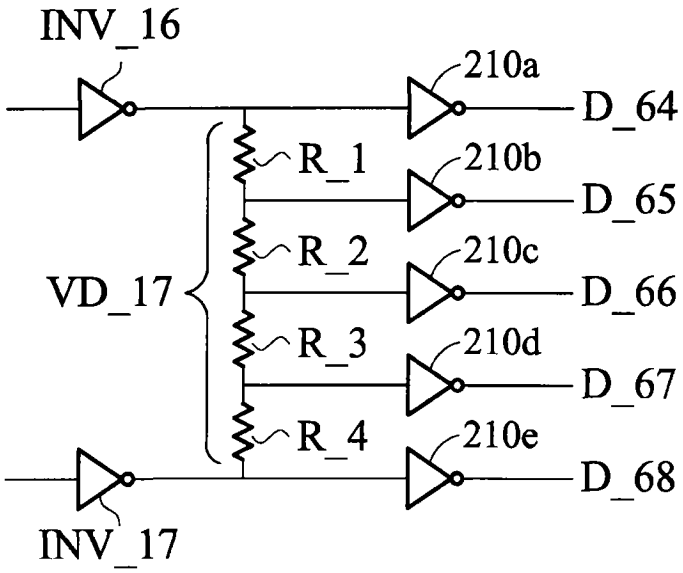

INV_16
210a
D_64
R_1
210b
D_65
R_2
210c
VD_17
D_66
R_3
210d
D_67
R_4
210e
D_68
INV_17

图 2B

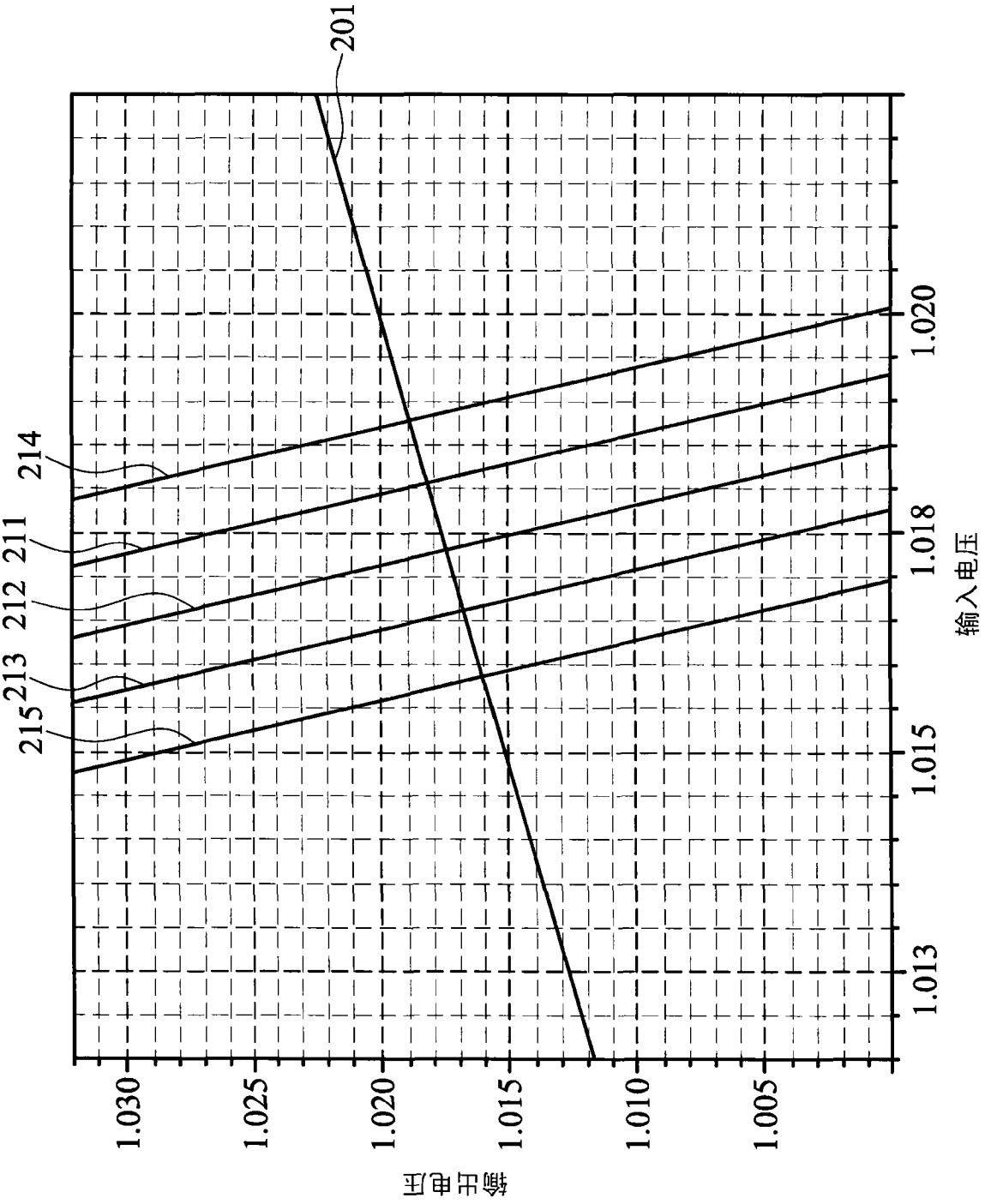

201
214
211
212
213
215
1.030
1.025
1.020
1.015
1.010
1.005
输出电压
1.020
1.018
1.015
1.013
输入电压

图 2C

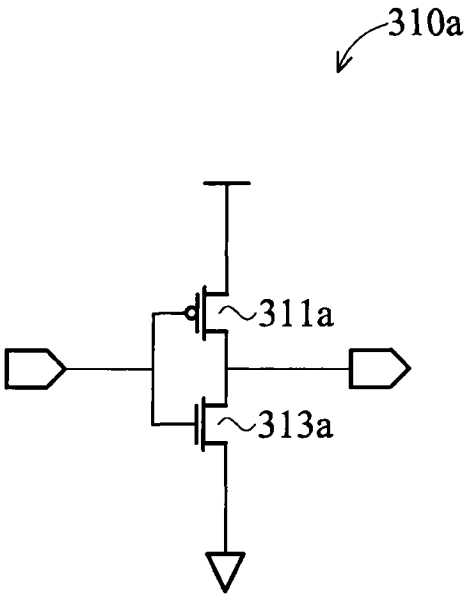


图 3A

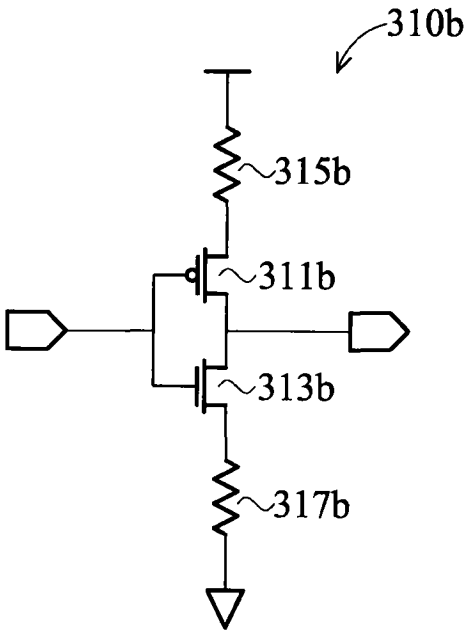


图 3B

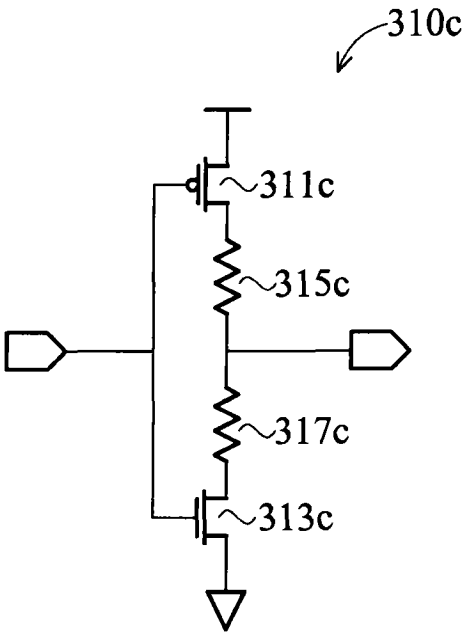


图 3C

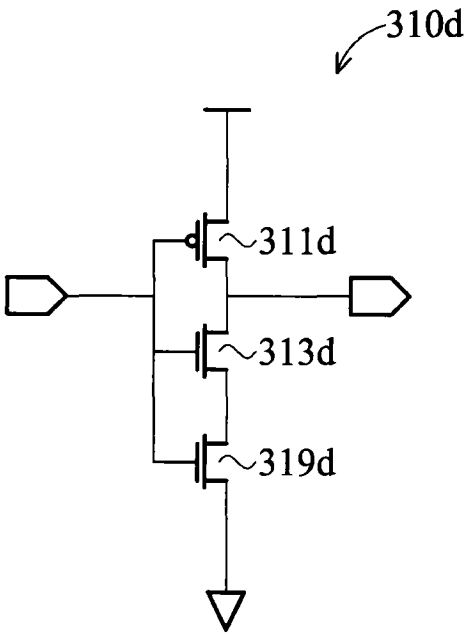


图 3D

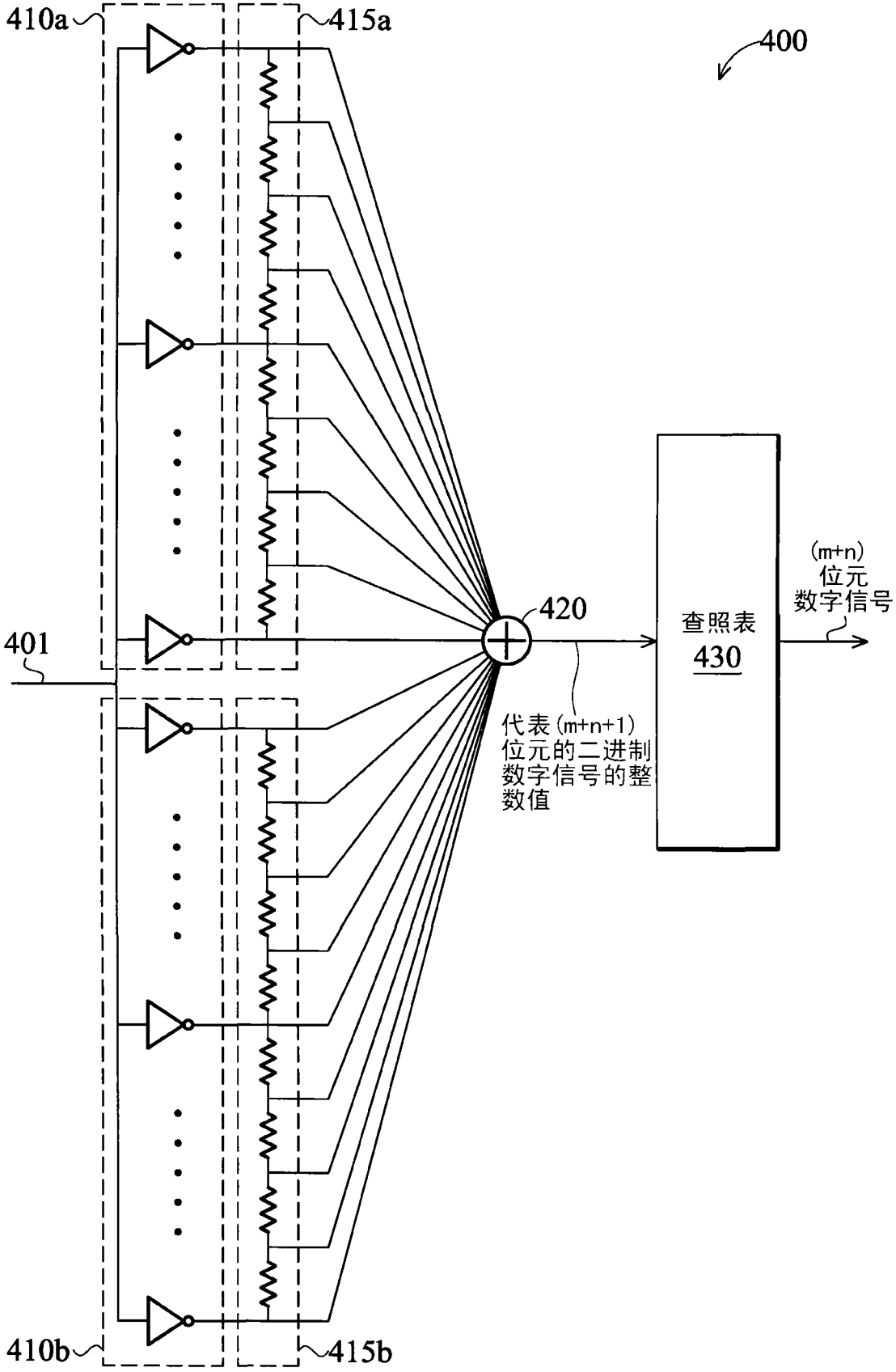

410a
415a
400
401
420
查照表
430
(m+n)
位元
数字信号
代表(m+n+1)
位元的二进制
数字信号的整
数值
410b
415b

图 4

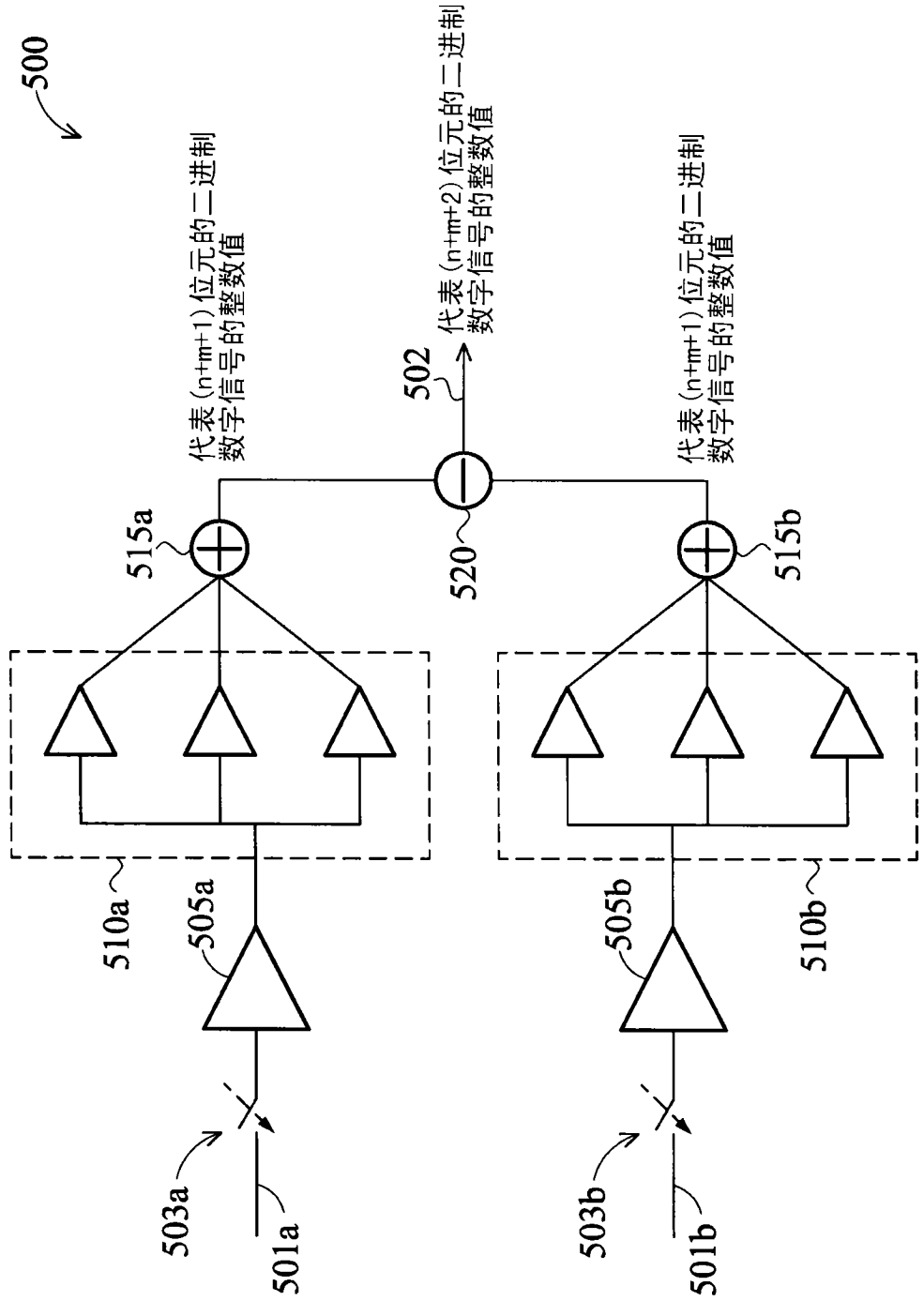

500
代表(n+m+1)位元的二进制数字信号的整数值
502
代表(n+m+2)位元的二进制数字信号的整数值
代表(n+m+1)位元的二进制数字信号的整数值
515a
520
515b
510a
505a
505b
510b
503a
503b
501a
501b

图 5

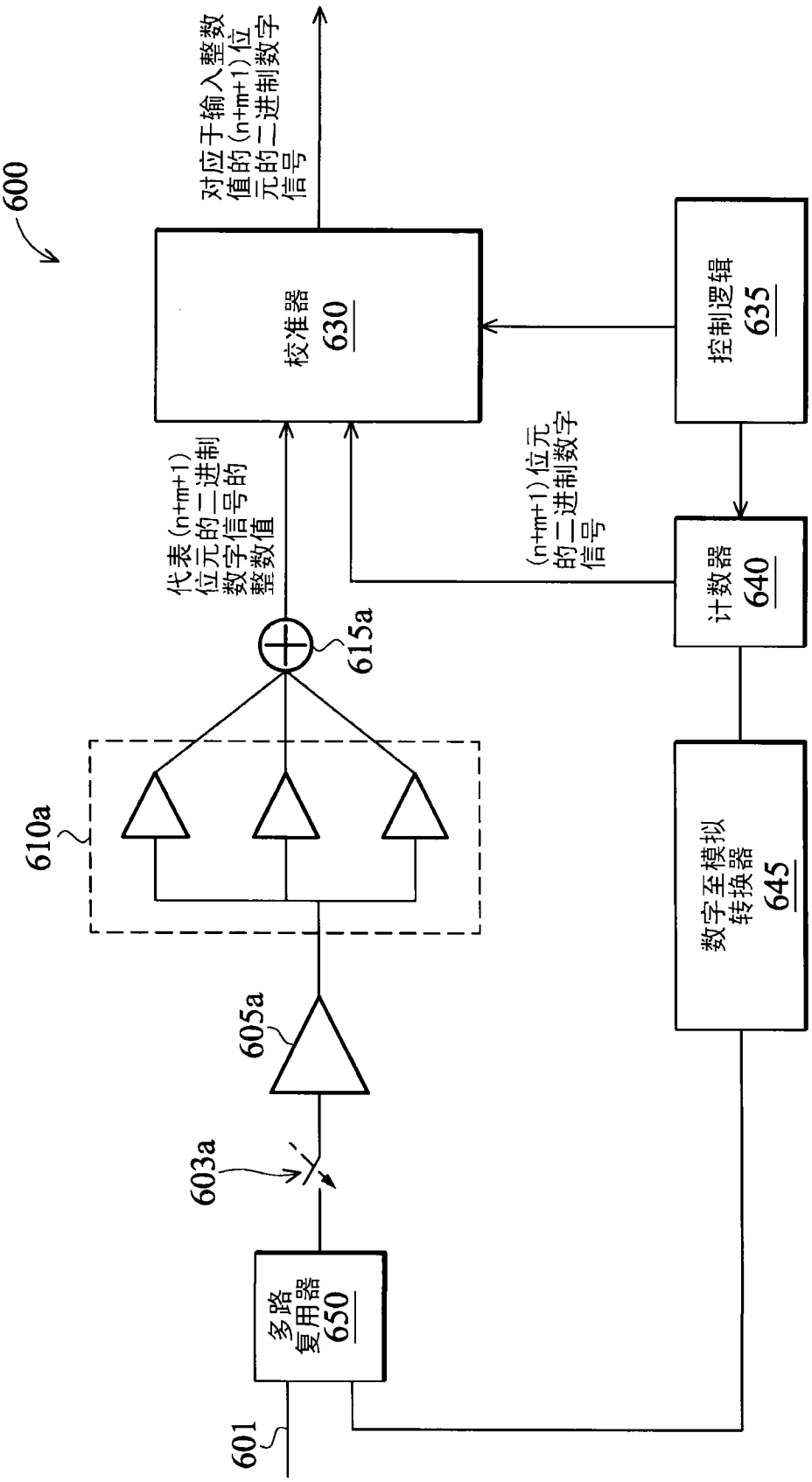

600
对应于输入整数值的(n+m+1)位元的二进制数字信号
校准器 630
控制逻辑 635
代表(n+m+1)位元的二进制数字信号的整数值
(n+m+1)位元的二进制数字信号
计数器 640
615a
610a
数字至模拟转换器 645
605a
603a
多路复用器 650
601

图 6

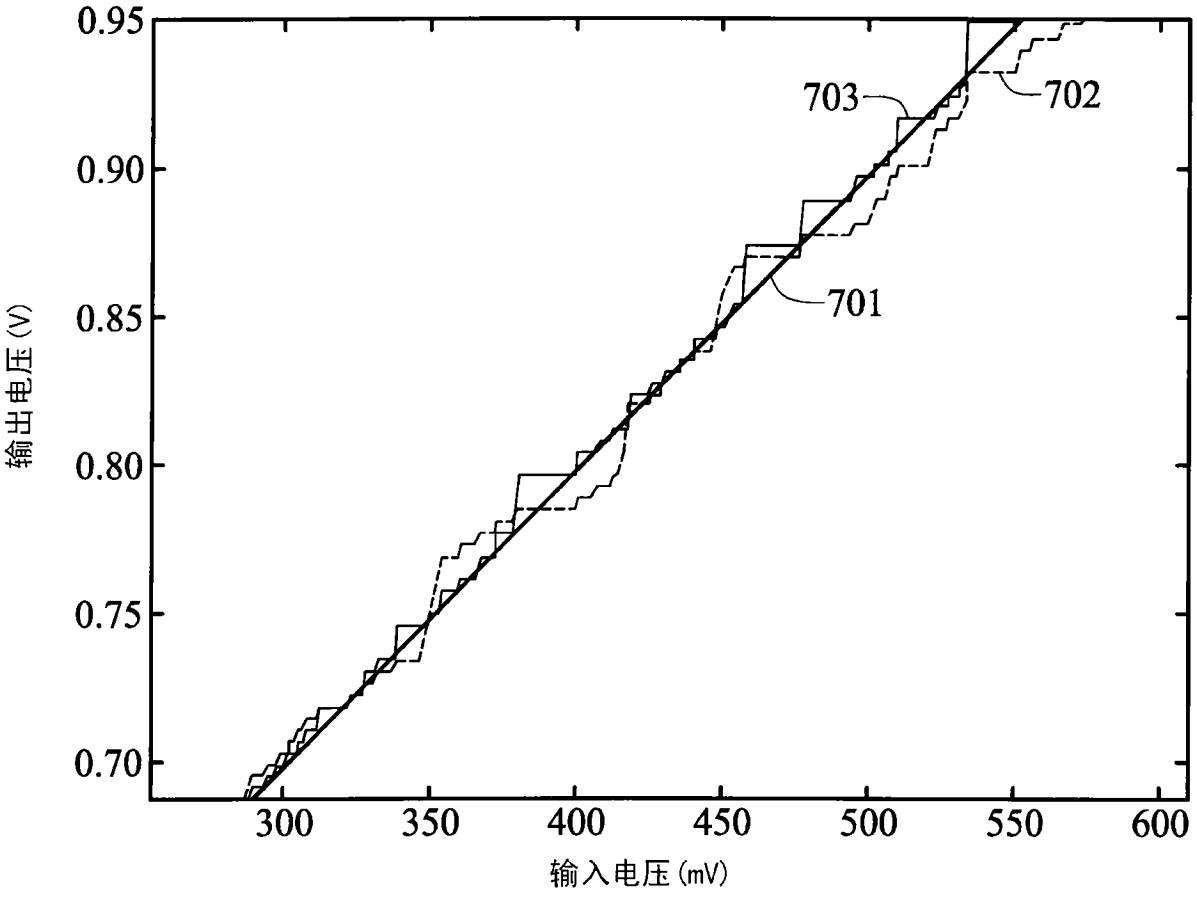

0.95
0.90
0.85
0.80
0.75
0.70
输出电压(V)
300
350
400
450
500
550
600
输入电压(mV)
703
702
701

图 7

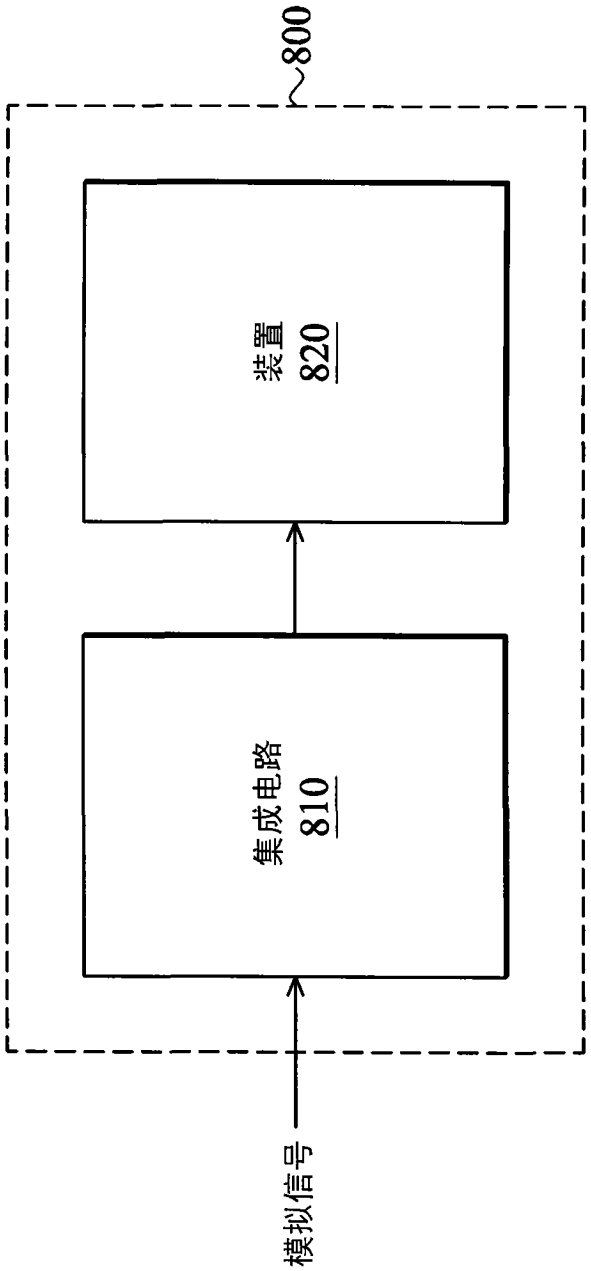


图 8