



(12)发明专利

(10)授权公告号 CN 105190888 B

(45)授权公告日 2017.08.22

(21)申请号 201480025342.7

T·金

(22)申请日 2014.04.23

(74)专利代理机构 上海专利商标事务所有限公司 31100

(65)同一申请的已公布的文献号

申请公布号 CN 105190888 A

代理人 元云

(43)申请公布日 2015.12.23

(51)Int.Cl.

(30)优先权数据

13/887,723 2013.05.06 US

H01L 27/06(2006.01)

H01L 23/48(2006.01)

H01L 23/60(2006.01)

(85)PCT国际申请进入国家阶段日

2015.11.04

H01L 25/065(2006.01)

H01L 27/02(2006.01)

(86)PCT国际申请的申请数据

PCT/US2014/035076 2014.04.23

(56)对比文件

US 2010032767 A1, 2010.02.11,

US 2010237386 A1, 2010.09.23,

CN 102150266 A, 2011.08.10,

US 2012248582 A1, 2012.10.04,

US 2008315257 A1, 2008.12.25,

(87)PCT国际申请的公布数据

W02014/182449 EN 2014.11.13

(73)专利权人 高通股份有限公司

地址 美国加利福尼亚州

审查员 周文龙

(72)发明人 V·拉马钱德兰 B·M·亨德森

S·顾 C-G·谭 J·P·金

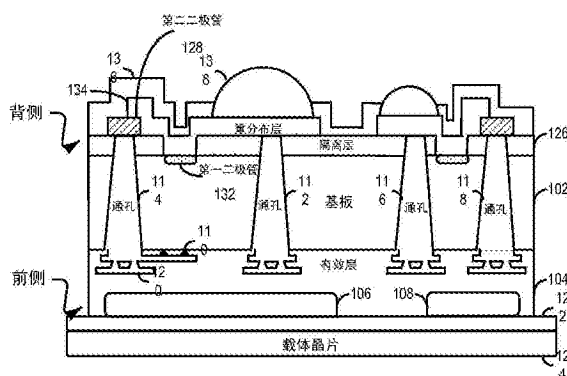
权利要求书3页 说明书10页 附图9页

(54)发明名称

静电放电二极管

(57)摘要

一种方法包括使基板的背侧变薄以暴露在该基板中形成的第一通孔的一部分。该方法还包括在该基板的背侧形成第一二极管。第一二极管被耦合至第一通孔。



1. 一种制造器件的方法,所述方法包括:

使所述器件的基板的背侧变薄以暴露在所述基板中形成的第一通孔的一部分和第二通孔的一部分;

在所述基板的背侧形成第一二极管,其中所述第一二极管耦合至所述第一通孔;

形成所述器件的层,所述层与所述基板分开;以及

形成包括半导体材料的第二二极管,所述第二二极管形成在所述第二通孔上,所述层位于所述第二二极管与所述基板的所述背侧之间。

2. 如权利要求1所述的方法,其特征在于,进一步包括:

在所述层中选择性地图案化开口,所述层包括所述基板的所述背侧上沉积的隔离层,其中所述开口接触所述基板;以及

在所述开口中沉积重分布层,其中所述第一二极管是基于所述重分布层在所述开口中接触所述基板来形成的,并且其中所述重分布层将所述第一二极管耦合至所述第一通孔。

3. 如权利要求1所述的方法,其特征在于,所述第二二极管耦合至所述第二通孔,并且其中所述半导体材料包括n型半导体材料。

4. 如权利要求3所述的方法,其特征在于,进一步包括:

在所述第二通孔上沉积所述n型半导体材料;以及

在所述n型半导体材料上沉积重分布层,其中所述第二二极管是基于所述重分布层接触所述n型半导体材料来形成的。

5. 如权利要求1所述的方法,其特征在于,所述第一二极管和所述第二二极管具有相反的极性。

6. 如权利要求1所述的方法,其特征在于,所述第一二极管是肖特基势垒二极管。

7. 如权利要求1所述的方法,其特征在于,所述第一二极管被配置成响应于静电放电事件而将电流提供到所述基板中。

8. 如权利要求1所述的方法,其特征在于,所述变薄和所述形成是由集成到电子设备中的处理器来执行的。

9. 一种器件,包括:

基板;

从所述基板的背侧延伸的第一通孔;

在所述基板的背侧的第一二极管,其中所述第一二极管耦合至所述第一通孔并被配置成响应于静电放电事件而将电流提供到所述基板中;

与所述基板分开的层;

从所述基板的所述背侧延伸的第二通孔;以及

包括半导体材料的第二二极管,所述第二二极管形成在所述第二通孔上,所述层位于所述第二二极管与所述基板的所述背侧之间。

10. 如权利要求9所述的器件,其特征在于,所述第一二极管是经由重分布层在所述层的开口中接触所述基板来形成的,所述层包括沉积在所述基板上的隔离层。

11. 如权利要求10所述的器件,其特征在于,所述隔离层包括二氧化硅(SiO₂)、氮化硅(Si₃N₄)、氮氧化硅(SiO_xN_y)、五氧化二钽(Ta₂O₅)、氧化铝(Al₂O₃)、氮化铝(AlN)、或聚合物绝缘体中的至少一者。

12. 如权利要求10所述的器件,其特征在于,所述重分布层包括铝(Al)、铜(Cu)、银(Ag)或钨(W)中的至少一者。

13. 如权利要求9所述的器件,其特征在于,所述第二二极管耦合至所述第二通孔并被配置成响应于另一静电放电事件而将具有正极性的电流提供到所述基板中,并且其中所述半导体材料包括n型半导体材料。

14. 如权利要求13所述的器件,其特征在于,所述第二二极管是经由重分布层接触耦合至所述第二通孔的所述n型半导体材料来形成的。

15. 如权利要求14所述的器件,其特征在于,所述n型半导体材料是氧化铟(In₂O₃)或氧化铟锡(ITO)之一。

16. 如权利要求9所述的器件,其特征在于,所述第一通孔和所述第二通孔是金属填充型通孔。

17. 如权利要求16所述的器件,其特征在于,所述金属包括铜(Cu)、钨(W)、银(Ag)或金(Au)中的至少一者。

18. 如权利要求14所述的器件,其特征在于,所述基板包括p型可植入基板。

19. 如权利要求14所述的器件,其特征在于,所述基板是硅基板。

20. 一种包括指令的非瞬态计算机可读介质,所述指令在由处理器执行时使所述处理器:

发起使器件的基板的背侧变薄以暴露在所述基板中形成的第一通孔的一部分和第二通孔的一部分;

发起在所述基板的背侧形成第一二极管,其中所述第一二极管耦合至所述第一通孔;

发起形成所述器件的层,所述层与所述基板分开;以及

发起形成包括半导体材料的第二二极管,所述第二二极管形成在所述第二通孔上,所述层位于所述第二二极管与所述基板的所述背侧之间。

21. 如权利要求20所述的非瞬态计算机可读介质,其特征在于,进一步包括在由所述处理器执行时使所述处理器执行以下操作的指令:

发起在所述层中图案化开口,所述层包括沉积在所述基板的所述背侧上的隔离层,其中所述开口接触所述基板;以及

发起在所述开口中沉积重分布层,其中所述第一二极管是基于所述重分布层在所述开口中接触所述基板来形成的。

22. 如权利要求20所述的非瞬态计算机可读介质,其特征在于,所述第二二极管耦合至所述第二通孔,并且其中所述半导体材料包括n型半导体材料。

23. 如权利要求22所述的非瞬态计算机可读介质,其特征在于,进一步包括在由所述处理器执行时使所述处理器执行以下操作的指令:

发起在所述第二通孔上沉积所述n型半导体材料;以及

发起在所述n型半导体材料上沉积重分布层,其中基于所述重分布层接触所述n型半导体材料来形成所述第二二极管。

24. 如权利要求20所述的非瞬态计算机可读介质,其特征在于,所述处理器被集成到电子设备中。

25. 一种装备,包括:

用于响应于静电放电事件而将具有负极性的电流提供到穿硅通孔(TSV)晶片的基板中的装置,所述用于提供具有负极性的电流的装置位于所述基板的背侧;

与所述基板分开的用于隔离的装置;以及

用于响应于另一静电放电事件而将具有正极性的电流提供到所述基板中的装置,所述用于提供具有正极性的电流的装置位于所述基板的所述背侧,其中所述用于隔离的装置在所述用于提供具有正极性的电流的装置与所述基板的所述背侧之间。

26.如权利要求25所述的装备,其特征在于,所述用于提供具有负极性的电流的装置包括在所述基板的所述背侧的肖特基势垒二极管,并且其中所述肖特基势垒二极管是通过重分布层接触所述基板来形成的。

27.如权利要求25所述的装备,其特征在于,所述用于提供具有负极性的电流的装置和所述用于提供具有正极性的电流的装置被集成到至少一个半导体管芯中。

28.如权利要求25所述的装备,其特征在于,进一步包括其中集成有所述用于提供具有负极性的电流的装置和所述用于提供具有正极性的电流的装置的设备,所述设备选自下组:蜂窝电话、无线局域网(LAN)设备、机顶盒、音乐播放器、视频播放器、娱乐单元、导航设备、个人数字助理(PDA)、固定位置数据单元、以及计算机。

29.一种制造半导体器件的方法,所述方法包括:

接收数据文件,所述数据文件包括对应于所述半导体器件的设计信息;以及

根据所述设计信息来制造所述半导体器件,其中所述半导体器件包括:

基板;

从所述基板的背侧延伸的第一通孔;

在所述基板的背侧的第一二极管,其中所述第一二极管耦合至所述第一通孔并被配置成响应于静电放电事件而将电流提供到所述基板中;

所述器件的层,所述层与所述基板分开;

从所述基板的所述背侧延伸的第二通孔;以及

包括半导体材料的第二二极管,所述第二二极管形成在所述第二通孔上,所述层位于所述第二二极管与所述基板的所述背侧之间。

30.如权利要求29所述的方法,其特征在于,所述数据文件具有图形数据系统(GDSII)格式。

31.如权利要求29所述的方法,其特征在于,所述数据文件具有GERBER格式。

静电放电二极管

[0001] 相关申请的交叉引用

[0002] 本申请要求共同拥有的于2013年5月6日提交的美国非临时专利申请No.13/887,723的优先权,该非临时专利申请的内容通过援引全部明确纳入于此。

[0003] 领域

[0004] 本公开一般涉及静电放电二极管。

[0005] 相关技术描述

[0006] 技术进步已产生越来越小且越来越强大的计算设备。例如,当前存在各种各样的便携式个人计算设备,包括较小、轻量且易于由用户携带的无线计算设备,诸如便携式无线电话、个人数字助理(PDA)以及寻呼设备。更具体地,便携式无线电话(诸如蜂窝电话和网际协议(IP)电话)可通过无线网络传达语音和数据分组。此外,许多此类无线电话包括被纳入于其中的其他类型的设备。例如,无线电话还可包括数码相机、数码摄像机、数字记录器以及音频文件播放器。同样,此类无线电话可处理可执行指令,包括可被用于访问因特网的软件应用,诸如web浏览器应用。如此,这些无线电话可包括显著的计算能力。

[0007] 在无线通信设备中使用的半导体器件可使用穿硅通孔(TSV)技术来形成以提供硅芯片之间的电连接。例如,硅芯片可包括使用在硅晶片内制造的用于垂直连接的TSV来互连的集成电路。集成电路的垂直连接可被用于形成三维集成电路。因为使用多个硅晶片来形成三维集成电路,因此用于将这些硅芯片(或每个硅芯片内的电路)彼此互连或将其互连至封装基板的的组装工艺可使高压静电通过TSV传递至每个芯片上的电路,从而导致对这些电路的损害。

[0008] 耦合至硅芯片前侧(即,有效层)的静电放电二极管可被用于沉降源自静电或噪声的电荷。例如,耦合至硅芯片前侧的静电放电二极管可以将电荷沉降到硅晶片的基板中。然而,在硅晶片前侧放置静电放电二极管可消耗原本可用于有效电路(即,有效集成电路)的较大管芯面积。

[0009] 概述

[0010] 本公开给出了使用穿硅通孔(TSV)技术来与其他硅芯片互连的硅芯片的特定实施例。静电放电二极管可形成在硅芯片的背侧以将静电电荷沉降到硅芯片的硅基板中。例如,金属重分布层在与芯片的硅基板接触时可以形成肖特基势垒二极管。肖特基势垒二极管可响应于负电压(例如,具有负极性的静电电荷)而激活并且可以将静电电荷沉降到硅基板中。另外,可通过使金属重分布层与硅晶片背侧上的n型半导体材料(诸如,氧化铟或氧化铟锡)接触来形成具有相反极性的二极管。该二极管可响应于正电压(例如,具有正极性的静电电荷)而激活并且可以将静电电荷沉降到硅基板中。

[0011] 在特定实施例中,一种方法包括使基板的背侧变薄以暴露在该基板中形成的第一通孔的一部分。该方法还包括在该基板的背侧形成第一二极管。第一二极管被耦合至第一通孔。

[0012] 在另一特定实施例中,一种器件包括基板和从该基板的背侧延伸的第一通孔。该器件还包括在该基板的背侧的第一二极管。第一二极管被耦合至第一通孔并将静电电荷沉

降到基板中。

[0013] 在另一特定实施例中,一种设备包括用于将具有负极性的静电电荷沉降到穿硅通孔(TSV)晶片的基板中的装置。该用于沉降具有负极性的静电电荷的装置位于基板的背侧。该设备还包括用于将具有正极性的静电电荷沉降到基板中的装置。该用于沉降具有正极性的静电电荷的装置位于基板的背侧。

[0014] 由至少一个所公开的实施例提供的一种特定优势在于通过在基板背侧形成二极管以将静电电荷沉降到基板中,该基板前侧的附加管芯面积可潜在地被用于有效电路。本公开的其他方面、优点和特征将在阅读了整个申请后变得明了,整个申请包括下述章节:附图简述、详细描述以及权利要求。

[0015] 附图简述

[0016] 图1是在基板背侧包括静电放电二极管的穿硅通孔(TSV)晶片的特定解说性实施例的示意图;

[0017] 图2是解说形成图1的TSV晶片的特定阶段的示意图;

[0018] 图3是解说形成图1的TSV晶片的另一特定阶段的示意图;

[0019] 图4是解说形成图1的TSV晶片的另一特定阶段的示意图;

[0020] 图5是解说形成图1的TSV晶片的另一特定阶段的示意图;

[0021] 图6是解说形成图1的TSV晶片的另一特定阶段的示意图;

[0022] 图7是解说形成图1的TSV晶片的另一特定阶段的示意图;

[0023] 图8是图1的TSV晶片的另一特定解说性实施例的示意图;

[0024] 图9是图1的TSV晶片的另一特定解说性实施例的示意图;

[0025] 图10是图1的TSV晶片的另一特定解说性实施例的示意图;

[0026] 图11是在TSV晶片的基板背侧形成静电放电二极管的方法的特定解说性实施例的流程图;

[0027] 图12是在TSV晶片的基板背侧形成静电放电二极管的方法的另一特定解说性实施例的流程图;

[0028] 图13是包括在基板背侧包括静电放电二极管的TSV晶片的无线通信设备的框图;以及

[0029] 图14是用于制造包括在基板背侧包括静电放电二极管的TSV晶片的电子设备的过程的特定解说性实施例的数据流图。

[0030] 详细描述

[0031] 本公开中给出了在基板背侧具有静电放电二极管的晶片以及制造方法的特定实施例。然而,应当领会,应用于关于静电放电二极管的设计和关于如何制造静电放电二极管的特定实施例中的概念和理解可体现在各种上下文中。所给出的特定实施例仅仅解说了设计和制造静电放电二极管的特定方式,而不限制本公开的范围。

[0032] 本公开在具体上下文中描述了特定实施例。然而,根据特定实施例描述的特征、方法、结构或性质也可按适当方式组合以形成一个或多个其他实施例。另外,附图被用于解说特征、方法、结构或特性之间的相对关系,并且因此不是按照比例绘制的。方向术语(诸如“背侧”、“前侧”等)参照正描述的附图的朝向来使用。本公开的各组件可以按数个不同朝向来放置。如此,方向术语用于解说目的并且不旨在限定。

[0033] 参照图1,示出了在基板背侧包括静电放电二极管的穿硅通孔(TSV)晶片的特定解说性实施例。图1示出了包括静电二极管的TSV晶片的一部分的横截面视图。

[0034] TSV晶片包括前侧和背侧。TSV晶片包括基板102。基板102可以是p型可植入基板。在特定实施例中,基板102是硅(Si)基板。TSV晶片可包括延伸穿过基板102的第一通孔112、延伸穿过基板102的第二通孔114、延伸穿过基板102的第三通孔116、和延伸穿过基板102的第四通孔118。如参照图2-3所描述的,在用于使基板102的背侧变薄的蚀刻工艺之前,通孔112-118可部分地延伸穿过基板102。在特定实施例中,通孔112-118是穿硅通孔(TSV),并且通孔112-118可用金属来填充。在一特定实施例中,金属包括铜(Cu)、钨(W)、银(Ag)或金(Au)中的至少一者。

[0035] TSV晶片前侧可包括有效层104。有效层104可包括第一铝金属化部分106和第二铝金属化部分108。在特定实施例中,TSV晶片的输入和输出(I/O)可在第一和第二铝金属化部分106、108中形成。到基板102的触点110也可被包括在有效层104中。第二通孔114的部分120可延伸到有效层104中。触点110可被耦合至第二通孔114的部分120,并且触点110延伸到有效层104中。如下所述,触点110可将具有正极性的静电电荷沉降到基板102中。

[0036] TSV晶片背侧可包括在基板102上形成的隔离层126。隔离层126可以将基板102的选择性部分与金属触点隔离。在特定实施例中,隔离层126可包括二氧化硅(SiO_2)、氮化硅(Si_3N_4)、氮氧化硅(SiO_xN_y)、五氧化二钽(Ta_2O_5)、氧化铝(Al_2O_3)和氮化铝(AlN)、以及聚合隔离材料(诸如聚酰亚胺)中的至少一者。

[0037] TSV晶片背侧还可包括在隔离层126上形成的重分布层134。在一特定实施例中,重分布层134包括铝(Al)、铜(Cu)、银(Ag)或钨(W)中的至少一者。在特定实施例中,重分布层134可具有在主金属下的凸块下金属化(UBM)层。UBM层可包括钛(Ti)、钛钨(TiW)、氮化钽(TaN)、或其他此种材料及多层此种材料。如关于图6所描述的,隔离层126可包括允许重分布层134的一部分与基板102接触(例如,直接接触)的开口。当重分布层134与基板102接触时,第一二极管132可被形成以将静电电荷沉降到基板102中。例如,使来自重分布层134的金属(例如,铜(Cu))与硅(例如,基板102)直接接触可形成肖特基势垒二极管(例如,第一二极管132)。第一二极管132可响应于低(例如,接地或负)电压而激活。例如,第一二极管132可响应于具有负极性的静电电荷而激活并且可以将静电电荷沉降到基板102中。

[0038] TSV晶片背侧还可包括第二二极管128以将具有正极性的静电电荷沉降到基板102中。例如,n型半导体材料可被放置到第二通孔114上。当重分布层134与n型半导体材料接触时,第二二极管128可被形成以经由第二通孔114和触点110将静电电荷沉降到基板102中。例如,具有正极性的静电电荷可以激活第二二极管128并通过第二通孔114传递到触点110。触点110可以将静电电荷沉降到基板102。在特定实施例中,n型半导体材料是氧化铟(In_2O_3)或氧化铟锡(ITO)中的至少一者。

[0039] TSV晶片背侧可包括在重分布层134上图案化的微凸块138。微凸块138可被用于TSV晶片与另一TSV或非TSV晶片(未示出)之间的互连。微凸块138可以实现TSV晶片的各部分与另一晶片之间的导电性。例如,导电性可以经由包括通孔112-118、重分布层134和微凸块138的导电路径从TSV晶片的铝金属化部分106、108流至另一TSV晶片。在特定实施例中,当TSV晶片被翻转时,微凸块138可被用于将TSV晶片与其他TSV晶片相连。TSV晶片背侧还可包括在重分布层134上图案化的介电层136以将重分布层134与外部元件电隔离。

[0040] 如参照图3所描述的,TSV晶片可被翻转并置于载体晶片124上。粘合层122可被置于载体晶片124上以将TSV晶片保持在适当位置。

[0041] 在操作期间,可在TSV晶片的互连期间创生静电电荷。例如,在将TSV晶片与其他TSV晶片相连时,可在微凸块138处以及在通孔112-118处由于温度和电压变动而创生静电电荷。第一和第二二极管132、128可以将静电电荷沉降到基板102中。例如,响应于具有负极性的静电电荷(例如,负电荷),第一二极管132(即,肖特基势垒二极管)可以激活并将静电电荷沉降到基板102中。替换地或附加地,响应于具有正极性的静电电荷(例如,正电荷),第二二极管128可以激活并将静电电荷沉降到基板102中。例如,一旦激活,第二二极管128就可使静电电荷通过第二通孔114传递到触点110,并且触点110可以将静电电荷沉降到基板102中。

[0042] 将领会,在TSV晶片背侧形成第一和第二二极管132、128以将静电电荷沉降到基板102中可以改善设计灵活性。例如,TSV晶片前侧的管芯面积可被用于有效电路而非用于静电放电二极管。使用重分布层134和基板102形成第一二极管132(即,肖特基势垒二极管)可以通过在TSV晶片背侧放置可植入P-N结二极管来减少原本可能存在的工艺温度约束。例如,在TSV晶片背侧植入P-N结二极管可涉及使用高温进行结激活,这会影响TSV晶片前侧的集成电路和I/O器件以及TSV晶片与其所坐落的载体晶片124之间的接合。肖特基势垒二极管可使用低温来实现。因为TSV晶片背侧可比TSV晶片前侧具有密度更低的电路系统,所以使用肖特基势垒二极管作为静电放电二极管可允许使用在温度上具有减少约束的较大静电放电二极管。

[0043] 参照图2,示出了解说在TSV晶片的基板102的背侧形成静电放电二极管的特定阶段的示图。在特定实施例中,图2中示出的TSV晶片的特定阶段可对应于在TSV晶片前侧制造完成之后的阶段。例如,TSV晶片包括基板102和有效层104。通孔112-118被植入到基板102中。通孔112-118的各部分(例如,第二通孔114的部分120)可以在有效层104内。铝金属化部分106、108在有效层104中实现。在特定实施例中,有效层104和有效层内的组件的形成是经由后端制程(BEOL)处理来形成的。触点110可被耦合至第二通孔114的延伸到有效层104中的部分120并且可被耦合至基板102。在一些实施例中,在铝金属化部分106、108的顶部可能有焊料凸块(未示出)或铜柱凸块(未示出)。

[0044] 参照图3,示出了解说在TSV晶片的基板102的背侧形成静电放电二极管的另一特定阶段的示图。在图3中示出的特定阶段期间,TSV晶片被翻转并置于载体晶片124上。例如,粘合层122被置于载体晶片124的顶部以将TSV晶片保持在适当的位置(例如,将与粘合层122接触的有效层104和铝金属化部分106、108保持在适当位置)。

[0045] 在图3中示出的特定阶段期间,可使基板102的背侧(例如,TSV晶片背侧)变薄以暴露在基板102内形成的通孔112-118的一部分。例如,可使用蚀刻工艺来使基板102的背侧变薄。

[0046] 参照图4,示出了解说在TSV晶片的基板102的背侧形成静电放电二极管的另一特定阶段的示图。在图4中示出的特定阶段期间,隔离层126在TSV晶片背侧被沉积到基板102上。在隔离层126被沉积在基板102上后,隔离层126可被平坦化。在特定实施例中,使用化学机械抛光(CMP)技术来使隔离层126平坦化。隔离层126可以将重分布层134(图1中示出)与基板102隔离。

[0047] 参照图5,示出了解说在TSV晶片的基板102的背侧形成静电放电二极管的另一特定阶段的示意图。在图5中示出的特定阶段期间,n型半导体材料可被沉积在TSV晶片背侧。该n型半导体材料可被图案化以覆盖TSV晶片背侧的特定区域。例如,n型半导体材料可被图案化以覆盖第二通孔114上的区域和第四通孔118上的区域。如关于图1所描述的,n型半导体在被金属化重分布层134接触时可以形成第二二极管128。

[0048] 参照图6,示出了解说在TSV晶片的基板102的背侧形成静电放电二极管的另一特定阶段的示意图。在图6中示出的特定阶段期间,在隔离层126中选择性地图案化开口130。开口130可以暴露基板102的一部分。

[0049] 参照图7,示出了解说在TSV晶片的基板102的背侧形成静电放电二极管的另一特定阶段的示意图。在图7中示出的特定阶段期间,在开口130中并且在n型半导体材料上沉积和图案化重分布层134以分别形成第一和第二二极管132、128。

[0050] 在特定实施例中,第一二极管132和第二二极管128具有基本上相反的极性。例如,第一二极管132可以是p型二极管,而第二二极管128可以是n型二极管。当重分布层134经由开口130与基板102接触时,可形成第一二极管132以将静电电荷沉降到基板102中。使来自重分布层134的金属(例如,铜(Cu)或凸块下金属化(UBM))与硅(例如,基板102)直接接触可以形成肖特基势垒。第一二极管132可响应于低(例如,接地或负)电压而激活。例如,具有负极性的静电电荷可以激活第一二极管132,并且第一二极管132可以将静电电荷沉降到基板102中。当重分布层134与n型半导体材料接触时,可形成第二二极管128以经由第二通孔114和触点110将静电电荷沉降到基板102中。例如,具有正极性的静电电荷可以激活第二二极管128并通过第二通孔114传递到触点110。

[0051] 将领会,第一通孔112可被保护免于具有负和正极性的静电电荷。例如,第一通孔112可被电耦合至重分布层134。与重分布层134接触的具有负极性的静电电荷可以激活第一二极管132。一旦激活,静电电荷可在基板102中被放电。与重分布层134接触的具有正极性的静电电荷可以激活第二二极管128。一旦激活,静电电荷可经由第二通孔114和触点110在基板102中被放电。在特定实施例中,I/O(未示出)(诸如,铝金属化部分106、108中的I/O)可被电耦合至第一通孔112。源自I/O的静电放电可使用第一通孔112和重分布层134的导电性经由TSV背侧的第一和第二二极管132、128被沉积到基板中。

[0052] 参照图8,示出了在基板背侧包括静电放电二极管的TSV晶片的另一特定解说性实施例。图8中解说的TSV晶片可包括在TSV晶片背侧的沟槽800。

[0053] 例如,在图7中沉积重分布层134之前,可在基板102内创建沟槽800。创建沟槽800可以减少基板102与第一二极管132之间的串联电阻。例如,沟槽800的侧壁可以增加重分布层134与基板102之间的接触面积,这可以生成较大的第一二极管132。沟槽800还可以使静电电荷更靠近基板102,这可以降低第一二极管132的寄生电阻。

[0054] 参照图9,示出了在基板背侧包括静电放电二极管的TSV晶片的另一特定解说性实施例。图9中解说的TSV晶片可包括在TSV晶片前侧的沟槽900。创建沟槽900也可以减少基板102与第二二极管128之间的串联电阻。

[0055] 参照图10,示出了在基板背侧包括静电放电二极管的TSV晶片的另一特定解说性实施例。图10中解说的TSV晶片可包括在TSV晶片背侧的基板触点1000以减少该TSV晶片背侧的静电放电二极管与基板102之间的电阻。

[0056] 参照图11,示出了在TSV晶片的基板背侧形成静电放电二极管的方法的特定解说性实施例。可执行图11的方法以制造图1-10中描绘的TSV晶片的实施例或参照这些实施例来执行图11的方法。

[0057] 该方法可包括在1102,使基板的背侧变薄以暴露在基板中形成的第一通孔的一部分。例如,在图3中,可使基板102的背侧(例如,TSV晶片背侧)变薄以暴露在基板102内形成的第一通孔112的一部分。可使用蚀刻工艺来使基板102的背侧变薄。

[0058] 在1104,可在基板的背侧形成第一二极管。例如,在图7中,可在开口130中并且在n型半导体材料上沉积和图案化重分布层134以分别形成第一和第二二极管132、128。第一二极管132可经由重分布层134耦合至第一通孔112,而第二二极管128可经由重分布层134耦合至第二通孔114。

[0059] 将领会,图11的方法可以通过在TSV晶片背侧形成第一和第二二极管132、128以将静电电荷沉降到基板102中来改善设计灵活性。例如,TSV晶片前侧的管芯面积可潜在地被用于有效电路而非用于静电放电二极管。使用重分布层134和基板102形成第一二极管132(即,肖特基势垒二极管)可以通过在TSV晶片背侧放置可植入P-N结二极管来减少原本可能存在的温度约束。例如,在TSV晶片背侧植入P-N结二极管可涉及使用高温,这会影响TSV晶片前侧的集成电路和I/O。肖特基势垒二极管可使用低温来实现。因为TSV晶片背侧可比TSV晶片前侧具有密度更低的电路系统,所以使用肖特基势垒二极管作为静电放电二极管可允许使用在温度上具有减少约束的较大静电放电二极管。

[0060] 参照图12,示出了用于在TSV晶片的基板背侧形成静电放电二极管的方法的另一特定解说性实施例。可执行图12的方法以制造图1-10中描绘的TSV晶片的实施例或参照这些实施例来执行图12的方法。

[0061] 该方法可包括在1202,使基板的背侧变薄以暴露在基板中形成的第一通孔的一部分并且暴露在基板中形成的第二通孔的一部分。例如,在图3中,可使基板102的背侧(例如,TSV晶片背侧)变薄以暴露在基板102内形成的第一通孔112的一部分和在基板102内形成的第二通孔114的一部分。可使用蚀刻工艺来使基板102的背侧变薄。

[0062] 在1204,可在基板的背侧上沉积和平坦化隔离层。例如,在图4中,隔离层126在TSV晶片背侧被沉积到基板102上。在隔离层126被沉积到基板102上后,隔离层126可被平坦化。在特定实施例中,使用化学机械抛光(CMP)技术来使隔离层126平坦化。隔离层126可以将重分布层134(如图1中所示)与基板102隔离。

[0063] 在1206,n型半导体材料可被沉积在第二通孔上。例如,在图5中,n型半导体材料可被沉积在TSV晶片背侧上。该n型半导体材料可被图案化以覆盖TSV晶片背侧的特定区域。例如,n型半导体材料可被图案化以覆盖第二通孔114上的区域。在1208,可在第一通孔与第二通孔之间的隔离层中选择性地图案化开口。例如,在图6中,在第一与第二通孔112、114之间的隔离层126中选择性地图案化开口130。开口130可以接触基板102。

[0064] 在1210,重分布层可被沉积在n型半导体材料、隔离层、第一通孔上以及开口中。例如,在图7中,可在开口130中并且在n型半导体材料上沉积和图案化重分布层134以分别形成第一和第二二极管132、128。当重分布层134经由开口130与基板102接触时,可形成第一二极管132以将静电电荷沉降到基板102中。使来自重分布层134的金属(例如,铜(Cu)或凸块下金属化(UBM))与硅(例如,基板102)直接接触可以形成肖特基势垒。第一二极管132可

响应于低(例如,接地或负)电压而激活。例如,具有负极性的静电电荷可以激活第一二极管132,并且第一二极管132可以将静电电荷沉降到基板102中。当重分布层134与n型半导体材料接触时,可形成第二二极管128以经由第二通孔114和触点110将静电电荷沉降到基板102中。例如,具有正极性的静电电荷可以激活第二二极管128并通过第二通孔114传递到触点110。

[0065] 参照图13,描绘了无线通信设备的特定解说性实施例的框图并将其一般地标示为1300。设备1300包括处理器1310(诸如数字信号处理器(DSP)),其耦合至存储器1332(例如,随机存取存储器(RAM)、闪存、只读存储器(ROM)、可编程只读存储器(PROM)、可擦式可编程只读存储器(EPROM)、电可擦式可编程只读存储器(EEPROM)、寄存器、硬盘、可移动盘、压缩盘只读存储器(CD-ROM)、或本领域中所知的任何其他形式的非瞬态存储介质)。存储器1332可存储可由处理器1310执行的指令1362。存储器1332可存储处理器1310可访问的数据1366。

[0066] 设备1300包括TSV晶片1348,该TSV晶片1348包括在基板背侧的静电放电二极管。在解说性实施例中,TSV晶片1348可对应于图1-10中描绘的TSV晶片。图13还示出了耦合至处理器1310和显示器1328的显示控制器1326。编码器/解码器(CODEC)1334也可耦合至处理器1310。扬声器1336和话筒1338可被耦合至CODEC(编解码器)1334。图13还指示无线控制器1340可被耦合至处理器1310并可经由RF接口1352进一步被耦合至天线1342。

[0067] 在一特定实施例中,处理器1310、显示控制器1326、存储器1332、CODEC 1334以及无线控制器1340被包括在系统级封装或片上系统设备1322中。在特定实施例中,输入设备1330和电源1344被耦合至片上系统设备1322。此外,在特定实施例中,如图13中所解说的,显示器1328、输入设备1330、扬声器1336、话筒1338、天线1342和电源1344在片上系统设备1322外部。然而,显示器1328、输入设备1330、扬声器1336、话筒1338、无线天线1342和电源1344中的每一者可耦合至片上系统设备1322的组件,诸如接口或控制器。

[0068] 上文公开的设备和功能性可被设计和配置在存储于计算机可读介质上的计算机文件(例如,RTL、GDSII、GERBER等)中。一些或全部此类文件可被提供给基于此类文件来制造设备的制造处理人员。结果得到的产品包括半导体晶片,其随后被切割为半导体管芯并被封装成半导体芯片。半导体芯片随后被集成到电子设备中,如参照图14进一步描述的。

[0069] 参照图14,描绘了电子设备制造过程的特定解说性实施例,并且将其一般标示为1400。在图14中,物理器件信息1402在制造过程1400处(诸如在研究计算机1406处)被接收。物理器件信息1402可以包括表示半导体器件(诸如,在基板背侧包括静电放电二极管的TSV晶片(例如,图1-10中解说的TSV晶片和/或根据图11-12的方法1100-1200形成的TSV晶片))的至少一个物理性质的设计信息。例如,物理器件信息1402可包括经由耦合至研究计算机1406的用户接口1404输入的物理参数、材料特性、以及结构信息。研究计算机1406包括耦合至计算机可读介质(诸如存储器1410)的处理器1408,诸如一个或多个处理核。存储器1410可存储计算机可读指令,其可被执行以使处理器1408将物理器件信息1402转换成遵循某一文件格式并生成库文件1412。

[0070] 在一特定实施例中,库文件1412包括至少一个包括经转换的设计信息的数据文件。例如,库文件1412可以包括被提供以与电子设计自动化(EDA)工具1420联用的器件库,该器件库包括在基板背侧包括静电放电二极管的TSV晶片(例如,图1-10中解说的TSV晶片

和/或根据图11-12的方法1100-1200形成的TSV晶片)。

[0071] 库文件1412可在设计计算机1414处与EDA工具1420协同使用,设计计算机1414包括耦合至存储器1418的处理器1416,诸如一个或多个处理核。EDA工具1420可被存储为存储器1418处的处理器可执行指令以使得设计计算机1414的用户能使用库文件1412来设计在基板背侧包括静电放电二极管的TSV晶片(例如,图1-10中解说的TSV晶片和/或根据图11-12的方法1100-1200形成的TSV晶片)。例如,设计计算机1414的用户可经由耦合至设计计算机1414的用户接口1424来输入电路设计信息1422。电路设计信息1422可以包括表示在基板背侧包括静电放电二极管的TSV晶片(例如,图1-10中解说的TSV晶片和/或根据图11-12的方法1100-1200形成的TSV晶片)的至少一个物理性质的设计信息。作为解说,电路设计性质可包括特定电路的标识以及与电路设计中其他元件的关系、定位信息、特征尺寸信息、互连信息、或表示半导体器件的物理性质的其他信息。

[0072] 设计计算机1414可被配置成转换设计信息(包括电路设计信息1422)以遵循某一文件格式。作为解说,该文件格式化可包括以分层格式表示关于电路布局的平面几何形状、文本标记、及其他信息的数据库二进制文件格式,诸如图形数据系统(GDSII)文件格式。设计计算机1414可被配置成生成除了其他电路或信息以外包括经转换设计信息的数据文件,诸如包括描述在基板背侧包括静电放电二极管的TSV晶片(例如,图1-10中解说的TSV晶片和/或根据图11-12的方法1100-1200形成的TSV晶片)的信息的GDSII文件1426。为了解说,数据文件可以包括与包括在基板背侧包括静电放电二极管的TSV晶片(例如,图1-10中解说的TSV晶片和/或根据图11-12的方法1100-1200形成的TSV晶片)的片上系统(SOC)对应的信息,该SOC在该SOC内还包括附加电子电路和组件。

[0073] GDSII文件1426可在制造过程1428处被接收以根据GDSII文件1426中的经转换信息来制造在基板背侧包括静电放电二极管的TSV晶片(例如,图1-10中解说的TSV晶片和/或根据图11-12的方法1100-1200形成的TSV晶片)。例如,器件制造过程可包括将GDSII文件1426提供给掩模制造商1430以创建一个或多个掩模,诸如用于与光刻处理联用的掩模,其被解说为代表性掩模1432。掩模1432可在制造过程期间被用于生成一个或多个晶片1434,晶片1434可被测试并被分成管芯,诸如代表性管芯1436。管芯1436包括在基板背侧包括静电放电二极管的TSV晶片(例如,图1-10中解说的TSV晶片和/或根据图11-12的方法1100-1200形成的TSV晶片)。

[0074] 结合所描述的实施例,非瞬态计算机可读介质存储可由计算机执行以执行图11的方法1100、图12的方法1200、或其任何组合的指令。例如,半导体制造工厂的装备可包括计算机和存储器并可执行图11的方法1100、图12的方法1200、或其任何组合,诸如结合制造过程1428并使用GSDII文件1426。为了解说,计算机可以执行指令以发起使基板的背侧变薄以暴露在基板中形成的第一通孔的一部分并且发起在基板的背侧形成第一二极管,如参照图11所描述的。

[0075] 管芯1436可被提供给封装过程1438,其中管芯1436被纳入到代表性封装1440中。例如,封装1440可包括单个管芯1436或多个管芯,诸如系统级封装(SiP)安排。封装1440可被配置成遵循一个或多个标准或规范,诸如电子器件工程联合委员会(JEDEC)标准。

[0076] 关于封装1440的信息可诸如经由存储在计算机1446处的组件库被分发给各产品设计者。计算机1446可包括耦合至存储器1450的处理器1448,诸如一个或多个处理核。印刷

电路板 (PCB) 工具可作为处理器可执行指令被存储在存储器1450处以处理经由用户接口1444从计算机1446的用户接收的PCB设计信息1442。PCB设计信息1442可以包括封装半导体器件在电路板上的物理定位信息,该封装半导体器件对应于包括在基板背侧包括静电放电二极管的TSV晶片(例如,图1-10中解说的TSV晶片和/或根据图11-12的方法1100-1200形成的TSV晶片)的封装1440。

[0077] 计算机1446可被配置成转换PCB设计信息1442以生成数据文件,诸如具有包括封装半导体器件在电路板上的物理定位信息以及电连接的布局(诸如迹线和通孔)的数据的GERBER文件1452,其中封装半导体器件对应于封装1440,封装1440包括在基板背侧包括静电放电二极管的TSV晶片(例如,图1-10中解说的TSV晶片和/或根据图11-12的方法1100-1200形成的TSV晶片)。在其他实施例中,由经转换的PCB设计信息生成的数据文件可具有GERBER格式以外的格式。

[0078] GERBER文件1452可在板组装过程1454处被接收并且被用于创建根据GERBER文件1452内存储的设计信息来制造的PCB,诸如代表性PCB1456。例如,GERBER文件1452可被上传到一个或多个机器以执行PCB生产过程的各个步骤。PCB 1456可填充有电子组件(包括封装1440)以形成代表性印刷电路组装件 (PCA) 1458。

[0079] PCA 1458可在产品制造过程1460处被接收,并被集成到一个或多个电子设备中,诸如第一代表性电子设备1462和第二代表性电子设备1464。作为解说的非限定性示例,第一代表性电子设备1462、第二代表性电子设备1464或两者可以选自下组:其中集成了在基板背侧包括静电放电二极管的TSV晶片(例如,图1-10中解说的TSV晶片和/或根据图11-12的方法1100-1200形成的TSV晶片)的蜂窝电话、无线局域网 (LAN) 设备、机顶盒、音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、个人数字助理 (PDA)、固定位置数据单元、以及计算机。作为另一解说的非限定性示例,电子设备1462和1464中的一者或多者可以是远程单元(诸如移动电话)、手持式个人通信系统 (PCS) 单元、便携式数据单元(诸如个人数据助理)、启用全球定位系统 (GPS) 的设备、导航设备、固定位置数据单元(诸如仪表读数装备)、或者存储或检索数据或计算机指令的任何其他设备、或其任何组合。尽管图13解说了根据本公开的教导的远程单元,但本公开并不限于这些解说的单元。本公开的实施例可合适地用在包括具有存储器和片上电路系统的有源集成电路系统的任何设备中。

[0080] 包括在基板背侧包括静电放电二极管的TSV晶片(例如,图1-10中解说的TSV晶片和/或根据图11-12的方法1100-1200形成的TSV晶片)的设备可被制造、处理、和纳入到电子设备中,如在解说性过程1400中所描述的。关于图1-10所公开的实施例的一个或多个方面可被包括在各个处理阶段,诸如被包括在库文件1412、GDSII文件1426、以及GERBER文件1452内,以及被存储在研究计算机1406的存储器1410、设计计算机1414的存储器1418、计算机1446的存储器1450、在各个阶段(诸如在板组装过程1454处)使用的一个或多个其他计算机或处理器(未示出)的存储器处,并且还被纳入到一个或多个其他物理实施例中,诸如掩模1432、管芯1436、封装1440、PCA 1458、其他产品(诸如原型电路或设备(未示出)、或其任何组合。尽管参照图1-12描绘了各种代表性阶段以在TSV晶片背侧形成静电放电二极管,但在其他实施例中,可使用较少阶段或者可包括附加阶段。类似地,图14的过程1400可由单个实体或由执行过程1400的各个阶段的一个或多个实体来执行。

[0081] 结合所描述的实施例,公开了一种包括用于将具有负极性的静电电荷沉降到穿硅

通孔 (TSV) 晶片的基板中的装置的设备。该用于沉降具有负极性的静电电荷的装置可位于基板的背侧。例如,用于沉降具有负极性的静电电荷的装置可包括图1-10中描绘的TSV晶片的第一二极管132。

[0082] 该设备还包括用于将具有正极性的静电电荷沉降到基板中的装置。该用于沉降具有正极性的静电电荷的装置位于基板的背侧。该用于沉降具有正极性的静电电荷的装置可包括图1-10中描绘的TSV晶片的第二二极管128。

[0083] 技术人员将进一步领会,结合本文所公开的实施例来描述的各种解说性逻辑框、配置、模块、电路、和算法步骤可实现为电子硬件、由处理器执行的计算机软件、或这两者的组合。各种解说性组件、框、配置、模块、电路、和步骤已经在上文以其功能性的形式作了一般化描述。此类功能性是被实现为硬件还是处理器可执行指令取决于具体应用和加诸于整体系统的设计约束。技术人员可针对每种特定应用以不同方式来实现所描述的功能性,但此类实现决策不应被解读为致使脱离本发明的范围。

[0084] 结合本文所公开的实施例描述的方法或算法的各个步骤可直接用硬件、由处理器执行的软件模块或两者的组合来实现。软件模块可驻留在随机存取存储器 (RAM)、闪存、只读存储器 (ROM)、可编程只读存储器 (PROM)、电可编程只读存储器 (EPROM)、电可擦式可编程只读存储器 (EEPROM)、寄存器、硬盘、可移动盘、压缩盘只读存储器 (CD-ROM)、或本领域中所知的任何其他形式的非瞬态存储介质中。示例性的存储介质被耦合到处理器以使得该处理器能从/向该存储介质读和写信息。替换地,存储介质可以被整合到处理器。处理器和存储介质可驻留在专用集成电路 (ASIC) 中。ASIC可驻留在计算设备或用户终端中。在替换方案中,处理器和存储介质可作为分立组件驻留在计算设备或用户终端中。

[0085] 提供前面对所公开的实施例的描述是为了使本领域技术人员皆能制作或使用所公开的实施例。对这些实施例的各种修改对于本领域技术人员而言将是显而易见的,并且本文中定义的原理可被应用于其他实施例而不会脱离本公开的范围。因此,本公开并非旨在被限定于本文中示出的实施例,而是应被授予与如由所附权利要求定义的原理和新颖性特征一致的最广的可能范围。

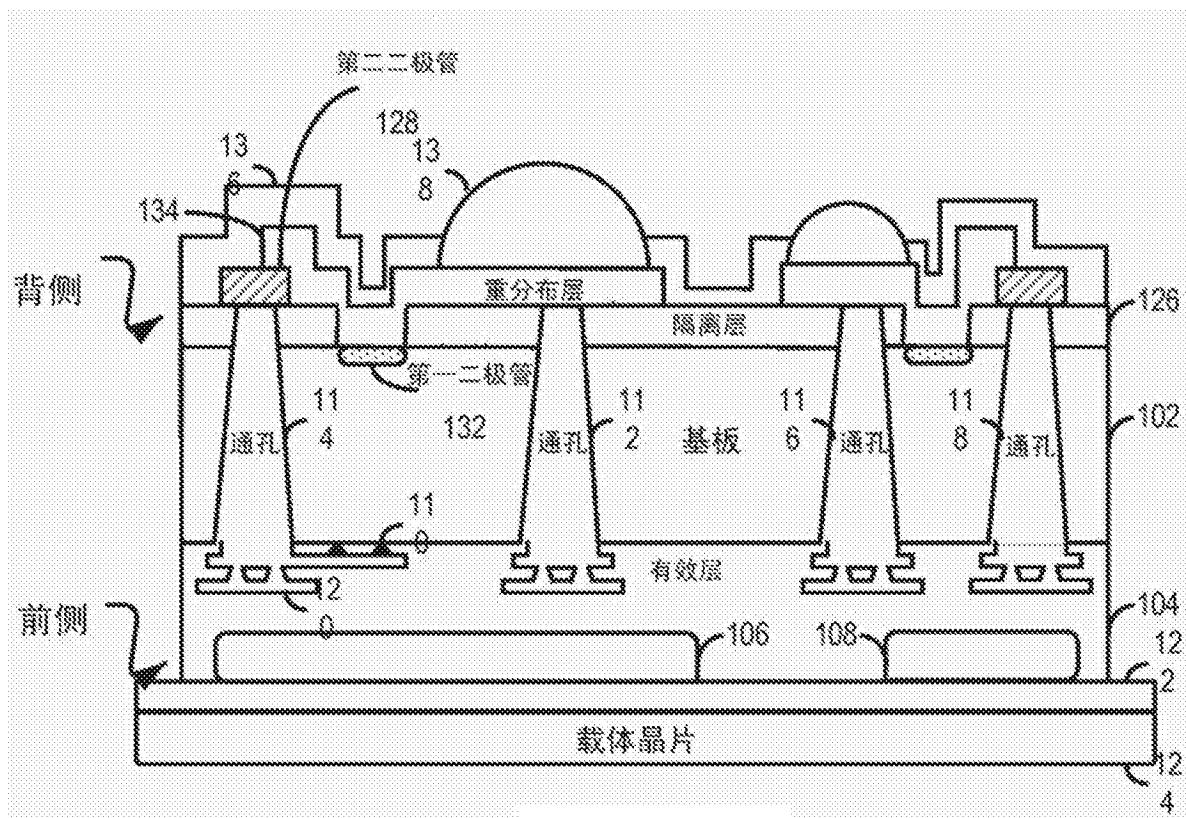


图1

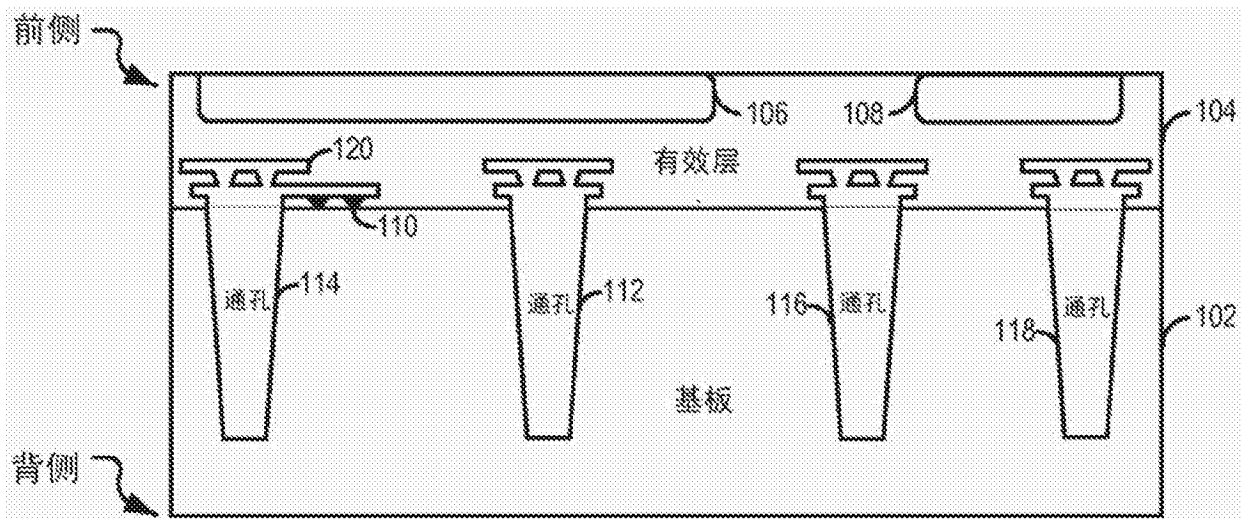


图2

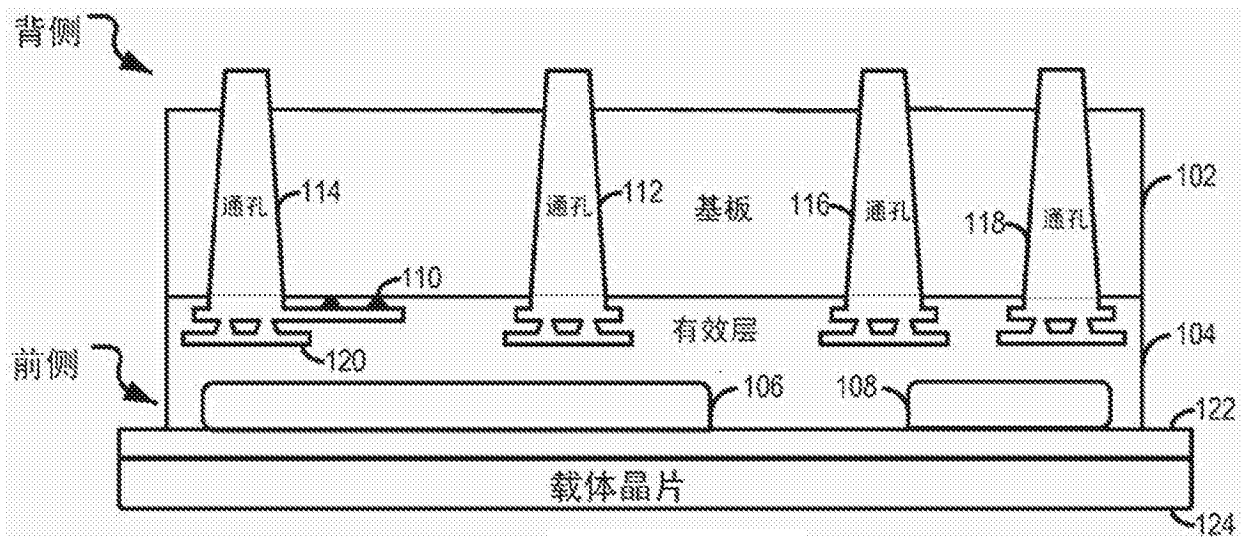


图3

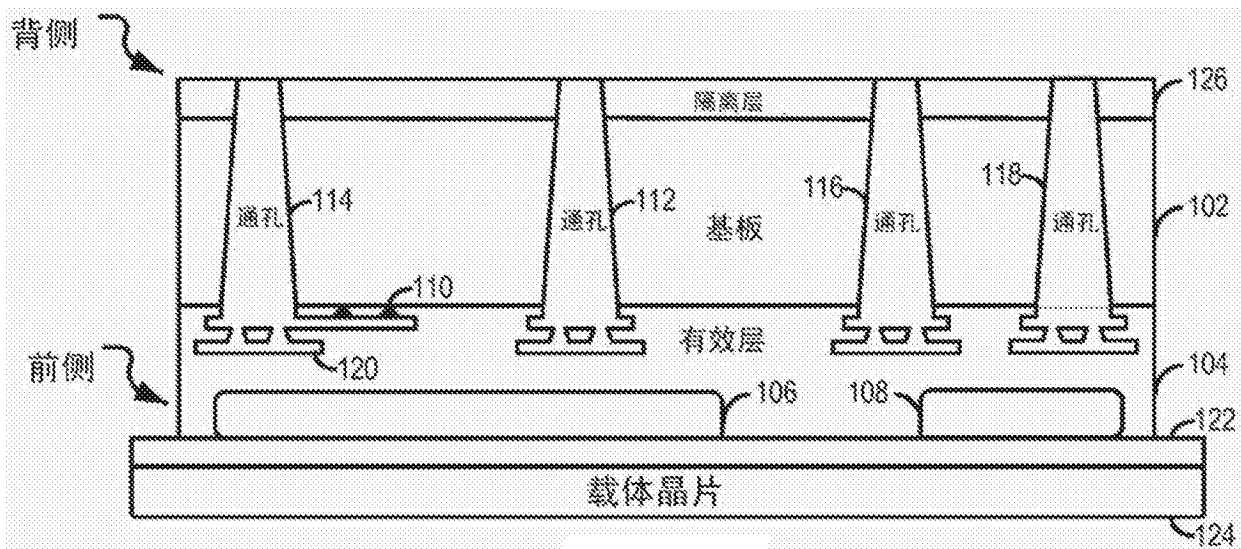


图4

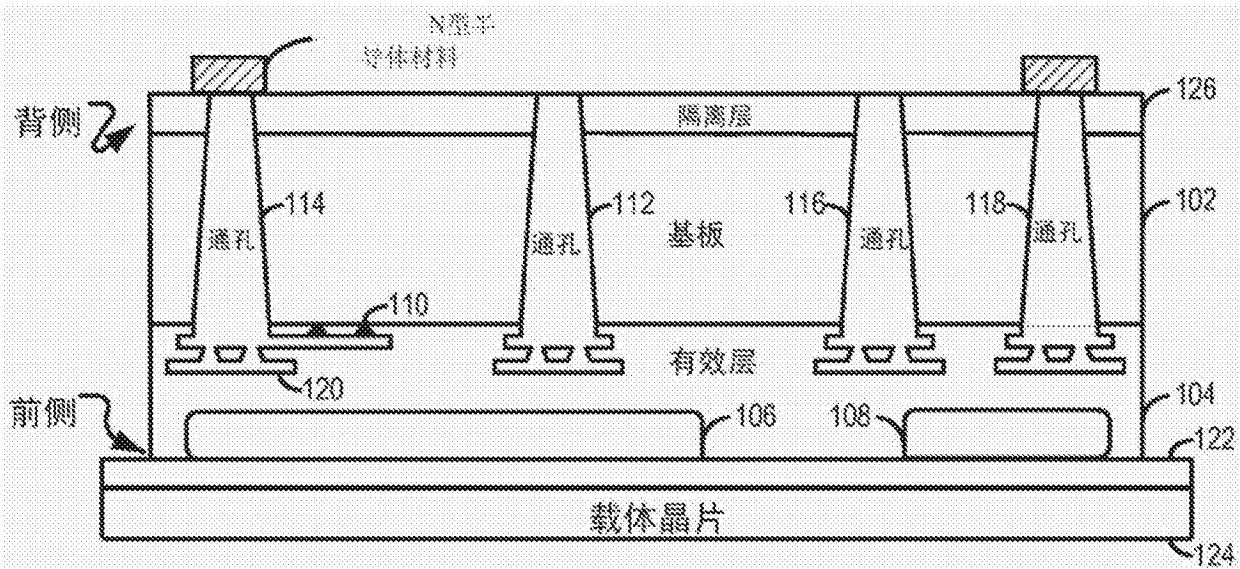


图5

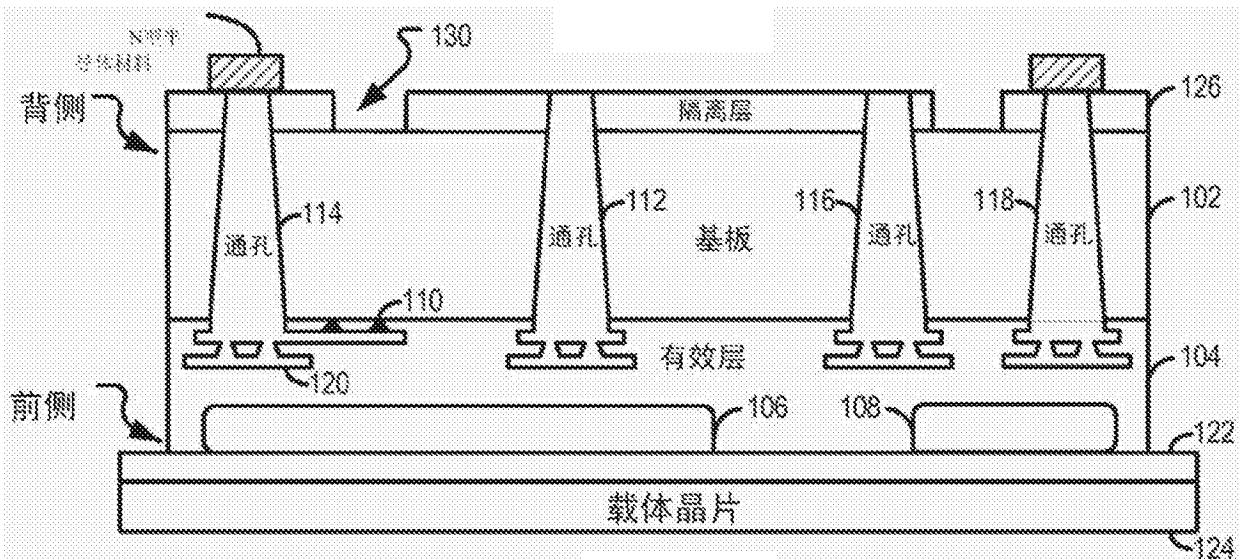


图6

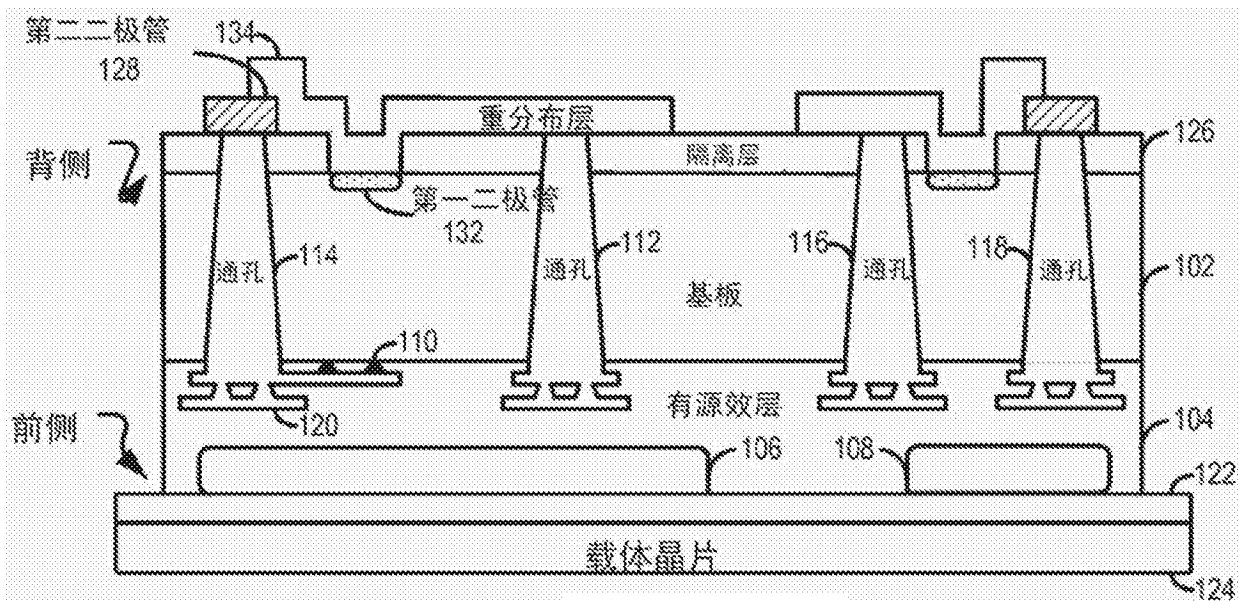
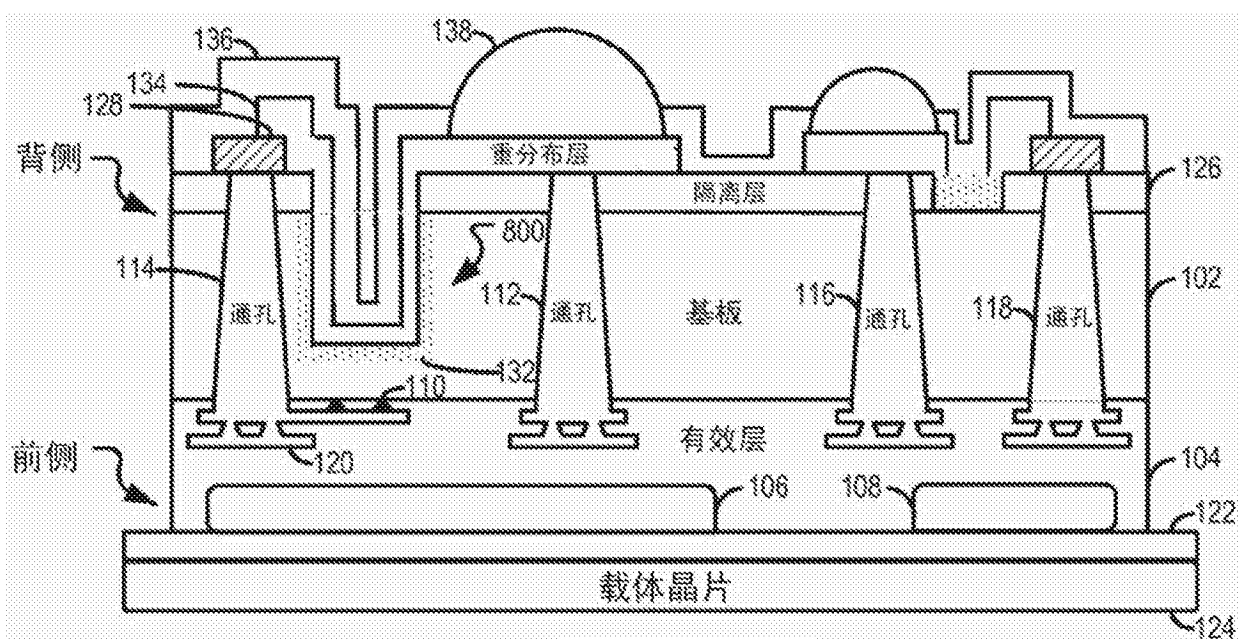


图7



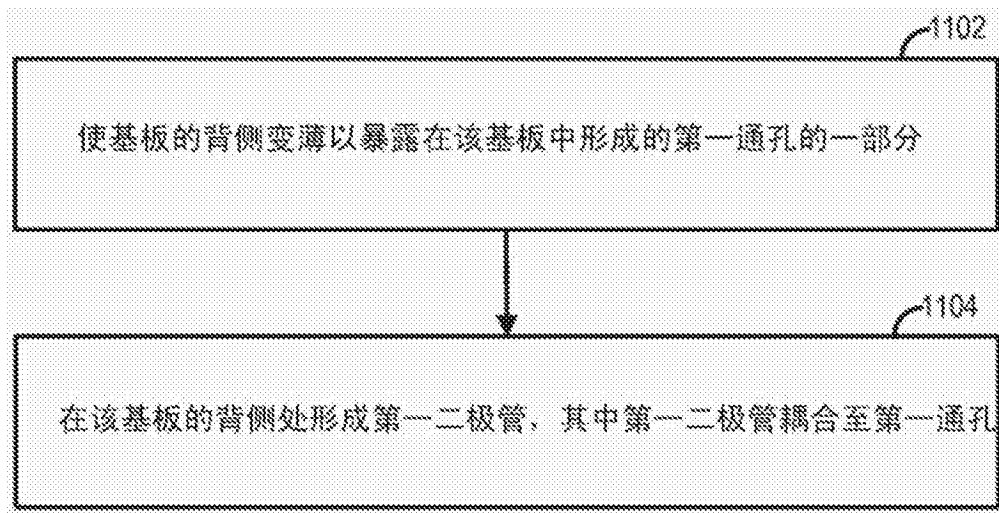


图11

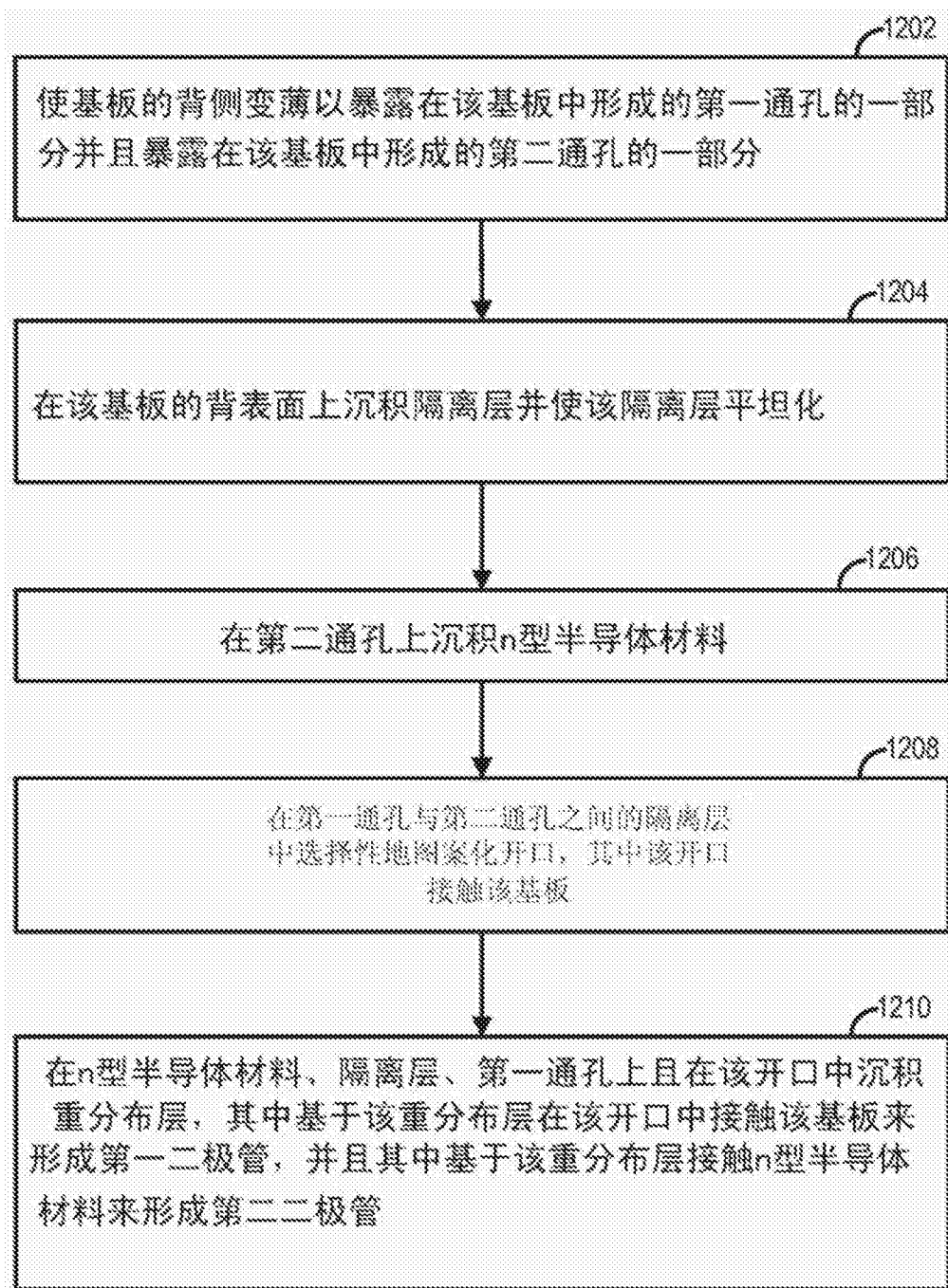


图12

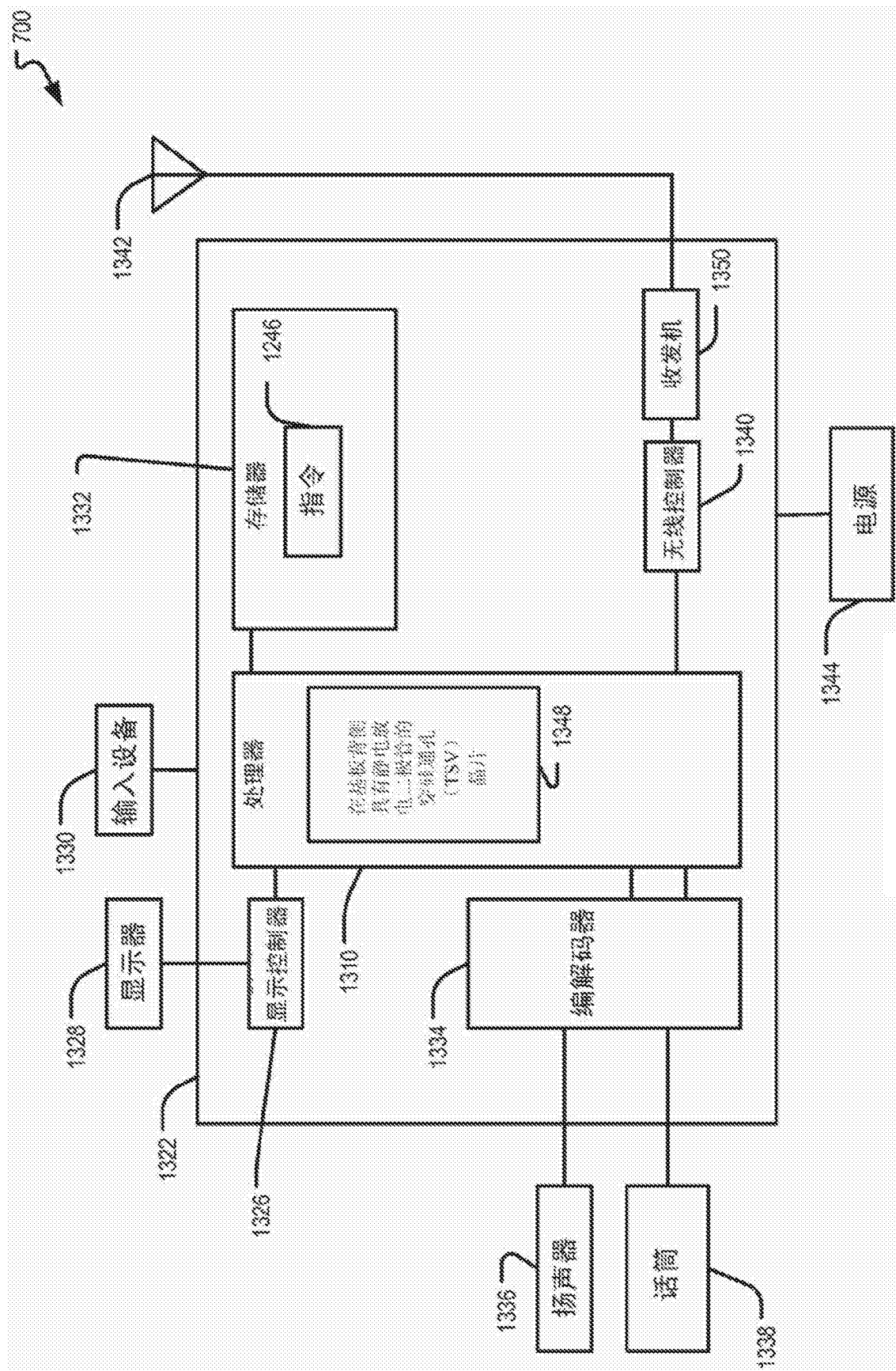


图13

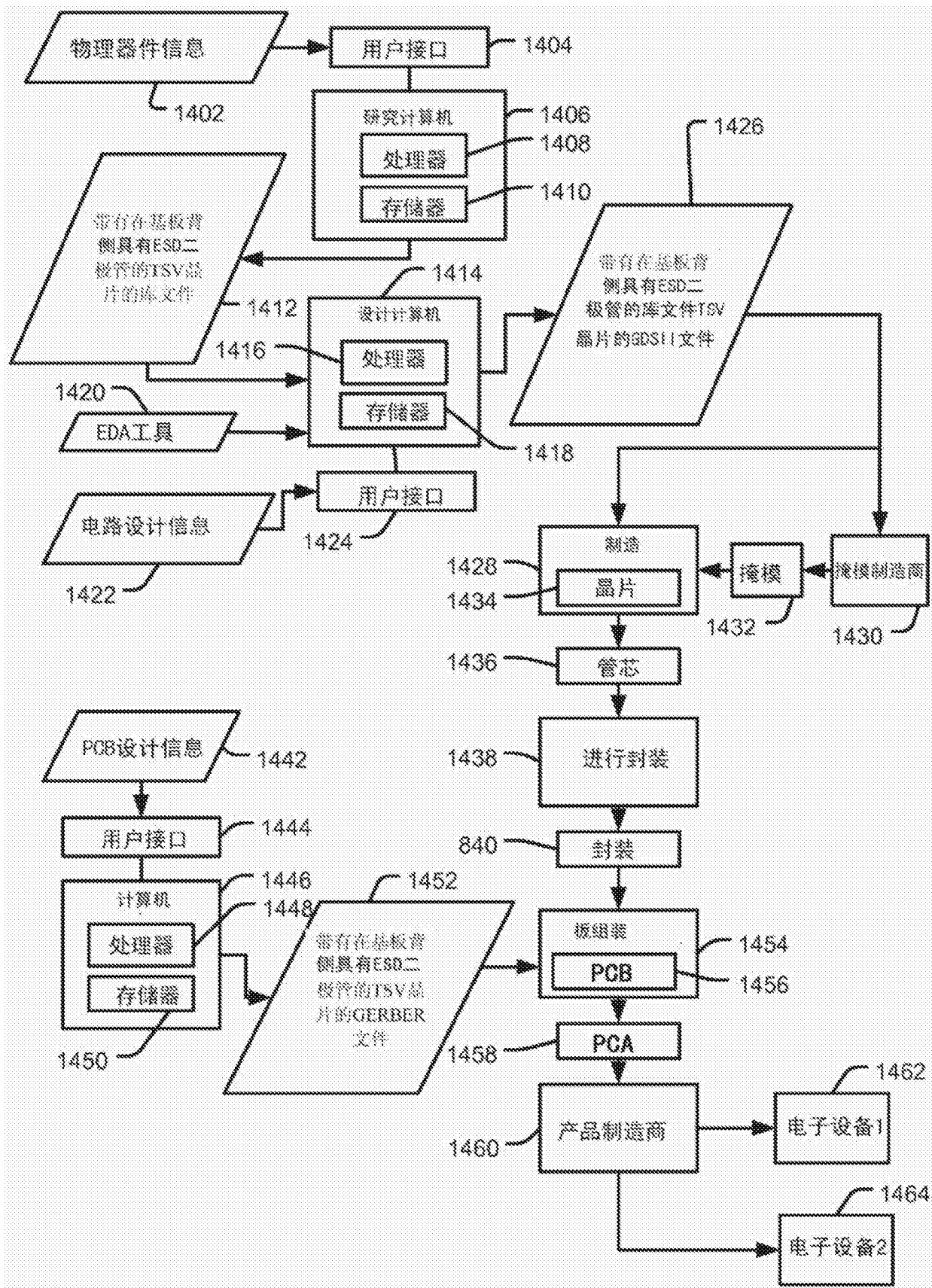


图14