

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6263230号  
(P6263230)

(45) 発行日 平成30年1月17日(2018.1.17)

(24) 登録日 平成29年12月22日(2017.12.22)

(51) Int.Cl. F I  
 HO 1 L 21/8242 (2006.01) HO 1 L 27/108 6 8 1 F  
 HO 1 L 27/108 (2006.01) HO 1 L 27/108 6 7 1 C

請求項の数 1 (全 66 頁)

<p>(21) 出願番号 特願2016-121517 (P2016-121517)                  (22) 出願日 平成28年6月20日(2016.6.20)                  (62) 分割の表示 特願2015-29169 (P2015-29169)                          の分割                          原出願日 平成23年8月26日(2011.8.26)                  (65) 公開番号 特開2016-187047 (P2016-187047A)                  (43) 公開日 平成28年10月27日(2016.10.27)                          審査請求日 平成28年7月1日(2016.7.1)                  (31) 優先権主張番号 特願2010-204090 (P2010-204090)                  (32) 優先日 平成22年9月13日(2010.9.13)                  (33) 優先権主張国 日本国(JP)                  (31) 優先権主張番号 特願2011-108899 (P2011-108899)                  (32) 優先日 平成23年5月14日(2011.5.14)                  (33) 優先権主張国 日本国(JP)</p>	<p>(73) 特許権者 000153878                  株式会社半導体エネルギー研究所                  神奈川県厚木市長谷398番地                  (72) 発明者 小山 潤                  神奈川県厚木市長谷398番地 株式会社                  半導体エネルギー研究所内                  (72) 発明者 山崎 舜平                  神奈川県厚木市長谷398番地 株式会社                  半導体エネルギー研究所内                  審査官 上田 智志</p>
---	---

最終頁に続く

(54) 【発明の名称】 記憶装置

(57) 【特許請求の範囲】

【請求項1】

駆動回路と、

前記駆動回路上に設けられ、前記駆動回路によって駆動されるメモリセルアレイと、を有し、

前記メモリセルアレイは、複数のメモリセルを有し、

前記複数のメモリセルの少なくとも一つは、第1のトランジスタと、容量素子と、を有し、

前記第1のトランジスタは、酸化物半導体層と、第1の電極及び第2の電極と、第1のゲート絶縁層と、前記第1のゲート絶縁層を挟んで前記酸化物半導体層と重畳する第1のゲート電極と、を有し、

前記酸化物半導体層は、前記第1のトランジスタのチャネル形成領域を有し、

前記容量素子は、絶縁層と、前記第1の電極と、第3の電極と、を有し、

前記絶縁層は、前記第1の電極と前記第3の電極との間に設けられ、

前記第3の電極は、前記第1のトランジスタの下方に設けられ、且つ前記第1のゲート電極と重ならず、

前記駆動回路は、第2のトランジスタを有し、

前記第2のトランジスタは、シリコン基板に設けられたチャネル形成領域と、第4の電極及び第5の電極と、第2のゲート絶縁層と、前記第2のゲート絶縁層を挟んで前記チャネル形成領域と重畳する第2のゲート電極と、を有することを特徴とする記憶装置。

**【発明の詳細な説明】****【技術分野】****【0001】**

記憶装置と、当該記憶装置を用いた半導体装置に関する。

**【背景技術】****【0002】**

近年、ポリシリコンや微結晶シリコンによって得られる高い移動度と、アモルファスシリコンによって得られる均一な素子特性とを兼ね備えた新たな半導体材料として、酸化物半導体と呼ばれる、半導体特性を示す金属酸化物に注目が集まっている。金属酸化物は様々な用途に用いられており、例えば、よく知られた金属酸化物である酸化インジウムは、液晶表示装置において画素電極の材料として用いられている。半導体特性を示す金属酸化物としては、例えば、酸化タングステン、酸化錫、酸化インジウム、酸化亜鉛などがあり、このような半導体特性を示す金属酸化物をチャネル形成領域に用いるトランジスタが、既に知られている（特許文献1及び特許文献2）。

10

**【先行技術文献】****【特許文献】****【0003】**

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

**【発明の概要】**

20

**【発明が解決しようとする課題】****【0004】**

ところで、半導体記憶装置（以下、単に記憶装置とする）には、揮発性メモリに分類されるDRAM、SRAM、不揮発性メモリに分類されるマスクROM、EPROM、EEPROM、フラッシュメモリ、強誘電体メモリなどがあり、単結晶の半導体基板を用いて形成されたこれらのメモリの多くは既に実用化されている。上記の記憶装置の中でも、DRAMは、トランジスタと容量素子でメモリセルを構成する単純な構造を有しており、SRAM等の他の記憶装置に比べてメモリセルを構成するための半導体素子が少ない。よって、他の記憶装置と比べて単位面積あたりの記憶容量を高めることができ、低コスト化に優れている。

30

**【0005】**

上述したように、DRAMは大記憶容量化に適しているが、チップサイズの増大を抑えつつ、集積度のより高い集積回路を実現するためには、他の記憶装置と同様にもっと単位面積あたりの記憶容量を高めなくてはならない。そのためには、電荷を保持するために各メモリセルに設けられた容量素子の面積を小さくし、各メモリセルの面積を縮小化せざるを得ない。

**【0006】**

しかし、容量素子の面積縮小化によりその容量値が小さくなると、各デジタル値どうしの電荷量の差（例えば、“1”に対応する電荷量と、“0”に対応する電荷量との差）が小さくなるため、トランジスタに微少なオフ電流が存在するとデータの正確さを維持するのが難しく、保持期間が短くなる傾向にある。よって、リフレッシュ動作の頻度が増加し、消費電力が高んでしまう。

40

**【0007】**

上述の課題に鑑み、本発明は、データの保持期間を確保しつつ、単位面積あたりの記憶容量を高めることができる記憶装置の提案を、目的の一とする。或いは、本発明は、上記記憶装置を用いた半導体装置の提案を、目的の一とする。

**【課題を解決するための手段】****【0008】**

開示する発明では、トランジスタのオフ電流を十分に小さくすることができる材料、例えば、ワイドギャップ半導体である酸化物半導体材料を用いて記憶装置を構成する。酸化

50

物半導体材料としては、In、Ga及びZnを含んでなる酸化物半導体材料が好ましい。酸化物半導体をチャネル形成領域に用いたトランジスタはオフ電流が非常に小さい。そこで、当該トランジスタを用いてメモリセルを形成することによって、長期間にわたって情報を保持することが可能である。

【0009】

また、多層配線技術を用いて、記憶装置が有するメモリセルを複数重ねて配置し、更にメモリセルとメモリセルを駆動する駆動回路とを重ねて配置する。

【0010】

本発明の一態様は、基板に設けられた駆動回路と、駆動回路上に設けられ、駆動回路によって駆動される複数のメモリセルアレイと、を有し、複数のメモリセルアレイそれぞれは、マトリクス状に配置された複数のメモリセルを有し、複数のメモリセルそれぞれは、酸化物半導体層と、ソース電極及びドレイン電極と、第1のゲート絶縁層と、第1のゲート絶縁層を挟んで酸化物半導体層と重畳する第1のゲート電極と、を有する第1のトランジスタと、ソース電極及びドレイン電極の一方と、第1のゲート絶縁層と、第1のゲート絶縁層を挟んでソース電極及びドレイン電極の一方と重畳する導電層と、を有する容量素子と、を有し、複数のメモリセルアレイは重ねて配置されることを特徴とする記憶装置である。

10

【0011】

複数のメモリセルアレイそれぞれは、第1のトランジスタのソース電極及びドレイン電極の他方と電氣的に接続されるビット線と、第1のトランジスタの第1のゲート電極と電氣的に接続されるワード線と、容量素子の導電層と電氣的に接続される容量線とを有してもよい。

20

【0012】

複数のメモリセルアレイ間で、ビット線が電氣的に接続されていてもよい。

【0013】

複数のメモリセルアレイ間で、ワード線が電氣的に接続されていてもよい。

【0014】

複数のメモリセルアレイ間で、容量線が電氣的に接続されていてもよい。

【0015】

複数のメモリセルアレイのうち隣接するメモリセルアレイ間において、ビット線は重ならないように配置されていてもよい。

30

【0016】

複数のメモリセルアレイのうち隣接するメモリセルアレイ間において、ワード線は重ならないように配置されていてもよい。

【0017】

駆動回路は、第2のトランジスタを用いて形成することができる。第2のトランジスタは、酸化物半導体以外の半導体材料でなる基板に設けられたチャネル形成領域と、チャネル形成領域を挟むように設けられた一对の不純物領域と、チャネル形成領域上の第2のゲート絶縁層と、チャネル形成領域と重畳して第2のゲート絶縁層上に設けられた第2のゲート電極と、を有する構成とすることができる。ここで、一对の不純物領域の一方がソースとなり他方がドレインとなる。

40

【0018】

また別の例としては、第2のトランジスタは、絶縁表面上に形成され、酸化物半導体以外の半導体材料でなる半導体層に設けられたチャネル形成領域と、チャネル形成領域を挟むように設けられた一对の不純物領域と、チャネル形成領域と重なる第2のゲート絶縁層と、第2のゲート絶縁層を挟んでチャネル形成領域と重畳するように設けられた第2のゲート電極と、を有する構成とすることができる。ここで、一对の不純物領域の一方がソースとなり他方がドレインとなる。

【0019】

なお、半導体材料を用いた基板は、単結晶半導体基板またはSOI基板とすることが好

50

ましい。また、酸化物半導体以外の半導体材料はシリコンであることが好ましい。

【0020】

上記において、駆動回路は、ビット線を駆動するビット線駆動回路と、ワード線を駆動するワード線駆動回路とを有し、ビット線駆動回路は第1の駆動回路及び第2の駆動回路を有し、第1の駆動回路及び第2の駆動回路はそれぞれ、コラムデコーダ及びセンスアンプ部を有し、ワード線駆動回路は第3の駆動回路及び第4の駆動回路を有し、第3の駆動回路及び第4の駆動回路はそれぞれ、ローデコーダを有し、第1の駆動回路乃至第4の駆動回路は、複数のメモリセルアレイの下に配置されることが好ましい。

【0021】

なお、上記において、酸化物半導体を用いて第1のトランジスタを構成しているが、開示する発明はこれに限定されない。酸化物半導体と同等のオフ電流特性が実現できる材料、例えば、炭化シリコンをはじめとするワイドギャップ材料（より具体的には、例えば、エネルギーギャップ  $E_g$  が  $3\text{ eV}$  より大きい半導体材料）などを適用しても良い。

【発明の効果】

【0022】

酸化物半導体をチャネル形成領域に用いたトランジスタ（第1のトランジスタ）はオフ電流が極めて小さいため、これを用いることにより極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

【0023】

また、開示する発明に係る記憶装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁層の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

【0024】

また、多層配線技術を用いて、記憶装置が有するメモリセルを複数重ねて配置し、更にメモリセルとメモリセルを駆動する駆動回路とを重ねて配置する。こうして、単位面積あたりの記憶容量を高めることができる。

【0025】

例えば、多層配線技術を用いず、メモリセルアレイが1つのみで記憶装置を形成した場合、メモリセル面積は  $8 \sim 10 F^2$  となる（ $F$  は設計ルールで定まるハーフピッチ）。一方、メモリセルアレイを  $8 \sim 10$  層重ねて配置することによって、メモリセル面積を  $1 F^2$  とすることが可能である。

【0026】

なお、複数のメモリセルアレイのうち隣接するメモリセルアレイ間において、ビット線が重ならないように配置することによって、ビット線の寄生容量を低減し、情報の読み出しの精度を向上させることができる。情報の書き込み及び読み出しの速度を向上させることができる。ビット線を駆動する駆動回路の負荷を低減することができる。

【0027】

複数のメモリセルアレイうち隣接するメモリセルアレイ間において、ワード線は重ならないように配置することができる。こうして、ワード線の寄生容量を低減し、情報の書き込み及び読み出しの速度を向上させることができる。また、ワード線を駆動する駆動回路の負荷を低減することができる。

【0028】

また、酸化物半導体以外の材料をチャネル形成領域に用いたトランジスタ（第2のトラ

10

20

30

40

50

ンジスタ)は、十分な高速動作が可能であるため、これを、酸化物半導体をチャネル形成領域に用いたトランジスタ(第1のトランジスタ)と組み合わせて用いることにより、記憶装置の動作(例えば、情報の読み出し動作)の高速性を十分に確保することができる。また、酸化物半導体以外の材料をチャネル形成領域に用いたトランジスタ(第2のトランジスタ)により、高速動作が要求される各駆動回路を好適に実現することが可能である。

【0029】

更に、ビット線駆動回路を第1の駆動回路と第2の駆動回路に分割し、ワード線駆動回路を第3の駆動回路と第4の駆動回路に分割することによって、多層配線技術によって1つあたりのメモリセルアレイの面積が小さくなくても、当該メモリセルアレイと重なる領域に駆動回路の全てを配置することができる。こうして、記憶装置を小型化することができる。

10

【図面の簡単な説明】

【0030】

【図1】記憶装置の構成を示す図。

【図2】記憶装置の駆動回路等の配置の仕方を示す図。

【図3】記憶装置のメモリセルアレイの分割方法を示す模式図。

【図4】記憶装置の駆動回路等の配置の仕方を示す図。

【図5】記憶装置のメモリセルの構成を示す回路図。

【図6】記憶装置のメモリセルアレイ及び駆動回路の構成を示す回路図。

【図7】記憶装置の駆動回路の構成を示す回路図。

20

【図8】記憶装置の駆動方法を示す図。

【図9】記憶装置の構成を示す断面図。

【図10】メモリセルの構成を示す断面図及び上面図。

【図11】メモリセルの構成を示す断面図。

【図12】メモリセルの構成を示す断面図。

【図13】メモリセルの作製方法を示す図。

【図14】メモリセルの作製方法を示す図。

【図15】半導体装置を示す図。

【図16】記憶装置の構成を示す断面図。

【図17】メモリセルの構成を示す断面図。

30

【図18】メモリセルの構成を示す断面図。

【図19】記憶装置の構成を示す断面図。

【図20】酸化物材料の構造を説明する図。

【図21】酸化物材料の構造を説明する図。

【図22】酸化物材料の構造を説明する図。

【図23】計算によって得られた移動度のゲート電圧依存性を説明する図。

【図24】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図

。

【図25】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図

。

40

【図26】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図

。

【図27】計算に用いたトランジスタの断面構造を説明する図。

【図28】酸化物半導体膜を用いたトランジスタ特性のグラフ。

【図29】試料1のトランジスタのBT試験後の $V_g - I_d$ 特性を示す図。

【図30】試料2のトランジスタのBT試験後の $V_g - I_d$ 特性を示す図。

【図31】試料Aおよび試料BのXRDスペクトルを示す図。

【図32】トランジスタのオフ電流と測定時基板温度との関係を示す図。

【図33】 $I_d$ および電界効果移動度の $V_g$ 依存性を示す図。

【図34】基板温度としきい値電圧の関係および基板温度と電界効果移動度の関係を示す

50

図。

【図35】半導体装置の上面図及び断面図。

【図36】半導体装置の上面図及び断面図。

【図37】記憶装置の構成を示す断面図。

【発明を実施するための形態】

【0031】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。また、同様のものを指す際にはハッチパターンを同じくし、特に符号を付さない場合がある。また、便宜上、絶縁層は上面図には表さない場合がある。

10

【0032】

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等に開示された位置、大きさ、範囲などに限定されない。

【0033】

なお、本明細書等における「第1」、「第2」、「第3」などの序数は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

20

【0034】

なお、本明細書等において「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。

【0035】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

30

【0036】

例えば、ワード線の一部が第1のトランジスタの第1のゲート電極として用いられてもよい。容量線の一部が容量素子の電極層として用いられてもよい。

【0037】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0038】

なお、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。

40

【0039】

例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【0040】

(実施の形態1)

本発明の一態様に係る記憶装置の構成について、図1乃至図8を参照して説明する。

50

## 【0041】

## 記憶装置の構成

図1は、記憶装置の構成の一例を示す概念図である。本発明の一態様に係る記憶装置は、上部に複数のメモリセルアレイ（図1では、2つのメモリセルアレイを代表的に図示した）を有し、下部に複数のメモリセルアレイを駆動させるために高速動作が必要な駆動回路や制御回路などの周辺回路を有する、積層構造の記憶装置である。なお、駆動回路や制御回路は、論理回路を有していてもよいし、アナログ回路を有していても構わない。また、演算回路を有していてもよい。

## 【0042】

図1に示す記憶装置は、上部に複数のメモリセルを有するメモリセルアレイ201a、複数のメモリセルを有するメモリセルアレイ201bを有し、下部に、第1の駆動回路211、第2の駆動回路212、第3の駆動回路213、第4の駆動回路214、第5の駆動回路215、コントローラ218、アドレスバッファ221、I/Oバッファ220、などのメモリセルアレイ201a及びメモリセルアレイ201bを動作させるために必要な周辺回路210を有する。第1の駆動回路211は、コラムデコーダ217a及びセンスアンプ群216aを有し、第2の駆動回路212は、コラムデコーダ217b及びセンスアンプ群216bを有する。

## 【0043】

メモリセルアレイ201aとメモリセルアレイ201bは重ねて配置される。よって、単位面積あたりの記憶容量を高めることができる。なお、図1では、2つのメモリセルアレイ（メモリセルアレイ201aとメモリセルアレイ201b）を重ねて配置する例を示したが、本発明において重ねて配置するメモリセルアレイの数は2つに限定されない。

## 【0044】

本発明の特徴は、多層配線技術を用いて複数のメモリセルアレイを重ねて配置する構成にある。ここで、メモリセルアレイを1層とした場合（多層配線技術を用いない場合）に対して、当該メモリセルアレイを分割し、多層に重ねて配置する方法について、模式図を用いて説明する。

## 【0045】

## メモリセルアレイ分割及び重ね方

図3は、メモリセルアレイの分割、及び多層に重ねて配置する方法について模式的に示した図である。

## 【0046】

図3(A)に示すとおり、メモリセルアレイ601は、ビット線駆動回路611と、ワード線駆動回路612とによって駆動される。メモリセルアレイ601はマトリクス状に配置された複数のメモリセルを有し、各メモリセルはビット線及びワード線と電気的に接続されている。ここでは、ビット線は行方向（図面の左右の方向）に延びて配置されているものとする。また、ワード線は列方向（図面の上下の方向）に延びて配置されているものとする。そして、ビット線はビット線駆動回路611によって駆動され、ワード線はワード線駆動回路612によって駆動される。図3(A)は、メモリセルアレイを1層とした場合（多層配線技術を用いない場合）の構成を示している。

## 【0047】

本発明は、単位面積あたりの記憶容量を高めるために、メモリセルアレイ601を分割し、分割したメモリセルアレイを重ねて配置することが特徴である。

## 【0048】

メモリセルアレイ601を2つに分割する方法の例としては、図3(B)や図3(C)に示す方法がある。図3(B)に示すように、メモリセルアレイ601の1列を2つに分割する方法がある。また、図3(C)に示すようにメモリセルアレイ601の1行を2つに分割する方法がある。そして、メモリセルアレイ601Aとメモリセルアレイ601Bを重ねて配置する。更に、ビット線駆動回路611及びワード線駆動回路612も、メモリセルアレイ601Aとメモリセルアレイ601Bに重ねて配置する。

## 【 0 0 4 9 】

ここで、図 3 ( B ) に示した分割方法では、重ね合わされたメモリセルアレイ 6 0 1 A とメモリセルアレイ 6 0 1 B とでは、ワード線が電氣的に接続された構成とすることができる。図 3 ( C ) に示した分割方法では、重ね合わされたメモリセルアレイ 6 0 1 A とメモリセルアレイ 6 0 1 B とでは、ビット線が電氣的に接続された構成とすることができる。この際、メモリセルアレイ 6 0 1 A のワード線とメモリセルアレイ 6 0 1 B のワード線とが互いに重ならないように配置するとよい。また、メモリセルアレイ 6 0 1 A のビット線とメモリセルアレイ 6 0 1 B のビット線とが互いに重ならないように配置するとよい。こうして、ワード線及びビット線の寄生容量を低減することができる。

## 【 0 0 5 0 】

なお、メモリセルアレイを 2 分割する方法は、図 3 ( B ) 及び図 3 ( C ) に示した方法に限定されない。例えば、メモリセルアレイの奇数行目をメモリセルアレイ 6 0 1 A とし、偶数行目をメモリセルアレイ 6 0 1 B とすることができる。また、メモリセルアレイの奇数列目をメモリセルアレイ 6 0 1 A とし、偶数列目をメモリセルアレイ 6 0 1 B とすることもできる。

## 【 0 0 5 1 】

メモリセルアレイ 6 0 1 を 3 つに分割する方法の例としては、図 3 ( D ) や図 3 ( E ) に示す方法がある。図 3 ( D ) に示すように、メモリセルアレイ 6 0 1 の 1 列を 3 つに分割する方法がある。また、図 3 ( E ) に示すようにメモリセルアレイ 6 0 1 の 1 行を 3 つに分割する方法がある。そして、メモリセルアレイ 6 0 1 A とメモリセルアレイ 6 0 1 B とメモリセルアレイ 6 0 1 C を重ねて配置する。更に、ビット線駆動回路 6 1 1 及びワード線駆動回路 6 1 2 も、メモリセルアレイ 6 0 1 A とメモリセルアレイ 6 0 1 B とメモリセルアレイ 6 0 1 C に重ねて配置する。

## 【 0 0 5 2 】

ここで、図 3 ( D ) に示した分割方法では、重ね合わされたメモリセルアレイ 6 0 1 A とメモリセルアレイ 6 0 1 B とメモリセルアレイ 6 0 1 C とでは、ワード線が電氣的に接続された構成とすることができる。図 3 ( E ) に示した分割方法では、重ね合わされたメモリセルアレイ 6 0 1 A とメモリセルアレイ 6 0 1 B とメモリセルアレイ 6 0 1 C とでは、ビット線が電氣的に接続された構成とすることができる。この際、メモリセルアレイ 6 0 1 A のワード線とメモリセルアレイ 6 0 1 B のワード線、メモリセルアレイ 6 0 1 B のワード線とメモリセルアレイ 6 0 1 C のワード線が互いに重ならないように配置するとよい。また、メモリセルアレイ 6 0 1 A のビット線とメモリセルアレイ 6 0 1 B のビット線、メモリセルアレイ 6 0 1 B のビット線とメモリセルアレイ 6 0 1 C のビット線が互いに重ならないように配置するとよい。こうして、ワード線及びビット線の寄生容量を低減することができる。

## 【 0 0 5 3 】

メモリセルアレイ 6 0 1 を 4 つに分割する方法の例としては、図 3 ( F ) や図 3 ( G ) や図 3 ( H ) に示す方法がある。図 3 ( F ) に示すように、メモリセルアレイ 6 0 1 の 1 列を 2 つに分割し、更に 1 行を 2 つに分割する方法がある。図 3 ( G ) に示すように、メモリセルアレイ 6 0 1 の 1 列を 4 つに分割する方法がある。また、図 3 ( H ) に示すようにメモリセルアレイ 6 0 1 の 1 行を 4 つに分割する方法がある。そして、メモリセルアレイ 6 0 1 A とメモリセルアレイ 6 0 1 B とメモリセルアレイ 6 0 1 C とメモリセルアレイ 6 0 1 D を重ねて配置する。更に、ビット線駆動回路 6 1 1 及びワード線駆動回路 6 1 2 も、メモリセルアレイ 6 0 1 A とメモリセルアレイ 6 0 1 B とメモリセルアレイ 6 0 1 C とメモリセルアレイ 6 0 1 D に重ねて配置する。

## 【 0 0 5 4 】

ここで、図 3 ( F ) に示した分割方法では、重ね合わされたメモリセルアレイ 6 0 1 A とメモリセルアレイ 6 0 1 B とでは、ビット線が電氣的に接続され、重ね合わされたメモリセルアレイ 6 0 1 C とメモリセルアレイ 6 0 1 D とでは、ビット線が電氣的に接続され、重ね合わされたメモリセルアレイ 6 0 1 A とメモリセルアレイ 6 0 1 C とでは、ワード

10

20

30

40

50

線が電氣的に接続され、重ね合わされたメモリセルアレイ601Bとメモリセルアレイ601Dとでは、ワード線が電氣的に接続された構成とすることができる。図3(G)に示した分割方法では、重ね合わされたメモリセルアレイ601Aとメモリセルアレイ601Bとメモリセルアレイ601Cとメモリセルアレイ601Dとでは、ワード線が電氣的に接続された構成とすることができる。図3(H)に示した分割方法では、重ね合わされたメモリセルアレイ601Aとメモリセルアレイ601Bとメモリセルアレイ601Cとメモリセルアレイ601Dとでは、ビット線が電氣的に接続された構成とすることができる。この際、メモリセルアレイ601Aのワード線とメモリセルアレイ601Bのワード線、メモリセルアレイ601Bのワード線とメモリセルアレイ601Cのワード線、メモリセルアレイ601Cのワード線とメモリセルアレイ601Dのワード線が互いに重ならないように配置するとよい。また、メモリセルアレイ601Aのビット線とメモリセルアレイ601Bのビット線、メモリセルアレイ601Bのビット線とメモリセルアレイ601Cのビット線、メモリセルアレイ601Cのビット線とメモリセルアレイ601Dのビット線が互いに重ならないように配置するとよい。こうして、ワード線及びビット線の寄生容量を低減することができる。

10

## 【0055】

なお、メモリセルアレイを分割する方法は、図3(B)乃至図3(H)に示した方法に限定されない。メモリセルアレイを5以上に分割してもよい。

## 【0056】

なお、分割された個々のメモリセルアレイの縦横比が1対1に近くなるように、メモリセルアレイ601を分割することが好ましい。また、分割された各メモリセルアレイに含まれるメモリセルの数が同じになるようにメモリセルアレイ601を分割することが好ましい。こうして、単位面積あたりの記憶容量を更に高めることができる。

20

## 【0057】

例えば、多層配線技術を用いず、メモリセルアレイが1つのみで記憶装置を形成した場合(図3(A)に対応)、メモリセル面積は $8 \sim 10 F^2$ となる( $F$ は設計ルールで定まるハーフピッチ)。一方、メモリセルアレイを $8 \sim 10$ 層重ねて配置することによって、メモリセル面積を $1 F^2$ とすることが可能である。

## 【0058】

次いで、各メモリセルの構成について説明する。

30

## 【0059】

## メモリセルの構成

図5に、メモリセルアレイ(図1のメモリセルアレイ201a、メモリセルアレイ201b、図3のメモリセルアレイ601、メモリセルアレイ601A~メモリセルアレイ601D等)に適用することができるメモリセルの回路構成の一例を示す。メモリセル170は、酸化物半導体をチャンネル形成領域に用いたトランジスタ162と、容量素子164によって構成される。

## 【0060】

図5に示すメモリセル170において、ビット線BLとトランジスタ162のソース電極又はドレイン電極とは電氣的に接続され、ワード線WLとトランジスタ162のゲート電極とは電氣的に接続され、トランジスタ162のソース電極又はドレイン電極と容量素子164の第1の端子とは電氣的に接続されている。

40

## 【0061】

酸化物半導体をチャンネル形成領域に用いたトランジスタ162は、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ162をオフ状態とすることで、容量素子164の第1の端子の電位(あるいは、容量素子164に蓄積された電荷)を極めて長時間にわたって保持することが可能である。また、酸化物半導体をチャンネル形成領域に用いたトランジスタ162では、短チャンネル効果が現れにくいというメリットもある。

## 【0062】

50

次に、図5に示すメモリセル170に、情報の書き込みおよび保持を行う場合について説明する。

【0063】

まず、ワード線WLの電位を、トランジスタ162がオン状態となる電位として、トランジスタ162をオン状態とする。これにより、ビット線BLの電位が、容量素子164の第1の端子に与えられる(書き込み)。その後、ワード線WLの電位を、トランジスタ162がオフ状態となる電位として、トランジスタ162をオフ状態とすることにより、容量素子164の第1の端子の電位が保持される(保持)。

【0064】

トランジスタ162のオフ電流は極めて小さいから、容量素子164の第1の端子の電位(あるいは容量素子164に蓄積された電荷)を長時間にわたって保持することができる。

【0065】

次に、情報の読み出しについて説明する。トランジスタ162がオン状態となると、浮遊状態であるビット線BLと容量素子164とが導通し、ビット線BLと容量素子164の間で電荷が再分配される。その結果、ビット線BLの電位が変化する。ビット線BLの電位の変化量は、容量素子164の第1の端子の電位(あるいは容量素子164に蓄積された電荷)によって、異なる値をとる。

【0066】

例えば、容量素子164の第1の端子の電位をV、容量素子164の容量をC、ビット線BLが有する容量成分(以下、ビット線容量とも呼ぶ)をCB、電荷が再分配される前のビット線BLの電位をVB0とすると、電荷が再分配された後のビット線BLの電位は、 $(CB * VB0 + C * V) / (CB + C)$ となる。従って、メモリセル170の状態として、容量素子164の第1の端子の電位がV1とV0( $V1 > V0$ )の2状態をとるとすると、電位V1を保持している場合のビット線BLの電位( $= (CB * VB0 + C * V1) / (CB + C)$ )は、電位V0を保持している場合のビット線BLの電位( $= (CB * VB0 + C * V0) / (CB + C)$ )よりも高くなることわかる。

【0067】

そして、ビット線BLの電位を所定の電位と比較することで、情報を読み出すことができる。

【0068】

このように、図5に示すメモリセルは、トランジスタ162のオフ電流が極めて小さいという特徴から、容量素子164に蓄積された電荷は長時間にわたって保持することができる。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、トランジスタ162をノーマリオフ(エンハンスメント型)のトランジスタとし、電力の供給がない場合において、トランジスタ162のゲートには接地電位が入力される構成とすることができる。こうして、電力の供給が無い場合においても、トランジスタ162はオフ状態を維持することができ、容量素子164に蓄積された電荷を保持し続けることができる。よって、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

【0069】

メモリセルアレイの回路構成及び駆動方法

次に、図6に、メモリセルアレイ201と周辺回路の一部の回路図を示す。なお、図6では、理解を容易にするために、回路図上では、メモリセルアレイ201と周辺回路の一部とが同一平面に設けられているように示している。しかし実際の記憶装置では、メモリセルアレイ201以外の周辺回路の一部は、メモリセルアレイ201の下部に設けられているものとする。また、メモリセルアレイ201は複数のメモリセルアレイに分割され、それら複数のメモリセルアレイは互いに重なるように設けられているものとする。図6に示すメモリセルアレイ201には、図5に示すメモリセル170が適用されている。

10

20

30

40

50

## 【 0 0 7 0 】

図 6 に示すメモリセルアレイ 2 0 1 は、 $m$ 本のワード線  $W L$  と、 $n$ 本のビット線  $B L a$  及びビット線  $B L b$  と、メモリセル 1 7 0 が縦  $m$ 個 (行)  $\times$  横  $n$ 個 (列) のマトリクス状に設けられた複数のメモリセル 1 7 0 を有する。ワード線  $W L ( 1 ) \sim W L ( i )$  は、第 4 の駆動回路 2 1 4 に電氣的に接続され、ワード線  $W L ( i + 1 ) \sim W L ( m )$  は、第 3 の駆動回路 2 1 3 に電氣的に接続されている。また、ビット線  $B L a ( 1 ) \sim B L a ( j )$  及びビット線  $B L b ( 1 ) \sim B L b ( j )$  は、第 2 の駆動回路 2 1 2 に電氣的に接続され、ビット線  $B L a ( j + 1 ) \sim B L a ( n )$  及びビット線  $B L b ( j + 1 ) \sim B L b ( n )$  は、第 1 の駆動回路 2 1 1 に電氣的に接続される。また、第 1 の駆動回路 2 1 1 及び第 2 の駆動回路 2 1 2 は、それぞれ第 5 の駆動回路 2 1 5 に電氣的に接続される。

10

## 【 0 0 7 1 】

第 1 の駆動回路 2 1 1 は、コラムデコーダ 2 1 7 a 及びセンスアンプ群 2 1 6 a を有し、センスアンプ群 2 1 6 a は、センスアンプ 2 2 2 (  $j + 1$  )  $\sim$  2 2 2 (  $n$  ) を有する。コラムデコーダ 2 1 7 a は、センスアンプ 2 2 2 (  $j + 1$  )  $\sim$  2 2 2 (  $n$  ) と、コラムアドレス線  $C A ( j + 1 ) \sim C A ( n )$  を介して電氣的に接続されており、センスアンプ 2 2 2 (  $j + 1$  )  $\sim$  2 2 2 (  $n$  ) は、メモリセルアレイ 2 0 1 と、ビット線  $B L a ( j + 1 ) \sim B L a ( n )$  及びビット線  $B L b ( j + 1 ) \sim B L b ( n )$  を介して電氣的に接続されている。また、第 2 の駆動回路 2 1 2 も同様に、コラムデコーダ 2 1 7 b 及びセンスアンプ群 2 1 6 b を有し、センスアンプ群 2 1 6 b は、センスアンプ 2 2 2 ( 1 )  $\sim$  2 2 2 (  $j$  ) を有する。コラムデコーダ 2 1 7 b は、センスアンプ 2 2 2 ( 1 )  $\sim$  2 2 2 (  $j$  ) と、コラムアドレス線  $C A ( 1 ) \sim C A ( j )$  を介して電氣的に接続されており、センスアンプ 2 2 2 ( 1 )  $\sim$  2 2 2 (  $j$  ) は、メモリセルアレイ 2 0 1 と、ビット線  $B L a ( 1 ) \sim B L a ( j )$  及びビット線  $B L b ( 1 ) \sim B L b ( j )$  を介して電氣的に接続されている。

20

## 【 0 0 7 2 】

図 7 に、センスアンプ群 2 1 6 a、2 1 6 b に適用されるセンスアンプの回路構成を示す。

## 【 0 0 7 3 】

図 7 に示すセンスアンプは、信号線  $p c$  にトランジスタ 4 0 1 のゲート電極、トランジスタ 4 0 2 のゲート電極、及びトランジスタ 4 0 3 のゲート電極が電氣的に接続されている。また、トランジスタ 4 0 2 のソース電極及びドレイン電極の一方と、トランジスタ 4 0 3 のソース電極及びドレイン電極の一方は、信号線  $V p c$  に電氣的に接続されている。トランジスタ 4 0 2 のソース電極及びドレイン電極の他方は、信号線  $B L a$  と電氣的に接続されている。トランジスタ 4 0 3 のソース電極及びドレイン電極の他方は、信号線  $B L b$  と電氣的に接続されている。トランジスタ 4 0 1 のソース電極及びドレイン電極の一方は、信号線  $B L a$  と電氣的に接続されており、トランジスタ 4 0 1 のソース電極及びドレイン電極の他方は、信号線  $B L b$  と電氣的に接続されている。また、トランジスタ 4 0 4 のゲート電極と、トランジスタ 4 0 5 のゲート電極と、トランジスタ 4 0 6 のソース電極及びドレイン電極の一方と、トランジスタ 4 0 7 のソース電極及びドレイン電極の一方と、信号線  $B L a$  とは電氣的に接続されており、トランジスタ 4 0 6 のゲート電極と、トランジスタ 4 0 7 のゲート電極と、トランジスタ 4 0 4 のソース電極及びドレイン電極の一方と、トランジスタ 4 0 5 のソース電極及びドレイン電極の一方と、信号線  $B L b$  とは電氣的に接続されている。また、トランジスタ 4 0 4 のソース電極及びドレイン電極の他方と、トランジスタ 4 0 6 のソース電極及びドレイン電極の他方と、トランジスタ 4 0 8 のソース電極及びドレイン電極の一方とは電氣的に接続されており、トランジスタ 4 0 5 のソース電極及びドレイン電極の他方と、トランジスタ 4 0 7 のソース電極及びドレイン電極の他方と、トランジスタ 4 0 9 のソース電極及びドレイン電極の一方とは電氣的に接続されている。また、トランジスタ 4 1 0 のソース電極及びドレイン電極の一方と、信号線  $B L a$  とは電氣的に接続されており、トランジスタ 4 1 0 のソース電極及びドレイン電極の他方と、信号線  $I O a$  とは電氣的に接続されている。また、トランジスタ 4 1 1 のソ

30

40

50

ース電極及びドレイン電極の一方と、信号線 B L b とは電氣的に接続されており、トランジスタ 4 1 1 のソース電極及びドレイン電極の他方と、信号線 I O b とは電氣的に接続されている。また、トランジスタ 4 1 0 のゲート電極と、トランジスタ 4 1 1 のゲート電極と、信号線 C A i とは電氣的に接続されている。トランジスタ 4 0 9 のソース電極及びドレイン電極の他方には電位 V H が与えられ、トランジスタ 4 0 8 のソース電極及びドレイン電極の他方には電位 V L が与えられる。

【 0 0 7 4 】

なお、図 7 に示すセンスアンプにおいて、トランジスタ 4 0 5、トランジスタ 4 0 7 及びトランジスタ 4 0 9 は、pチャネル型トランジスタであり、トランジスタ 4 0 1 ~ 4 0 4、トランジスタ 4 0 6、トランジスタ 4 0 8、トランジスタ 4 1 0 及びトランジスタ 4 1 1 は、nチャネル型トランジスタである。

【 0 0 7 5 】

次に、メモリセルアレイ 2 0 1 に、情報の書き込み、保持、読み出しを行う場合について図 6、図 7、及び図 8 を参照して説明する。なお、メモリセル 1 7 0 は、容量素子 1 6 4 の第 1 の端子に電位 V D D もしくは電位 V S S の 2 状態を保持するとし、電位 V D D を保持している状態をデータ " 1 "、電位 V S S を保持している状態をデータ " 0 " とする。ここでは、図 6 に示すメモリセルアレイ 2 0 1 のメモリセル 1 7 0 ( 1 , 1 ) にデータ " 1 " を書き込む場合、およびメモリセル 1 7 0 ( 1 , 1 ) からデータ " 1 " を読み出す場合について説明する。つまり、メモリセルアレイ 2 0 1 に含まれるメモリセルのうち、第 1 行第 1 列のメモリセル 1 7 0 ( 1 , 1 ) を選択してデータの書き込み及び読み出しを行う場合について説明する。ここで、データの書き込みまたは読み出しを行う行を選択行、データの書き込みまたは読み出しを行う列を選択列ともいう。よって以下では、1 行目を選択行とし、1 列目を選択列とした場合について説明する。

【 0 0 7 6 】

図 6 に示すメモリセル 1 7 0 ( 1 , 1 ) にデータを書き込む場合は、1 列目の信号線 C A ( 1 ) に電位 V D D を与える ( 信号線 C A ( 1 ) をアクティブにするともいう ) 。その結果、ビット線 B L a ( 1 ) とビット線 B L b ( 1 ) が、信号線 I O a と信号線 I O b とそれぞれ導通する。また、図 7 に示すセンスアンプにおいて、信号線 n に与えられる電位を V D D、信号線 p に与えられる電位を V S S とする。こうして、センスアンプに所定の電源電圧 ( 電位 V L と電位 V H の電位差 ) が入力される状態とする ( センスアンプを活性化するとともいう ) 。このとき、信号線 p c に与えられる電位は V S S とする。ここで、電位 V H を V D D とし、電位 V L を V S S とすることができる。

【 0 0 7 7 】

そして、図 6 に示す第 5 の駆動回路 2 1 5 が有する読み出し回路、書き込み回路およびラッチ回路群は、信号線 I O a 及び信号線 I O b に書き込むデータに対応した電位を与える。例えば、メモリセル 1 7 0 ( 1 , 1 ) にデータ " 1 " を書き込む場合には、信号線 I O a に V D D を、信号線 I O b に V S S を与える。その結果、ビット線 B L a ( 1 ) には V D D が、ビット線 B L b ( 1 ) には V S S が与えられる。なお、ビット線 B L a ( 1 ) およびビット線 B L b ( 1 ) の電位は、センスアンプが活性化された状態であれば、信号線 C A ( 1 ) を非アクティブ ( ここでは電位 V S S を与える ) としても、V D D もしくは V S S に保たれる。

【 0 0 7 8 】

次に、選択行である 1 行目のワード線 W L ( 1 ) をアクティブにして、メモリセル 1 7 0 ( 1 , 1 ) のトランジスタ 1 6 2 をオン状態とする。ここでは、ワード線 W L ( 1 ) に電位 V D D より高い電位 V D D H を与えることとする。その結果、メモリセル 1 7 0 ( 1 , 1 ) の容量素子 1 6 4 の第 1 の端子には V D D が与えられる。その後、ワード線 W L ( 1 ) を非アクティブ ( ここでは電位 V S S を与える ) にして、メモリセル 1 7 0 ( 1 , 1 ) のトランジスタ 1 6 2 をオフ状態とする。このようにして、メモリセル 1 7 0 ( 1 , 1 ) にデータ " 1 " を書き込むことができる。また、メモリセル 1 7 0 ( 1 , 1 ) のトランジスタ 1 6 2 をオフ状態とすることで、容量素子 1 6 4 の第 1 の端子の電位 ( あるいは容

10

20

30

40

50

量素子164に蓄積された電荷)は保持される。

【0079】

なお、ここでは、データ"1"を書き込む場合を説明したが、データ"0"を書き込む場合も同様である。

【0080】

次に、メモリセル170(1,1)からデータを読み出す場合について、図8に示すタイミングチャートを参照して説明する。

【0081】

メモリセル170(1,1)からデータを読み出すためには、まず、信号線pcに与えられる電位をVDDとし、ビット線BLa(1)およびビット線BLb(1)をプリチャージして、ビット線BLa(1)およびビット線BLb(1)に電位Vpcを与えておく。ここでは、電位VpcをVDD/2とした。そして、信号線pcに与えられる電位をVSSとし、プリチャージを終了する。

【0082】

次に、選択行である1行目のワード線WL(1)をアクティブにして、メモリセル170(1,1)が有するトランジスタ162をオン状態とする。ここでは、ワード線WL(1)に電位VDDより高い電位VDDHを与えることとする。その結果、ビット線BLa(1)とメモリセル170(1,1)の容量素子164間で電荷が再分配され、ビット線BLa(1)の電位はわずかに上昇する。

【0083】

次に、センスアンプを活性化させる。ここでは、まず、信号線nに与えられる電位をVSSからVDDとすることで、センスアンプが有するnチャンネル型のトランジスタ408に電位VLを与える。その結果、ビット線BLa(1)の電位がビット線BLb(1)よりわずかに高くなっているため、センスアンプはこの差を増幅し、ビット線BLb(1)の電位を電位VLまで低下させる。続いて、信号線pに与えられる電位をVDDからVSSとすることで、センスアンプが有するpチャンネル型のトランジスタ409に電位VHを与える。その結果、ビット線BLb(1)の電位がビット線BLa(1)より低い電位VLとなっているため、センスアンプはこの差を増幅し、ビット線BLa(1)の電位を電位VHまで上昇させる。その結果、ビット線BLa(1)には電位VHが、ビット線BLb(1)には電位VLが、それぞれ与えられる。ここで図8では、電位VHをVDDとし、電位VLをVSSとした例を示す。

【0084】

次に、選択列である1列目の信号線CA(1)をアクティブにする。ここでは、信号線CA(1)に電位VDDを与えることとする。その結果、ビット線BLa(1)とビット線BLb(1)が、第5の駆動回路215が有する読み出し回路、書き込み回路およびラッチ回路群と電氣的に接続される信号線IOaと信号線IObとそれぞれ導通し、ビット線BLa(1)とビット線BLb(1)の電位が読み出される。

【0085】

このようにして、メモリセル170(1,1)からデータが読み出される。

【0086】

メモリセル170(1,1)に格納されたデータが、読み出し回路、書き込み回路およびラッチ回路群に読み出された後、信号線CA(1)を非アクティブ(ここでは電位VSSを与える)として、ビット線BLa(1)及びビット線BLb(1)と、信号線IOa及び信号線IObとを非導通とする。そして、ワード線WL(1)を非アクティブ(ここでは電位VSSを与える)として、メモリセル170(1,1)が有するトランジスタ162をオフ状態とする。このとき、メモリセル170(1,1)には再びデータ"1"が格納されることになる。その後、信号線nに与えられる電位をVDDからVSSとし、信号線pに与えられる電位をVSSからVDDとすることで、センスアンプを非活性としてもよい。また、信号線pcに与えられる電位をVDDとし、ビット線BLa(1)およびビット線BLb(1)をプリチャージしてもよい。

10

20

30

40

50

## 【 0 0 8 7 】

以上のようにして、メモリセル170(1,1)からデータ"1"を読み出すことができる。

## 【 0 0 8 8 】

なお、ここでは、メモリセル170(1,1)からデータ"1"を読み出す場合を説明したが、データ"0"を読み出す場合も、読み出し動作は同様である。その場合、ビット線BLa(1)とメモリセル170(1,1)の容量素子164間で電荷が再分配され、ビット線BLa(1)の電位はわずかに低下する。センスアンプはこの差を増幅し、ビット線BLa(1)の電位を電位VLまで低下させ、ビット線BLb(1)の電位を電位VHまで上昇させることになる。

10

## 【 0 0 8 9 】

以上が、メモリセルアレイの回路構成及び駆動方法である。

## 【 0 0 9 0 】

本発明では、多層配線技術を用いてメモリセルアレイ201を複数の層に重ねて形成することが特徴である。例えば、図6に示した回路図において、メモリセルアレイ201のうち、第1の駆動回路211と第3の駆動回路213で駆動される領域(第1のメモリセルアレイ)、第1の駆動回路211と第4の駆動回路214で駆動される領域(第2のメモリセルアレイ)、第2の駆動回路212と第3の駆動回路213で駆動される領域(第3のメモリセルアレイ)、第2の駆動回路212と第4の駆動回路214で駆動される領域(第4のメモリセルアレイ)とに分割し、第1のメモリセルアレイ乃至第4のメモリセルアレイを重ねて配置することができる。このようなメモリセルアレイ201の分割構成は、図3(F)の模式図で示した構成に対応する。第1の駆動回路211乃至第4の駆動回路214のうち、同じ駆動回路の組み合わせによって駆動される領域を同じ層に形成する例を示したがこれに限定されず、同じ駆動回路の組み合わせによって駆動されるメモリセルを別の層に形成することもできる。

20

## 【 0 0 9 1 】

次に、メモリセルアレイと重ねて配置される周辺回路の配置方法の一例について説明する。

## 【 0 0 9 2 】

## 駆動回路の配置

図2(A)に、図1に示す記憶装置の下部における周辺回路210のブロック図を示し、図2(B)に、メモリセルアレイ201aの中心点250に関する対称性について示す。また、図2(A)では、周辺回路210は、メモリセルアレイ201aの直下に配置されている場合について示す。

30

## 【 0 0 9 3 】

図2に示す周辺回路210は、第1の駆動回路211、第2の駆動回路212、第3の駆動回路213、第4の駆動回路214、第5の駆動回路215、コントローラ218、アドレスバッファ221、I/Oバッファ220を有する。第1の駆動回路211は、コラムデコーダ217a及びセンスアンプ群216aを有し、第2の駆動回路212は、コラムデコーダ217b及びセンスアンプ群216bを有する。また、第3の駆動回路213及び第4の駆動回路214は、それぞれローデコーダ223a、及びローデコーダ223bを有する。第5の駆動回路215は、書き込み回路と、読み出し回路と、ラッチ回路群と、を有する。また、コントローラ218は、モードレジスタ219を有する。

40

## 【 0 0 9 4 】

図2に示す周辺回路210が設けられる基板としては、例えば、シリコンやゲルマニウム、シリコンゲルマニウム、炭化シリコンなどの第14族元素でなる半導体基板、また、ガリウムヒ素やインジウムリン等の化合物半導体基板、SOI基板などを適用することができる。なお、一般に「SOI基板」とは、絶縁表面上にシリコン層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板も含むものとする。また、SOI基板には、ガラス基板などの

50

絶縁基板上に絶縁層を介して半導体層が設けられた構成のものが含まれるものとする。上述の基板を用いて、周辺回路210を形成することにより、周辺回路210を高速動作させることができるため、好ましい。

**【0095】**

アドレスバッファ221は、外部よりアドレス信号ADRが入力されると、各種制御信号に従って、ローデコーダ223aおよびローデコーダ223bにローアドレス信号を出力するか、コラムデコーダ217aおよびコラムデコーダ217bにコラムアドレス信号を出力する。ローデコーダ223aおよびローデコーダ223bは、入力されたローアドレス信号に基づいて、ローアドレスが指定する行を選択する。また、コラムデコーダ217aおよびコラムデコーダ217bは、入力されたコラムアドレス信号に基づいて、コラムアドレスが指定する列を選択する。

10

**【0096】**

センスアンプ群216a、216bはビット線BLと電氣的に接続され、ビット線BLの電位を検出し、増幅する。

**【0097】**

第5の駆動回路215は、読み出し回路、書き込み回路及びラッチ回路群を有し、センスアンプ群216a、216bと電氣的に接続される。読み出し回路は、コラムアドレスが指定する列のセンスアンプの出力信号を入力信号として、メモリセルに格納されたデータを読み出す。書き込み回路は、コラムアドレスが指定する列のビット線BLへ書き込むデータに対応する信号を出力する。ラッチ回路群は、メモリセルから読み出したデータやメモリセルへ書き込むデータを格納する。

20

**【0098】**

I/Oバッファ220は、データ信号線を介して外部よりデータが入力され、第5の駆動回路215が有する書き込み回路やラッチ回路群へデータを出力する。また、読み出し回路からのデータやラッチ回路群が格納するデータが入力され、外部へデータを出力する。

**【0099】**

コントローラ218は、コマンドデコーダ、モードレジスタ219等を有し、各種制御信号(/CS、/RAS、/CAS、/WEなど)が入力される。コマンドデコーダは、各種制御信号を介して入力されたコマンドをデコードする。モードレジスタ219は、半導体装置の動作モードの設定を行うレジスタである。モードレジスタ219への書き込みは、コマンドに従って行われ、書き込むデータはアドレス信号を介して与えられる。また、コントローラ218は、コマンドデコーダの出力に基づいて、様々な制御信号を生成し、各種回路に出力する。

30

**【0100】**

ここで、第1の駆動回路211と、第2の駆動回路212とは、メモリセルアレイ201aの中心点250に対して点対称となるように配置されている。また、第3の駆動回路213と、第4の駆動回路214とは、メモリセルアレイ201aの中心点250に対して点対称となるように配置されている。このとき、第3の駆動回路213及び第4の駆動回路214において異なる行に対応する回路部分が並んだ方向(図2(A)では紙面左右の方向に相当)と、第1の駆動回路211及び第2の駆動回路212において異なる列に対応する回路部分が並んだ方向(図2(A)では紙面上下の方向に相当)とは、交差する、例えば直交するように配置されている。本発明の一態様において、点対称とは、図1及び図2に示す第1の駆動回路211と第2の駆動回路212の配置のように、第1の駆動回路211を中心点250に対して180度回転させることで、第2の駆動回路212と重なる位置関係をいう。なお、点対称とは、完全な点対称ではなく、概ね点対称であればよい。

40

**【0101】**

図1や図2に示すように、コラムデコーダ及びローデコーダをそれぞれ分割して、周辺回路210に配置することで、周辺回路210の面積を縮小化することができる。また、

50

コラムデコーダ及びローデコーダをそれぞれ分割して周辺回路210に配置することで、周辺回路210をメモリセルアレイ201aの直下に設けることができ、記憶装置の小型化を図ることができる。特に、メモリセルアレイ201aの面積と、周辺回路210の面積とをほぼ同じにすることで、無駄な領域をなくすることができるため、記憶装置の面積の縮小化及び小型化を図ることができる。さらに、周辺回路210の面積をメモリセルアレイ201aの面積以下とすることで、周辺回路210による回路面積の増大を抑制することができる、記憶装置の面積の縮小化及び小型化を図ることができる。周辺回路210の面積がメモリセルアレイ201aの面積よりも大幅に小さい場合は、周辺回路210の規模を増やして、記憶装置のインターフェースやコマンドの種類などにおいて、機能を向上させてもよい。なお、コラムデコーダ及びローデコーダを用いて説明したが、コラムデコーダ及びローデコーダに限定されず、メモリセルアレイに沿って端から端まで設ける必要のある回路、つまり、メモリセルアレイの各行に対して設ける必要がある回路やメモリセルアレイの各列に対して設ける必要がある回路において、同様の構成とすることによって上述の効果が得られる。

10

**【0102】**

なお、図2(A)では、周辺回路210は、メモリセルアレイ201aの直下に配置されている場合について示したが、必ずしも直下に設ける必要はない。しかし、記憶装置の面積の縮小化や小型化を図るためには、第1の駆動回路211乃至第4の駆動回路214などの周辺回路210がメモリセルアレイ201aの直下に設けられていることが好ましい。

20

**【0103】**

図4に、第1の駆動回路211乃至第4の駆動回路214の配置について示す。なお、理解を容易にするために、図4においては、第1の駆動回路211乃至第4の駆動回路214以外の回路は省略する。

**【0104】**

第1の駆動回路211とメモリセルアレイ(図1では、メモリセルアレイ201aまたはメモリセルアレイ201b)とを電氣的に接続する配線の数と、第2の駆動回路212とメモリセルアレイ(図1では、メモリセルアレイ201aまたはメモリセルアレイ201b)とを電氣的に接続する配線の数は、異なってもよい(図4(A)、図4(B)参照)。つまり、第1の駆動回路211の面積と、第2の駆動回路212の面積は、異なってもよい。

30

**【0105】**

一方、第1の駆動回路211とメモリセルアレイ(図1では、メモリセルアレイ201aまたはメモリセルアレイ201b)とを電氣的に接続する配線の数と、第2の駆動回路212とメモリセルアレイ(図1では、メモリセルアレイ201aまたはメモリセルアレイ201b)とを電氣的に接続する配線の数は、等しいことが好ましい。これにより、第1の駆動回路211や第2の駆動回路212と接続されたアドレス信号線を減らすことが可能となる。その結果、回路規模を小さくすることができ、記憶装置の面積の縮小化及び小型化を図ることができる。

**【0106】**

また、第1の駆動回路211とメモリセルアレイ(図1では、メモリセルアレイ201aまたはメモリセルアレイ201b)とを電氣的に接続する配線の数と、第2の駆動回路212とメモリセルアレイ(図1では、メモリセルアレイ201aまたはメモリセルアレイ201b)とを電氣的に接続する配線の数を等しくし、第1の駆動回路211と第2の駆動回路212とが、メモリセルアレイ201aの中心点に対して概ね点対称となるように配置することで、ビット線やワード線などの配線の寄生抵抗や寄生容量のばらつきを低減することができ、安定に動作させることができる。

40

**【0107】**

なお、第1の駆動回路211及び第2の駆動回路212について説明したが、第3の駆動回路213及び第4の駆動回路214についても同様の効果が得られる。

50

## 【 0 1 0 8 】

図 1 及び図 2 において、第 1 の駆動回路 2 1 1 乃至第 4 の駆動回路 2 1 4 が 1 つずつ配置される場合について説明したが、図 4 ( C ) において、第 1 の駆動回路 2 1 1 乃至第 4 の駆動回路 2 1 4 がそれぞれ分割され、2 つずつ配置される場合について説明する。

## 【 0 1 0 9 】

図 4 ( C ) に示すように、第 1 の駆動回路 2 1 1 a と、第 2 の駆動回路 2 1 2 a とは、メモリセルアレイ 2 0 1 a の中心点 2 5 0 に対して点対称となるように配置されており、第 1 の駆動回路 2 1 1 b と、第 2 の駆動回路 2 1 2 b とは、メモリセルアレイ 2 0 1 a の中心点 2 5 0 に対して点対称となるように配置されている。同様に、第 3 の駆動回路 2 1 3 a と、第 4 の駆動回路 2 1 4 a とは、メモリセルアレイ 2 0 1 a の中心点 2 5 0 に対して点対称となるように配置されており、第 3 の駆動回路 2 1 3 b と、第 4 の駆動回路 2 1 4 b とは、メモリセルアレイ 2 0 1 a の中心点 2 5 0 に対して点対称となるように配置されている。

10

## 【 0 1 1 0 】

第 1 の駆動回路 2 1 1 及び第 2 の駆動回路 2 1 2 をそれぞれ分割して、分割された第 1 の駆動回路 2 1 1 及び分割された第 2 の駆動回路 2 1 2 同士が、メモリセルアレイの 2 0 1 a の中心点に対して、点対称となるように配置する。また、第 3 の駆動回路 2 1 3 及び第 4 の駆動回路 2 1 4 をそれぞれ分割して、分割された第 3 の駆動回路 2 1 3 及び分割された第 4 の駆動回路 2 1 4 同士が、メモリセルアレイ 2 0 1 a の中心点に対して、点対称となるように配置する。これにより、無駄な領域をなくすることができるため、周辺回路 2 1 0 の面積を縮小化することができる。また、周辺回路 2 1 0 をメモリセルアレイ 2 0 1 a の直下に設けることができるため、記憶装置の小型化を図ることができる。さらに、メモリセルアレイ 2 0 1 a の面積と、周辺回路 2 1 0 の面積とをほぼ同じにすることで、無駄な領域をなくすることができるため、記憶装置の面積の縮小化及び小型化を図ることができる。

20

## 【 0 1 1 1 】

なお、図 4 ( C ) においては、第 1 の駆動回路 2 1 1 乃至第 4 の駆動回路 2 1 4 が分割され、それぞれ 2 つずつ配置される場合について説明したが、本発明の一態様はこれに限定されず、第 1 の駆動回路 2 1 1 乃至第 4 の駆動回路 2 1 4 が、それぞれ 3 つ以上分割されたものであってもよい。いずれにせよ、第 1 の駆動回路 2 1 1 乃至第 4 の駆動回路 2 1 4 がメモリセルアレイ 2 0 1 a の中心点 2 5 0 に対して点対称となるように配置することで、上述の効果が得られる。

30

## 【 0 1 1 2 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

## 【 0 1 1 3 】

## (実施の形態 2)

本実施の形態では、本発明の一態様に係る記憶装置の構成及びその作製方法について、図 9 乃至図 1 4、図 1 6 を参照して説明する。

## 【 0 1 1 4 】

## 記憶装置の断面構成

図 9 ( A ) 及び図 1 6 ( A ) は、記憶装置の断面図である。図 9 ( A ) において、B 1 - B 2 は、トランジスタのチャンネル長方向と平行な断面図である。図 1 6 ( A ) において、C 1 - C 2 は、トランジスタのチャンネル幅方向と平行な断面図である。図 9 ( A ) 及び図 1 6 ( A ) に示す記憶装置は上部にメモリセルアレイ 2 0 1 a 及びメモリセルアレイ 2 0 1 b を有し、下部に周辺回路 2 1 0 を有する。メモリセルアレイ 2 0 1 a 及びメモリセルアレイ 2 0 1 b が有する複数のメモリセルのうち、メモリセルアレイ 2 0 1 a に含まれるメモリセル 1 7 0 a と、メモリセルアレイ 2 0 1 b に含まれるメモリセル 1 7 0 b を代表で示す。図 9 ( B ) 及び図 1 6 ( B ) は、図 9 ( A ) 及び図 1 6 ( A ) におけるメモリセル 1 7 0 a 及びメモリセル 1 7 0 b の構成 (メモリセル 1 7 0 の構成という) を詳細に

40

50

示した図である。メモリセル170a及びメモリセル170bは同様の構成とすることができる。上部のメモリセルアレイ201a及びメモリセルアレイ201bでは、酸化物半導体をチャンネル形成領域として用いたトランジスタ162を有し、下部の周辺回路210では、酸化物半導体以外の半導体材料をチャンネル形成領域として用いたトランジスタ160を有する。なお、記憶装置の上部に設けられるメモリセルアレイ201a及びメモリセルアレイ201bおよび周辺回路210の詳細については、実施の形態1を参照できる。なお、図9(A)、図16(A)では、2つのメモリセルアレイ(メモリセルアレイ201a及びメモリセルアレイ201b)が積層された構成を例として示したが、積層するメモリセルアレイの数はこれに限定されない。

#### 【0115】

トランジスタ160、トランジスタ162には、nチャンネル型トランジスタ、pチャンネル型トランジスタのいずれも用いることができる。ここでは、トランジスタ160、トランジスタ162は、いずれもnチャンネル型トランジスタとして説明する。また、本発明の一態様において、技術的な本質は、情報を保持するために酸化物半導体のようなオフ電流を十分に低減することが可能な半導体材料をトランジスタ162のチャンネル形成領域に用いる点にあるから、記憶装置に用いられる材料や記憶装置の構造など、記憶装置の具体的な構成をここで示すものに限定する必要はない。

#### 【0116】

トランジスタ160は、半導体材料(例えば、シリコンなど)を含む基板100に設けられたチャンネル形成領域116と、チャンネル形成領域116を挟むように設けられた不純物領域120と、不純物領域120に接する金属化合物領域124と、チャンネル形成領域116上に設けられたゲート絶縁層108と、ゲート絶縁層108上に設けられたゲート電極110と、金属化合物領域124と電気的に接続するソース電極又はドレイン電極130a、130bと、を有する。また、トランジスタ160を覆うように、絶縁層128が設けられている。ソース電極又はドレイン電極130a、130bは、絶縁層128に形成された開口を通じて、金属化合物領域124と電気的に接続されている。また、絶縁層128上には、ソース電極又はドレイン電極130aに接して電極136aが形成され、ソース電極又はドレイン電極130bに接して電極136bが形成されている。

#### 【0117】

また、基板100上にはトランジスタ160を囲むように素子分離絶縁層106が設けられており、トランジスタ160上に絶縁層128が設けられている。なお、高集積化を実現するためには、図9(A)に示すようにトランジスタ160がサイドウォール絶縁層を有しない構成とすることが望ましい。一方で、トランジスタ160の特性を重視する場合には、ゲート電極110の側面にサイドウォール絶縁層を設け、そのサイドウォール絶縁層と重畳する領域に形成された不純物濃度が異なる領域を含めて不純物領域120を設けても良い。

#### 【0118】

トランジスタ162は、絶縁層128などの上に設けられた酸化物半導体層144と、酸化物半導体層144と電気的に接続されている電極142a、および電極142bと、酸化物半導体層144、電極142a、および電極142b、を覆うゲート絶縁層146と、ゲート絶縁層146上に酸化物半導体層144と重畳するように設けられた電極148aと、を有する。電極148aは、トランジスタ162のゲート電極として機能する。電極142aおよび電極142bの一方はトランジスタ162のドレイン電極として機能し、他方はソース電極として機能する。

#### 【0119】

ここで、酸化物半導体層144など、トランジスタに用いられる酸化物半導体層は水素などの不純物が十分に除去され、その後、十分な酸素が供給されることにより、高純度化されたものであることが望ましい。具体的には、例えば、酸化物半導体層の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。なお、上述の酸化物半導体

10

20

30

40

50

層中の水素濃度は、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry) で測定されるものである。このように、水素濃度が十分に低減され、十分な酸素の供給により酸素欠乏に起因するエネルギーギャップ中の欠陥準位が低減された酸化物半導体層では、キャリア濃度が  $1 \times 10^{12} / \text{cm}^3$  未満、望ましくは、 $1 \times 10^{11} / \text{cm}^3$  未満、より望ましくは  $1.45 \times 10^{10} / \text{cm}^3$  未満となる。例えば、室温 (25 ) でのオフ電流 (ここでは、単位チャネル幅 (1  $\mu\text{m}$ ) あたりの値) は  $100 \text{ zA}$  (1 zA (zeptoアンペア) は  $1 \times 10^{-21} \text{ A}$ ) 以下、望ましくは  $10 \text{ zA}$  以下となる。このように、i 型化 (真性化) または実質的に i 型化された酸化物半導体を用いることで、極めて優れたオフ電流特性のトランジスタ (トランジスタ 162) を得ることができる。

10

## 【0120】

また、酸化物半導体層 144 は、アルカリ金属、及びアルカリ土類金属の濃度が十分に低減されたものであることが望ましい。SIMS 分析法により測定されるアルカリ金属又はアルカリ土類金属の濃度は、例えば、Na の場合、 $5 \times 10^{16} \text{ cm}^{-3}$  以下、好ましくは  $1 \times 10^{16} \text{ cm}^{-3}$  以下、さらに好ましくは  $1 \times 10^{15} \text{ cm}^{-3}$  以下、Li の場合、 $5 \times 10^{15} \text{ cm}^{-3}$  以下、好ましくは  $1 \times 10^{15} \text{ cm}^{-3}$  以下、K の場合、 $5 \times 10^{15} \text{ cm}^{-3}$  以下、好ましくは  $1 \times 10^{15} \text{ cm}^{-3}$  以下とする。

## 【0121】

酸化物半導体は不純物に対して鈍感であり、膜中にはかなりの金属不純物が含まれていても問題がなく、ナトリウムのようなアルカリ金属が多量に含まれる廉価なソーダ石灰ガラスも使えると指摘されている (神谷、野村、細野、「アモルファス酸化物半導体の物性とデバイス開発の現状」、固体物理、2009年9月号、Vol. 44、pp. 621-633.)。しかし、このような指摘は適切でない。アルカリ金属、及びアルカリ土類金属は酸化物半導体にとっては悪性の不純物であり、少ないほうがよい。特にアルカリ金属のうち、Na は酸化物半導体に接する絶縁膜が酸化物であった場合、その中に拡散し、 $\text{Na}^+$  となる。また、酸化物半導体内において、金属と酸素の結合を分断し、あるいは結合中に割り込む。その結果、トランジスタ特性の劣化 (例えば、ノーマリオン化 (しきい値の負へのシフト)、移動度の低下等) をもたらす。加えて、特性のばらつきの原因ともなる。このような問題は、特に酸化物半導体中の水素の濃度が十分に低い場合において顕著となる。したがって、酸化物半導体中の水素の濃度が  $5 \times 10^{19} \text{ cm}^{-3}$  以下、特に  $5 \times 10^{18} \text{ cm}^{-3}$  以下である場合には、アルカリ金属の濃度を上記の値にすることが強く求められる。

20

30

## 【0122】

なお、酸化物半導体層 144 に錫 (Sn) 等の p 型を付与する不純物を添加することによって、酸化物半導体層 144 が若干 (弱い) p 型の導電性を示すようにしてもよい。上記のように高純度化された酸化物半導体層は、i 型化 (真性化) または実質的に i 型化されているので、価電子制御をするための不純物を微量に添加することによって、弱い p 型の導電性を示す酸化物半導体層 144 を得ることができる。こうして、トランジスタ 162 のしきい値を若干正へシフトさせることができる。そのため、トランジスタ 162 のノーマリオン化を抑制し、オフ電流を更に低減することもできる。また、トランジスタ 162 のノーマリオン化を防ぐには、トランジスタ 162 の酸化物半導体層 144 に対し、ゲート電極 (電極 148a) と反対側の面にも絶縁層を介して第 2 のゲート電極を設け、当該第 2 のゲート電極によってしきい値電圧を制御するようにしても良い。

40

## 【0123】

なお、トランジスタ 162 には、微細化に起因して素子間に生じるリークを抑制するために、島状に加工された酸化物半導体層を用いているが、島状に加工されていない構成を採用しても良い。酸化物半導体層を島状に加工しない場合には、加工の際のエッチングによる酸化物半導体層の汚染を防止できる。

## 【0124】

容量素子 164 は、電極 142b、ゲート絶縁層 146、および導電層 148b、とで

50

構成される。すなわち、電極 1 4 2 b は、容量素子 1 6 4 の一方の電極として機能し、導電層 1 4 8 b は、容量素子 1 6 4 の他方の電極として機能することになる。このような構成とすることにより、十分な容量を確保することができる。また、酸化物半導体層 1 4 4 とゲート絶縁層 1 4 6 とを積層させる場合には、電極 1 4 2 b と、導電層 1 4 8 b との絶縁性を十分に確保することができる。さらに、容量が不要の場合は、容量素子 1 6 4 を設けない構成とすることもできる。

#### 【 0 1 2 5 】

なお、トランジスタ 1 6 2 および容量素子 1 6 4 において、電極 1 4 2 a、および電極 1 4 2 b の端部は、テーパ形状であることが好ましい。電極 1 4 2 a、電極 1 4 2 b の端部をテーパ形状とすることにより、ゲート絶縁層 1 4 6 の被覆性を向上させ、段切れを防止することができる。ここで、テーパ角は、例えば、30°以上60°以下とする。なお、テーパ角とは、テーパ形状を有する層（例えば、電極 1 4 2 a）を、その断面（基板の表面に垂直な面）から観察した際に、当該層の側面と底面がなす傾斜角を示す。

10

#### 【 0 1 2 6 】

トランジスタ 1 6 2 および容量素子 1 6 4 の上には絶縁層 1 5 0 および絶縁層 1 5 2 が設けられている。そして、ゲート絶縁層 1 4 6、絶縁層 1 5 0、絶縁層 1 5 2 などに形成された開口には、電極 1 5 4 a が設けられ、絶縁層 1 5 2 上には、電極 1 5 4 a と電氣的に接続する配線 1 5 6 が形成される。配線 1 5 6 は、各メモリセルアレイ（同じ層に配置されたメモリセルアレイ）において、メモリセルの一と他のメモリセルとを電氣的に接続する配線であり、例えば、ビット線とすることができる。また、電極 1 4 8 a は C 1 - C 2 の方向に延びて存在し、各メモリセルアレイ（同じ層に配置されたメモリセルアレイ）において、メモリセルの一と他のメモリセルとを電氣的に接続する配線であり、例えば、ワード線とすることができる（図 1 6 ( A ) 参照）。また図示しないが、導電層 1 4 8 b は C 1 - C 2 の方向に延びて存在し、各メモリセルアレイ（同じ層に配置されたメモリセルアレイ）において、メモリセルの一と他のメモリセルとを電氣的に接続する配線であり、例えば、容量線とすることができる。

20

#### 【 0 1 2 7 】

また、メモリセルアレイ 2 0 1 a が有する配線 1 5 6 は、電極 5 0 2 a と、電極 5 0 1 a と、電極 1 2 6 と、を介して電極 1 3 6 c と電氣的に接続されている。これにより、下層の周辺回路 2 1 0 と、上層のメモリセルアレイ 2 0 1 a のビット線とを電氣的に接続することができる。なお、図 9 ( A ) において、電極 5 0 1 a は、電極 1 2 6 を介して電極 1 3 6 c と電氣的に接続する場合について示したがこれに限定されない。メモリセルアレイ 2 0 1 a の直下の絶縁層 1 4 0 に電極 1 3 6 c に達する開口を設けた後、電極 5 0 1 a を形成することによって、電極 5 0 1 a と電極 1 3 6 c とが直接接する構造としてもよい。

30

#### 【 0 1 2 8 】

また、電極 1 4 8 a は、電極 5 5 7 を介して電極 5 5 6 と電氣的に接続されている。これにより、下層の周辺回路 2 1 0 と、上層のメモリセルアレイ 2 0 1 a のワード線とを電氣的に接続することができる。なお、図 1 6 ( A ) において、電極 1 4 8 a は、電極 5 5 7 を介して電極 5 5 6 と電氣的に接続する場合について示したがこれに限定されない。メモリセルアレイ 2 0 1 a の直下の絶縁層 1 4 0 に電極 5 5 6 に達する開口を設けた後、電極 1 4 8 a を形成することによって、電極 1 4 8 a と電極 5 5 6 とが直接接する構造としてもよい。

40

#### 【 0 1 2 9 】

また図示しないが、メモリセルアレイ 2 0 1 a のワード線と同様に、容量線として機能する導電層 1 4 8 b も下層の周辺回路 2 1 0 と電氣的に接続することができる。

#### 【 0 1 3 0 】

次いで、複数のメモリセルアレイ間の配線の電氣的に接続方法について説明する。

#### 【 0 1 3 1 】

50

メモリセルアレイ 201 a の有するビット線と、メモリセルアレイ 201 b の有するビット線とを電氣的に接続する場合について、図 9 ( A ) を用いて説明する。

【 0 1 3 2 】

メモリセルアレイ 201 a の有するビット線として機能する配線 156 とメモリセルアレイ 201 b の有するビット線として機能する配線 156 とは、電極 500、電極 501 b、電極 502 b、を介して電氣的に接続される。なお、図 9 ( A ) において、メモリセルアレイ 201 b の直下の絶縁層 140 にメモリセルアレイ 201 a の配線 156 に達する開口を設けた後、電極 501 b を形成することによって、電極 501 b とメモリセルアレイ 201 a の配線 156 とが直接接する構造としてもよい。

【 0 1 3 3 】

なお、図 9 ( A ) において、メモリセルアレイ 201 a のビット線と周辺回路 210 との電氣的接続を行う電極を形成する位置と、メモリセルアレイ 201 a のビット線とメモリセルアレイ 201 b のビット線との電氣的接続を行う電極を形成する位置とを、平面レイアウト上で大きく異ならせる例を示したがこれに限定されない。複数のメモリセルアレイ間でのビット線の接続位置は、様々な位置とすることができる。例えば、メモリセルアレイ 201 a のビット線と周辺回路 210 との電氣的接続を行う電極と重ねて、メモリセルアレイ 201 a のビット線とメモリセルアレイ 201 b のビット線との電氣的接続を行う電極を形成してもよい。また例えば、3 つ以上のメモリセルアレイを重ねて配置する場合に、複数のメモリセルアレイ間でのビット線の接続位置を重ねてもよい。接続位置を重ねる平面レイアウトを採用することにより、コンタクト領域に起因する素子面積の増大を抑制することができる。つまり、記憶装置の集積度を高めることができる。

【 0 1 3 4 】

メモリセルアレイ 201 a の有するワード線と、メモリセルアレイ 201 b の有するワード線とを電氣的に接続する場合について、図 16 ( A ) を用いて説明する。

【 0 1 3 5 】

メモリセルアレイ 201 a の有するワード線として機能する電極 148 a とメモリセルアレイ 201 b の有するワード線として機能する電極 148 a とは、電極 551、電極 552、電極 553 を介して電氣的に接続される。なお、図 16 ( A ) において、メモリセルアレイ 201 b の直下の絶縁層 140 にメモリセルアレイ 201 a の電極 552 に達する開口を設けた後、メモリセルアレイ 201 b の電極 148 a を形成することによって、メモリセルアレイ 201 b の電極 148 a とメモリセルアレイ 201 a の電極 552 とが直接接する構造としてもよい。

【 0 1 3 6 】

なお、図 16 ( A ) において、メモリセルアレイ 201 a のワード線と周辺回路 210 との電氣的接続を行う電極を形成する位置と、メモリセルアレイ 201 a のワード線とメモリセルアレイ 201 b のワード線との電氣的接続を行う電極を形成する位置とを、平面レイアウト上で大きく異ならせる例を示したがこれに限定されない。複数のメモリセルアレイ間でのワード線の接続位置は、様々な位置とすることができる。例えば、メモリセルアレイ 201 a のワード線と周辺回路 210 との電氣的接続を行う電極と重ねて、メモリセルアレイ 201 a のワード線とメモリセルアレイ 201 b のワード線との電氣的接続を行う電極を形成してもよい。また例えば、3 つ以上のメモリセルアレイを重ねて配置する場合に、複数のメモリセルアレイ間でのワード線の接続位置を重ねてもよい。接続位置を重ねる平面レイアウトを採用することにより、コンタクト領域に起因する素子面積の増大を抑制することができる。つまり、記憶装置の集積度を高めることができる。

【 0 1 3 7 】

また、図示していないが、複数のメモリセルアレイ間での容量線の電氣的接続についても、上記ワード線の接続と同様に行うことができる。

【 0 1 3 8 】

図 9 ( A ) や図 16 ( A ) に示す記憶装置において、上部のメモリセルアレイ 201 a と下部の周辺回路 210 との間に絶縁層 140 が設けられている。本発明は、複数のメモ

10

20

30

40

50

リセルアレイを積層することが特徴である。そのため、絶縁層 140 の表面、絶縁層 152 の表面はCMP等を用いて平坦化されていることが望ましい。

【0139】

トランジスタ160のチャンネル形成領域には、酸化物半導体以外の半導体材料が用いられている。酸化物半導体以外の半導体材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いることが好ましい。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いたトランジスタは、十分な高速動作が可能である。したがって、酸化物半導体以外の材料を用いたトランジスタにより、高速動作が要求される各種回路（論理回路、駆動回路など）を好適に実現することが可能である。

10

【0140】

一方で、トランジスタ162のチャンネル形成領域には、酸化物半導体材料が用いられている。本明細書等に開示される酸化物半導体材料を用いたトランジスタは、極めて小さいオフ電流を実現できる。この特性により、メモリセル170において、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。ここで、トランジスタ162をノーマリオフ（エンハンスメント型）のトランジスタとし、電力の供給がない場合において、トランジスタ162のゲートには接地電位が入力される構成とすることができる。こうして、電力の供給が無い場合において、トランジスタ162はオフ状態を維持することができ、記憶内容を保持し続けることができる。

20

【0141】

また、メモリセル170では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁層の劣化といった問題が全く生じない。すなわち、メモリセル170では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタ162のオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。また、情報を消去するための動作が不要であるというメリットもある。

30

【0142】

このように、酸化物半導体以外の材料を用いたトランジスタ（換言すると、十分な高速動作が可能なトランジスタ）を用いた駆動回路などの周辺回路と、酸化物半導体を用いたトランジスタ（より広義には、十分にオフ電流が小さいトランジスタ）を用いた記憶回路とを一体に備えることで、これまでにない特徴を有する記憶装置を実現することができる。

【0143】

また、図9に示す周辺回路210が有する駆動回路や制御回路は、図1又は図2に示すように配置されている。これにより、記憶装置の面積の縮小化及び小型化を図ることができる。

40

【0144】

メモリセルの断面構成及び平面構成

図10は、メモリセルの構成の一例である。図10(A)には、メモリセルの断面を、図10(B)には、メモリセルの平面を、それぞれ示す。ここで、図10(A)は、図10(B)のA1-A2における断面に相当する。図10に示すメモリセルは、酸化物半導体を用いたトランジスタ162を有する。酸化物半導体を用いたトランジスタ162は、その特性により長時間の電荷保持を可能とする。なお、図10に示すメモリセルは、図5に示すメモリセルの回路図に相当する。

【0145】

50

図10に示したメモリセルの構成は、図9(B)や図16(B)を用いて説明した構成と同様であるので、同じ部分は同じ符号を用いて示し、説明は省略する。

【0146】

図11、図12、図17、及び図18に、図10とは異なるメモリセルの構成例を示す。

【0147】

図11(A)に示すトランジスタ162は、酸化物半導体層144と、電極142a、電極142bとの間に、ソース領域又はドレイン領域として機能する酸化物導電層143a、酸化物導電層143bが設けられている。酸化物半導体層144と、電極142a、電極142bとの間に、ソース領域又はドレイン領域として機能する酸化物導電層143a、酸化物導電層143bを設けることにより、ソース領域及びドレイン領域の低抵抗化を図ることができ、トランジスタ162を高速動作させることができる。また、酸化物半導体層144と、酸化物導電層と、ソース電極又はドレイン電極とを積層することにより、トランジスタ162の耐圧を向上させることができる。また、容量素子164は、酸化物導電層143bと、電極142bと、ゲート絶縁層146と、導電層148bと、で構成されている。

10

【0148】

図11(B)に示すトランジスタ162は、酸化物半導体層144と、電極142a、電極142bとの間に、ソース領域又はドレイン領域として機能する酸化物導電層143a、酸化物導電層143bが設けられている点で、図11(A)と共通している。図11(A)に示すトランジスタ162では、酸化物導電層143a、酸化物導電層143bが酸化物半導体層144の上面及び側面で接しているのに対し、図11(B)に示すトランジスタ162では、酸化物導電層143a、酸化物導電層143bが酸化物半導体層144の上面で接している。このような構成とする場合であっても、ソース領域及びドレイン領域の低抵抗化を図ることができ、トランジスタ162を高速動作させることができる。また、酸化物半導体層144と、酸化物導電層と、ソース電極又はドレイン電極とを積層することにより、トランジスタ162の耐圧を向上させることができる。また、容量素子164の構成については、図10等の記載を参照することができる。

20

【0149】

図12(A)に示すトランジスタ162は、絶縁層140上に、電極142a、電極142b、酸化物半導体層144、ゲート絶縁層146、電極148aを含む点で、図10に示すトランジスタ162と共通している。図12(A)に示すトランジスタ162と、図10に示すトランジスタ162との相違は、酸化物半導体層144と、電極142a、電極142bと、が電氣的に接続する位置である。すなわち、図10(A)に示すトランジスタ162は、酸化物半導体層144を形成後に、電極142a、電極142bを形成することで、少なくとも酸化物半導体層144の上面の一部が、電極142a、電極142bと接している。これに対して、図12(A)に示すトランジスタ162は、電極142a、電極142bの上面の一部が、酸化物半導体層144と接している。また、容量素子164の構成については、図10等の記載を参照することができる。

30

【0150】

図10、図11及び図12(A)では、トップゲート構造のトランジスタを示したが、ボトムゲート構造としてもよい。図12(B)及び図12(C)に、ボトムゲート構造のトランジスタを示す。

40

【0151】

図12(B)に示すトランジスタ162は、絶縁層140上に、電極148aが設けられ、電極148a上にゲート絶縁層146が設けられ、ゲート絶縁層146上に電極142a、電極142bが設けられ、ゲート絶縁層146、電極142a、及び電極142b上に、電極148aと重畳するように酸化物半導体層144が設けられている。また、容量素子164は、絶縁層140上に設けられた導電層148bと、ゲート絶縁層146と、電極142bとで、構成されている。

50

## 【 0 1 5 2 】

また、トランジスタ 1 6 2 及び容量素子 1 6 4 上に、絶縁層 1 5 0 及び絶縁層 1 5 1 が設けられている。図 1 0 ( A ) における絶縁層 1 5 2 は、絶縁層 1 5 1 上に設けられる。

## 【 0 1 5 3 】

図 1 2 ( C ) に示すトランジスタ 1 6 2 は、絶縁層 1 4 0 上に、電極 1 4 8 a、ゲート絶縁層 1 4 6、電極 1 4 2 a、電極 1 4 2 b、酸化物半導体層 1 4 4 を含む点で、図 1 2 ( B ) に示すトランジスタ 1 6 2 と共通している。図 1 2 ( C ) に示すトランジスタ 1 6 2 と、図 1 2 ( B ) に示すトランジスタ 1 6 2 との相違は、酸化物半導体層 1 4 4 と、電極 1 4 2 a、電極 1 4 2 b と、が接する位置である。すなわち、図 1 2 ( B ) に示すトランジスタ 1 6 2 は、電極 1 4 2 a、電極 1 4 2 b を形成後に、酸化物半導体層 1 4 4 を形成することで、少なくとも酸化物半導体層 1 4 4 の下面の一部が、電極 1 4 2 a、電極 1 4 2 b と接している。これに対して、図 1 2 ( C ) に示すトランジスタ 1 6 2 は、電極 1 4 2 a、電極 1 4 2 b の下面の一部が、酸化物半導体層 1 4 4 と接している。また、容量素子 1 6 4 の構成等については、図 1 2 ( B ) の記載を参酌することができる。

10

## 【 0 1 5 4 】

また、トランジスタ 1 6 2 の構造は、チャンネル形成領域の上下にゲート絶縁層を介して配置された 2 つのゲート電極を有する、デュアルゲート構造としてもよい。図 1 2 ( D ) に、デュアルゲート構造のトランジスタを示す。

## 【 0 1 5 5 】

図 1 2 ( D ) に示すトランジスタ 1 6 2 は、絶縁層 1 4 0 上に、電極 1 4 8 a、ゲート絶縁層 1 4 6、電極 1 4 2 a、電極 1 4 2 b、酸化物半導体層 1 4 4 を含む点で、図 1 2 ( B ) に示すトランジスタ 1 6 2 と共通している。図 1 2 ( D ) では、さらに、電極 1 4 2 a、電極 1 4 2 b、及び酸化物半導体層 1 4 4 を覆うように絶縁層 1 5 0 が設けられており、絶縁層 1 5 0 上には、酸化物半導体層 1 4 4 と重畳するように導電層 1 5 9 が設けられている。絶縁層 1 5 0 は、トランジスタ 1 6 2 の第 2 のゲート絶縁層として機能し、導電層 1 5 9 は、トランジスタ 1 6 2 の第 2 のゲート電極として機能する。このような構造とすることにより、トランジスタ 1 6 2 の信頼性を調べるためのバイアス - 熱ストレス試験（以下、B T 試験という）において、B T 試験前後におけるトランジスタ 1 6 2 のしきい値電圧の変化量をより低減することができる。導電層 1 5 9 は、電位が電極 1 4 8 a と同じでもよいし、異なってもよい。また、導電層 1 5 9 の電位が G N D、0 V、或いはフローティング状態であってもよい。

20

30

## 【 0 1 5 6 】

また、図 1 1 や、図 1 2 では、導電層 1 4 8 b と、ゲート絶縁層 1 4 6 と、電極 1 4 2 b とで容量素子 1 6 4 を形成する構成を例示したが、これに限定されない。容量素子 1 6 4 と、トランジスタ 1 6 2 が重なるように容量素子 1 6 4 を設けることによって、メモリセルの面積を低減することができる。こうして、記憶装置の単位面積あたりの記憶容量を高めることができる。また、配線間容量等で寄生容量が生じる場合、それを容量素子 1 6 4 の代わりにすることもできる。

## 【 0 1 5 7 】

例えば、図 1 7 ( A ) に示す様に、容量素子 1 6 4 は、電極 1 4 2 b と、絶縁層 8 4 2 を挟んで重なる電極 8 4 0 によって形成することができる。なお、図 1 7 ( A ) においてその他の構成は図 1 2 ( A ) と同様である。

40

## 【 0 1 5 8 】

例えば、図 1 7 ( B ) に示す様に、容量素子 1 6 4 は、電極 1 4 2 b と、絶縁層 1 5 0 及びゲート絶縁層 1 4 6 を挟んで重なる電極 8 4 1 によって形成することができる。なお、図 1 7 ( B ) においてその他の構成は図 1 2 ( A ) と同様である。なお、図 1 7 ( B ) において、電極 8 4 1 と電極 1 4 8 a は、互いに重ならないように設けられることが望ましい。

## 【 0 1 5 9 】

例えば、図 1 7 ( C ) に示す様に、容量素子 1 6 4 は、電極 1 4 2 b と、絶縁層 8 4 2

50

及びゲート絶縁層 146 を挟んで重なる電極 840 によって形成することができる。なお、図 17 (C) においてその他の構成は図 12 (B) と同様である。なお、図 17 (C) において、電極 840 と電極 148a は、互いに重ならないように設けられることが望ましい。

【0160】

例えば、図 17 (D) に示す様に、容量素子 164 は、電極 142b と、絶縁層 150 及び絶縁層 151 を挟んで重なる電極 841 によって形成することができる。なお、図 17 (D) においてその他の構成は図 12 (B) と同様である。なお図 17 (D) では、容量素子 164 の誘電層として絶縁層 150 及び絶縁層 151 の両方を用いる例を示したがこれに限定されず、容量素子 164 の誘電層として絶縁層 150 のみを用いてもよい。

10

【0161】

例えば、図 18 (A) に示す様に、容量素子 164 は、電極 142b と、絶縁層 842 及びゲート絶縁層 146 を挟んで重なる電極 840 によって形成することができる。なお、図 18 (A) においてその他の構成は図 12 (C) と同様である。なお、図 18 (A) において、電極 840 と電極 148a は、互いに重ならないように設けられることが望ましい。

【0162】

例えば、図 18 (B) に示す様に、容量素子 164 は、電極 142b と、絶縁層 150 及び絶縁層 151 を挟んで重なる電極 841 によって形成することができる。なお、図 18 (B) においてその他の構成は図 12 (C) と同様である。なお図 18 (B) では、容量素子 164 の誘電層として絶縁層 150 及び絶縁層 151 の両方を用いる例を示したがこれに限定されず、容量素子 164 の誘電層として絶縁層 150 のみを用いてもよい。

20

【0163】

例えば、図 18 (C) に示す様に、容量素子 164 は、電極 142b と、絶縁層 842 及びゲート絶縁層 146 を挟んで重なる電極 840 によって形成することができる。なお、図 18 (C) においてその他の構成は図 12 (D) と同様である。なお、図 18 (C) において、電極 840 と電極 148a は、互いに重ならないように設けられることが望ましい。

【0164】

例えば、図 18 (D) に示す様に、容量素子 164 は、電極 142b と、絶縁層 150 を挟んで重なる電極 841 によって形成することができる。なお、図 18 (D) においてその他の構成は図 12 (D) と同様である。

30

【0165】

なお、図 17 及び図 18 で示したメモリセルの容量素子 164 の構成は、図 11 で示したメモリセルの構成にも適用することができる。

【0166】

また、図 37 (A) や図 37 (B) に示すように、隣り合うメモリセル 170c とメモリセル 170d において、電極 154a を共有することができる。電極 154a (及び当該電極が設けられた開口) を隣り合うメモリセルにおいて共有することによって、メモリセルアレイを高集積化することができる。

40

【0167】

図 37 (A) は、図 12 (A) に示したトランジスタ 162 と同様の構成のトランジスタ 162 と、図 12 (A) に示した容量素子 164 において酸化物半導体層 144 もその誘電層とした構成の容量素子 164 とを有するメモリセル 170c 及びメモリセル 170d において、ビット線として機能する配線 156 と、トランジスタ 162 のソースまたはドレインとの電氣的接続を行う電極 154a を共有した構成に相当する。

【0168】

図 37 (B) は、図 18 (B) に示したトランジスタ 162 と同様の構成のトランジスタ 162 と、図 18 (B) に示した容量素子 164 と同様の構成の容量素子 164 とを有するメモリセル 170c 及びメモリセル 170d において、ビット線として機能する配線 1

50

56と、トランジスタ162のソースまたはドレインとの電気的接続を行う電極154aを共有した構成に相当する。

【0169】

更に、図9で示した記憶装置の構成において、メモリセル170として、図18(B)で示したメモリセルを適用した例を、図19に示す。図19において、図9や図18(B)と同じ部分は同じ符号を用いて示し、説明は省略する。図18(B)で示したメモリセルでは、メモリセルの面積を低減することができる。そのため、図19に示す記憶装置では、単位面積あたりの記憶容量を高めることができる。

【0170】

なお、積層するメモリセルは、図18(B)のみに限定されるものではなく、図17、  
図18に示したいずれの構成のメモリセルであってもよい。また、図17、図18に示したメモリセルの構成とは別の容量素子の構成を有するメモリセルであってもよい。

10

【0171】

メモリセルアレイの作製方法

次に、メモリセルアレイの作製方法について、図13を参照して説明する。図13では、1つのメモリセルを例示するが、複数のメモリセルを同時に作製し、メモリセルアレイを作製することができる。また、図13で示した方法と同様の方法を繰り返すことによって、多層に積層された複数のメモリセルアレイを形成することができる。

【0172】

まず、絶縁層140の上に酸化物半導体層を形成し、当該酸化物半導体層を加工して、  
酸化物半導体層144を形成する(図13(A)参照)。

20

【0173】

絶縁層140は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成する。絶縁層140に、誘電率の低い(low-k)材料を用いることで、各種電極や配線の重なりに起因する容量を十分に低減することが可能となるため好ましい。なお、絶縁層140には、上述の材料を用いた多孔性の絶縁層を適用してもよい。多孔性の絶縁層では、密度の高い絶縁層と比較して誘電率が低下するため、電極や配線に起因する容量をさらに低減することが可能である。また、絶縁層140は、ポリイミド、アクリル等の有機絶縁材料を用いて形成することも可能である。絶縁層140は、上述の材料を用いて単層構造または積層構造で形成  
することができる。本実施の形態では、絶縁層140として、酸化シリコンを用いる場合  
について説明する。

30

【0174】

酸化物半導体層144に用いる酸化物半導体としては、少なくともインジウム(In)あるいは亜鉛(Zn)を含むことが好ましい。特にInとZnを含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(Ga)を有することが好ましい。また、スタビライザーとしてスズ(Sn)を有することが好ましい。また、スタビライザーとしてハフニウム(Hf)を有することが好ましい。また、スタビライザーとしてアルミニウム(Al)を有することが好ましい。

40

【0175】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種あるいは複数種を有してもよい。

【0176】

例えば、酸化物半導体層144として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、三

50

元系金属の酸化物である In - Ga - Zn系酸化物 (IGZOとも表記する)、In - Al - Zn系酸化物、In - Sn - Zn系酸化物、Sn - Ga - Zn系酸化物、Al - Ga - Zn系酸化物、Sn - Al - Zn系酸化物、In - Hf - Zn系酸化物、In - La - Zn系酸化物、In - Ce - Zn系酸化物、In - Pr - Zn系酸化物、In - Nd - Zn系酸化物、In - Sm - Zn系酸化物、In - Eu - Zn系酸化物、In - Gd - Zn系酸化物、In - Tb - Zn系酸化物、In - Dy - Zn系酸化物、In - Ho - Zn系酸化物、In - Er - Zn系酸化物、In - Tm - Zn系酸化物、In - Yb - Zn系酸化物、In - Lu - Zn系酸化物、四元系金属の酸化物である In - Sn - Ga - Zn系酸化物、In - Hf - Ga - Zn系酸化物、In - Al - Ga - Zn系酸化物、In - Sn - Al - Zn系酸化物、In - Sn - Hf - Zn系酸化物、In - Hf - Al - Zn系酸化物を用いることができる。

10

## 【0177】

なお、ここで、例えば、In - Ga - Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

## 【0178】

また、酸化物半導体層144として、 $InMO_3(ZnO)_m$  ( $m > 0$ 、且つ、 $m$ は整数でない)で表記される材料を用いてもよい。なお、 $M$ は、Ga、Fe、Mn及びCoから選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $In_3SnO_5(ZnO)_n$  ( $n > 0$ 、且つ、 $n$ は整数)で表記される材料を用いてもよい。

20

## 【0179】

例えば、 $In : Ga : Zn = 1 : 1 : 1 (= 1/3 : 1/3 : 1/3)$ あるいは $In : Ga : Zn = 2 : 2 : 1 (= 2/5 : 2/5 : 1/5)$ の原子数比のIn - Ga - Zn系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $In : Sn : Zn = 1 : 1 : 1 (= 1/3 : 1/3 : 1/3)$ 、 $In : Sn : Zn = 2 : 1 : 3 (= 1/3 : 1/6 : 1/2)$ あるいは $In : Sn : Zn = 2 : 1 : 5 (= 1/4 : 1/8 : 5/8)$ の原子数比のIn - Sn - Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

## 【0180】

しかし、これらに限られず、必要とする半導体特性(移動度、しきい値、ばらつき等)に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとするのが好ましい。

30

## 【0181】

例えば、In - Sn - Zn系酸化物では比較的容易に高い移動度を得られる。しかしながら、In - Ga - Zn系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

## 【0182】

なお、例えば、In、Ga、Znの原子数比が $In : Ga : Zn = a : b : c$  ( $a + b + c = 1$ )である酸化物の組成が、原子数比が $In : Ga : Zn = A : B : C$  ( $A + B + C = 1$ )の酸化物の組成の近傍であるとは、 $a$ 、 $b$ 、 $c$ が、 $(a - A)^2 + (b - B)^2 + (c - C)^2 < r^2$ を満たすことをいい、 $r$ は、例えば、0.05とすればよい。他の酸化物でも同様である。

40

## 【0183】

酸化物半導体層144は、単結晶でも、非単結晶でもよい。後者の場合、アモルファスでも、多結晶でもよい。また、アモルファス中に結晶性を有する部分を含む構造でも、非アモルファスでもよい。

## 【0184】

アモルファス状態の酸化物半導体は、比較的容易に平坦な表面を得ることができるため、これを用いてトランジスタを作製した際の界面散乱を低減でき、比較的容易に、比較的

50

高い移動度を得ることができる。

【0185】

また、結晶性を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ(Ra)が1nm以下、好ましくは0.3nm以下、より好ましくは0.1nm以下の表面上に形成するとよい。

【0186】

なお、Raは、JIS B0601で定義されている中心線平均粗さを面に対して適用できるように三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」と表現でき、以下の式にて定義される。

【0187】

【数1】

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

【0188】

なお、上記において、 $S_0$ は、測定面(座標 $(x_1, y_1)$  $(x_1, y_2)$  $(x_2, y_1)$  $(x_2, y_2)$ )で表される4点によって囲まれる長方形の領域)の面積を指し、 $Z_0$ は測定面の平均高さを指す。Raは原子間力顕微鏡(AFM: Atomic Force Microscope)にて評価可能である。

【0189】

また、酸化物半導体層144の厚さは、3nm以上30nm以下とするのが望ましい。酸化物半導体層を厚くしすぎると(例えば、膜厚を50nm以上)、トランジスタがノーマリーオンになってしまう恐れがあるためである。

【0190】

酸化物半導体層144は、水素、水、水酸基又は水素化物などの不純物が混入しにくい方法で作製するのが望ましい。酸化物半導体層は、例えば、スパッタリング法などを用いて作製することができる。

【0191】

本実施の形態では、酸化物半導体層144を、In-Ga-Zn-O系の酸化物ターゲットを用いたスパッタリング法により形成する。

【0192】

In-Ga-Zn-O系の酸化物ターゲットとしては、例えば、組成比として、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$  [mol数比]の酸化物ターゲットを用いることができる。なお、ターゲットの材料および組成を上述に限定する必要はない。例えば、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 2$  [mol数比]の組成比の酸化物ターゲットを用いることもできる。

【0193】

また、ITZOと呼ばれるIn-Sn-Zn系酸化物を形成する場合は、用いるターゲットの組成比は、In:Sn:Znが原子数比で、1:2:2、2:1:3、1:1:1、または20:45:35などとなる酸化物ターゲットを用いる。

【0194】

酸化物ターゲットの充填率は、90%以上100%以下、好ましくは95%以上99.9%以下とする。充填率の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体層を緻密な膜とすることができるためである。

【0195】

10

20

30

40

50

成膜の雰囲気は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または、希ガスと酸素の混合雰囲気下などとすればよい。また、酸化物半導体層への水素、水、水酸基、水素化物などの混入を防ぐために、水素、水、水酸基、水素化物などの不純物が十分に除去された高純度ガスを用いた雰囲気とすることが望ましい。

【0196】

例えば、酸化物半導体層144は、次のように形成することができる。

【0197】

まず、減圧状態に保持された成膜室内に基板を保持し、基板温度が、200 を超えて500 以下、好ましくは300 を超えて500 以下、より好ましくは350 以上450 以下となるように加熱する。

10

【0198】

次に、成膜室内の残留水分を除去しつつ、水素、水、水酸基、水素化物などの不純物が十分に除去された高純度ガスを導入し、上記ターゲットを用いて基板上に酸化物半導体層を成膜する。成膜室内の残留水分を除去するためには、排気手段として、クライオポンプ、イオンポンプ、チタンサブレーションポンプなどの吸着型の真空ポンプを用いることが望ましい。また、排気手段は、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素、水、水酸基または水素化物などの不純物（より好ましくは炭素原子を含む化合物も）などが除去されているため、当該成膜室で成膜した酸化物半導体層に含まれる水素、水、水酸基または水素化物などの不純物の濃度を低減することができる。

20

【0199】

成膜中の基板温度が低温（例えば、100 以下）の場合、酸化物半導体に水素原子を含む物質が混入するおそれがあるため、基板を上述の温度で加熱することが好ましい。基板を上述の温度で加熱して、酸化物半導体層の成膜を行うことにより、基板温度は高温となるため、水素結合は熱により切断され、水素原子を含む物質が酸化物半導体層に取り込まれにくい。したがって、基板が上述の温度で加熱された状態で、酸化物半導体層の成膜を行うことにより、酸化物半導体層に含まれる水素、水、水酸基または水素化物などの不純物の濃度を十分に低減することができる。また、スパッタリングによる損傷を軽減することができる。

【0200】

成膜条件の一例として、基板とターゲットの間との距離を60mm、圧力を0.4Pa、直流（DC）電源を0.5kW、基板温度を400、成膜雰囲気を酸素（酸素流量比率100%）雰囲気とする。なお、パルス直流電源を用いると、成膜時に発生する粉状物質（パーティクル、ごみともいう）が軽減でき、膜厚分布も均一となるため好ましい。

30

【0201】

なお、酸化物半導体層をスパッタリング法により形成する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、酸化物半導体層の被形成表面に付着している粉状物質（パーティクル、ごみともいう）を除去することが好ましい。逆スパッタとは、基板に電圧を印加し、基板近傍にプラズマを形成して、基板側の表面を改質する方法である。なお、アルゴンに代えて、窒素、ヘリウム、酸素などのガスを用いてもよい。

40

【0202】

また、酸化物半導体層を加工することによって、酸化物半導体層144を形成する。酸化物半導体層の加工は、所望の形状のマスクを酸化物半導体層上に形成した後、当該酸化物半導体層をエッチングすることによって行うことができる。上述のマスクは、フォトリソグラフィなどの方法を用いて形成することができる。または、インクジェット法などの方法を用いてマスクを形成しても良い。なお、酸化物半導体層のエッチングは、ドライエッチングでもウェットエッチングでもよい。もちろん、これらを組み合わせて用いてもよい。

【0203】

その後、酸化物半導体層144に対して、熱処理（第1の熱処理）を行ってもよい。熱

50

処理を行うことによって、酸化物半導体層 144 中に含まれる水素原子を含む物質をさらに除去することができる。熱処理の温度は、不活性ガス雰囲気下、250 以上 700 以下、好ましくは 450 以上 600 以下、または基板の歪み点未満とする。不活性ガス雰囲気としては、窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上（すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下）とする。

【0204】

熱処理は、例えば、抵抗発熱体などを用いた電気炉に被処理物を導入し、窒素雰囲気下、450、1時間の条件で行うことができる。この間、酸化物半導体層 144 は大気に触れさせず、水や水素の混入が生じないようにする。

10

【0205】

熱処理を行うことによって不純物を低減し、極めて優れた特性のトランジスタを実現することができる。

【0206】

なお、酸化物半導体層 144 に錫（Sn）等のp型を付与する不純物を添加することによって、酸化物半導体層 144 が若干（弱い）p型の導電性を示すようにしてもよい。上記のように高純度化された酸化物半導体層に、価電子制御をするための不純物を微量に添加することによって、弱いp型の導電性を示す酸化物半導体層 144 を得ることができる。こうして、トランジスタ 162 のしきい値を若干正へシフトさせることができる。そのため、トランジスタ 162 のノーマリオン化を抑制し、オフ電流を更に低減することもできる。

20

【0207】

ところで、上述の熱処理には水素や水などを除去する効果があるため、当該熱処理を、脱水化処理や、脱水素化処理などと呼ぶこともできる。当該熱処理は、例えば、酸化物半導体層を島状に加工する前、ゲート絶縁膜の形成後などのタイミングにおいて行うことも可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行っても良い。

【0208】

30

次に、酸化物半導体層 144 などの上に、ソース電極およびドレイン電極（これと同じ層で形成される配線を含む）を形成するための導電層を形成し、当該導電層を加工して、電極 142 a、電極 142 b を形成する（図 13（B）参照）。

【0209】

導電層は、PVD法や、CVD法を用いて形成することができる。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウム、ネオジム、スカンジウムのいずれか、またはこれらを複数組み合わせた材料を用いてもよい。

【0210】

40

導電層は、単層構造であっても良いし、2層以上の積層構造としてもよい。例えば、チタン膜や窒化チタン膜の単層構造、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された2層構造、窒化チタン膜上にチタン膜が積層された2層構造、チタン膜とアルミニウム膜とチタン膜とが積層された3層構造などが挙げられる。なお、導電層を、チタン膜や窒化チタン膜の単層構造とする場合には、テーパー形状を有する電極 142 a、電極 142 b への加工が容易であるというメリットがある。

【0211】

また、導電層は、導電性の金属酸化物を用いて形成しても良い。導電性の金属酸化物としては酸化インジウム（ $\text{In}_2\text{O}_3$ ）、酸化スズ（ $\text{SnO}_2$ ）、酸化亜鉛（ $\text{ZnO}$ ）、酸化インジウム酸化スズ（ $\text{In}_2\text{O}_3$   $\text{SnO}_2$ 、ITOと略記する場合がある）、酸化イ

50

ンジウム酸化亜鉛 ( $\text{In}_2\text{O}_3$ 、 $\text{ZnO}$ )、または、これらの金属酸化物材料にシリコン若しくは酸化シリコンを含有させたものを用いることができる。

【0212】

導電層のエッチングは、形成される電極142a、電極142bの端部が、テーパ形状となるように行うことが好ましい。ここで、テーパ角は、例えば、 $30^\circ$ 以上 $60^\circ$ 以下であることが好ましい。電極142a、電極142bの端部をテーパ形状となるようにエッチングすることにより、後に形成されるゲート絶縁層146の被覆性を向上し、段切れを防止することができる。

【0213】

上部のトランジスタのチャンネル長(L)は、電極142a、及び電極142bの下端部の間隔によって決定される。なお、チャンネル長(L)が $25\text{nm}$ 未満のトランジスタを形成する場合に用いるマスク形成の露光を行う際には、 $\text{nm}$ ～ $10\text{nm}$ と波長の短い超紫外線(Extreme Ultraviolet)を用いるのが望ましい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャンネル長(L)を、 $10\text{nm}$ 以上 $1000\text{nm}$ ( $1\mu\text{m}$ )以下とすることも可能であり、回路の動作速度を高めることが可能である。また、微細化によって、記憶装置の消費電力を低減することも可能である。

【0214】

次に、電極142a、電極142bを覆い、かつ、酸化物半導体層144の一部と接するように、ゲート絶縁層146を形成する(図13(C)参照)。

【0215】

ゲート絶縁層146は、CVD法やスパッタリング法等を用いて形成することができる。また、ゲート絶縁層146は、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化ガリウム、酸化アルミニウム、酸化タンタル、酸化ハフニウム、酸化イットリウム、ハフニウムシリケート( $\text{HfSi}_x\text{O}_y$ ( $x > 0$ 、 $y > 0$ ))、窒素が添加されたハフニウムシリケート( $\text{HfSi}_x\text{O}_y$ ( $x > 0$ 、 $y > 0$ ))、窒素が添加されたハフニウムアルミネート( $\text{HfAl}_x\text{O}_y$ ( $x > 0$ 、 $y > 0$ ))、などを含むように形成するのが好適である。ゲート絶縁層146は、単層構造としても良いし、上記の材料を組み合わせる積層構造としても良い。また、その厚さは特に限定されないが、記憶装置を微細化する場合には、トランジスタの動作を確保するために薄くするのが望ましい。例えば、酸化シリコンを用いる場合には、 $1\text{nm}$ 以上 $100\text{nm}$ 以下、好ましくは $10\text{nm}$ 以上 $50\text{nm}$ 以下とすることができる。

【0216】

上述のように、ゲート絶縁層を薄くすると、トンネル効果などに起因するゲートリークが問題となる。ゲートリークの問題を解消するには、ゲート絶縁層146に、酸化ハフニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート( $\text{HfSi}_x\text{O}_y$ ( $x > 0$ 、 $y > 0$ ))、窒素が添加されたハフニウムシリケート( $\text{HfSi}_x\text{O}_y$ ( $x > 0$ 、 $y > 0$ ))、窒素が添加されたハフニウムアルミネート( $\text{HfAl}_x\text{O}_y$ ( $x > 0$ 、 $y > 0$ ))、などの高誘電率(high-k)材料を用いると良い。high-k材料をゲート絶縁層146に用いることで、電気的特性を確保しつつ、ゲートリークを抑制するために膜厚を大きくすることが可能になる。なお、high-k材料を含む膜と、酸化シリコン、窒化シリコン、酸窒化シリコン、窒化酸化シリコン、酸化アルミニウムなどのいずれかを含む膜との積層構造としてもよい。

【0217】

また、酸化物半導体層144に接する絶縁層(本実施の形態においては、絶縁層140及びゲート絶縁層146)は、第13族元素および酸素を含む絶縁材料としてもよい。酸化物半導体材料には第13族元素を含むものが多く、第13族元素を含む絶縁材料は酸化物半導体との相性が良く、これを酸化物半導体層に接する絶縁層に用いることで、酸化物半導体層との界面の状態を良好に保つことができる。

【0218】

10

20

30

40

50

ここで、第13族元素を含む絶縁材料とは、絶縁材料に一または複数の第13族元素を含むことを意味する。第13族元素を含む絶縁材料としては、例えば、酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウム、酸化ガリウムアルミニウムなどがある。ここで、酸化アルミニウムガリウムとは、ガリウムの含有量(原子%)よりアルミニウムの含有量(原子%)が多いものを示し、酸化ガリウムアルミニウムとは、ガリウムの含有量(原子%)がアルミニウムの含有量(原子%)以上のものを示す。

【0219】

例えば、ガリウムを含有する酸化物半導体層に接してゲート絶縁層を形成する場合に、ゲート絶縁層に酸化ガリウムを含む材料を用いることで酸化物半導体層とゲート絶縁層の界面特性を良好に保つことができる。また、酸化物半導体層と酸化ガリウムを含む絶縁層とを接して設けることにより、酸化物半導体層と絶縁層の界面における水素のピルアップを低減することができる。なお、絶縁層に酸化物半導体の成分元素と同じ族の元素を用いる場合には、同様の効果を得ることが可能である。例えば、酸化アルミニウムを含む材料を用いて絶縁層を形成することも有効である。なお、酸化アルミニウムは、水を透過させにくいという特性を有しているため、当該材料を用いることは、酸化物半導体層への水の侵入防止という点においても好ましい。

10

【0220】

また、酸化物半導体層144に接する絶縁層は、酸素雰囲気下による熱処理や、酸素ドーピングなどにより、絶縁材料を化学量論的組成比より酸素が多い状態とすることが好ましい。酸素ドーピングとは、酸素をバルクに添加することをいう。なお、当該バルクの用語は、酸素を薄膜表面のみでなく薄膜内部に添加することを明確にする趣旨で用いている。また、酸素ドーピングには、プラズマ化した酸素をバルクに添加する酸素プラズマドーピングが含まれる。また、酸素ドーピングは、イオン注入法またはイオンドーピング法を用いてもよい。

20

【0221】

例えば、酸化物半導体層144に接する絶縁層として酸化ガリウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドーピングを行うことにより、酸化ガリウムの組成を $Ga_2O_x$  ( $X = 3 +$ 、 $0 < < 1$ )とすることができる。また、酸化物半導体層144に接する絶縁層として酸化アルミニウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドーピングを行うことにより、酸化アルミニウムの組成を $Al_2O_x$  ( $X = 3 +$ 、 $0 < < 1$ )とすることができる。または、酸化物半導体層144に接する絶縁層として酸化ガリウムアルミニウム(酸化アルミニウムガリウム)を用いた場合、酸素雰囲気下による熱処理や、酸素ドーピングを行うことにより、酸化ガリウムアルミニウム(酸化アルミニウムガリウム)の組成を $Ga_xAl_{2-x}O_3$  ( $0 < X < 2$ 、 $0 < < 1$ )とすることができる。

30

【0222】

酸素ドーピング処理等を行うことにより、化学量論的組成比より酸素が多い領域を有する絶縁層を形成することができる。このような領域を備える絶縁層と酸化物半導体層が接することにより、絶縁層中の過剰な酸素が酸化物半導体層に供給され、酸化物半導体層中、または酸化物半導体層と絶縁層の界面における酸素不足欠陥を低減し、酸化物半導体層をi型化またはi型に限りなく近い酸化物半導体とすることができる。

40

【0223】

なお、化学量論的組成比より酸素が多い領域を有する絶縁層は、ゲート絶縁層146に代えて、酸化物半導体層144の下地膜として形成する絶縁層140に適用しても良く、ゲート絶縁層146および下地の絶縁層140の双方に適用しても良い。

【0224】

ゲート絶縁層146の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第2の熱処理を行うのが望ましい。熱処理の温度は、200以上450以下、望ましくは250以上350以下である。例えば、窒素雰囲気下で250、1時間の熱処理を行えばよい。第2の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁層146が酸素を含む場合、酸化物半導体層144に酸素を供給し、該酸化物半導体層144の酸素欠損を補填して、i型(真性半導体)

50

または i 型に限りなく近い酸化物半導体層を形成することもできる。

【0225】

なお、本実施の形態では、ゲート絶縁層 146 の形成後に第 2 の熱処理を行っているが、第 2 の熱処理のタイミングはこれに限定されない。例えば、ゲート電極の形成後に第 2 の熱処理を行っても良い。また、第 1 の熱処理に続けて第 2 の熱処理を行っても良いし、第 1 の熱処理に第 2 の熱処理を兼ねさせても良いし、第 2 の熱処理に第 1 の熱処理を兼ねさせても良い。

【0226】

上述のように、第 1 の熱処理と第 2 の熱処理の少なくとも一方を適用することで、酸化物半導体層 144 を、その水素原子を含む物質が極力含まれないように高純度化することができる。

10

【0227】

次に、ゲート電極（これと同じ層で形成される配線を含む）を形成するための導電層を形成し、当該導電層を加工して、電極 148 a および導電層 148 b を形成する（図 13（D）参照）。

【0228】

電極 148 a および導電層 148 b は、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、ネオジウム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて形成することができる。なお、電極 148 a および導電層 148 b は、単層構造としても良いし、積層構造としても良い。

20

【0229】

次に、ゲート絶縁層 146、電極 148 a、および導電層 148 b 上に、絶縁層 150 を形成する（図 13（E）参照）。絶縁層 150 は、PVD 法や CVD 法などを用いて形成することができる。また、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化ハフニウム、酸化ガリウム、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。なお、絶縁層 150 には、誘電率の低い材料や、誘電率の低い構造（多孔性の構造など）を用いることが望ましい。絶縁層 150 の誘電率を低くすることにより、配線や電極などの間に生じる容量を低減し、動作の高速化を図ることができるためである。なお、本実施の形態では、絶縁層 150 の単層構造としているが、開示する発明の一態様はこれに限定されず、2 層以上の積層構造としても良い。

30

【0230】

次に、絶縁層 150 上に、絶縁層 152 を形成する（図 13（E）参照）。なお、本発明の特徴は、メモリセルを複数積層する点にある。そのため、絶縁層 152 の表面は CMP 等で平坦化されていることが望ましい。

【0231】

次に、ゲート絶縁層 146、絶縁層 150 及び絶縁層 152 に、電極 142 a にまで達する開口を形成する。開口に電極 154 a を形成する。その後、絶縁層 152 上に電極 154 a と接する配線 156 を形成する（図 13（E）参照）。なお、当該開口の形成は、マスクなどを用いた選択的なエッチングにより行われる。

【0232】

配線 156 は、PVD 法や、CVD 法を用いて導電層を形成した後、当該導電層をエッチング加工することによって形成される。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウム、ネオジウム、スカンジウムのいずれか、またはこれらを複数組み合わせた材料を用いてもよい。

40

【0233】

より具体的には、例えば、電極 154 a は、絶縁層 150 及び絶縁層 152 の開口を含む領域に PVD 法によりチタン膜を薄く形成し、PVD 法によりチタン膜を薄く（5 nm 程度）形成した後に、開口に埋め込むようにアルミニウム膜を形成する方法を適用して作

50

製することができる。ここで、PVD法により形成されるチタン膜は、被形成面の酸化膜（自然酸化膜など）を還元し、下部電極など（ここでは電極142a）との接触抵抗を低減させる機能を有する。また、アルミニウム膜のヒロックを防止することができる。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

【0234】

以上により、高純度化された酸化物半導体層144を用いたトランジスタ162、および容量素子164が完成する（図13（E）参照）。

【0235】

ここで、図13（E）に示したメモリセル上にメモリセルを積層する構成では、配線156を覆うように絶縁層140を形成する。そして、絶縁層140に開口を形成し、図9（A）の電極500や図16（A）の電極553を形成する。その後、図13（A）乃至図13（E）で示した作製工程を繰り返すことにより、複数のメモリセルが積層された構成を実現することができる。

10

【0236】

絶縁層140は、PVD法やCVD法などを用いて形成することができる。また、酸化シリコン、酸窒化シリコン、窒化シリコン、酸化ハフニウム、酸化ガリウム、酸化アルミニウム等の無機絶縁材料を含む材料、ポリイミド、アクリル等の有機材料を含む材料を用いて、単層又は積層で形成することができる。

【0237】

なお、図9（A）に示した、電極501a及び電極501bは、電極142a及び電極142bと同様に作製することができる。図9（A）に示した、電極502a及び電極502bは、電極154aと同様に作製することができる。

20

【0238】

なお、図16（A）に示した、電極552は、配線156と同様に作製することができる。図16（A）に示した、電極551は、電極154aと同様に作製することができる。

【0239】

なお、図12（A）に示すトランジスタ162及び容量素子164を形成する場合、絶縁層140上に電極142a、電極142bを形成し、絶縁層140及び電極142a、電極142b上に酸化物半導体層144を形成する。次に、電極142a、電極142b、及び酸化物半導体層144上にゲート絶縁層146を形成する。その後、ゲート絶縁層146上に、酸化物半導体層144と重畳するように電極148aを形成し、電極142bと重畳するように導電層148bを形成する。

30

【0240】

また、図12（B）に示すトランジスタ162及び容量素子164を形成する場合、絶縁層140上に電極148a、導電層148bを形成し、絶縁層140、電極148a及び導電層148b上にゲート絶縁層146を形成する。次に、ゲート絶縁層146上に、電極142a、電極142bを形成する。その後、ゲート絶縁層146上に、電極148aと重畳するように酸化物半導体層144を形成することで、トランジスタ162及び容量素子164が完成する。なお、トランジスタ162及び容量素子164を覆うように絶縁層150及び絶縁層151を形成してもよい。例えば、絶縁層150は、酸素雰囲気下による熱処理や、酸素ドーピングにより、絶縁材料を化学量論的組成比より酸素が多い状態とすることが好ましく、絶縁層151は、水や水素を透過しにくい状態とすることが好ましい。絶縁層151は、水や水素を透過しにくい状態とすることで、酸化物半導体層144に水や水素が浸入することを防止し、絶縁層150を化学量論的組成比より酸素が多い状態とすることで、酸化物半導体層144の酸素欠損を補填して、i型またはi型に限りなく近い酸化物半導体層144を形成することができるからである。

40

【0241】

また、図12（C）に示すトランジスタ162及び容量素子164を形成する場合、絶

50

絶縁層 140 上に電極 148 a、導電層 148 b を形成し、絶縁層 140、電極 148 a 及び導電層 148 b 上にゲート絶縁層 146 を形成する。次に、ゲート絶縁層 146 上に、電極 148 a と重畳するように酸化物半導体層 144 を形成する。その後、酸化物半導体層 144 上に電極 142 a、電極 142 b を形成することで、トランジスタ 162 及び容量素子 164 が完成する。なお、絶縁層 150 及び絶縁層 151 については、図 12 (B) の記載を参酌できる。

【0242】

また、図 12 (D) に示すトランジスタ 162 及び容量素子 164 を形成する場合、絶縁層 140 上に電極 148 a、導電層 148 b を形成し、絶縁層 140、電極 148 a (図 12 (D) においては第 1 のゲート電極) 及び電極層 148 上にゲート絶縁層 146 (図 12 (D) においては第 1 のゲート絶縁層) を形成する。次に、ゲート絶縁層 146 上に、電極 148 a と重畳するように酸化物半導体層 144 を形成し、酸化物半導体層 144 上に電極 142 a、電極 142 b を形成する。その後、酸化物半導体層 144 及び電極 142 a、電極 142 b 上に絶縁層 150 (図 12 (D) においては第 2 のゲート絶縁層) を形成し、酸化物半導体層 144 と重畳するように導電層 159 (図 12 (D) においては第 2 のゲート電極) を形成することで、トランジスタ 162 及び容量素子 164 が完成する。なお、導電層 159 の材料や作製方法は、電極 148 a の材料や作製方法の記載を参酌できる。

10

【0243】

次に、図 11 (A) 及び図 11 (B) に示すトランジスタ 162 及び容量素子 164 の作製方法について説明する。

20

【0244】

図 11 (A) に示すトランジスタ 162 及び容量素子 164 の作製方法について説明する。

【0245】

まず、絶縁層 140 上に酸化物半導体層 144 を形成し、絶縁層 140 及び酸化物半導体層 144 上に、酸化物導電層及び導電層の積層を成膜する。

【0246】

酸化物導電層の成膜方法は、スパッタリング法や真空蒸着法(電子ビーム蒸着法など)や、アーク放電イオンプレーティング法や、スプレー法を用いる。酸化物導電層の材料としては、酸化亜鉛、酸化亜鉛アルミニウム、酸化窒化亜鉛アルミニウム、酸化亜鉛ガリウム、インジウム錫酸化物などを適用することができる。また、上記の材料に酸化シリコンを含ませてもよい。なお、導電層の成膜方法及び材料については、電極 142 a、電極 142 b を形成するための導電層の記載を参酌できる。

30

【0247】

次に、導電層上にマスクを形成し、導電層及び酸化物導電層を選択的にエッチングすることによって、電極 142 a、電極 142 b、及び酸化物導電層 143 a、143 b を形成する。

【0248】

なお、導電層及び酸化物導電層のエッチング処理の際、酸化物半導体層が過剰にエッチングされないように、エッチング条件(エッチング材の種類、濃度、エッチング時間等)を適宜調整する。

40

【0249】

次に、電極 142 a、電極 142 b、及び酸化物半導体層 144 上にゲート絶縁層 146 を形成する。その後、ゲート絶縁層 146 上に、酸化物半導体層 144 と重畳するように電極 148 a を形成し、電極 142 b と重畳するように導電層 148 b を形成する。

【0250】

以上により、トランジスタ 162 及び容量素子 164 が完成する(図 11 (A) 参照)。

【0251】

50

図 1 1 ( B ) に示すトランジスタ 1 6 2 及び容量素子 1 6 4 を作製する場合、酸化物半導体層と酸化物導電層の積層を形成し、酸化物半導体層と酸化物導電層との積層を同じフォトリソグラフィ工程によって形状を加工して、島状の酸化物半導体層及び酸化物導電層を形成する。次に、島状の酸化物導電層上に電極 1 4 2 a、電極 1 4 2 b を形成した後、電極 1 4 2 a、電極 1 4 2 b をマスクとして、島状の酸化物導電層をエッチングすることで、ソース領域又はドレイン領域となる酸化物導電層 1 4 3 a、1 4 3 b を形成する。

【 0 2 5 2 】

次に、電極 1 4 2 a、電極 1 4 2 b、及び酸化物半導体層 1 4 4 上にゲート絶縁層 1 4 6 を形成する。その後、ゲート絶縁層 1 4 6 上に、酸化物半導体層 1 4 4 と重畳するように電極 1 4 8 a を形成し、電極 1 4 2 b と重畳するように導電層 1 4 8 b を形成する。

10

【 0 2 5 3 】

以上により、トランジスタ 1 6 2 及び容量素子 1 6 4 が完成する ( 図 1 1 ( B ) 参照 )

【 0 2 5 4 】

本実施の形態において示すトランジスタ 1 6 2 では、酸化物半導体層 1 4 4 が高純度化されているため、その水素濃度は、 $5 \times 10^{19} \text{ atoms/cm}^3$  以下、望ましくは  $5 \times 10^{18} \text{ atoms/cm}^3$  以下、より望ましくは  $5 \times 10^{17} \text{ atoms/cm}^3$  以下である。また、酸化物半導体層 1 4 4 のキャリア密度は、一般的なシリコンウエハにおけるキャリア密度 ( $1 \times 10^{14} / \text{cm}^3$  程度) と比較して、十分に小さい値 (例えば、 $1 \times 10^{12} / \text{cm}^3$  未満、より好ましくは、 $1.45 \times 10^{10} / \text{cm}^3$  未満) をとる。そして、トランジスタ 1 6 2 のオフ電流も十分に小さくなる。例えば、トランジスタ 1 6 2 の室温 ( 2 5 ) でのオフ電流 ( ここでは、単位チャネル幅 (  $1 \mu\text{m}$  ) あたりの値 ) は  $100 \text{ zA}$  (  $1 \text{ zA}$  ( ゼプトアンペア ) は  $1 \times 10^{-21} \text{ A}$  ) 以下、望ましくは  $10 \text{ zA}$  以下となる。

20

【 0 2 5 5 】

また、酸化物半導体層 1 4 4 は、アルカリ金属、及びアルカリ土類金属の濃度が十分に低減されており、アルカリ金属又はアルカリ土類金属の濃度は、例えば、Na の場合、 $5 \times 10^{16} \text{ cm}^{-3}$  以下、好ましくは  $1 \times 10^{16} \text{ cm}^{-3}$  以下、さらに好ましくは  $1 \times 10^{15} \text{ cm}^{-3}$  以下、Li の場合、 $5 \times 10^{15} \text{ cm}^{-3}$  以下、好ましくは  $1 \times 10^{15} \text{ cm}^{-3}$  以下、K の場合、 $5 \times 10^{15} \text{ cm}^{-3}$  以下、好ましくは  $1 \times 10^{15} \text{ cm}^{-3}$  以下となる。

30

【 0 2 5 6 】

このように高純度化され、真性化された酸化物半導体層 1 4 4 を用いることで、トランジスタ 1 6 2 のオフ電流を十分に低減することが容易になる。そして、このようなトランジスタ 1 6 2 を用いることで、極めて長期にわたり記憶内容を保持することが可能な記憶装置が得られる。

【 0 2 5 7 】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【 0 2 5 8 】

( 実施の形態 3 )

上記実施の形態において、トランジスタ 1 6 2 のチャネル形成領域として用いることのできる酸化物半導体層の一形態を、図 1 4 を用いて説明する。

40

【 0 2 5 9 】

本実施の形態の酸化物半導体層は、第 1 の結晶性酸化物半導体層上に第 1 の結晶性酸化物半導体層よりも厚い第 2 の結晶性酸化物半導体層を有する積層構造である。

【 0 2 6 0 】

次に、絶縁層 1 4 0 上に膜厚  $1 \text{ nm}$  以上  $10 \text{ nm}$  以下の第 1 の酸化物半導体膜を形成する。

【 0 2 6 1 】

50

本実施の形態では、絶縁層140として、PCVD法またはスパッタリング法を用いて、50nm以上600nm以下の膜厚の酸化物絶縁層を形成する。例えば、酸化シリコン膜、酸化ガリウム膜、酸化アルミニウム膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、または窒化酸化シリコン膜から選ばれた一層またはこれらの積層を用いることができる。

#### 【0262】

第1の酸化物半導体膜の形成は、スパッタリング法を用い、そのスパッタリング法による成膜時における基板温度は200以上400以下とする。本実施の形態では、酸化物半導体用ターゲット(In-Ga-Zn-O系酸化物半導体用ターゲット( $\text{In}_2\text{O}_3$ : $\text{Ga}_2\text{O}_3$ : $\text{ZnO}$ =1:1:2[mol数比]))を用いて、基板とターゲットの間との距離を170mm、基板温度250、圧力0.4Pa、直流(DC)電源0.5kW、酸素のみ、アルゴンのみ、又はアルゴン及び酸素雰囲気下で膜厚5nmの第1の酸化物半導体膜を成膜する。

10

#### 【0263】

次いで、基板を配置するチャンバークロウを窒素、または乾燥空気とし、第1の加熱処理を行う。第1の加熱処理の温度は、400以上750以下とする。第1の加熱処理によって第1の結晶性酸化物半導体層145aを形成する(図14(A)参照)。

#### 【0264】

第1の加熱処理の温度にもよるが、第1の加熱処理によって、膜表面から結晶化が起こり、膜の表面から内部に向かって結晶成長し、c軸配向した結晶が得られる。第1の加熱処理によって、亜鉛と酸素が膜表面に多く集まり、上平面が六角形をなす亜鉛と酸素からなるグラフェンタイプの二次元結晶が最表面に1層または複数層形成され、これが膜厚方向に成長して重なり積層となる。加熱処理の温度を上げると表面から内部、そして内部から底部と結晶成長が進行する。

20

#### 【0265】

第1の加熱処理によって、酸化物絶縁層である絶縁層140中の酸素を第1の結晶性酸化物半導体層145aとの界面またはその近傍(界面からプラスマイナス5nm)に拡散させて、第1の結晶性酸化物半導体層の酸素欠損を低減する。従って、第1の結晶性酸化物半導体層の下地絶縁層として用いられる絶縁層140は、絶縁層140中(バルク中)、第1の結晶性酸化物半導体層145aと絶縁層140の界面、のいずれかには少なくとも化学量論比を超える量の酸素が存在することが好ましい。

30

#### 【0266】

次いで、第1の結晶性酸化物半導体層145a上に10nmよりも厚い第2の酸化物半導体膜を形成する。第2の酸化物半導体膜の形成は、スパッタリング法を用い、その成膜時における基板温度は200以上400以下とする。成膜時における基板温度を200以上400以下とすることにより、第1の結晶性酸化物半導体層の表面上に接して成膜する酸化物半導体膜にプリカーサの整列が起き、所謂、秩序性を持たせることができる。

#### 【0267】

本実施の形態では、酸化物半導体用ターゲット(In-Ga-Zn-O系酸化物半導体用ターゲット( $\text{In}_2\text{O}_3$ : $\text{Ga}_2\text{O}_3$ : $\text{ZnO}$ =1:1:2[mol数比]))を用いて、基板とターゲットの間との距離を170mm、基板温度400、圧力0.4Pa、直流(DC)電源0.5kW、酸素のみ、アルゴンのみ、又はアルゴン及び酸素雰囲気下で膜厚25nmの第2の酸化物半導体膜を成膜する。

40

#### 【0268】

次いで、基板を配置するチャンバークロウを窒素、または乾燥空気とし、第2の加熱処理を行う。第2の加熱処理の温度は、400以上750以下とする。第2の加熱処理によって第2の結晶性酸化物半導体層145bを形成する(図14(B)参照)。第2の加熱処理は、窒素雰囲気下、酸素雰囲気下、或いは窒素と酸素の混合雰囲気下で行うことにより、第2の結晶性酸化物半導体層の高密度化及び欠陥数の減少を図る。第2の加熱処

50

理によって、第1の結晶性酸化物半導体層145aを核として膜厚方向、即ち底部から内部に結晶成長が進行して第2の結晶性酸化物半導体層145bが形成される。

【0269】

また、絶縁層140の形成から第2の加熱処理までの工程を大気に触れることなく連続的に行うことが好ましい。絶縁層140の形成から第2の加熱処理までの工程は、水素及び水分をほとんど含まない雰囲気（不活性雰囲気、減圧雰囲気、乾燥空気雰囲気など）下に制御することが好ましく、例えば、水分については露点-40以下、好ましくは露点-50以下の乾燥窒素雰囲気とする。

【0270】

次いで、第1の結晶性酸化物半導体層145aと第2の結晶性酸化物半導体層145bからなる酸化物半導体積層を加工して島状の酸化物半導体積層からなる酸化物半導体層145を形成する（図14(C)参照）。図14(C)では、第1の結晶性酸化物半導体層145aと第2の結晶性酸化物半導体層145bの界面を点線で示し、第1の結晶性酸化物半導体層及び第2の結晶性酸化物半導体層の積層構造で示しているが、明確な界面が存在しているのではなく、あくまで分かりやすく説明するために図示している。

10

【0271】

酸化物半導体層の積層の加工は、所望の形状のマスクを酸化物半導体層の積層上に形成した後、当該酸化物半導体層の積層をエッチングすることによって行うことができる。上述のマスクは、フォトリソグラフィなどの方法を用いて形成することができる。または、インクジェット法などの方法を用いてマスクを形成しても良い。

20

【0272】

なお、酸化物半導体層の積層のエッチングは、ドライエッチングでもウェットエッチングでもよい。もちろん、これらを組み合わせて用いてもよい。

【0273】

また、上記作製方法により、得られる第1の結晶性酸化物半導体層及び第2の結晶性酸化物半導体層は、c軸配向を有していることを特徴の一つとしている。ただし、第1の結晶性酸化物半導体層及び第2の結晶性酸化物半導体層は、単結晶構造ではなく、非晶質構造でもない構造であり、c軸配向を有した結晶(C Axis Aligned Crystal; CAACとも呼ぶ)を含む酸化物を有する。なお、第1の結晶性酸化物半導体層及び第2の結晶性酸化物半導体層は、一部に結晶粒界を有している。

30

【0274】

ここで、c軸配向し、かつab面、表面または界面の方向から見て三角形状または六角形状の原子配列を有し、c軸においては金属原子が層状または金属原子と酸素原子とが層状に配列しており、ab面においてはa軸またはb軸の向きが異なる(c軸を中心に回転した)結晶(CAAC; C Axis Aligned Crystalともいう)を含む酸化物について説明する。

【0275】

CAACを含む酸化物とは、広義に、非単結晶であって、そのab面に垂直な方向から見て、三角形、六角形、正三角形または正六角形の原子配列を有し、かつc軸方向に垂直な方向から見て、金属原子が層状、または金属原子と酸素原子が層状に配列した相を含む酸化物をいう。

40

【0276】

CAACは単結晶ではないが、非晶質のみから形成されているものでもない。また、CAACは結晶化した部分(結晶部分)を含むが、1つの結晶部分と他の結晶部分の境界を明確に判別できないこともある。

【0277】

CAACに酸素が含まれる場合、酸素の一部は窒素で置換されてもよい。また、CAACを構成する個々の結晶部分のc軸は一定の方向(例えば、CAACを支持する基板面、CAACの表面などに垂直な方向)に揃っていてもよい。または、CAACを構成する個々の結晶部分のab面の法線は一定の方向(例えば、CAACを支持する基板面、CAAC

50

Cの表面などに垂直な方向)を向いていてもよい。

【0278】

C A A Cは、その組成などに応じて、導体であったり、半導体であったり、絶縁体であったりする。また、その組成などに応じて、可視光に対して透明であったり不透明であったりする。

【0279】

このようなC A A Cの例として、膜状に形成され、膜表面または支持する基板面に垂直な方向から観察すると三角形または六角形の原子配列が認められ、かつその膜断面を観察すると金属原子または金属原子および酸素原子(または窒素原子)の層状配列が認められる結晶を挙げることもできる。

10

【0280】

C A A Cに含まれる結晶構造の一例について図20乃至図22を用いて詳細に説明する。なお、特に断りがない限り、図20乃至図22は上方向をc軸方向とし、c軸方向と直交する面をab面とする。なお、単に上半分、下半分という場合、ab面を境にした場合の上半分、下半分をいう。また、図20において、丸で囲まれたOは4配位のOを示し、二重丸で囲まれたOは3配位のOを示す。

【0281】

図20(A)に、1個の6配位のInと、Inに近接の6個の4配位の酸素原子(以下4配位のO)と、を有する構造を示す。ここでは、金属原子が1個に対して、近接の酸素原子のみ示した構造を小グループと呼ぶ。図20(A)の構造は、八面体構造をとるが、簡単のため平面構造で示している。なお、図20(A)の上半分および下半分にはそれぞれ3個ずつ4配位のOがある。図20(A)に示す小グループは電荷が0である。

20

【0282】

図20(B)に、1個の5配位のGaと、Gaに近接の3個の3配位の酸素原子(以下3配位のO)と、近接の2個の4配位のOと、を有する構造を示す。3配位のOは、いずれもab面に存在する。図20(B)の上半分および下半分にはそれぞれ1個ずつ4配位のOがある。また、Inも5配位をとるため、図20(B)に示す構造をとりうる。図20(B)に示す小グループは電荷が0である。

【0283】

図20(C)に、1個の4配位のZnと、Znに近接の4個の4配位のOと、を有する構造を示す。図20(C)の上半分には1個の4配位のOがあり、下半分には3個の4配位のOがある。または、図20(C)の上半分に3個の4配位のOがあり、下半分に1個の4配位のOがあってもよい。図20(C)に示す小グループは電荷が0である。

30

【0284】

図20(D)に、1個の6配位のSnと、Snに近接の6個の4配位のOと、を有する構造を示す。図20(D)の上半分には3個の4配位のOがあり、下半分には3個の4配位のOがある。図20(D)に示す小グループは電荷が+1となる。

【0285】

図20(E)に、2個のZnを含む小グループを示す。図20(E)の上半分には1個の4配位のOがあり、下半分には1個の4配位のOがある。図20(E)に示す小グループは電荷が-1となる。

40

【0286】

ここでは、複数の小グループの集合体を中グループと呼び、複数の中グループの集合体を大グループ(ユニットセルともいう。)と呼ぶ。

【0287】

ここで、これらの小グループ同士が結合する規則について説明する。図20(A)に示す6配位のInの上半分の3個のOは、下方向にそれぞれ3個の近接Inを有し、下半分の3個のOは、上方向にそれぞれ3個の近接Inを有する。図20(B)に示す5配位のGaの上半分の1個のOは下方向に1個の近接Gaを有し、下半分の1個のOは上方向に1個の近接Gaを有する。図20(C)に示す4配位のZnの上半分の1個のOは下方向

50

に1個の近接Znを有し、下半分の3個のOは上方向にそれぞれ3個の近接Znを有する。この様に、金属原子の上方向の4配位のOの数と、そのOの下方向にある近接金属原子の数は等しく、同様に金属原子の下方向の4配位のOの数と、そのOの上方向にある近接金属原子の数は等しい。Oは4配位なので、下方向にある近接金属原子の数と、上方向にある近接金属原子の数の和は4になる。従って、金属原子の上方向にある4配位のOの数と、別の金属原子の下方向にある4配位のOの数との和が4個のとき、金属原子を有する二種の小グループ同士は結合することができる。例えば、6配位の金属原子(InまたはSn)が下半分の4配位のOを介して結合する場合、4配位のOが3個であるため、5配位の金属原子(GaまたはIn)または4配位の金属原子(Zn)のいずれかと結合することになる。

10

## 【0288】

これらの配位数を有する金属原子は、c軸方向において、4配位のOを介して結合する。また、このほかにも、層構造の合計の電荷が0となるように複数の小グループが結合して中グループを構成する。

## 【0289】

図21(A)に、In-Sn-Zn-O系の層構造を構成する中グループのモデル図を示す。図21(B)に、3つの中グループで構成される大グループを示す。なお、図21(C)は、図21(B)の層構造をc軸方向から観察した場合の原子配列を示す。

## 【0290】

図21(A)においては、簡単のため、3配位のOは省略し、4配位のOは個数のみ示し、例えば、Snの上半分および下半分にはそれぞれ3個ずつ4配位のOがあることを丸枠の3として示している。同様に、図21(A)において、Inの上半分および下半分にはそれぞれ1個ずつ4配位のOがあり、丸枠の1として示している。また、同様に、図21(A)において、下半分には1個の4配位のOがあり、上半分には3個の4配位のOがあるZnと、上半分には1個の4配位のOがあり、下半分には3個の4配位のOがあるZnとを示している。

20

## 【0291】

図21(A)において、In-Sn-Zn-O系の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分および下半分にあるSnが、4配位のOが1個ずつ上半分および下半分にあるInと結合し、そのInが、上半分に3個の4配位のOがあるZnと結合し、そのZnの下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分および下半分にあるInと結合し、そのInが、上半分に1個の4配位のOがあるZn2個からなる小グループと結合し、この小グループの下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分および下半分にあるSnと結合している構成である。この中グループが複数結合して大グループを構成する。

30

## 【0292】

ここで、3配位のOおよび4配位のOの場合、結合1本当当たりの電荷はそれぞれ-0.667、-0.5と考えることができる。例えば、In(6配位または5配位)、Zn(4配位)、Sn(5配位または6配位)の電荷は、それぞれ+3、+2、+4である。従って、Snを含む小グループは電荷が+1となる。そのため、Snを含む層構造を形成するためには、電荷+1を打ち消す電荷-1が必要となる。電荷-1をとる構造として、図20(E)に示すように、2個のZnを含む小グループが挙げられる。例えば、Snを含む小グループが1個に対し、2個のZnを含む小グループが1個あれば、電荷が打ち消されるため、層構造の合計の電荷を0とすることができる。

40

## 【0293】

具体的には、図21(B)に示した大グループが繰り返されることで、In-Sn-Zn-O系の結晶(In<sub>2</sub>SnZn<sub>3</sub>O<sub>8</sub>)を得ることができる。なお、得られるIn-Sn-Zn-O系の層構造は、In<sub>2</sub>SnZn<sub>2</sub>O<sub>7</sub>(ZnO)<sub>m</sub>(mは0または自然数。)とする組成式で表すことができる。

## 【0294】

50

また、このほかにも、四元系金属の酸化物である  $In - Sn - Ga - Zn$  系酸化物や、三元系金属の酸化物である  $In - Ga - Zn$  系酸化物 ( $IGZO$ とも表記する。)、 $In - Al - Zn$  系酸化物、 $Sn - Ga - Zn$  系酸化物、 $Al - Ga - Zn$  系酸化物、 $Sn - Al - Zn$  系酸化物や、 $In - Hf - Zn$  系酸化物、 $In - La - Zn$  系酸化物、 $In - Ce - Zn$  系酸化物、 $In - Pr - Zn$  系酸化物、 $In - Nd - Zn$  系酸化物、 $In - Sm - Zn$  系酸化物、 $In - Eu - Zn$  系酸化物、 $In - Gd - Zn$  系酸化物、 $In - Tb - Zn$  系酸化物、 $In - Dy - Zn$  系酸化物、 $In - Ho - Zn$  系酸化物、 $In - Er - Zn$  系酸化物、 $In - Tm - Zn$  系酸化物、 $In - Yb - Zn$  系酸化物、 $In - Lu - Zn$  系酸化物や、二元系金属の酸化物である  $In - Zn$  系酸化物、 $Sn - Zn$  系酸化物、 $Al - Zn$  系酸化物、 $Zn - Mg$  系酸化物、 $Sn - Mg$  系酸化物、 $In - Mg$  系酸化物や、 $In - Ga$  系酸化物、などを用いた場合も同様である。

10

【0295】

例えば、図22(A)に、 $In - Ga - Zn - O$ 系の層構造を構成する中グループのモデル図を示す。

【0296】

図22(A)において、 $In - Ga - Zn - O$ 系の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分および下半分にあるInが、4配位のOが1個上半分にあるZnと結合し、そのZnの下半分の3個の4配位のOを介して、4配位のOが1個ずつ上半分および下半分にあるGaと結合し、そのGaの下半分の1個の4配位のOを介して、4配位のOが3個ずつ上半分および下半分にあるInと結合している構成である。

20

【0297】

図22(B)に3つの中グループで構成される大グループを示す。なお、図22(C)は、図22(B)の層構造をc軸方向から観察した場合の原子配列を示している。

【0298】

ここで、In(6配位または5配位)、Zn(4配位)、Ga(5配位)の電荷は、それぞれ+3、+2、+3であるため、In、ZnおよびGaのいずれかを含む小グループは、電荷が0となる。そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に0となる。

【0299】

また、 $In - Ga - Zn - O$ 系の層構造を構成する中グループは、図22(A)に示した中グループに限定されず、In、Ga、Znの配列が異なる中グループを組み合わせた大グループも取りうる。

30

【0300】

いずれにしても、CAAを得るには酸化物半導体膜の堆積初期段階において六方晶の結晶が形成されるようにすることと、当該結晶を種として結晶が成長されるようにすることが肝要である。そのためには、基板加熱温度を100 ~ 500、好適には200 ~ 400、さらに好適には250 ~ 300にすると好ましい。また、これに加えて、成膜時の基板加熱温度よりも高い温度で、堆積された酸化物半導体膜を熱処理することで膜中に含まれるミクロな欠陥や、積層界面の欠陥を修復することができる。

40

【0301】

従って、第1及び第2の結晶性酸化物半導体層は、少なくともZnを有する酸化物材料であり、四元系金属酸化物である $In - Al - Ga - Zn - O$ 系の材料や、 $In - Sn - Ga - Zn - O$ 系の材料や、三元系金属酸化物である $In - Ga - Zn - O$ 系の材料、 $In - Al - Zn - O$ 系の材料、 $In - Sn - Zn - O$ 系の材料、 $Sn - Ga - Zn - O$ 系の材料、 $Al - Ga - Zn - O$ 系の材料、 $Sn - Al - Zn - O$ 系の材料や、二元系金属酸化物である $In - Zn - O$ 系の材料、 $Sn - Zn - O$ 系の材料、 $Al - Zn - O$ 系の材料、 $Zn - Mg - O$ 系の材料や、 $Zn - O$ 系の材料などがある。また、 $In - Si - Ga - Zn - O$ 系の材料や、 $In - Ga - B - Zn - O$ 系の材料や、 $In - B - Zn - O$ 系の材料を用いても良い。また、上記の材料に $SiO_2$ を含ませてもよい。ここで、例えば、

50

In - Ga - Zn - O系の材料とは、インジウム (In)、ガリウム (Ga)、亜鉛 (Zn) を有する酸化物膜、という意味であり、その組成比は特に問わない。また、InとGaとZn以外の元素を含んでいてもよい。

【0302】

また、第1の結晶性酸化物半導体層上に第2の結晶性酸化物半導体層を形成する2層構造に限定されず、第2の結晶性酸化物半導体層の形成後に第3の結晶性酸化物半導体層を形成するための成膜と加熱処理のプロセスを繰り返し行って、3層以上の積層構造としてもよい。

【0303】

その後、電極142a、電極142b、ゲート絶縁層146、電極148a、導電層148bを形成することにより、トランジスタ162及び容量素子164が完成する(図14(D)参照)。電極142a、電極142b、ゲート絶縁層146、電極148a、導電層148bの材料及び形成方法は、実施の形態2を参照できる。

10

【0304】

上記作製方法で形成された酸化物半導体積層からなる酸化物半導体層145を、実施の形態2に示すトランジスタ162に、適宜用いることができる。

【0305】

また、酸化物半導体層144として本実施の形態の酸化物半導体積層を用いたトランジスタ162においては、酸化物半導体層の一方の面から他方の面に電界が印加されることはなく、また、電流が酸化物半導体積層の厚さ方向に流れる構造ではない。電流は、主として、酸化物半導体積層の界面を流れるトランジスタ構造であるため、トランジスタ162に光照射が行われ、またはBTストレスが与えられても、トランジスタ特性の劣化は抑制される、または低減される。

20

【0306】

酸化物半導体層145のような第1の結晶性酸化物半導体層と第2の結晶性酸化物半導体層の積層をトランジスタ162に用いることで、安定した電気的特性を有し、且つ、信頼性の高いトランジスタを実現できる。

【0307】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

30

【0308】

(実施の形態4)

本実施の形態では、上述の実施の形態で説明した記憶装置を電子機器等の半導体装置に適用する場合について、図15を用いて説明する。本実施の形態では、コンピュータ、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯情報端末(携帯型ゲーム機、音響再生装置なども含む)、デジタルカメラ、デジタルビデオカメラ、電子ペーパー、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)などの電子機器に、上述の記憶装置を適用する場合について説明する。

【0309】

図15(A)は、ノート型のパーソナルコンピュータであり、筐体701、筐体702、表示部703、キーボード704などによって構成されている。筐体701と筐体702の少なくとも一には、先の実施の形態に示す記憶装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたノート型のパーソナルコンピュータが実現される。

40

【0310】

図15(B)は、携帯情報端末(PDA)であり、本体711には、表示部713と、外部インターフェイス715と、操作ボタン714等が設けられている。また、携帯情報端末を操作するスタイラス712などを備えている。本体711内には、先の実施の形態に示す記憶装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯情報端末が実現される

50

## 【0311】

図15(C)は、電子ペーパーを実装した電子書籍720であり、筐体721と筐体723の2つの筐体で構成されている。筐体721および筐体723には、それぞれ表示部725および表示部727が設けられている。筐体721と筐体723は、軸部737により接続されており、該軸部737を軸として開閉動作を行うことができる。また、筐体721は、電源スイッチ731、操作キー733、スピーカー735などを備えている。筐体721、筐体723の少なくとも一には、先の実施の形態に示す記憶装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された電子書籍が実現される。

10

## 【0312】

図15(D)は、携帯電話機であり、筐体740と筐体741の2つの筐体で構成されている。さらに、筐体740と筐体741は、スライドし、図15(D)のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。また、筐体741は、表示パネル742、スピーカー743、マイクロフォン744、操作キー745、ポインティングデバイス746、カメラ用レンズ747、外部接続端子748などを備えている。また、筐体740は、携帯電話機の充電を行う太陽電池セル749、外部メモリスロット750などを備えている。また、アンテナは、筐体741に内蔵されている。筐体740と筐体741の少なくとも一には、先の実施の形態に示す記憶装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯電話機が実現される。

20

## 【0313】

図15(E)は、デジタルカメラであり、本体761、表示部767、接眼部763、操作スイッチ764、表示部765、バッテリー766などによって構成されている。本体761内には、先の実施の形態に示す記憶装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたデジタルカメラが実現される。

## 【0314】

図15(F)は、テレビジョン装置770であり、筐体771、表示部773、スタンド775などで構成されている。テレビジョン装置770の操作は、筐体771が備えるスイッチや、リモコン操作機780により行うことができる。筐体771およびリモコン操作機780には、先の実施の形態に示す記憶装置が搭載されている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたテレビジョン装置が実現される。

30

## 【0315】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る記憶装置が搭載されている。このため、消費電力を低減した電子機器が実現される。

## 【0316】

(実施の形態5)

酸化物半導体に限らず、実際に測定される絶縁ゲート型トランジスタの電界効果移動度は、さまざまな理由によって本来の移動度よりも低くなる。移動度を低下させる要因としては半導体内部の欠陥や半導体と絶縁膜との界面の欠陥があるが、Levinsonモデルを用いると、半導体内部に欠陥がないと仮定した場合の電界効果移動度を理論的に導き出せる。そこで、本実施の形態では、半導体内部に欠陥がない理想的な酸化物半導体の電界効果移動度を理論的に導き出すとともに、このような酸化物半導体を用いて微細なトランジスタを作製した場合の特性の計算結果を示す。

40

## 【0317】

半導体本来の移動度を $\mu_0$ 、測定される電界効果移動度を $\mu$ とし、半導体中に何らかのポテンシャル障壁(粒界等)が存在すると仮定すると、以下の式で表現できる。

## 【0318】

50

【数2】

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

【0319】

ここで、Eはポテンシャル障壁の高さであり、kがボルツマン定数、Tは絶対温度である。また、ポテンシャル障壁が欠陥に由来すると仮定すると、Levinsonモデルでは、以下の式で表現できる。

【0320】

10

【数3】

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

【0321】

ここで、eは電気素量、Nはチャネル内の単位面積当たりの平均欠陥密度、 $\mu$ は半導体の誘電率、nは単位面積当たりのチャネルに含まれるキャリア数、 $C_{ox}$ は単位面積当たりの容量、 $V_g$ はゲート電圧、tはチャネルの厚さである。なお、厚さ30nm以下の半

20

導体層であれば、チャネルの厚さは半導体層の厚さと同じとして差し支えない。線形領域におけるドレイン電流 $I_d$ は、以下の式で表現できる。

【0322】

【数4】

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

【0323】

30

ここで、Lはチャネル長、Wはチャネル幅であり、ここでは、 $L = W = 10 \mu m$ である。また、 $V_d$ はドレイン電圧である。

上式の両辺を $V_g$ で割り、更に両辺の対数を取ると、以下のようになる。

【0324】

【数5】

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g}$$

【0325】

40

数5の右辺は $V_g$ の関数である。この式からわかるように、縦軸を $\ln(I_d / V_g)$ 、横軸を $1 / V_g$ として実測値をプロットして得られるグラフの直線の傾きから欠陥密度Nが求められる。すなわち、トランジスタの $I_d - V_g$ 特性から、欠陥密度を評価できる。酸化物半導体としては、インジウム(In)、スズ(Sn)、亜鉛(Zn)の比率が、 $In : Sn : Zn = 1 : 1 : 1$ のものでは欠陥密度Nは $1 \times 10^{12} / cm^2$ 程度である。

【0326】

このようにして求めた欠陥密度等をもとに数2および数3より $\mu_0 = 120 cm^2 / Vs$ が導出される。欠陥のあるIn-Sn-Zn酸化物で測定される移動度は $35 cm^2 / Vs$ 程度である。しかし、半導体内部および半導体と絶縁膜との界面の欠陥が無い酸化物

50

半導体の移動度  $\mu_0$  は  $120 \text{ cm}^2 / \text{Vs}$  となると予想できる。

【0327】

ただし、半導体内部に欠陥がなくても、チャネルとゲート絶縁層との界面での散乱によってトランジスタの輸送特性は影響を受ける。すなわち、ゲート絶縁層界面から  $x$  だけ離れた場所における移動度  $\mu_1$  は、以下の式で表現できる。

【0328】

【数6】

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{G}\right)$$

10

【0329】

ここで、 $D$  はゲート方向の電界、 $B$ 、 $G$  は定数である。 $B$  および  $G$  は、実際の測定結果より求めることができ、上記の測定結果からは、 $B = 4.75 \times 10^7 \text{ cm/s}$ 、 $G = 10 \text{ nm}$  (界面散乱が及ぶ深さ) である。 $D$  が増加する (すなわち、ゲート電圧が高くなる) と数6の第2項が増加するため、移動度  $\mu_1$  は低下することがわかる。

【0330】

半導体内部の欠陥が無い理想的な酸化物半導体をチャネルに用いたトランジスタの移動度  $\mu_2$  を計算した結果を図23に示す。なお、計算にはシノプシス社製デバイスシミュレーションソフト、Sentaurus Deviceを使用し、酸化物半導体のバンドギャップ、電子親和力、比誘電率、厚さをそれぞれ、2.8電子ボルト、4.7電子ボルト、15、15 nmとした。これらの値は、スパッタリング法により形成された薄膜を測定して得られたものである。

20

【0331】

さらに、ゲート、ソース、ドレインの仕事関数をそれぞれ、5.5電子ボルト、4.6電子ボルト、4.6電子ボルトとした。また、ゲート絶縁層の厚さは100 nm、比誘電率は4.1とした。チャネル長およびチャネル幅はともに10  $\mu\text{m}$ 、ドレイン電圧  $V_d$  は0.1 Vである。

【0332】

図23で示されるように、ゲート電圧1 V強で移動度  $100 \text{ cm}^2 / \text{Vs}$  以上のピークをつけるが、ゲート電圧がさらに高くなると、界面散乱が大きくなり、移動度が低下する。なお、界面散乱を低減するためには、半導体層表面を原子レベルで平坦にすること (Atomic Layer Flatness) が望ましい。

30

【0333】

このような移動度を有する酸化物半導体を用いて微細なトランジスタを作製した場合の特性を計算した結果を図24乃至図26に示す。なお、計算に用いたトランジスタの断面構造を図27に示す。図27に示すトランジスタは酸化物半導体層に  $n^+$  の導電性を呈する半導体領域8103aおよび半導体領域8103cを有する。半導体領域8103aおよび半導体領域8103cの抵抗率は  $2 \times 10^{-3} \text{ cm}$  とする。

【0334】

40

図27(A)に示すトランジスタは、下地絶縁層8101と、下地絶縁層8101に埋め込まれるように形成された酸化アルミニウムよりなる埋め込み絶縁物8102の上に形成される。トランジスタは半導体領域8103a、半導体領域8103cと、それらに挟まれ、チャネル形成領域となる真性の半導体領域8103bと、ゲート8105を有する。

【0335】

ゲート8105と半導体領域8103bの間には、ゲート絶縁層8104を有し、また、ゲート8105の両側面には側壁絶縁物8106aおよび側壁絶縁物8106b、ゲート8105の上部には、ゲート8105と他の配線との短絡を防止するための絶縁物8107を有する。側壁絶縁物の幅は5 nmとする。また、半導体領域8103aおよび半導

50

体領域 8103c に接して、ソース 8108a およびドレイン 8108b を有する。なお、このトランジスタにおけるチャンネル幅を 40 nm とする。

【0336】

図 27 (B) に示すトランジスタは、下地絶縁層 8101 と、酸化アルミニウムよりなる埋め込み絶縁物 8102 の上に形成され、半導体領域 8103a、半導体領域 8103c と、それらに挟まれた真性の半導体領域 8103b と、幅 33 nm のゲート 8105 とゲート絶縁層 8104 と側壁絶縁物 8106a および側壁絶縁物 8106b と絶縁物 8107 とソース 8108a およびドレイン 8108b を有する点で図 27 (A) に示すトランジスタと同じである。

【0337】

図 27 (A) に示すトランジスタと図 27 (B) に示すトランジスタの相違点は、側壁絶縁物 8106a および側壁絶縁物 8106b の下の半導体領域の導電型である。図 27 (A) に示すトランジスタでは、側壁絶縁物 8106a および側壁絶縁物 8106b の下の半導体領域は  $n^+$  の導電型を呈する半導体領域 8103a および半導体領域 8103c であるが、図 27 (B) に示すトランジスタでは、真性の半導体領域 8103b である。すなわち、図 27 (B) に示す半導体層において、半導体領域 8103a (半導体領域 8103c) とゲート 8105 が  $L_{off}$  だけ重ならない領域ができています。この領域をオフセット領域といい、その幅  $L_{off}$  をオフセット長という。図から明らかのように、オフセット長は、側壁絶縁物 8106a (側壁絶縁物 8106b) の幅と同じである。

【0338】

その他の計算に使用するパラメータは上述の通りである。計算にはシノプシス社製デバイスシミュレーションソフト、Sentaurus Device を使用した。図 24 は、図 27 (A) に示される構造のトランジスタのドレイン電流 ( $I_d$ 、実線) および移動度 ( $\mu$ 、点線) のゲート電圧 ( $V_g$ 、ゲートとソースの電位差) 依存性を示す。ドレイン電流  $I_d$  は、ドレイン電圧 (ドレインとソースの電位差) を +1 V とし、移動度  $\mu$  はドレイン電圧を +0.1 V として計算したものである。

【0339】

図 24 (A) はゲート絶縁層の厚さを 15 nm としたものであり、図 24 (B) は 10 nm としたものであり、図 24 (C) は 5 nm としたものである。ゲート絶縁層が薄くなるほど、特にオフ状態でのドレイン電流  $I_d$  (オフ電流) が顕著に低下する。一方、移動度  $\mu$  のピーク値やオン状態でのドレイン電流  $I_d$  (オン電流) には目立った変化が無い。ゲート電圧 1 V 前後で、ドレイン電流はメモリセル等で必要とされる 10  $\mu$  A を超えることが示された。

【0340】

図 25 は、図 27 (B) に示される構造のトランジスタで、オフセット長  $L_{off}$  を 5 nm としたもののドレイン電流  $I_d$  (実線) および移動度  $\mu$  (点線) のゲート電圧  $V_g$  依存性を示す。ドレイン電流  $I_d$  は、ドレイン電圧を +1 V とし、移動度  $\mu$  はドレイン電圧を +0.1 V として計算したものである。図 25 (A) はゲート絶縁層の厚さを 15 nm としたものであり、図 25 (B) は 10 nm としたものであり、図 25 (C) は 5 nm としたものである。

【0341】

また、図 26 は、図 27 (B) に示される構造のトランジスタで、オフセット長  $L_{off}$  を 15 nm としたもののドレイン電流  $I_d$  (実線) および移動度  $\mu$  (点線) のゲート電圧依存性を示す。ドレイン電流  $I_d$  は、ドレイン電圧を +1 V とし、移動度  $\mu$  はドレイン電圧を +0.1 V として計算したものである。図 26 (A) はゲート絶縁層の厚さを 15 nm としたものであり、図 26 (B) は 10 nm としたものであり、図 26 (C) は 5 nm としたものである。

【0342】

いずれもゲート絶縁層が薄くなるほど、オフ電流が顕著に低下する一方、移動度  $\mu$  のピーク値やオン電流には目立った変化が無い。

10

20

30

40

50

## 【0343】

なお、移動度 $\mu$ のピークは、図24では $80\text{ cm}^2/\text{Vs}$ 程度であるが、図25では $60\text{ cm}^2/\text{Vs}$ 程度、図26では $40\text{ cm}^2/\text{Vs}$ 程度と、オフセット長 $L_{\text{off}}$ が増加するほど低下する。また、オフ電流も同様な傾向がある。一方、オン電流もオフセット長 $L_{\text{off}}$ の増加にともなって減少するが、オフ電流の低下に比べるとはるかに緩やかである。また、いずれもゲート電圧1V前後で、ドレイン電流はメモリセル等で必要とされる $10\text{ }\mu\text{A}$ を超えることが示された。

## 【0344】

本実施の形態は、上記実施の形態と適宜組み合わせることで実施することが可能である。

## 【0345】

(実施の形態6)

$\text{In}$ 、 $\text{Sn}$ 、 $\text{Zn}$ を主成分とする酸化物半導体をチャネル形成領域とするトランジスタは、該酸化物半導体を形成する際に基板を加熱して成膜すること、或いは酸化物半導体膜を形成した後に熱処理を行うことで良好な特性を得ることができる。なお、主成分とは組成比で5at. %以上含まれる元素をいう。そこで、本実施の形態では、酸化物半導体膜の成膜後に基板を意図的に加熱することで、トランジスタの電界効果移動度を向上させた場合について、図28乃至図34を用いて説明する。

## 【0346】

$\text{In}$ 、 $\text{Sn}$ 、 $\text{Zn}$ を主成分とする酸化物半導体膜の成膜後に基板を意図的に加熱することで、トランジスタの電界効果移動度を向上させることが可能となる。また、トランジスタのしきい値電圧をプラスシフトさせ、ノーマリ・オフ化させることが可能となる。

## 【0347】

例えば、図28(A)~(C)は、 $\text{In}$ 、 $\text{Sn}$ 、 $\text{Zn}$ を主成分とし、チャネル長 $L$ が $3\text{ }\mu\text{m}$ 、チャネル幅 $W$ が $10\text{ }\mu\text{m}$ である酸化物半導体膜と、厚さ $100\text{ nm}$ のゲート絶縁膜を用いたトランジスタの特性である。なお、 $V_{\text{d}}$ は $10\text{ V}$ とした。

## 【0348】

図28(A)は基板を意図的に加熱せずにスパッタリング法で $\text{In}$ 、 $\text{Sn}$ 、 $\text{Zn}$ を主成分とする酸化物半導体膜を形成したときのトランジスタ特性である。このとき電界効果移動度は $18.8\text{ cm}^2/\text{Vs e c}$ が得られている。一方、基板を意図的に加熱して $\text{In}$ 、 $\text{Sn}$ 、 $\text{Zn}$ を主成分とする酸化物半導体膜を形成すると電界効果移動度を向上させることが可能となる。図28(B)は基板を $200$  に加熱して $\text{In}$ 、 $\text{Sn}$ 、 $\text{Zn}$ を主成分とする酸化物半導体膜を形成したときのトランジスタ特性を示すが、電界効果移動度は $32.2\text{ cm}^2/\text{Vs e c}$ が得られている。

## 【0349】

電界効果移動度は、 $\text{In}$ 、 $\text{Sn}$ 、 $\text{Zn}$ を主成分とする酸化物半導体膜を形成した後に熱処理をすることによって、さらに高めることができる。図28(C)は、 $\text{In}$ 、 $\text{Sn}$ 、 $\text{Zn}$ を主成分とする酸化物半導体膜を $200$  でスパッタリング成膜した後、 $650$  で熱処理をしたときのトランジスタ特性を示す。このとき電界効果移動度は $34.5\text{ cm}^2/\text{Vs e c}$ が得られている。

## 【0350】

基板を意図的に加熱することでスパッタリング成膜中の水分が酸化物半導体膜中に取り込まれるのを低減する効果が期待できる。また、成膜後に熱処理をすることによっても、酸化物半導体膜から水素や水酸基若しくは水分を放出させ除去することができ、上記のように電界効果移動度を向上させることができる。このような電界効果移動度の向上は、脱水化・脱水素化による不純物の除去のみならず、高密度化により原子間距離が短くなるためとも推定される。また、酸化物半導体から不純物を除去して高純度化することで結晶化を図ることができる。このように高純度化された非単結晶酸化物半導体は、理想的には $100\text{ cm}^2/\text{Vs e c}$ を超える電界効果移動度を実現することも可能になると推定される。

## 【0351】

10

20

30

40

50

In、Sn、Znを主成分とする酸化物半導体に酸素イオンを注入し、熱処理により該酸化物半導体に含まれる水素や水酸基若しくは水分を放出させ、その熱処理と同時に又はその後の熱処理により酸化物半導体を結晶化させても良い。このような結晶化若しくは再結晶化の処理により結晶性の良い非単結晶酸化物半導体を得ることができる。

【0352】

基板を意図的に加熱して成膜すること及び/又は成膜後に熱処理することの効果は、電界効果移動度の向上のみならず、トランジスタのノーマリ・オフ化を図ることに寄与している。基板を意図的に加熱しないで形成されたIn、Sn、Znを主成分とする酸化物半導体膜をチャネル形成領域としたトランジスタは、しきい値電圧がマイナスシフトしてしまう傾向がある。しかし、基板を意図的に加熱して形成された酸化物半導体膜を用いた場合、このしきい値電圧のマイナスシフト化は解消される。つまり、しきい値電圧はトランジスタがノーマリ・オフとなる方向に動き、このような傾向は図28(A)と図28(B)の対比からも確認することができる。

10

【0353】

なお、しきい値電圧はIn、Sn及びZnの比率を変えることによっても制御することが可能であり、組成比としてIn:Sn:Zn=2:1:3とすることでトランジスタのノーマリ・オフ化を期待することができる。また、ターゲットの組成比をIn:Sn:Zn=2:1:3とすることで結晶性の高い酸化物半導体膜を得ることができる。

【0354】

意図的な基板加熱温度若しくは熱処理温度は、150 以上、好ましくは200 以上、より好ましくは400 以上であり、より高温で成膜し或いは熱処理することでトランジスタのノーマリ・オフ化を図ることが可能となる。

20

【0355】

また、意図的に基板を加熱した成膜及び/又は成膜後に熱処理をすることで、ゲートバイアス・ストレスに対する安定性を高めることができる。例えば、2MV/cm、150、1時間印加の条件において、ドリフトがそれぞれ±1.5V未満、好ましくは1.0V未満を得ることができる。

【0356】

実際に、酸化物半導体膜成膜後に加熱処理を行っていない試料1と、650 の加熱処理を行った試料2のトランジスタに対してBT試験を行った。

30

【0357】

まず基板温度を25 とし、 $V_{ds}$ を10Vとし、トランジスタの $V_g - I_d$ 特性の測定を行った。なお、 $V_{ds}$ はドレイン電圧(ドレインとソースの電位差)を示す。次に、基板温度を150 とし、 $V_{ds}$ を0.1Vとした。次に、ゲート絶縁膜に印加される電界強度が2MV/cmとなるように $V_g$ に20Vを印加し、そのまま1時間保持した。次に、 $V_g$ を0Vとした。次に、基板温度25 とし、 $V_{ds}$ を10Vとし、トランジスタの $V_g - I_d$ 測定を行った。これをプラスBT試験と呼ぶ。

【0358】

同様に、まず基板温度を25 とし、 $V_{ds}$ を10Vとし、トランジスタの $V_g - I_d$ 特性の測定を行った。次に、基板温度を150 とし、 $V_{ds}$ を0.1Vとした。次に、ゲート絶縁膜に印加される電界強度が-2MV/cmとなるように $V_g$ に-20Vを印加し、そのまま1時間保持した。次に、 $V_g$ を0Vとした。次に、基板温度25 とし、 $V_{ds}$ を10Vとし、トランジスタの $V_g - I_d$ 測定を行った。これをマイナスBT試験と呼ぶ。

40

【0359】

試料1のプラスBT試験の結果を図29(A)に、マイナスBT試験の結果を図29(B)に示す。また、試料2のプラスBT試験の結果を図30(A)に、マイナスBT試験の結果を図30(B)に示す。

【0360】

試料1のプラスBT試験およびマイナスBT試験によるしきい値電圧の変動は、それぞ

50

れ 1.80 V および -0.42 V であった。また、試料 2 のプラス B T 試験およびマイナス B T 試験によるしきい値電圧の変動は、それぞれ 0.79 V および 0.76 V であった。

試料 1 および試料 2 のいずれも、B T 試験前後におけるしきい値電圧の変動が小さく、信頼性が高いことがわかる。

#### 【0361】

熱処理は酸素雰囲気中で行うことができるが、まず窒素若しくは不活性ガス、または減圧下で熱処理を行ってから酸素を含む雰囲気中で熱処理を行っても良い。最初に脱水化・脱水素化を行ってから酸素を酸化物半導体に加えることで、熱処理の効果をより高めることができる。また、後から酸素を加えるには、酸素イオンを電界で加速して酸化物半導体膜に注入する方法を適用しても良い。

10

#### 【0362】

酸化物半導体中及び該酸化物半導体と接する膜との界面には、酸素欠損による欠陥が生成されやすいが、かかる熱処理により酸化物半導体中に酸素を過剰に含ませることにより、定常的に生成される酸素欠損を過剰な酸素によって補償することが可能となる。過剰酸素は主に格子間に存在する酸素であり、その酸素濃度は  $1 \times 10^{16} / \text{cm}^3$  以上  $2 \times 10^{20} / \text{cm}^3$  以下とすれば、結晶に歪み等を与えることなく酸化物半導体中に含ませることができる。

#### 【0363】

また、熱処理によって酸化物半導体に結晶が少なくとも一部に含まれるようにすることで、より安定な酸化物半導体膜を得ることができる。例えば、組成比  $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$  のターゲットを用いて、基板を意図的に加熱せずにスパッタリング成膜した酸化物半導体膜は、X線回折 (XRD: X-Ray Diffraction) でハローパターンが観測される。この成膜された酸化物半導体膜を熱処理することによって結晶化させることができる。熱処理温度は任意であるが、例えば 650 の熱処理を行うことで、X線回折により明確な回折ピークを観測することができる。

20

#### 【0364】

実際に、 $\text{In} - \text{Sn} - \text{Zn} - \text{O}$  膜の XRD 分析を行った。XRD 分析には、Bruker AXS 社製 X線回折装置 D8 ADVANCE を用い、Out-of-Plane 法で測定した。

30

#### 【0365】

XRD 分析を行った試料として、試料 A および試料 B を用意した。以下に試料 A および試料 B の作製方法を説明する。

#### 【0366】

脱水素化処理済みの石英基板上に  $\text{In} - \text{Sn} - \text{Zn} - \text{O}$  膜を 100 nm の厚さで成膜した。

#### 【0367】

$\text{In} - \text{Sn} - \text{Zn} - \text{O}$  膜は、スパッタリング装置を用い、酸素雰囲気中で電力を 100 W (DC) として成膜した。ターゲットは、原子数比で、 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$  の  $\text{In} - \text{Sn} - \text{Zn} - \text{O}$  ターゲットを用いた。なお、成膜時の基板加熱温度は 200 とした。このようにして作製した試料を試料 A とした。

40

#### 【0368】

次に、試料 A と同様の方法で作製した試料に対し加熱処理を 650 の温度で行った。加熱処理は、はじめに窒素雰囲気中で 1 時間の加熱処理を行い、温度を下げずに酸素雰囲気ですらに 1 時間の加熱処理を行っている。このようにして作製した試料を試料 B とした。

#### 【0369】

図 3 1 に試料 A および試料 B の XRD スペクトルを示す。試料 A では、結晶由来のピークが観測されなかったが、試料 B では、2 が 35 deg 近傍および 37 deg ~ 38 deg に結晶由来のピークが観測された。

#### 【0370】

50

この基板加熱や熱処理は、酸化物半導体にとって悪性の不純物である水素や水酸基を膜中に含ませないようにすること、或いは膜中から除去する作用がある。すなわち、酸化物半導体中でドナー不純物となる水素を除去することで高純度化を図ることができ、それによってトランジスタのノーマリ・オフ化を図ることができ、酸化物半導体が高純度化されることによりオフ電流を  $1 \text{ a A} / \mu\text{m}$  以下にすることができる。ここで、上記オフ電流値の単位は、チャンネル幅  $1 \mu\text{m}$  あたりの電流値を示す。

【0371】

図32に、トランジスタのオフ電流と測定時の基板温度（絶対温度） $T$ の逆数との関係を示す。ここでは、簡単のため測定時の基板温度の逆数に  $1000$  を掛けた数値（ $1000/T$ ）を横軸としている。

10

【0372】

具体的には、図32に示すように、オフ電流は、基板温度が  $125$  の場合には  $1 \text{ a A} / \mu\text{m}$  ( $1 \times 10^{-18} \text{ A} / \mu\text{m}$ ) 以下、 $85$  の場合には  $100 \text{ z A} / \mu\text{m}$  ( $1 \times 10^{-19} \text{ A} / \mu\text{m}$ ) 以下、室温 ( $27$ ) の場合には  $1 \text{ z A} / \mu\text{m}$  ( $1 \times 10^{-21} \text{ A} / \mu\text{m}$ ) 以下にすることができる。オフ電流は、好ましくは、 $125$  において  $0.1 \text{ a A} / \mu\text{m}$  ( $1 \times 10^{-19} \text{ A} / \mu\text{m}$ ) 以下に、 $85$  において  $10 \text{ z A} / \mu\text{m}$  ( $1 \times 10^{-20} \text{ A} / \mu\text{m}$ ) 以下に、室温において  $0.1 \text{ z A} / \mu\text{m}$  ( $1 \times 10^{-22} \text{ A} / \mu\text{m}$ ) 以下にすることができる。これらのオフ電流値は、 $\text{Si}$  を半導体膜として用いたトランジスタに比べて、極めて低いものであることは明らかである。

【0373】

20

もっとも、酸化物半導体膜の成膜時に水素や水分が膜中に混入しないように、成膜室外部からのリークや成膜室内の内壁からの脱ガスを十分抑え、スパッタガスの高純度化を図ることが好ましい。例えば、スパッタガスは水分が膜中に含まれないように露点  $-70$  以下であるガスを用いることが好ましい。また、ターゲットそのものに水素や水分などの不純物が含まれていないように、高純度化されたターゲットを用いることが好ましい。 $\text{In}$ 、 $\text{Sn}$ 、 $\text{Zn}$  を主成分とする酸化物半導体は熱処理によって膜中の水分を除去することができるが、 $\text{In}$ 、 $\text{Ga}$ 、 $\text{Zn}$  を主成分とする酸化物半導体と比べて水分の放出温度が高いため、好ましくは最初から水分の含まれない膜を形成しておくことが好ましい。

【0374】

また、酸化物半導体膜成膜後に  $650$  の加熱処理を行った試料Bを用いたトランジスタにおいて、基板温度と電気的特性の関係について評価した。

30

【0375】

測定に用いたトランジスタは、チャンネル長  $L$  が  $3 \mu\text{m}$ 、チャンネル幅  $W$  が  $10 \mu\text{m}$ 、 $L_{ov}$  が  $0 \mu\text{m}$ 、 $dW$  が  $0 \mu\text{m}$  である。なお、 $V_{ds}$  は  $10 \text{ V}$  とした。なお、基板温度は  $-40$ 、 $-25$ 、 $25$ 、 $75$ 、 $125$  および  $150$  で行った。ここで、トランジスタにおいて、ゲート電極と一対の電極との重畳する幅を  $L_{ov}$  と呼び、酸化物半導体膜に対する一対の電極のはみ出しを  $dW$  と呼ぶ。

【0376】

図33に、 $I_d$ （実線）および電界効果移動度（点線）の  $V_g$  依存性を示す。また、図34（A）に基板温度としきい値電圧の関係を、図34（B）に基板温度と電界効果移動度の関係を示す。

40

【0377】

図34（A）より、基板温度が高いほどしきい値電圧は低くなることがわかる。なお、その範囲は  $-40 \sim 150$  で  $1.09 \text{ V} \sim -0.23 \text{ V}$  であった。

【0378】

また、図34（B）より、基板温度が高いほど電界効果移動度が低くなることがわかる。なお、その範囲は  $-40 \sim 150$  で  $36 \text{ cm}^2 / \text{Vs} \sim 32 \text{ cm}^2 / \text{Vs}$  であった。従って、上述の温度範囲において電気的特性の変動が小さいことがわかる。

【0379】

上記のような  $\text{In}$ 、 $\text{Sn}$ 、 $\text{Zn}$  を主成分とする酸化物半導体をチャンネル形成領域とする

50

トランジスタによれば、オフ電流を  $1 \text{ aA} / \mu\text{m}$  以下に保ちつつ、電界効果移動度を  $30 \text{ cm}^2 / \text{Vsec}$  以上、好ましくは  $40 \text{ cm}^2 / \text{Vsec}$  以上、より好ましくは  $60 \text{ cm}^2 / \text{Vsec}$  以上とし、LSIで要求されるオン電流の値を満たすことができる。例えば、 $L/W = 33 \text{ nm} / 40 \text{ nm}$  のFETで、ゲート電圧  $2.7 \text{ V}$ 、ドレイン電圧  $1.0 \text{ V}$  のとき  $12 \mu\text{A}$  以上のオン電流を流すことができる。またトランジスタの動作に求められる温度範囲においても、十分な電気的特性を確保することができる。このような特性であれば、Si半導体で作られる集積回路の中に酸化物半導体で形成されるトランジスタを混載しても、動作速度を犠牲にすることなく新たな機能を有する集積回路を実現することができる。

【0380】

10

このように、In、Sn、Znを主成分とする酸化物半導体は成膜時に意図的に加熱すること及び/又は成膜後に熱処理することによりトランジスタの特性を向上させることができる。

【0381】

本実施の形態は、上記実施の形態と適宜組み合わせることで実施することが可能である。

【実施例1】

【0382】

本実施例では、In-Sn-Zn-O膜を酸化物半導体膜に用いたトランジスタの一例について、図35などを用いて説明する。

【0383】

20

図35は、コプラナー型であるトップゲート・トップコンタクト構造のトランジスタの上面図および断面図である。図35(A)にトランジスタの上面図を示す。また、図35(B)に図35(A)の一点鎖線A-Bに対応する断面A-Bを示す。

【0384】

図35(B)に示すトランジスタは、基板1101と、基板1101上に設けられた下地絶縁層1102と、下地絶縁層1102の周辺に設けられた保護絶縁膜1104と、下地絶縁層1102および保護絶縁膜1104上に設けられた高抵抗領域1106aおよび低抵抗領域1106bを有する酸化物半導体膜1106と、酸化物半導体膜1106上に設けられたゲート絶縁膜1108と、ゲート絶縁膜1108を介して酸化物半導体膜1106と重畳して設けられたゲート電極1110と、ゲート電極1110の側面と接して設けられた側壁絶縁膜1112と、少なくとも低抵抗領域1106bと接して設けられた一対の電極1114と、少なくとも酸化物半導体膜1106、ゲート電極1110および一対の電極1114を覆って設けられた層間絶縁膜1116と、層間絶縁膜1116に設けられた開口部を介して少なくとも一対の電極1114の一方と電氣的に接続して設けられた配線1118と、を有する。

30

【0385】

なお、図示しないが、層間絶縁膜1116および配線1118を覆って設けられた保護膜を有していても構わない。該保護膜を設けることで、層間絶縁膜1116の表面伝導に起因して生じる微小リーク電流を低減することができ、トランジスタのオフ電流を低減することができる。

40

【0386】

本実施例は、上記実施の形態と適宜組み合わせることで実施することが可能である。

【実施例2】

【0387】

本実施例では、上記とは異なるIn-Sn-Zn-O膜を酸化物半導体膜に用いたトランジスタの他の一例について示す。

【0388】

図36は、本実施例で作製したトランジスタの構造を示す上面図および断面図である。図36(A)はトランジスタの上面図である。また、図36(B)は図36(A)の一点鎖線A-Bに対応する断面図である。

50

## 【 0 3 8 9 】

図 3 6 ( B ) に示すトランジスタは、基板 6 0 0 と、基板 6 0 0 上に設けられた下地絶縁層 6 0 2 と、下地絶縁層 6 0 2 上に設けられた酸化物半導体膜 6 0 6 と、酸化物半導体膜 6 0 6 と接する一対の電極 6 1 4 と、酸化物半導体膜 6 0 6 および一対の電極 6 1 4 上に設けられたゲート絶縁膜 6 0 8 と、ゲート絶縁膜 6 0 8 を介して酸化物半導体膜 6 0 6 と重畳して設けられたゲート電極 6 1 0 と、ゲート絶縁膜 6 0 8 およびゲート電極 6 1 0 を覆って設けられた層間絶縁膜 6 1 6 と、ゲート絶縁膜 6 0 8 および層間絶縁膜 6 1 6 に設けられた開口部を介して一対の電極 6 1 4 と電氣的に接続する配線 6 1 8 と、層間絶縁膜 6 1 6 および配線 6 1 8 を覆って設けられた保護膜 6 2 0 と、を有する。

## 【 0 3 9 0 】

基板 6 0 0 としてはガラス基板を、下地絶縁層 6 0 2 としては酸化シリコン膜を、酸化物半導体膜 6 0 6 としては  $In - Sn - Zn - O$  膜を、一対の電極 6 1 4 としてはタングステン膜を、ゲート絶縁膜 6 0 8 としては酸化シリコン膜を、ゲート電極 6 1 0 としては窒化タンタル膜とタングステン膜との積層構造を、層間絶縁膜 6 1 6 としては酸化窒化シリコン膜とポリイミド膜との積層構造を、配線 6 1 8 としてはチタン膜、アルミニウム膜、チタン膜がこの順で形成された積層構造を、保護膜 6 2 0 としてはポリイミド膜を、それぞれ用いた。

## 【 0 3 9 1 】

なお、図 3 6 ( A ) に示す構造のトランジスタにおいて、ゲート電極 6 1 0 と一対の電極 6 1 4 との重畳する幅を  $L_{ov}$  と呼ぶ。同様に、酸化物半導体膜 6 0 6 に対する一対の電極 6 1 4 のはみ出しを  $dW$  と呼ぶ。

## 【 0 3 9 2 】

本実施例は、上記実施の形態と適宜組み合わせることで実施することが可能である。

## 【 符号の説明 】

## 【 0 3 9 3 】

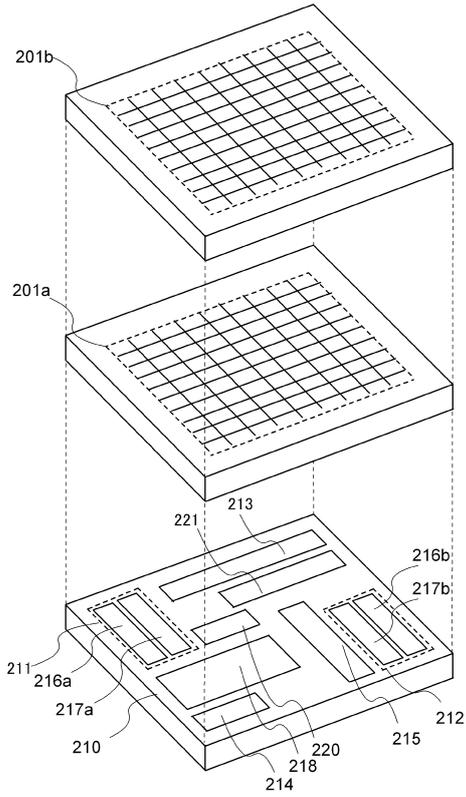
1 0 0	基板	
1 0 6	素子分離絶縁層	
1 0 8	ゲート絶縁層	
1 1 0	ゲート電極	
1 1 6	チャンネル形成領域	30
1 2 0	不純物領域	
1 2 4	金属化合物領域	
1 2 6	電極	
1 2 8	絶縁層	
1 4 0	絶縁層	
1 4 4	酸化物半導体層	
1 4 5	酸化物半導体層	
1 4 6	ゲート絶縁層	
1 4 8	電極層	
1 5 0	絶縁層	40
1 5 1	絶縁層	
1 5 2	絶縁層	
1 5 6	配線	
1 5 9	導電層	
1 6 0	トランジスタ	
1 6 2	トランジスタ	
1 6 4	容量素子	
1 7 0	メモリセル	
2 0 1	メモリセルアレイ	
2 1 0	周辺回路	50

2 1 1	駆動回路	
2 1 2	駆動回路	
2 1 3	駆動回路	
2 1 4	駆動回路	
2 1 5	駆動回路	
2 1 8	コントローラ	
2 1 9	モードレジスタ	
2 2 0	I/Oバッファ	
2 2 1	アドレスバッファ	
2 2 2	センスアンプ	10
2 5 0	中心点	
4 0 1	トランジスタ	
4 0 2	トランジスタ	
4 0 3	トランジスタ	
4 0 4	トランジスタ	
4 0 5	トランジスタ	
4 0 6	トランジスタ	
4 0 7	トランジスタ	
4 0 8	トランジスタ	
4 0 9	トランジスタ	20
4 1 0	トランジスタ	
4 1 1	トランジスタ	
5 0 0	電極	
5 5 1	電極	
5 5 2	電極	
5 5 3	電極	
5 5 6	電極	
5 5 7	電極	
6 0 1	メモリセルアレイ	
6 1 1	ビット線駆動回路	30
6 1 2	ワード線駆動回路	
6 0 0	基板	
6 0 2	下地絶縁層	
6 0 4	一对の電極	
6 0 6	酸化物半導体膜	
6 0 8	ゲート絶縁膜	
6 1 0	ゲート電極	
6 1 4	一对の電極	
6 1 6	層間絶縁膜	
6 1 8	配線	40
6 2 0	保護膜	
7 0 1	筐体	
7 0 2	筐体	
7 0 3	表示部	
7 0 4	キーボード	
7 1 1	本体	
7 1 2	スタイラス	
7 1 3	表示部	
7 1 4	操作ボタン	
7 1 5	外部インターフェイス	50

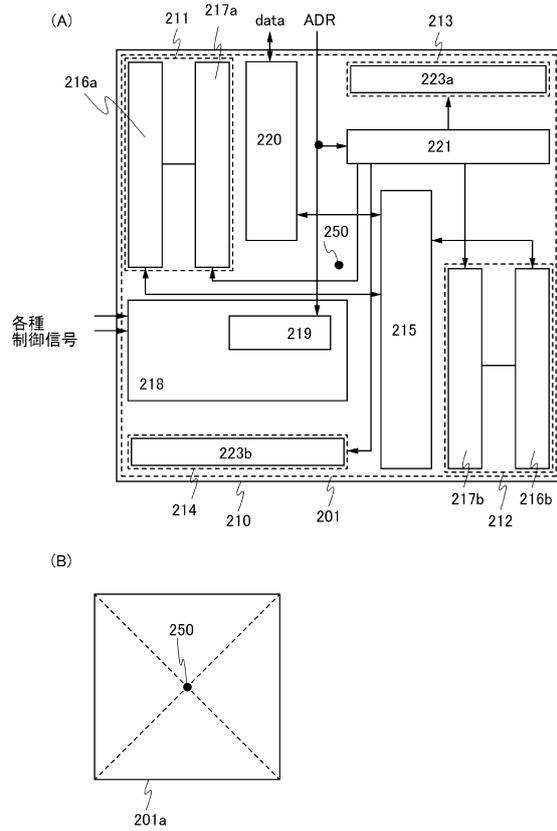
7 2 0	電子書籍	
7 2 1	筐体	
7 2 3	筐体	
7 2 5	表示部	
7 2 7	表示部	
7 3 1	電源スイッチ	
7 3 3	操作キー	
7 3 5	スピーカー	
7 3 7	軸部	
7 4 0	筐体	10
7 4 1	筐体	
7 4 2	表示パネル	
7 4 3	スピーカー	
7 4 4	マイクロフォン	
7 4 5	操作キー	
7 4 6	ポインティングデバイス	
7 4 7	カメラ用レンズ	
7 4 8	外部接続端子	
7 4 9	太陽電池セル	
7 5 0	外部メモリスロット	20
7 6 1	本体	
7 6 3	接眼部	
7 6 4	操作スイッチ	
7 6 5	表示部	
7 6 6	バッテリー	
7 6 7	表示部	
7 7 0	テレビジョン装置	
7 7 1	筐体	
7 7 3	表示部	
7 7 5	スタンド	30
7 8 0	リモコン操作機	
8 4 0	電極	
8 4 1	電極	
8 4 2	絶縁層	
1 3 0 a	ドレイン電極	
1 3 0 b	ドレイン電極	
1 3 6 a	電極	
1 3 6 b	電極	
1 3 6 c	電極	
1 4 2 a	電極	40
1 4 2 b	電極	
1 4 3 a	酸化物導電層	
1 4 3 b	酸化物導電層	
1 4 5 a	結晶性酸化物半導体層	
1 4 5 b	結晶性酸化物半導体層	
1 4 8 a	電極	
1 4 8 b	導電層	
1 5 4 a	電極	
1 7 0 a	メモリセル	
1 7 0 b	メモリセル	50

1 7 0 c	メモリセル	
1 7 0 d	メモリセル	
2 0 1 a	メモリセルアレイ	
2 0 1 b	メモリセルアレイ	
2 1 1 a	駆動回路	
2 1 1 b	駆動回路	
2 1 2 a	駆動回路	
2 1 2 b	駆動回路	
2 1 3 a	駆動回路	
2 1 3 b	駆動回路	10
2 1 4 a	駆動回路	
2 1 4 b	駆動回路	
2 1 6 a	センスアンプ群	
2 1 6 b	センスアンプ群	
2 1 7 a	コラムデコーダ	
2 1 7 b	コラムデコーダ	
2 2 3 a	ローデコーダ	
2 2 3 b	ローデコーダ	
5 0 1 a	電極	
5 0 1 b	電極	20
5 0 2 a	電極	
5 0 2 b	電極	
6 0 1 A	メモリセルアレイ	
6 0 1 B	メモリセルアレイ	
6 0 1 C	メモリセルアレイ	
6 0 1 D	メモリセルアレイ	
1 1 0 1	基板	
1 1 0 2	下地絶縁層	
1 1 0 4	保護絶縁膜	
1 1 0 6 a	高抵抗領域	30
1 1 0 6 b	低抵抗領域	
1 1 0 6	酸化物半導体膜	
1 1 0 8	ゲート絶縁膜	
1 1 1 0	ゲート電極	
1 1 1 2	側壁絶縁膜	
1 1 1 4	一对の電極	
1 1 1 6	層間絶縁膜	
1 1 1 8	配線	
8 1 0 1	下地絶縁層	
8 1 0 2	埋め込み絶縁物	40
8 1 0 3 a	半導体領域	
8 1 0 3 b	半導体領域	
8 1 0 3 c	半導体領域	
8 1 0 4	ゲート絶縁層	
8 1 0 5	ゲート	
8 1 0 6 a	側壁絶縁物	
8 1 0 6 b	側壁絶縁物	
8 1 0 7	絶縁物	
8 1 0 8 a	ソース	
8 1 0 8 b	ドレイン	50

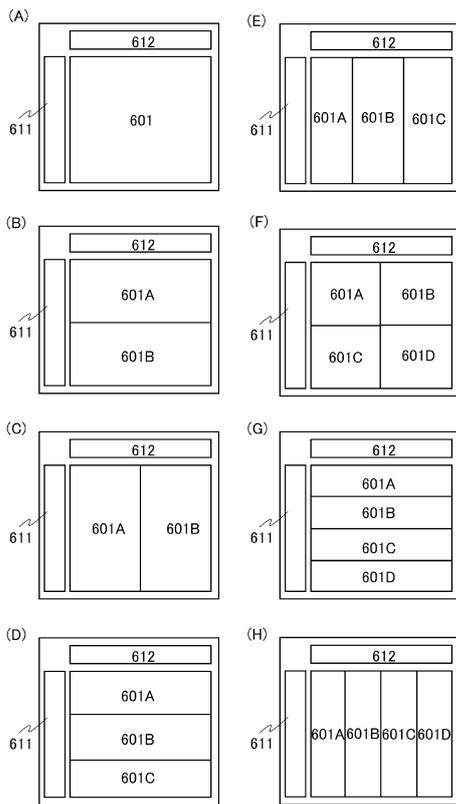
【図1】



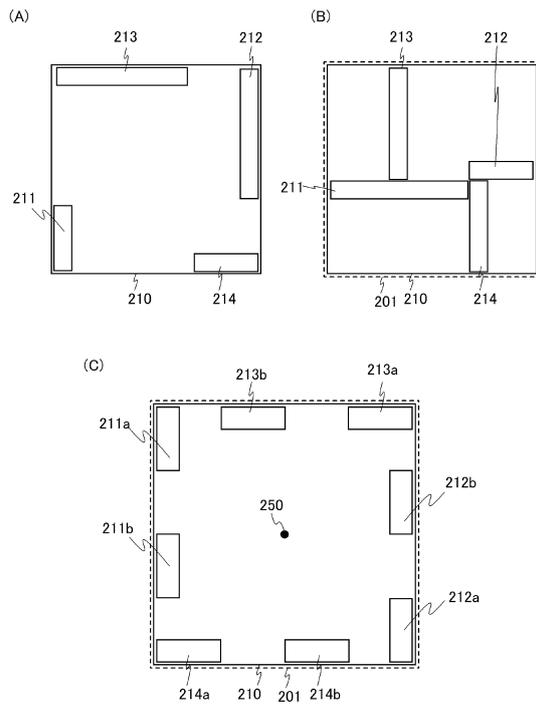
【図2】



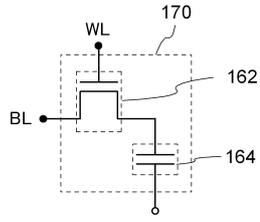
【図3】



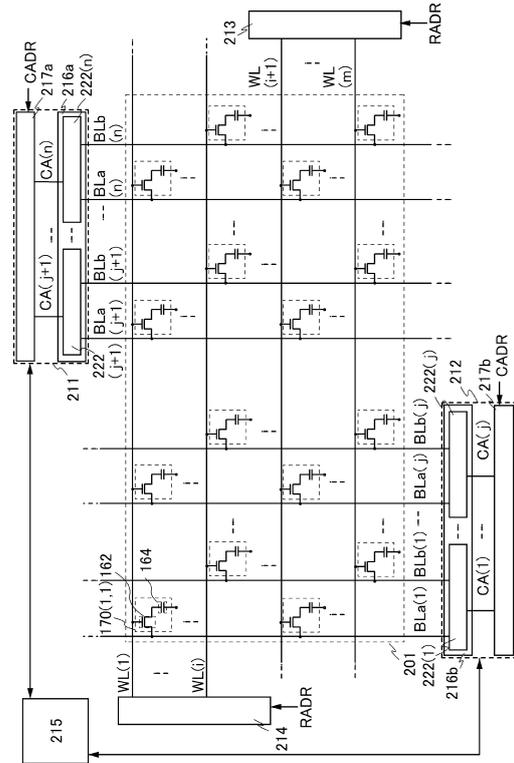
【図4】



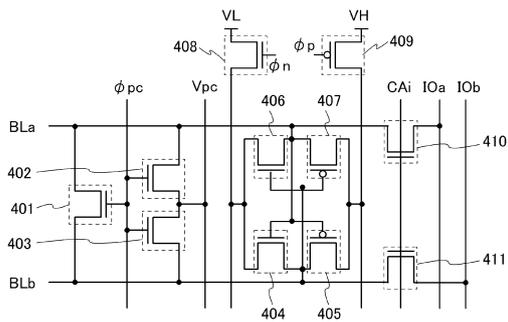
【 図 5 】



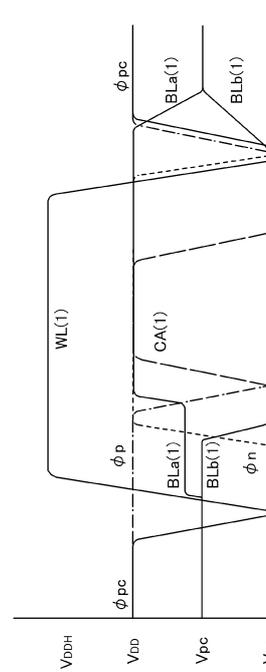
【 図 6 】



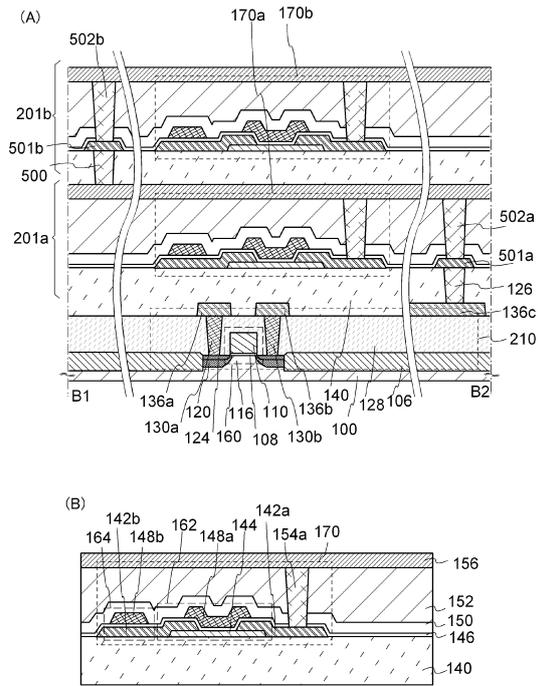
【 図 7 】



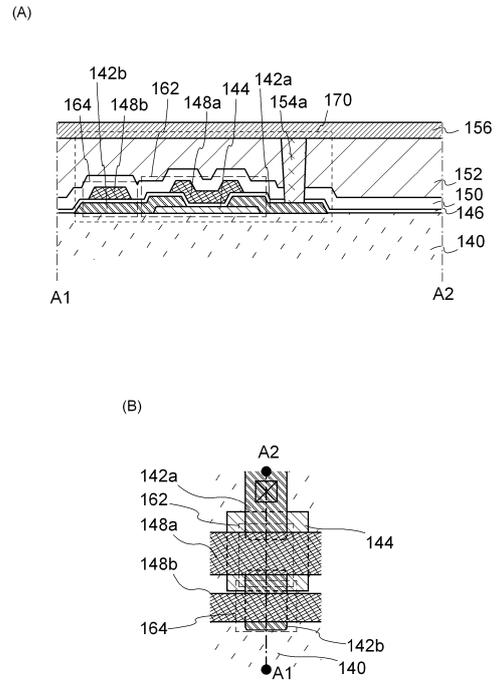
【 図 8 】



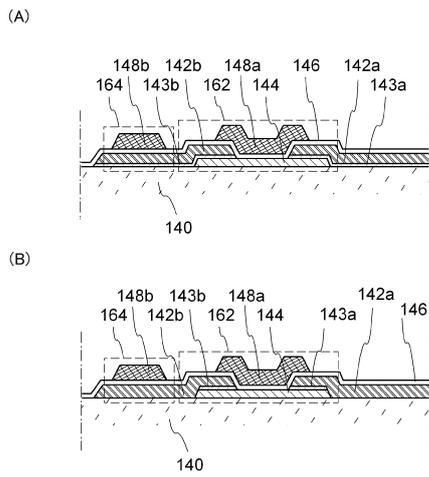
【図 9】



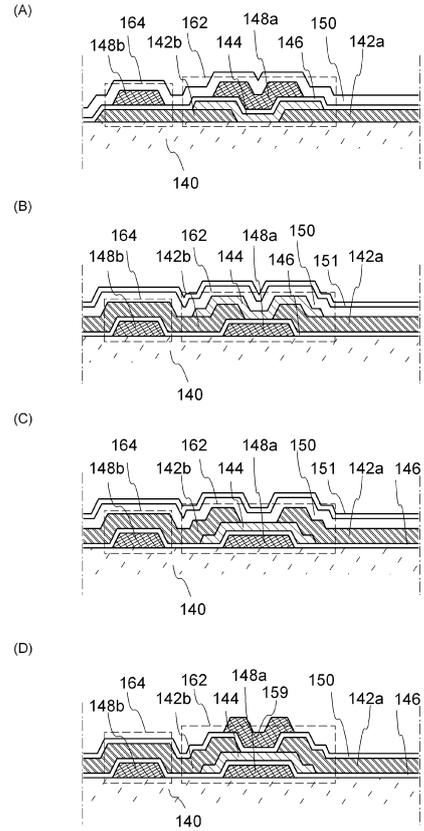
【図 10】



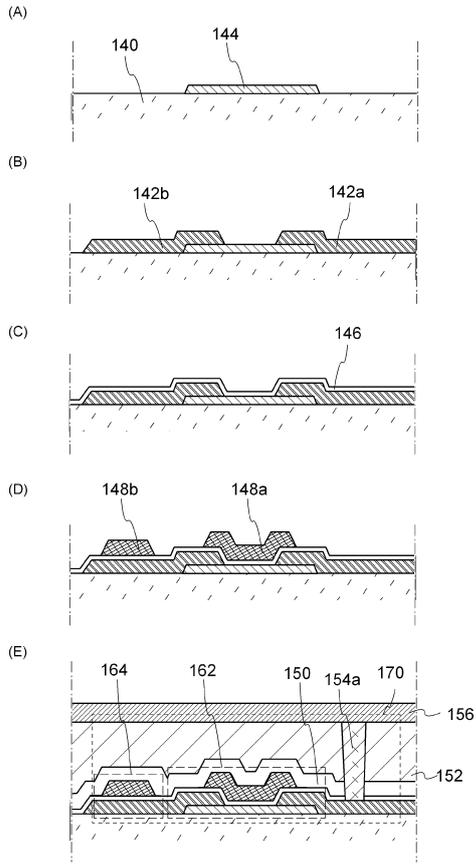
【図 11】



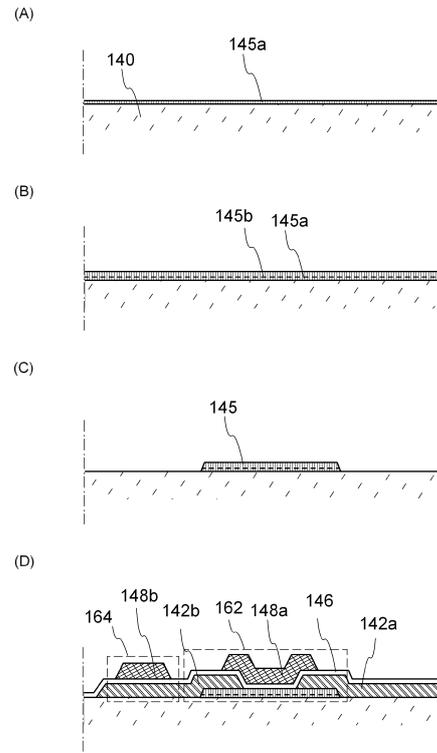
【図 12】



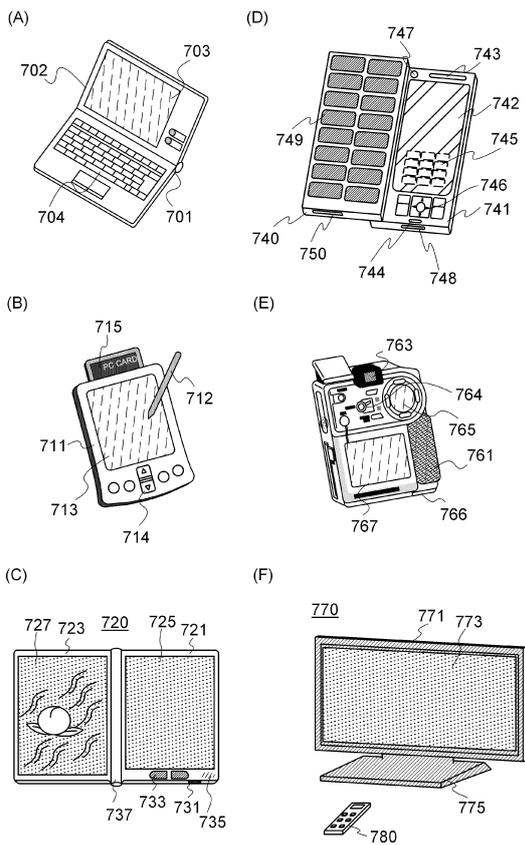
【 図 1 3 】



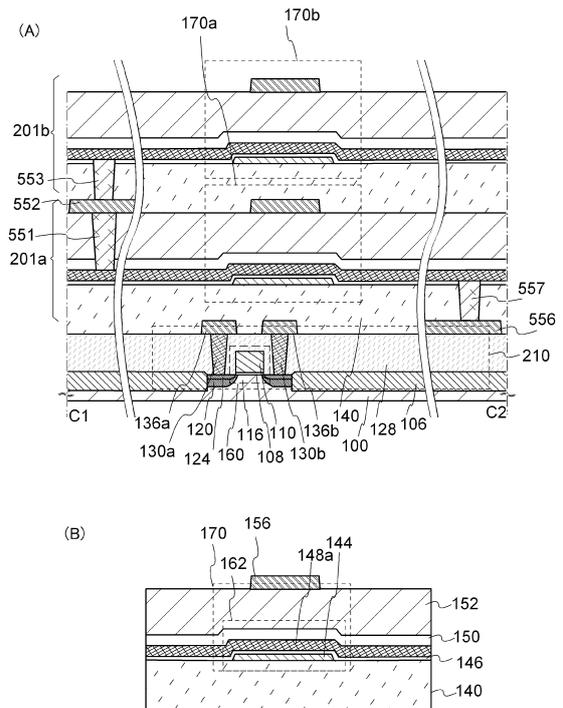
【 図 1 4 】



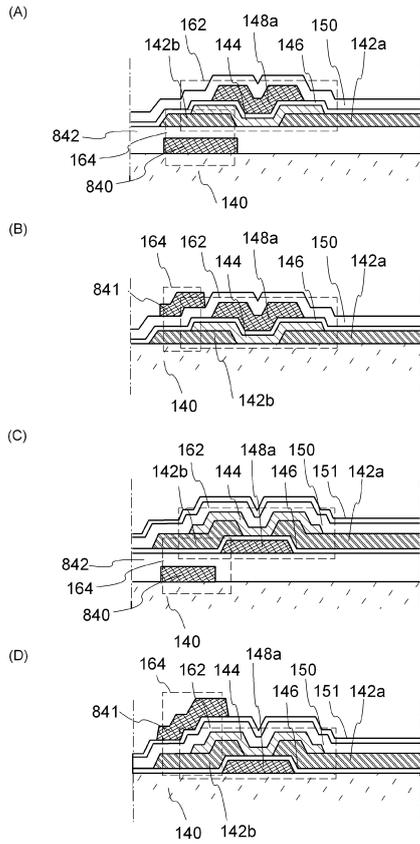
【 図 1 5 】



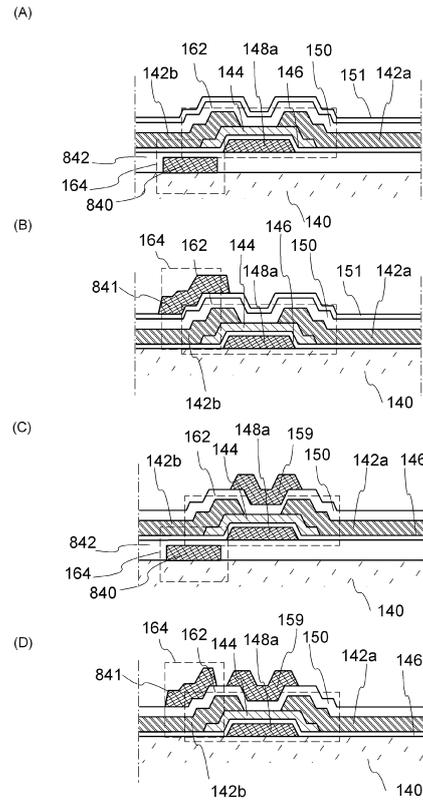
【 図 1 6 】



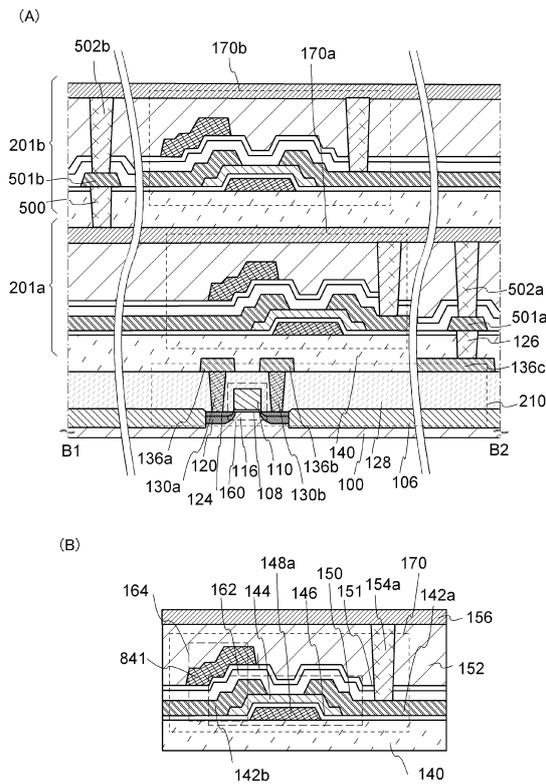
【図17】



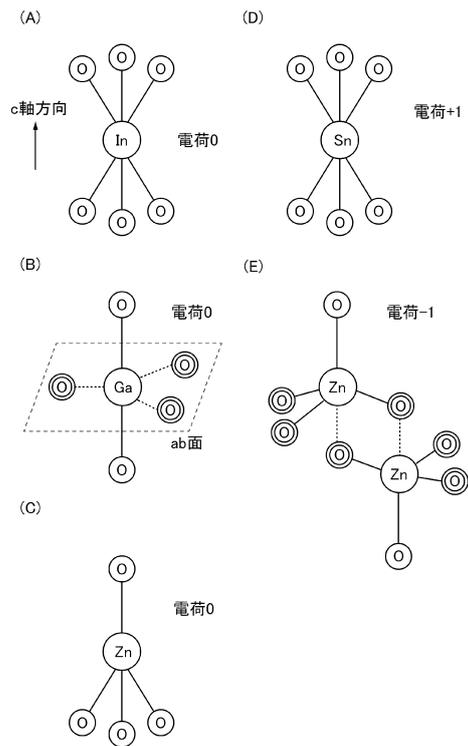
【図18】



【図19】

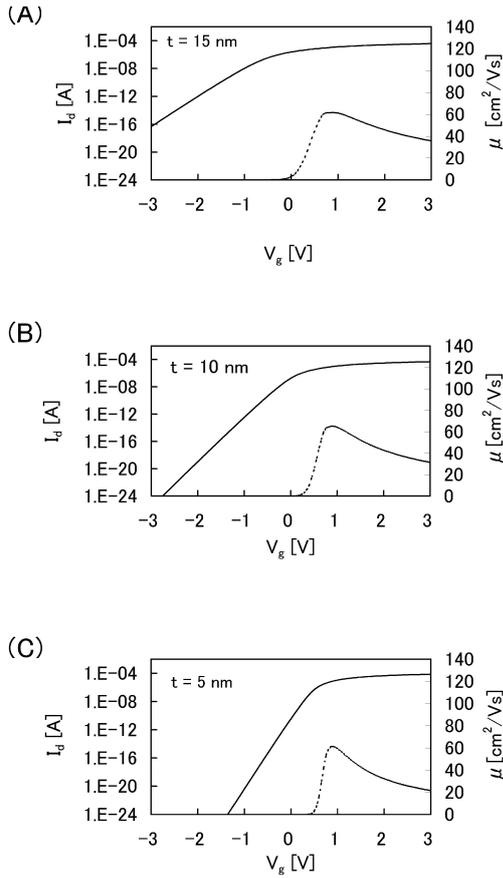


【図20】

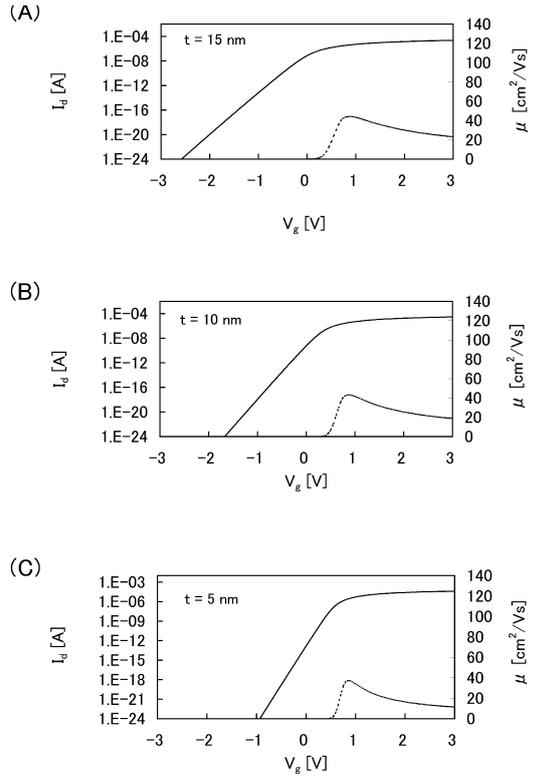




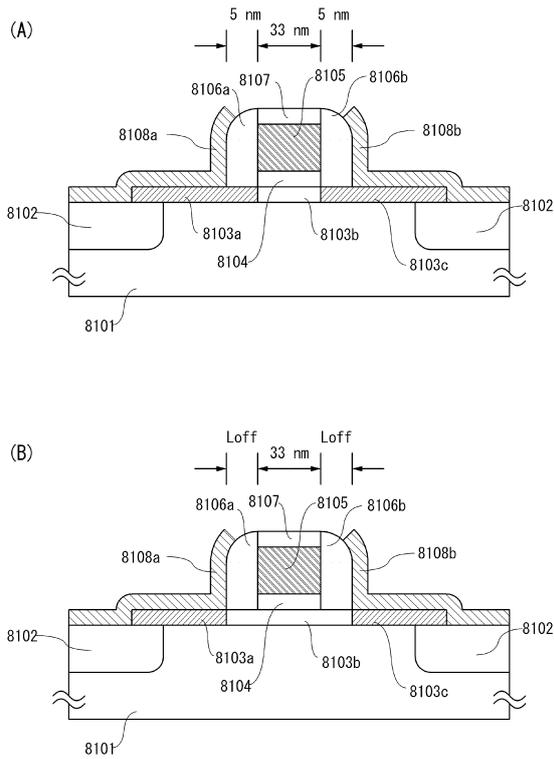
【 2 5 】



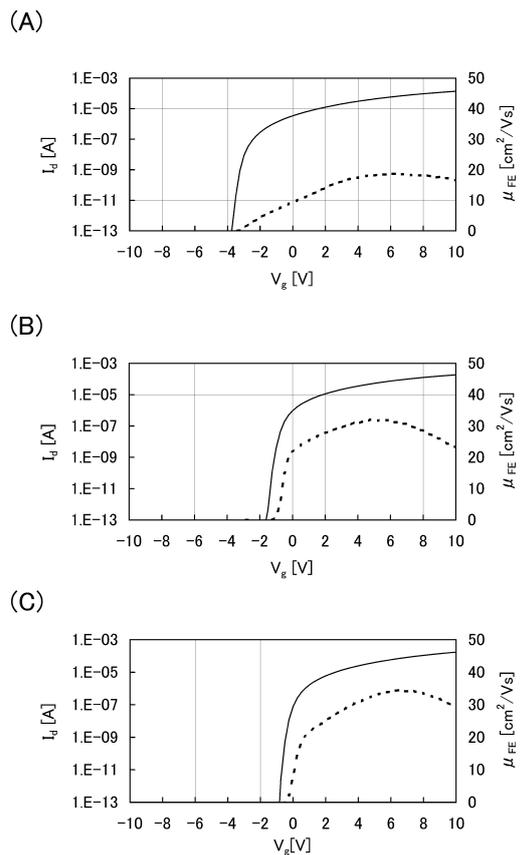
【 2 6 】



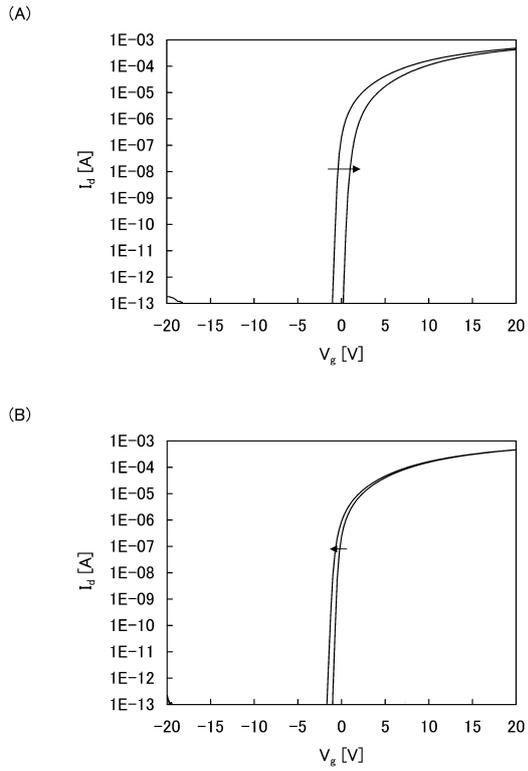
【 2 7 】



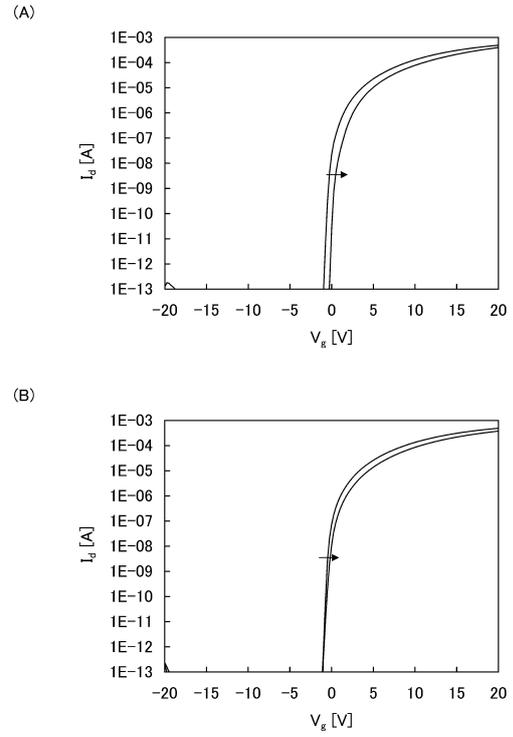
【 2 8 】



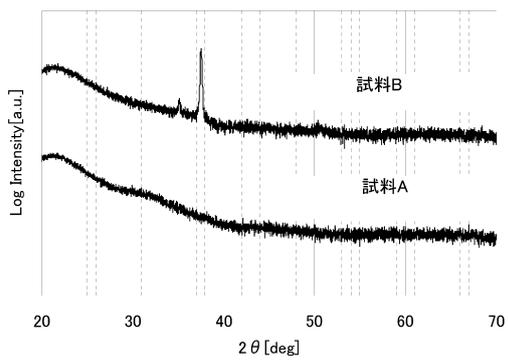
【 図 2 9 】



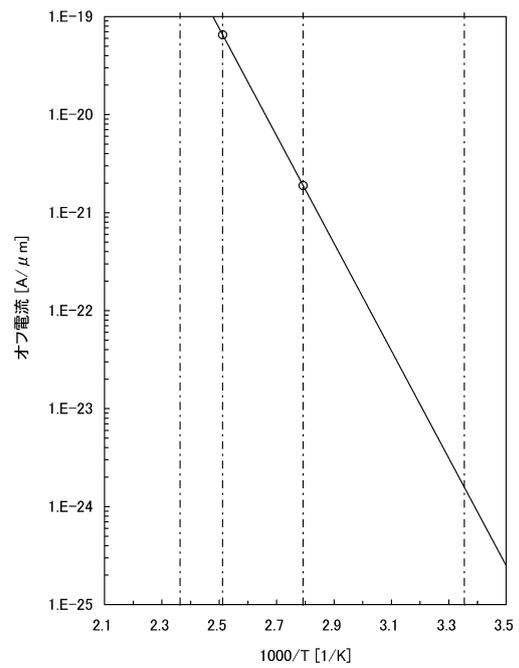
【 図 3 0 】



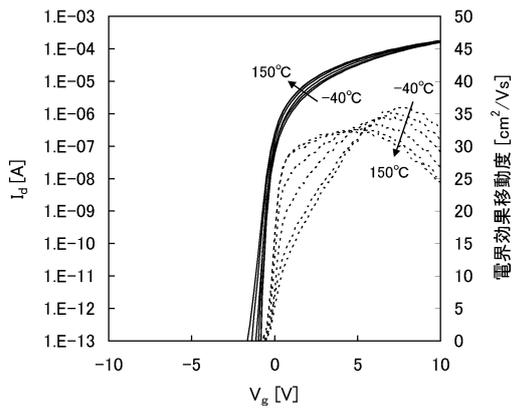
【 図 3 1 】



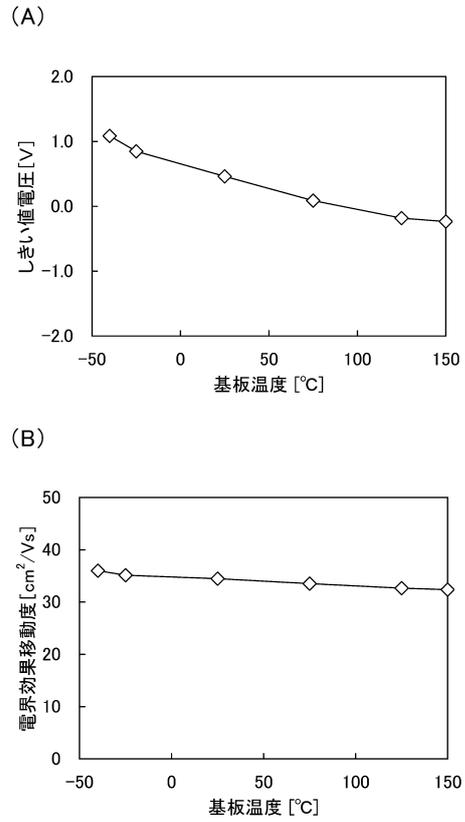
【 図 3 2 】



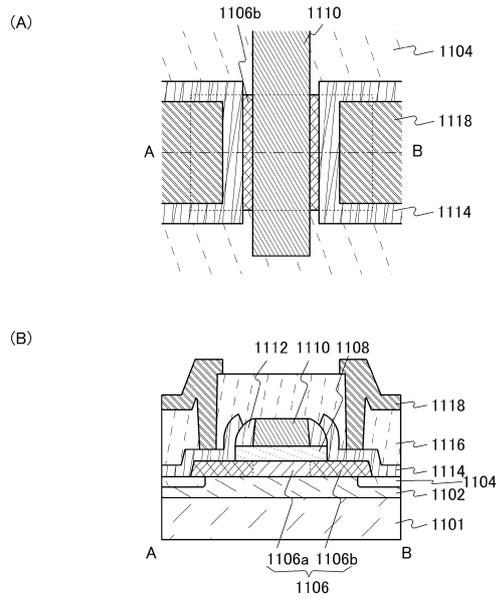
【図 3 3】



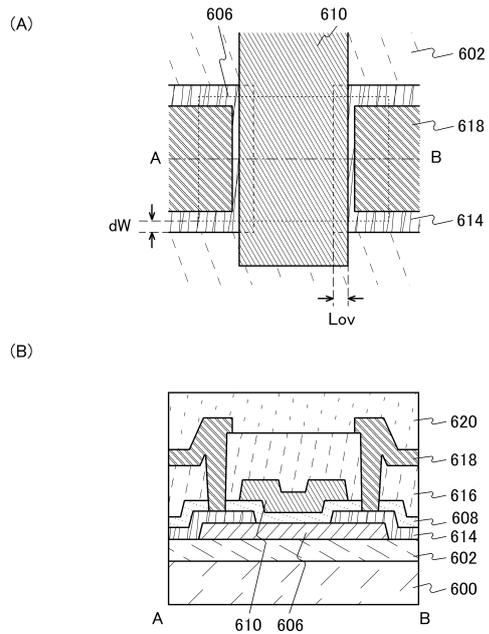
【図 3 4】



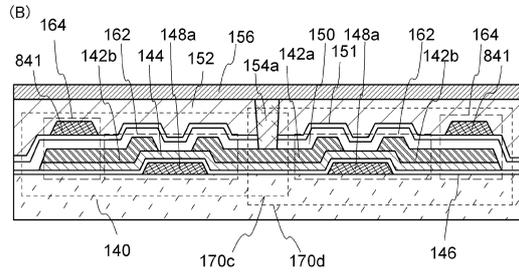
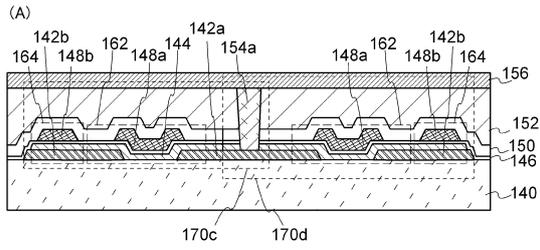
【図 3 5】



【図 3 6】



【 図 37 】



---

フロントページの続き

- (56)参考文献 特開2009-135350(JP,A)  
特開2001-274355(JP,A)  
特開2002-076356(JP,A)  
特開2007-294897(JP,A)  
特開2006-261178(JP,A)  
特表2006-502597(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8242  
H01L 27/108  
H01L 27/1156  
H01L 29/786