



[12] 发明专利说明书

[21] ZL 专利号 98106240.7

[43] 授权公告日 2003 年 6 月 18 日

[11] 授权公告号 CN 1111868C

[22] 申请日 1998.4.9 [21] 申请号 98106240.7

[30] 优先权

[32] 1997. 8. 12 [33] JP [31] 217491/1997

[71] 专利权人 三菱电机株式会社

地址 日本东京都

[72] 发明人 山崎恭治 伊藤孝

审查员 王晓光

[74] 专利代理机构 中国专利代理(香港)有限公司

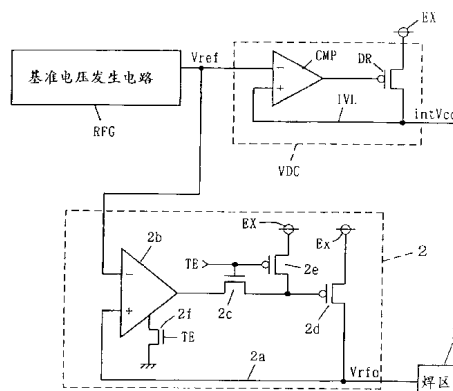
代理人 杨 凯 叶恺东

权利要求书 3 页 说明书 25 页 附图 10 页

[54] 发明名称 能在外部监视内部电压的半导体集成电路装置

[57] 摘要

一种半导体集成电路装置，不增加消耗电流及焊区数，就能准确且容易地进行对所希望的内部电压的测试。接收来自基准电压发生电路(RFG)的基准电压(V_{ref})的驱动电路(2)具有高输入阻抗、低输出阻抗，发生实际上与所接收的基准电压电平相同的电压，具有比基准电压发生电路的电流驱动力大的电流驱动力，将生成的电压传递给焊区(1)。



1. 一种半导体集成电路装置，包括：

至少一个发生规定的电压电平的基准电压的基准电压发生装置；

- 5 对与来自上述至少一个基准电压发生装置的基准电压对应的电压和内部电压线上的电压进行比较，根据该比较结果，调整内部电压线上的电压电平的内部电压发生装置；

其特征在于：

焊区；以及

- 10 设在上述至少一个基准电压发生装置的输出端和焊区之间，接收上述至少一个基准电压发生装置输出的基准电压，发生与上述基准电压实际上电压电平相同的电压，并传递给上述焊区的驱动装置。

2. 根据权利要求1所述的半导体集成电路装置，其特征在于：

- 15 上述驱动装置包括响应测试方式指示信号将上述电压发生工作激活的装置。

3. 根据权利要求1所述的半导体集成电路装置，其特征在于：

上述驱动装置备有发生与从上述至少一个基准电压发生装置供给的基准电压对应的上述电压用的驱动电路；以及与上述驱动电路连接、间歇地将上述驱动电路激活用的装置。

- 20 4. 根据权利要求1所述的半导体集成电路装置，其特征在于：

上述驱动装置包括呈电压跟随器型结构的差分放大电路。

5. 根据权利要求1所述的半导体集成电路装置，其特征在于：

上述至少一个基准电压发生装置包括多个分别设置的基准电压发生电路，

- 25 另外还备有设置在上述多个基准电压发生电路的各个输出端和上述驱动装置的输入端之间、根据选择信号将对应的基准电压发生电路的输出端导电性地连接在上述驱动装置的输入端上的装置。

6. 根据权利要求1所述的半导体集成电路装置，其特征在于：

- 30 上述驱动装置包括将其输出电压作为与上述基准电压对应的电压发生、并传递给上述内部电压发生装置的发生装置，以及响应于测试方式指示信号，使上述发生装置的电流驱动力增大的装置。

7. 根据权利要求1所述的半导体集成电路装置，其特征在于：

还备有设置在上述焊区和上述至少一个基准电压发生装置的输出端之间，在测试方式时呈导通状态、且在正常方式时呈非导通状态的连接装置。

8. 根据权利要求5所述的半导体集成电路装置，其特征在于：

5 还备有设置在上述多个基准电压发生装置的各个输出端和上述焊区之间、响应第二选择信号将上述焊区与由上述第二选择信号选择的对应的基准电压发生装置的输出端导电性地连接起来的多个连接装置。

9. 根据权利要求1所述的半导体集成电路装置，其特征在于：

上述驱动装置包括发生与从上述至少一个基准电压发生装置供给的电压对应的上述电压用的驱动电路；以及设在上述驱动电路的输出端和上述
10 焊区之间、测试工作时呈导通状态且正常工作时呈非导通状态的连接装置。

10. 根据权利要求1所述的半导体集成电路装置，其特征在于：

上述驱动装置备有对上述至少一个基准电压发生装置供给的电压与上述焊区上的电压进行比较的比较器；以及连接在供给规定的电压的供给节点和上述焊区之间、根据上述比较器的输出信号，在上述供给节点和上述
15 焊区之间产生电流的流动的驱动元件。

11. 根据权利要求10所述的半导体集成电路装置，其特征在于：

上述驱动装置还包括响应于指示测试方式工作的测试方式指示信号的激活状态，将上述驱动电路及上述驱动元件激活的元件。

20 12. 一种半导体集成电路装置，其特征在于备有：

分别传递规定的电压电平的内部电压的多条电压传递线；

焊区；

以及设在上述多条电压传递线的每一条和上述焊区之间，响应选择信号，将该选择信号指定的电压传递线与上述焊区导电性地连接起来的连接
25 装置。

13. 根据权利要求12所述的半导体集成电路装置，其特征在于：

上述连接装置备有设在上述多条电压传递线的每一条和内部节点之间，响应于选择信号，将该选择信号指定的电压传递线和内部节点导电性地连接起来的选择电路；以及

30 设在上述内部节点和上述焊区之间，接收由上述选择电路选择的电压传递线上的电压，生成实际上与所接收的电压相同的电平的电压，并传递给上述焊区的驱动电路。

14. 根据权利要求 12 所述的半导体集成电路装置，其特征在于：

上述连接装置包括连接在上述多条电压传递线的每一条和上述焊区之间，响应于选择信号，将上述多条电压传递线中的由上述选择信号选择的电压传递线连接到上述焊区上的选择电路。

5 15. 根据权利要求 12 所述的半导体集成电路装置，其特征在于：

上述连接装置备有连接在上述多条电压传递线的每一条和内部节点之间，响应选择信号，将上述多条电压传递线中的由上述选择信号选择的电压传递线连接到上述内部节点上的选择电路；以及

10 连接在上述内部节点和上述焊区之间，响应于测试方式指示信号，将上述内部节点和上述焊区连接起来用的连接元件。

能在外部监视内部电压的半导体集成电路装置

5 本发明涉及半导体集成电路装置，特别是涉及至少具有能在外部监视内部电压的测试方式的半导体集成电路装置。进一步特定地说，本发明涉及具有根据基准电压而发生内部电源电压的内部电源电压发生电路的半导体集成电路装置，更具体地说，涉及能在外部观测或能从外部变更该基准电压用的结构。

10 现在，作为半导体集成电路装置之一例，考虑半导体存储器。这样的半导体存储器随着其存储容量的增大，趋于高密度高集成化，其元件也更加精细化。为了确保这种精细化的 MOS 晶体管（绝缘栅型场效应晶体管）等元件的可靠性，有必要降低工作电源电压。另外，通过降低这种工作电源电压，能降低与工作电源电压自身成比例的消耗功率。可是，外部逻辑及处理程序等没有达到半导体存储器那种程度的精细化，另外为了保证其
15 高速工作，又不能使电源电压与半导体存储器一致地下降。另外还有必要维持与前一代半导体存储器的互换性。

为此，在半导体存储器内部使系统电源电压等从外部供给的电源电压降低，生成必要的电压电平的内部电源电压。

20 图 19 是表示现有的内部电源电路的结构之一例。在图 19 中，内部电源电路包括：发生规定的电压电平的基准电压 V_{ref} 的基准电压发生电路 RFG ；以及对来自该基准电压发生电路 RFG 的基准电压 V_{ref} 和内部电源线 IVL 上的电压进行比较，根据该比较结果，将电流从外部电源节点 EX 供给内部电源线 IVL ，调整该内部电源线 IVL 上的电压电平，发生内部电
25 源电压 $intV_{cc}$ 的内部降压电路 VDC 。

该内部降压电路 VDC 包括：对基准电压 V_{ref} 和内部电源线 IVL 上的内部电源电压 $intV_{cc}$ 进行比较的比较器 CMP ；以及由根据该比较器 CMP 的输出信号，将电流从外部电源节点 EX 供给内部电源线 IVL 的 p 沟道 MOS 晶体管构成的激励晶体管 DR 。比较器 CMP 的正输入端接收内部电
30 源线 IVL 上的内部电源电压 $intV_{cc}$ ，其负输入端接收基准电压 V_{ref} 。

该内部降压电路 VDC 在内部电源电压 $intV_{cc}$ 比基准电压 V_{ref} 高的情况下，使其输出信号呈高电平，使激励晶体管 DR 呈非导通状态，停

止从外部电源节点 EX 供给内部电源线 IVL 的电流。另一方面，在内部电源线 IVL 上的内部电源电压 intVcc 比基准电压 Vref 低的情况下，该比较器 CMP 使输出信号呈低电平，使激励晶体管 DR 的电导变大，将与该内部电源电压 intVcc 和基准电压 Vref 之差对应的电流通过激励晶体管 DR，
5 从外部电源节点 EX 供给内部电源线 IVL。因此，该内部电源电压 intVcc 大致保持在基准电压 Vref 的电平。

图 20 表示图 19 所示的基准电压发生电路 RFG 的结构之一例，例如发表在特开平 7-37381 号公报中。

在图 20 中，基准电压发生电路 RFG 包括：连接在外部电源节点 EX 和
10 节点 M1 之间且其栅极接收接地电压的 p 沟道 MOS 晶体管 P1；连接在节点 M1 和接地节点之间且其栅极连接在节点 M1 上的 n 沟道 MOS 晶体管 N1；连接在外部电源节点 EX 和节点 M2 之间且其栅极连接在节点 M2 上的 p 沟道 MOS 晶体管 P2；连接在节点 M2 和接地节点之间且其栅极连接在节点 M1 上的 n 沟道 MOS 晶体管 N2；连接在外部电源节点 EX 和节点
15 M4 之间且其栅极连接在节点 M2 上的 p 沟道 MOS 晶体管 P3；连接在节点 M4 和节点 M3 之间且其栅极连接在节点 M3 上的 p 沟道 MOS 晶体管 P4；以及连接在节点 M3 和接地节点之间且其栅极连接在节点 M1 上的 n 沟道 MOS 晶体管 N3。

p 沟道 MOS 晶体管 P2 及 P3 构成电流镜电路，将其尺寸比（栅极宽度和栅极长度之比）设定为 1：1。另一方面，n 沟道 MOS 晶体管 N2 及
20 N3 和 n 沟道 MOS 晶体管 N1 构成电流镜电路。n 沟道 MOS 晶体管 N2 的栅极宽度和栅极长度之比被设定为 n 沟道 MOS 晶体管 N3 的该值的 1/2。

基准电压发生电路 RFG 还包括：连接在外部电源节点 EX 和节点 M3 之间且其栅极连接在节点 M3 上的 p 沟道 MOS 晶体管 P5；连接在外部电源节点 EX 和节点 M5 之间且其栅极连接在节点 M4 上的 p 沟道 MOS 晶体
25 管 P6；以及在节点 M5 和接地节点之间互相串联连接的二极管连接的 p 沟道 MOS 晶体管 P7、P8 及 P9。

p 沟道 MOS 晶体管 P5 的阈值电压的绝对值比 p 沟道 MOS 晶体管 P4 的阈值电压的绝对值大。p 沟道 MOS 晶体管 P6 的栅极宽度和栅极长度之比被设定为与 p 沟道 MOS 晶体管 P7~P9 各自的栅极宽度和栅极长度
30 之比为相同的值。其次，简单地说明图 20 所示的基准电压发生电路 RFG

的工作情况。

p 沟道 MOS 晶体管 P1 的栅极连接在接地节点上，起电流源的作用，生成基准电流。来自该 p 沟道 MOS 晶体管 P1 的基准电流被送给 n 沟道 MOS 晶体管 N1。n 沟道 MOS 晶体管 N1 及 N2 构成电流镜电路，两者的尺寸被设定得相同。因此，与流入 n 沟道 MOS 晶体管 N1 的电流大小相同的电流流入 n 沟道 MOS 晶体管 N2。从 p 沟道 MOS 晶体管 P2 供给电流、流过该 p 沟道 MOS 晶体管 P2 的电流的镜电流通过 p 沟道 MOS 晶体管 P3 流向该 n 沟道 MOS 晶体管 N2。p 沟道 MOS 晶体管 P2 及 P3 的尺寸相同，大小相同的电流流过两者。来自该 p 沟道 MOS 晶体管 P3 的电流 i 通过 p 沟道 MOS 晶体管 P4 及 n 沟道 MOS 晶体管 N3，流向接地节点。

n 沟道 MOS 晶体管 N3 的栅极宽度和栅极长度之比被设定为 n 沟道 MOS 晶体管 N2 的该值的二倍，因此流过的电流为流过 p 沟道 MOS 晶体管 P3 及 P4 的电流 i 的二倍大小的电流 $2i$ 。p 沟道 MOS 晶体管 P5 将剩余的电流 i 供给 n 沟道 MOS 晶体管 N3。p 沟道 MOS 晶体管 P5 的阈值电压的绝对值设定得比 p 沟道 MOS 晶体管 P4 的阈值电压的绝对值大。现在将 p 沟道 MOS 晶体管 P4 的阈值电压的绝对值表示为 V_{thp4} ，将 p 沟道 MOS 晶体管 P5 的阈值电压的绝对值表示为 V_{thp5} 。在此状态下，由于 p 沟道 MOS 晶体管 P5 按二极管方式工作，所以节点 M3 的电压 $V(M3)$ 用下式表示：

$$V(M3) = \text{extVcc} - V_{thp5}$$

另一方面，p 沟道 MOS 晶体管 P4 也按二极管方式工作，故节点 M4 的电压 $V(M4)$ 用下式表示：

$$\begin{aligned} V(M4) &= V(M3) + V_{thp4} \\ &= \text{extVcc} - (V_{thp5} - V_{thp4}) \end{aligned}$$

该节点 M4 被连接在 p 沟道 MOS 晶体管 P6 的栅极上。因此，该 p 沟道 MOS 晶体管 P6 根据节点 M4 的恒定电压供给恒定电流 i_r 。p 沟道 MOS 晶体管 P7~P9 具有与 p 沟道 MOS 晶体管 P6 相同的尺寸。因此，这些 p 沟道 MOS 晶体管 P7~P9 中的每一个都与 p 沟道 MOS 晶体管 P6 一样，产生栅-源间电压。即，p 沟道 MOS 晶体管 P6 的栅-源间电压为 $V_{thp5} - V_{thp4}$ ，p 沟道 MOS 晶体管 P7~P9 中的每一个都产生该电压 $V_{thp5} - V_{thp4}$ 的电压降。因此，来自该节点 M5 的基准电压 V_{ref} 可用下式表示。

$$V_{ref}=3 (V_{thp5} - V_{thp4})$$

该基准电压 V_{ref} 根据 p 沟道 MOS 晶体管 P4 及 P5 的阈值电压的绝对值之差确定, 与外部电源电压 $extV_{cc}$ 无关, 为恒定电压 (但这是在外部电源电压 $extV_{cc}$ 在规定的电压电平以上、p 沟道 MOS 晶体管 P7~P9 处于导通状态的情况)。内部电源电压 $intV_{cc}$ 被设定得实际上与该基准电压 V_{ref} 为相同的电压电平。因此, 作为内部电路的工作电源电压使用的内部电源电压 $intV_{cc}$ 的电压电平也与外部电源电压 $extV_{cc}$ 的电压电平无关, 为恒定的电压电平。

该图 20 所示的基准电压发生电路 RFG 为了使消耗功率足够地小, 而使该基准电流 i_r 的值足够小。在该图 20 所示的基准电压发生电路 RFG 的结构的情况下, 由于由 p 沟道 MOS 晶体管 P6 供给的电流 i_r 流入 p 沟道 MOS 晶体管 P7~P9, 所以在 p 沟道 MOS 晶体管 P7~P9 中产生恒定的电压降, 生成呈恒定电压电平的基准电压 V_{ref} 。因此, 该图 20 所示的基准电压发生电路 RFG 没有对外部负载供给电流的能力。在由 p 沟道 MOS 晶体管 P6 供给的电流 i_r 流入外部负载的情况下, 通过 p 沟道 MOS 晶体管 P7~P9 流过的电流值发生变化, 基准电压 V_{ref} 的电平发生变化。因此, 在该节点 M5 发生了噪声的情况下, 该节点 M5 上的噪声不被吸收 (因为不供给电流), 存在易于受噪声影响的问题。

在不吸收噪声的情况下, 基准电压 V_{ref} 的电平变化, 相应地内部电源电压 $intV_{cc}$ 的电平变化。

在图 20 所示的基准电压发生电路 RFG 的结构中, 也可考虑将电阻元件连接在节点 M5 和接地节点之间。在此情况下, 基准电压 V_{ref} 由基准电流 i_r 和电阻元件的电阻值决定。在此情况下, 为了使消耗电流足够小, 而使电阻元件的电阻值极大。因此, 即使在将这样的电阻元件用于发生基准电压用的结构中, 也存在其电流供给力极小、抗输出节点的噪声的性能弱的缺点。特别是在测试方式时从外部监视这样的基准电压 V_{ref} , 进行内部电源电压 $intV_{cc}$ 的电平调整, 或者进行测定半导体存储器的评价 (工作容限) 等的测试。在这样的情况下, 会产生以下问题。

图 21 是简略地表示在外部监视基准电压发生电路 RFG 发生的基准电压 V_{ref} 的电压电平用的配置图。在图 22 中, 焊区 PD 被配置在形成该半导体存储器的半导体芯片 CH 上, 且在基准电压发生电路 RFG 附近。该焊区 PD 通过布线 SG 连接在基准电压发生电路 RFG 的输出节点上。该

焊区 PD 是测试专用的焊区，在封装时不连接在引线端上。而是从测试器 TU 使测试探针 PB 接触在该半导体芯片 CH 上形成的焊区。由该测试探针 PB 监视焊区 PD 上的电压电平。

5 在将电压计连接在测试器 TU 的测试探针 PB 上的情况下，由于基准电压发生电路 RFG 没有电流供给能力，所以不能充分地使从焊区 PD 通过测试探针 PB 到该测试器 TU 内的电压计这一通路充电，在该测试器 TU 内不能准确地测定基准电压 Vref 的电平。

10 另外，在测试器 TU 的结构中，还有这样一种测定方法，即将电流从测试探针 PB 供给焊区 PD，根据电流是否流过该测试探针 PB，测定从基准电压发生电路 RFG 发生的基准电压 Vref 的电平。在此情况下，电流从测试器 TU 通过测试探针 PB，再通过焊区 PD 及布线 SG 传递到基准电压发生电路 RFG 的输出节点。基准电压发生电路 RFG 实际上是电压跟随电路，其输出阻抗小，从该测试探针 PB 供给的电流从输出节点流入，致使基准电压 Vref 的电压电平变化，不能测定准确的基准电压 Vref 的电平。

15 另外，在进行该测试时，是在晶片上形成了半导体芯片 CH 的状态下进行测试的。在此情况下，测试探针 PB 从测试器 TU 连接在焊区 PD 上。测试时使用称为测试卡片的工具，使测试探针接触在半导体芯片 CH 上形成的全部焊区。因此，这些来自测试探针的噪声传递到焊区 PD 上，致使基准电压发生电路 RFG 的基准电压 Vref 的电压电平也变化，不能进行准确的电压电平的测定。

20 图 22 是简略地表示半导体存储器的全体结构图。在图 22 中，该半导体存储器包括：具有呈行列状配置的多个存储单元的存储单元阵列 MA 包括；对应于存储单元阵列 MA 的各列设置的、进行激活时在对应的列上读出的存储单元的数据的检测、放大及锁存的多个读出放大电路的读出放大器带 SAB；对该存储单元阵列 MA 进行访问用的外围电路 PC；以及控制读出放大器带 SAB 中包括的读出放大电路的读出放大控制电路 SAC。外围电路 PC 也可以包括对行进行选择于行译码器及进行数据的写入/读出用的内部写入/读出电路。另外还可以包括发生各种控制信号的电路。

30 对应于该外围电路 PC，设有外围用的内部电源电路 IGP，对应于读出放大控制电路 SAC，设有读出放大用的内部电源电路 IGS。分别

接近于这些外围用内部电源电路 IGP 及读出放大用内部电源电路 IGS 来配置焊区 PDP 及 PDS。外围用内部电源电路 IGP 及读出放大用内部电源电路 IGS 包括图 19 所示的基准电压发生电路 RFG 及内部降压电路 VDC。

可是, 为了使外围电路 PC 高速工作, 而将该外围用内部电源电路 IGP 输出的内部电源电压的电平设定得稍高些。

另一方面, 为了保证存储单元阵列 MA 中的存储单元晶体管的可靠性, 驱动读出放大器带 SAB 的读出放大控制电路 SAC 所驱动的内部电源电压 (读出放大器电源电压) 被设定得比送给外围电路 PC 的电压低。因此, 读出放大用内部电源电路 IGS 输出的内部电源电压被设定成比外围用内部电源电路 IGP 输出的内部电源电压低的电压电平。在存储单元阵列 MA 中, 由于比工作电源电压高 (通常高 1.5 倍) 的电压被传递给选择字线上, 所以为了防止施加该升压电压时存储单元晶体管 (MOS 晶体管) 的栅绝缘膜被破坏, 而将传递给存储单元阵列 MA 内的电压电平设定得较低。

如图 22 所示, 相对于外围用内部电源电路 IGP 及读出放大用内部电源电路 IGS 分别配置基准电压监视用的焊区 PDP 及 PDS。这些焊区 PDP 及 PDS 只在晶片阶段的测试时使用, 在封装后不使用。因此, 在该半导体存储器中, 焊区 PDP 及 PDS 的占有面积增多, 存在不能减少芯片面积的问题。另外, 如果增加该必要的焊区数, 则在测试时使测试探针和焊区的位置对准变得复杂, 产生测试工作效率低的问题。

焊区数增加的问题不仅在从外部监视发生内部电源电压用的基准电压时会产生, 而且在从外部监视在半导体存储器中发生的内部电压、例如位线预充电电压、单元板电压、衬底偏压、内部电源电压及字线驱动电压等的电压电平时也会发生。

另外, 在外部监视该内部电压的问题不限定于半导体存储器, 在逻辑电路等半导体集成电路装置中也会产生。

另外, 该焊区的问题在从外部将所希望的内部电压电平设定为所希望的电压电平、在测定内部电路的工作容限等的“过载”测试中也会产生。

本发明的目的在于提供一种能容易地对所希望的内部电压准确地进行测试的半导体集成电路装置。

本发明的另一目的在于提供一种能在外部准确地监视且能从外

部设定内部电压的半导体集成电路装置。

本发明的另一目的在于提供一种能不增加芯片面积而容易地进行多种内部电压的测试的半导体集成电路装置。

5 本发明的再一个目的在于提供一种能不增加芯片占有面积而容易且准确地对发生内部电源电压用的基准电压进行测试的半导体集成电路装置。

本发明的第一方面备有：至少一个基准电压发生装置；对与至少一个基准电压发生装置发生的基准电压对应的电压和内部电源线上的电压进行比较，根据该比较结果，调整内部电源线上的电压电平的内部电源电压发生装置；焊区；以及设在至少一个基准电压发生装置的输出端和焊区之间，
10 接收该至少一个基准电压发生装置输出的基准电压，发生与该接收的基准电压实际上电压电平相同的电压，并传递给焊区的驱动装置。

本发明的第二方面的半导体集成电路装置备有：分别传递规定的电压电平的内部电压的多条电压传递线；焊区；以及设在各条电压传递线和焊区之间，响应选择信号，将该选择信号指定的电压传递线和焊区导电性地连接起来的连接装置。
15

由于将驱动装置设在电流供给力极小的基准电压发生电路的输出端和焊区之间，所以能防止焊区的噪声对基准电压发生电路的影响。另外，由于利用驱动装置驱动焊区，所以能具有较大的电流供给力来驱动焊区，能在外部可靠地监视其基准电压电平。

20 另外，由于相对于多个内部电压传送线设有连接装置，且有选择地连接到焊区上，所以能用一个焊区测试多个内部电压。因此，能减少焊区数的增加，能抑制芯片占有面积的增加，而且能容易地进行测试卡片的测试探针对于焊区的接触，能简化测试操作。

图1是表示本发明的实施例1的半导体集成电路装置的主要部分的结构图。
25

图2是图1所示的比较电路的结构之一例图。

图3是简略地表示本发明的实施例2的半导体集成电路装置的主要部分的结构图。

图4是图3所示的比较电路的结构之一例图。

30 图5A简略地表示测试方式指示信号发生部的结构，图5B是表示图5A所示的测试方式设定电路的工作的信号波形图。

图 6 是简略地表示本发明的实施例 3 的半导体集成电路装置的主要部分的结构图。

图 7 是简略地表示本发明的实施例 4 的半导体集成电路装置的主要部分的结构图。

5 图 8 是简略地表示本发明的实施例 4 的变更例的结构图。

图 9 是简略地表示本发明的实施例 5 的半导体集成电路装置的主要部分的结构图。

图 10 是简略地表示本发明的实施例 5 的变更例的结构图。

10 图 11 是简略地表示本发明的实施例 6 的半导体集成电路装置的主要部分的结构图。

图 12 是简略地表示本发明的实施例 7 的半导体集成电路装置的主要部分的结构图。

图 13A 简略地表示图 12 所示的选择信号发生部的结构，图 13B 是表示图 13A 所示的选择信号发生部的内部结构之一例图。

15 图 14 是简略地表示本发明的实施例 7 的变更例的结构图。

图 15 是简略地表示本发明的实施例 8 的半导体集成电路装置的主要部分的结构图。

图 16 是简略地表示本发明的实施例 8 的变更例的结构图。

20 图 17 是简略地表示本发明的实施例 9 的半导体集成电路装置的主要部分的结构图。

图 18 是简略地表示本发明的实施例 9 的变更例的结构图。

图 19 是简略地表示现有的内部电源电压发生电路的结构图。

图 20 是表示图 19 所示的基准电压发生电路的结构之一例图。

图 21 是简略地表示现有的半导体集成电路装置的监视器测试配置图。

25 图 22 是简略地表示现有的半导体集成电路装置的主要部分的结构图。

[实施例 1]

图 1 是表示本发明的实施例 1 的半导体集成电路装置的主要部分的结构图。在图 1 中，内部电源电路与以往一样，包括发生基准电压 V_{ref} 的基准电压发生电路 RFG ；以及根据来自该基准电压发生电路 RFG 的基准电压 V_{ref} ，在内部电源线 IVL 上发生内部电源电压 $intV_{cc}$ 的内部降压电路 VDC 。该内部降压电路 VDC 包括对基准电压 V_{ref} 和内部电源线 IVL 上的内部电源电压 $intV_{cc}$ 进行比较的比较器 CMP ，以及根据该比较器 CMP

30

的输出信号，将电流从外部电源节点 EX 供给内部电源线 IVL 的激励晶体管 DR。

该基准电压发生电路 RFG 由于消耗电流低，向其输出节点的电流供给能力极小，只能从其输出节点供给微弱的电流。比较器 CMP 由差分放大电路构成，其输入阻抗极高，即使是电压驱动输入，来自基准电压发生电路 RFG 的基准电压 Vref 的电流供给能力极小，也能使伴随该基准电压发生电路 RFG 的输出的负载小，能稳定地生成基准电压 Vref。

该半导体存储器还包括驱动电路 2，它被连接在基准电压发生电路 RFG 和焊区 1 之间，生成与基准电压发生电路 RFG 输出的基准电压 Vref 实际上相同的电压电平的基准电压 Vref，并传递给焊区 1。该驱动电路 2 在测试方式指示信号 TE 激活时而被激活，生成具有较大的电流驱动力且与基准电压 Vref 对应的电压电平的电压 Vrfo，传递给焊区 1。除了封装时以外，焊区 1 不连接在引线框等上，而在晶片阶段的测试时，来自测试器的测试探针与焊区 1 接触。

驱动电路 2 包括：对与焊区 1 导电性地连接的信号线 2a 上的电压和基准电压 Vref 进行比较的由差分放大电路构成的比较器 2b；在测试方式指示信号 TE 激活时（高电平时）导通，由传递该比较器（以下称差分放大电路）2b 的输出信号的 n 沟道 MOS 晶体管形成的转移门 2c；根据从该转移门 2c 供给的差分放大电路 2b 的输出信号，将电流从外部电源节点 EX 供给信号线 2a 的由 p 沟道 MOS 晶体管构成的激励晶体管 2d；在测试方式指示信号 TE 激活时呈非导通状态、将外部电源节点 EX 和激励晶体管 2d 的栅极电断开的由 p 沟道 MOS 晶体管构成的转移门 2e；以及在测试方式指示信号 TE 激活时导通、将差分放大电路 2b 激活的由 n 沟道 MOS 晶体管构成的电流源晶体管 2f。

在监视该焊区 1 的电压 Vrfo 的测试方式以外的工作方式时，测试方式指示信号 TE 被设定为非激活状态的低电平，转移门 2e 呈导通状态。在此情况下，激励晶体管 2d 的栅极电位呈供给外部电源节点 EX 的外部电源电压电平，激励晶体管 2d 呈截止状态。

差分放大电路 2b 在其正输入端上接收信号线 2a 上的电压 Vrfo，在其负输入端上接收来自基准电压发生电路 RFG 的基准电压 Vref。在测试方式时，电流源晶体管 2f 及转移门 2c 呈导通状态，转移门 2e 呈截止状态。在信号线 2a 上的电压 Vrfo 比基准电压 Vref 高的情况下，该差分放大电路

2b 的输出信号呈高电平，激励晶体管 2d 呈截止状态。另一方面，在基准电压 V_{ref} 比输出电压 V_{rfo} 高的情况下，差分放大电路 2b 的输出信号呈低电平，激励晶体管 2d 的电导增大，将电流从外部电源节点 EX 供给信号线 2a，使输出电压 V_{rfo} 的电平上升。因此，从该信号线 2a 传递给焊区 1 的输出电压 V_{rfo} 的电压电平实际上与基准电压发生电路 RFG 输出的基准电压 V_{ref} 的电压电平相同。

差分放大电路 2b 的结构将在后文说明，它具有高输入阻抗，因此基准电压发生电路 RFG 和焊区 1 被电断开。因此即使在焊区 1 产生噪声，该噪声也能被驱动电路 2 阻断，能防止被传递到基准电压发生电路 RFG 的输出部，能从基准电压发生电路 RFG 输出电压电平稳定的基准电压 V_{ref} 。另外，该激励晶体管 2d 具有较大的电流供给能力（与基准电压发生电路 RFG 的电流供给能力相比较）。因此，即使在焊区 1 上发生噪声而使输出电压 V_{rfo} 的电平下降，也能由差分放大电路 2b 及激励晶体管 2d 的反馈回路补偿该噪声，使输出电压 V_{rfo} 的电平恢复到规定的电压电平（ V_{ref} 电平）。因此即使测试探针被加在焊区 1 上，但该驱动电路 2 具有较大的电流驱动力，将其输出电压 V_{rfo} 通过测试探针传递给测试器内设的电压测定器，在该电压测定器中能准确地测定输出电压 V_{rfo} 的电平。另外此时从测试探针暂时发生噪声，其输出电压 V_{rfo} 的电平即使变化，但由差分放大电路 2b 及激励晶体管 2d 的反馈回路进行吸收，能将其输出电压 V_{rfo} 的电平保持为一定的电压电平，能进行准确的测试。

该焊区 1 的输出电压 V_{rfo} 的电压电平实际上与基准电压发生电路 RFG 发生的基准电压 V_{ref} 的电压电平相同。因此，通过在外部分监视该输出电压 V_{rfo} 的电压电平，就能识别基准电压发生电路 RFG 是否准确地发生了规定电压电平的基准电压 V_{ref} 。根据该识别结果，在基准电压发生电路 RFG 中进行微调处理（通常利用熔丝元件可对该输出电压电平进行调整），以便设定规定电压电平的基准电压 V_{ref} ，能生成规定的电压电平的基准电压 V_{ref} 。

另外，差分放大电路 2b 的电流源晶体管 2f 只在测试方式指示信号 TE 激活时呈导通状态，形成该差分放大电路 2b 的电流路径，将差分放大电路 2b 的差分放大工作激活。因此，只在该测试方式时（在焊区 1 中监视输出电压 V_{rfo} 的电压电平的方式），该驱动电路 2 才工作，消耗电流（激励晶体管 2d 在测试方式指示信号 TE 呈非激活状态时处于截止状态）。因此，

在正常工作方式时(除了监视焊区 1 上的输出电压 V_{rfo} 的电压电平的方式以外的方式), 该驱动电路 2 处于非激活状态, 不消耗电流, 相应地在半导体存储器中能防止不必要的电流消耗。

[差分放大电路的结构]

5 图 2 是图 1 所示的差分放大电路 2b 的结构之一例图。在图 2 中, 差分放大电路 2b 包括: 在栅极接收基准电压 V_{ref} 的 n 沟道 MOS 晶体管 2ba; 在栅极接收输出电压 V_{rfo} 的 n 沟道 MOS 晶体管 2bb; 将电流从外部电源节点 EX 供给 n 沟道 MOS 晶体管 2bb 的 p 沟道 MOS 晶体管 2bc; 以及将
10 将电流从外部电源节点 EX 供给 n 沟道 MOS 晶体管 2ba 的 p 沟道 MOS 晶体管 2bd。p 沟道 MOS 晶体管 2bc 的栅极连接在其漏极节点 M10 上。因此, p 沟道 MOS 晶体管 2bc 及 2bd 构成电流镜电路, 大小相同的电流流过这些 p 沟道 MOS 晶体管 2bc 及 2bd。n 沟道 MOS 晶体管 2ba 及 2bb 的源极节点都连接在电流源晶体管 2f 的漏极上。

在基准电压 V_{ref} 比输出电压 V_{rfo} 高的情况下, n 沟道 MOS 晶体管 2ba
15 的电导变得比 n 沟道 MOS 晶体管 2bb 的电导大, 流过 n 沟道 MOS 晶体管 2ba 的电流也变得比流过 n 沟道 MOS 晶体管 2bb 的电流大。p 沟道 MOS 晶体管 2bc 将电流供给 n 沟道 MOS 晶体管 2bb, 与流过该 p 沟道 MOS 晶体管 2bc 的电流同样大小的电流通过 p 沟道 MOS 晶体管 2bd 被供给 n 沟道 MOS 晶体管 2ba。因此, n 沟道 MOS 晶体管 2ba 将从 p 沟道
20 MOS 晶体管 2bd 供给的电流全部放电, 使来自其节点 M11 的输出信号 OUT 的电压电平降低。

反之, 在基准电压 V_{ref} 比输出电压 V_{rfo} 低的情况下, 流过 MOS 晶体管 2bb 的电流增加, n 沟道 MOS 晶体管 2ba 不能将来自 p 沟道 MOS 晶体管 2bd 的供给电流全部放电, 从而来自输出节点 M11 的信号 OUT 的电
25 压电平上升。该节点 M11 导电性地被连接在图 1 所示的转移门 2c 的一个导通节点上。

如图 2 所示, 差分放大电路 2b 在 MOS 晶体管的栅极上接收基准电压 V_{ref} 及输出电压 V_{rfo} , 它们被电断开(利用 MOS 晶体管 2ba 及 2bb 的栅极绝缘膜)。能防止该输出电压 V_{rfo} 的噪声对基准电压 V_{ref} 的影响, 基准
30 电压发生电路 RFG 能可靠稳定地生成规定的电压电平的基准电压 V_{ref} , 另一方面, 驱动电路 2 利用激励晶体管 2d 的较大的电流驱动力, 能生成输出电压 V_{rfo} 。

[实施例 2]

图 3 是表示本发明的实施例 2 的半导体集成电路装置的主要部分的结构图。该图 3 所示的半导体存储器在以下几点与图 1 所示的结构不同。即，设在基准电压发生电路 RFG 的输出端和焊区 1 之间的驱动电路 2 备有呈电压跟随型结构的差分放大电路。即，驱动电路 2 包括：输出端及其负输入端互相连接、而且在正输入端接收来自基准电压发生电路 RFG 的基准电压 Vref 的差分放大电路 2g；以及测试方式指示信号 TE 激活时导通、使电流流经该差分放大电路 2g，将差分放大电路 2g 激活的电流源晶体管 2h。差分放大电路 2g 的输出电压 Vrfo 被传递给焊区 1。

10 该输出端及负输入端互相连接的差分放大电路的开环增益 A 被设定得极大。在此情况下，输入的基准电压 Vref 和输出电压 Vrfo 的关系可用下式表示。

$$Vrfo/Vref=A/(1+A) \sim 1$$

因此，该输出电压 Vrfo 的电平实际上与输入的基准电压 Vref 的电平相等。在该电压跟随型的差分放大电路中，有效闭环阻抗 $\Delta V/\Delta I$ 等于 $A \cdot Z$ ，极大。这里，Z 是负输入端或正输入端相对于地的阻抗。另外，输出阻抗极小。因此，即使在基准电压发生电路 RFG 的电流供给量极小的情况下，利用该呈电压跟随型结构的差分放大电路 2g，也能具有大的电流供给能力，生成输出电压 Vrfo，能在外部准确且容易地通过该输出电压 Vrfo 来监视基准电压 Vref 的电压电平。

图 4 是表示图 3 所示的差分放大电路 2g 的结构图。在图 4 中，差分放大电路 2g 包括：构成对基准电压 Vref 和输出电压 Vrfo 进行比较用的差分放大级的 n 沟道 MOS 晶体管 2ga 及 2gb；以及构成将电流供给这些 n 沟道 MOS 晶体管 2ga 及 2gb 的电流镜级的 p 沟道 MOS 晶体管 2gc 及 2gd。MOS 晶体管 2ga 及 2gb 的源极都被连接在电流源晶体管 2h 的漏极上。MOS 晶体管 2ga 的漏极及栅极互相连接在输出节点 M13 上。MOS 晶体管 2gc 的栅极及漏极互相连接在节点 M12 上，主要起电流镜级的作用。

当测试方式指示信号 TE 呈非激活状态的低电平时，电流源晶体管 2h 呈截止状态，在该差分放大电路 2g 中，在从外部电源节点 EX 到接地节点之间不存在电流流动的路径，其输出节点 M13 的电压电平呈外部电源电压电平。

如果测试方式指示信号 TE 被激活，则电流源晶体管 2h 呈导通状态，

差分放大电路 2g 便进行差分放大工作。在基准电压 V_{ref} 比输出电压 V_{rfo} 高的情况下，有大电流流过 MOS 晶体管 2gb，该镜电流通过 MOS 晶体管 2gd 被供给 MOS 晶体管 2ga。因此节点 M13 的电压电平上升，相应地输出电压 V_{rfo} 的电平上升。相应于该电压电平的上升，MOS 晶体管 2ga 的电导变大，抑制节点 M13 的电压电平的上升。

另一方面，在输出电压 V_{rfo} 比基准电压 V_{ref} 高的情况下，MOS 晶体管 2ga 供给大电流，使节点 M13 的电压电平下降。因此，输出电压 V_{rfo} 的电压电平下降，MOS 晶体管 2ga 的电导变小，抑制节点 M13 的电压电平下降。因此，基准电压 V_{ref} 和输出电压 V_{rfo} 的电平变得相等。另外，在该节点 M13 即使发生噪声的情况下，由于该节点 M13 上的噪声的作用，致使 MOS 晶体管 2ga 的电导变化，流过 MOS 晶体管 2ga 的电流向着抵消节点 M13 上的噪声的方向变化，噪声被吸收。

如上所述，按照本发明的实施例 2，由于将基准电压发生电路输出的电压通过呈电压跟随型结构的差分放大电路传递给焊区，所以这种结构与将基准电压发生电路和焊区之间电断开的结构是等效的，能防止焊区的噪声对基准电压发生电路的输出电压的影响，能通过该差分放大电路的输出电压的测定，来准确地测定基准电压发生电路输出的基准电压的电压电平。另外，只用一个呈电压跟随型结构的差分放大电路，能减少构成电路的主要部件数，能降低电路的占有面积。另外，由于利用呈电压跟随型结构的差分放大电路，所以即使基准电压发生电路的电流供给能力微弱，也能利用差分放大电路的阻抗变换功能及供给电流变换功能而具有较大的电流供给能力，能驱动焊区，能在外部准确地测定该焊区上的电压电平。

[测定方式设定电路]

图 5A 是简略地表示发生测试方式指示信号的部分的结构图。在图 5 中，测定方式设定电路 3 接收来自外部的控制信号、即行地址选通信号/RAS、列地址选通信号/CAS、允许写入信号/WE 及特定的地址信号位 Add，当这些信号被设定成规定的状态的组合时，便进行测试方式指示信号 TE 的激活/非激活。以下参照图 5B，说明该测定方式设定电路 3 的工作情况。

在测试方式时，进行进入测试方式用的测试方式设定循环，设定了测试方式后，进行实际的测试，即在外部分进行基准电压 V_{ref} 的监视。在该测试方式设定循环中，在行地址选通信号/RAS 上升前，列地址选通信号/CAS 及允许写入信号/WE 被设定为低电平，而且地址信号位 Add 被设定为特定

状态。已知该条件为“WCBR+地址键”条件，随着行地址选通信号/RAS的下降，测试方式指示信号 TE 呈激活状态。该测试方式被设定后，进行实际上的测试。

在测试结束的情况下，进行测试方式复位循环。在该测试方式复位循环中，使列地址选通信号/CAS 在比行地址选通信号/RAS 的下降更快的时间内下降到低电平。允许写入信号/WE 维持高电平。已知该条件为“CBR条件”，如果满足该 CBR 条件，则随着行地址选通信号/RAS 的下降，测试方式指示信号 TE 呈非激活状态。检测这些 WCBR+地址键条件及 CBR 条件的电路在存储器领域内是众所周知的，可以利用这些电路。另外，为了设定该测试方式，可以组合使用将特定的引线端设定为比通常供给的电压电平更高的电压电平的“超 Vcc 条件”。

[实施例 3]

图 6 是简略地表示本发明的实施例 3 的半导体存储器的主要部分的结构图。在图 6 中示出了设在基准电压发生电路的输出部和焊区 1 之间的驱动电路 2 的结构。在图 6 中，驱动电路 2 包括：对来自图中未示出的基准电压发生电路的基准电压 Vref 和与焊区 1 导电性地连接的信号线 2a 上的电压进行差分放大的差分放大电路 2i；根据该差分放大电路 2i 的输出信号，将电流从外部电源节点 EX 供给信号线 2a 的由 p 沟道 MOS 晶体管构成的激励晶体管 2k；根据来自振荡器 4 的振荡信号 OSC，间歇地呈导通状态，将差分放大电路 2i 激活的电流源晶体管 2j；以及使激励晶体管 2k 的栅极电位稳定的电容 2l。

该振荡器 4 由例如奇数级反相器构成的环形振荡器构成，其电流驱动力非常小，其消耗的电流比差分放大电路 2i 在正常激活状态下所消耗的电流小。根据来自该振荡器 4 的振荡信号 OSC，电流源晶体管 2j 有选择地呈导通状态，将差分放大电路 2i 激活。在差分放大电路 2i 的输出部设有稳定电容 2l，使该差分放大电路 2i 在非激活时的激励晶体管 2k 的栅极电位保持稳定。焊区 1 由于在封装时不连接在外部引线端上，所以在实际使用该半导体存储器时，即使驱动电路 2 间歇地工作，也不会对其工作产生不良影响。

如该图 6 所示，特别是在利用振荡器 4，间歇地将驱动电路 2 激活的情况下，不需要利用图 5 所示的测试方式设定电路 3 来设定测试方式，就能容易地进入测试工作状态。另外，不需要设置用于设定监视该基准电压 Vref

的测试方式专用的测试方式设定电路。振荡器 4 的消耗电流非常小，因此其电路的占有面积也非常小，与使用测试方式设定电路的结构相比，能减少其占有面积。实际上与基准电压 V_{ref} 的电平相同的电压通过激励晶体管 2k 被传递给焊区 1。不需要设定专用的测试方式，设定了其它测试方式后
5 在内部电路工作时，也能同时测试该基准电压 V_{ref} 受到了什么样的影响，可以同时进行多种测试。

如上所述，按照本发明的实施例 3，由于间歇地激活具有较大的电流驱动力、发生实际上与来自基准电压发生电路的基准电压 V_{ref} 的大小相同的电压的驱动电路，而不需要使用专用的测试方式设定电路，所以能减少电
10 路的占有面积，而且能容易地对基准电压进行测试。另外，不需要经常激活差分放大电路，也能降低该差分放大电路中的消耗电流。

[实施例 4]

图 7 是简略地表示本发明的实施例 4 的半导体存储器的主要部分的结构图。在图 7 中，驱动电路 2 被设在基准电压发生电路 RFG 和内部降压电路
15 VDC 之间。该驱动电路 2 接收来自基准电压发生电路 RFG 的基准电压 V_{ref} ，生成实际上与该基准电压 V_{ref} 的电平相同的电压，并送给内部降压电路 VDC，而且通过信号线 2a 还将其输出电压传递给焊区 1。

驱动电路 2 包括：呈电压跟随型结构的差分放大电路 2m；在其栅极上接收恒定的电压 V_{nr} 、具有差分放大电路 2m 的电流源功能的由 n 沟道
20 MOS 晶体管构成的电流源晶体管 2n；与该电流源晶体管 2n 并联设置、且在其栅极上接收测试方式指示信号 TE 的由 n 沟道 MOS 晶体管构成的测试用电流源晶体管 2o。

在测试方式指示信号 TE 呈非激活状态的正常工作方式时，呈电压跟随型结构的差分放大电路 2m 由电流源晶体管 2n 驱动的电决定其工作电
25 流。在该正常工作方式时（测试方式指示信号 TE 呈非激活状态时），由于驱动电路 2 不需要大的电流供给力，所以其电流源晶体管 2n 的电流供给量非常小（降低恒定电压 V_{nr} 的电平，或减小该电流源晶体管 2n 的栅极宽度与栅极长度之比）。因此，能降低正常工作时的驱动电路 2 的消耗电流。

30 另一方面，在测试方式时，测试方式指示信号 TE 呈激活状态，测试用电流源晶体管 2o 呈导通状态。因此，该差分放大电路 2m 的工作电流由电流源晶体管 2n 及 2o 供给的电流决定，测试方式时该差分放大电路 2m 的

工作电流增加。因此，能生成具有大的电流驱动力的输出电压 V_{rfo} ，传递给焊区 1。因此，通过焊区 1 测定输出电压 V_{rfo} 的电压电平，就能相应地测定基准电压 V_{ref} 的电压电平。焊区 1 通过信号线 2a 连接在驱动电路 2 的输出部上，该信号线 2a 通过驱动电路 2 同基准电压发生电路 RFG 电断开，因此，该信号线 2a 上的噪声不会对基准电压发生电路 RFG 发生的基准电压 V_{ref} 产生不良影响，正常工作时能准确地生成来自内部降压电路 VDC 的基准电压 V_{ref} 规定的电压电平的内部电源电压 $intV_{cc}$ 。另外，该驱动电路 2 有呈电压跟随器型结构的差分放大电路 2m，该差分放大电路具有比基准电压发生电路 RFG 大的电流供给能力，所以在正常工作方式时，不受信号线 2a 的噪声的影响，能稳定地将恒定电压电平的基准电压 V_{ref} 传递给内部降压电路 VDC。

[变更例]

图 8 是表示本发明的实施例 4 的变更例 1 的结构图。在该图 8 所示的结构中，在将驱动电路 2 的输出部和焊区 1 连接起来的信号线 2a 上设有在其栅极接收测试方式指示信号 TE 的由 n 沟道 MOS 晶体管构成的开关晶体管 2p。其它结构与图 7 所示的结构相同，在对应的部分标以同一参照符号。

在该图 8 所示的结构中，只有在测试方式指示信号 TE 被激活时，驱动电路 2 的输出部才被导电性地连接在焊区 1 上。在正常工作方式时，开关晶体管 2p 呈截止状态，驱动电路 2 的输出部和焊区 1 被电断开。因此，在正常工作方式时即使在焊区 1 上发生噪声，也能可靠地防止该噪声的影响被传递给驱动电路 2 的输出部，能稳定地将恒定的电压电平传递给内部降压电路 VDC。

[实施例 5]

图 9 是简略地表示本发明的实施例 5 的半导体存储器的主要部分的结构图。在图 9 所示的结构中，在将来自基准电压发生电路 RFG 的基准电压 V_{ref} 传递给焊区 1 的驱动电路 2 的输出节点 4a 和焊区 1 之间设有传输门 5a，该传输门 5a 根据过载测试允许信号 FTE 及 $\overline{FTE}$ 而被有选择地导通。此外，在焊区 1 和基准电压发生电路 RFG 的输出节点 4b 之间设有 CMOS 传输门 5b，该 CMOS 传输门 5b 在过载测试允许信号 FTE 及 $\overline{FTE}$ 被激活时被导通。CMOS 传输门 5a 及 5b 互补地呈导通/非导通状态。过载测试方式是一种通过从外部将内部电压强制地设定为规定的电压电平，来测试内部电路的工作容限等的方式。在过载测试允许信号 FTE 及 $\overline{FTE}$ 被激活

时，CMOS 传输门 5b 导通，焊区 1 被导电性地连接在基准电压发生电路 RFG 的输出节点 4b 上。因此，能从焊区 1 变更基准电压 V_{ref} 。相应地调整内部电源电压 $intV_{cc}$ 的电平，能测定内部电路对应于该内部电源电压 $intV_{cc}$ 的工作容限（测定内部电源电压变化时其工作速度（存取时间）是否满足规定值（标准值）、以及是否能进行准确的数据的写入/读出）。

在过载测试方式以外的工作方式时，CMOS 传输门 5b 呈截止状态，CMOS 传输门 5a 呈导通状态，驱动电路 2 的输出节点 4a 被导电性地连接在焊区 1 上。因此，在该状态下，能在外部通过焊区 1 监视驱动电路 2 输出的电压。作为驱动电路 2 的结构可以采用图 1、图 3 及图 6 中的任意一种结构。

[变更例]

图 10 是表示本发明的实施例 5 的变更例的结构图。在该图 10 所示的结构中，在驱动电路 2 的输出节点 4a 和焊区 1 之间设有 CMOS 传输门 5c，该 CMOS 传输门 5c 在监视器测试允许信号 MTE 及/MTE 被激活时而被导通。其它结构与图 9 所示的结构相同，在对应的部分标以同一参照符号。

在该图 10 所示的结构中，在外部监视来自基准电压发生电路 RFG 的基准电压 V_{ref} 的电压电平的情况下，驱动电路 2 的输出节点 4a 被导电性地连接在焊区 1 上。在此状态下，CMOS 传输门 5b 呈截止状态。另一方面，在过载测试方式时，过载测试允许信号 FTE 及/FTE 呈激活状态，CMOS 传输门 5b 呈导通状态，CMOS 传输门 5c 呈截止状态。

对应于该测试方式，通过有选择地将焊区 1 导电性地连接在驱动电路 2 的输出节点 4a 上或基准电压发生电路 RFG 的输出节点 4b 上，能使焊区 1 附带的寄生电容最小，能对基准电压 V_{ref} 进行测试。

在该过载测试方式及监视器测试方式以外的情况下，CMOS 传输门 5c 及 5b 都呈截止状态，焊区 1 被从驱动电路 2 的输出节点 4a 及基准电压发生电路 RFG 的输出节点 4b 电断开。因此，能防止焊区 1 上的噪声对基准电压发生电路 RFG 发生的基准电压 V_{ref} 的影响。

另外，在图 5 所示的结构中，通过变更地址键，能分别单独地设定该过载测试允许信号 FTE 及监视器测试允许信号 MTE。

[实施例 6]

图 11 是表示本发明的实施例 6 的半导体存储器的主要部分的结构图。在该图 11 所示的结构中，在驱动电路 2 的输出节点 4a 和焊区 1 之间设有

可熔断的连接元件 6a, 另外在基准电压发生电路 RFG 的输出节点 4b 和焊区 1 之间设有可熔断的连接元件 6b。该图 11 所示的结构与用可熔断的连接元件替换图 9 及图 10 所示的结构中的 CMOS 传输门 5a、5b 及 5c 后的结构是等效的。

- 5 对基准电压发生电路 RFG 发生的基准电压 V_{ref} 的测试是在晶片阶段时进行的。在该晶片阶段时进行监视器测试及过载测试。在此情况下, 驱动电路 2 的输出节点 4a 通过连接元件 6a 及 6b 导电性地连接在基准电压发生电路 RFG 的输出节点 4b 即驱动电路 2 的输入节点上。然而, 驱动电路 2 生成与基准电压发生电路 RFG 发生的基准电压 V_{ref} 相同的电平的电压。
- 10 因此, 在从外部通过焊区 1 监视该驱动电路 2 的输出电压的方式中, 驱动电路 2 的输出电压 V_{rfo} 和基准电压发生电路 RFG 发生的基准电压 V_{ref} 是相同电平的电压, 电流不会从驱动电路 2 通过连接元件 6a 及 6b 流入基准电压发生电路 RFG, 基准电压发生电路 RFG 发生的基准电压 V_{ref} 的电平不会发生变化。另外在该监视器测试方式时, 在焊区 1 发生了噪声的情况下, 利用驱动电路 2 供给的电流能将该噪声吸收, 能防止焊区 1 的噪声
- 15 对基准电压发生电路 RFG 发生的基准电压 V_{ref} 产生不良影响。

- 在过载测试方式中, 通过焊区 1 将基准电压发生电路 RFG 的输出节点 4b 的电压电平设定为规定的电压电平。这时, 驱动电路 2 也可以被驱动成非激活状态, 但驱动电路即使在工作状态下, 由于该驱动电路 2 的输出电压 V_{rfo} 随着通过焊区 1 从外部供给的电压电平而变化, 所以不会发生任何
- 20 问题, 能准确地将基准电压发生电路 RFG 输出的基准电压 V_{ref} 设定成规定的电压电平。另外, 在过载测试方式中, 外部的测试器的电流驱动力比驱动电路 2 的输出电流驱动力大许多, 不仅能设定驱动电路 2 的输出电压电平, 而且能准确地将基准电压发生电路 RFG 输出的基准电压 V_{ref} 设定
- 25 为所希望的电压电平。

在进行了该方式及过载测试方式两者之后, 将连接元件 6a 及 6b 熔断, 将焊区 1 和基准电压发生电路 RFG 及驱动电路 2 电断开。因此, 能防止正常工作方式时来自焊区 1 的噪声对基准电压发生电路 RFG 的影响。

- 30 连接元件 6a 及 6b 的占有面积非常小, 能减少电路的占有面积。另外, 只使用连接元件 6a 及 6b, 不需要发生这些导通/非导通用的控制信号, 能简化进行测试用的电路结构。

另外，这些连接元件 6a 及 6b 的熔断是这样进行的，即在半导体存储器中，在补救不良存储单元等进行与冗余存储单元的替换的工序中，在执行不良单元的地址的程序的情况下，进行熔丝元件（连接元件）的熔断。由于在与该熔断过程相同的过程中进行这些连接元件 6a 及 6b 的熔断，所以不伴随附加的程序，就能进行这些连接元件 6a 及 6b 的熔断。

如上所述，按照本发明的实施例 6，由于将可以熔断的连接元件配置在驱动电路的输出端和焊区之间、以及基准电压发生电路的输出节点和焊区之间，所以不增加电路的占有面积就能准确地对基准电压进行测试。

[实施例 7]

图 12 是表示本发明的实施例 7 的半导体存储器的主要部分的结构图。在该图 12 所示的结构中，通过一个焊区 10，对多个（在图 12 中为 3 种）基准电压 V_{ref1} 、 V_{ref2} 及 V_{ref3} 进行测试。

在图 12 中设有：选择信号 $SL1$ 及 $SL1$ 被激活时导通、将传递到基准电压传递线 12a 上的基准电压 V_{ref1} 传递给节点 16 的 CMOS 传输门 14a；选择信号 $SL2$ 及 $SL2$ 被激活时导通、将传递到基准电压传递线 12b 上的基准电压 V_{ref2} 传递给节点 16 的 CMOS 传输门 14b；以及选择信号 $SL3$ 及 $SL3$ 被激活时导通、将基准电压传递线 12c 上的基准电压 V_{ref3} 传递给节点 16 的 CMOS 传输门 14c。这些 CMOS 传输门 14a、14b 及 14c 在测试方式时（监视器测试方式时），根据这些选择信号 $SL1$ 、 $SL2$ 及 $SL3$ 选择其中的一个，使其呈导通状态。

在节点 16 和焊区 10 之间设有驱动电路 20，它生成实际上与传递到该节点 16 上的基准电压电平相同的电压，并传递给焊区 10。该驱动电路 20 的结构可以是图 1、图 3 及图 6 所示的结构中的任意一种。

在该图 12 所示的结构中，多个基准电压 V_{ref1} 、 V_{ref2} 及 V_{ref3} 分别从各个基准电压发生电路发生。其中包括例如：生成送给行译码器等

外围电路的内部电源电压用的基准电压；为了通过读出放大电路生成用于使存储单元阵列的位线充放电的内部电源电压而使用的基准电压；以及为了在内部生成作为生成字线驱动电压 V_{pp} 及衬底偏压 V_{bb} 的电路的一个工作电压使用的内部电源电压而使用的基准电压。在监视器测试方式时，根据选择信号 $SL1 \sim SL3$ 有选择地将这些基准电压 $V_{ref1} \sim V_{ref3}$ 传递给节点 16。驱动电路 20 生成与送给该节点 16 的基准电压电平实际上相等的电平

的电压, 传递给焊区 10。因此, 能在一个焊区监视多个基准电压, 能减少焊区数, 能减少芯片占有面积。

图 13A 是表示选择信号发生部的结构图。在图 13A 中, 当行地址选通信号/RAS、列地址选通信号/CAS、允许写入信号/WE 及地址信号位 A0 及 A1 被设定成规定的状态时, 选择信号发生电路 22 将选择信号 SL1、/SL1、SL2、/SL2 及 SL3、/SL3 各组驱动到激活状态。当信号/RAS、/CAS 及/WE 满足 WCBR 条件时, 该选择信号发生电路 22 根据地址信号位 A0 及 A1 的组合, 将各组选择信号驱动到激活状态。

图 13B 是表示该选择信号发生电路 22 中包括的发生选择信号 SL1 及 /SL1 用的电路结构之一例图。在图 13B 中, 该单位选择信号发生电路包括: 当满足 WCBR 条件时, 接收呈激活状态的 WCBR 检测信号 WCBR 和地址信号位 A0 及 A1 的 NAND 电路 22a; 以及接收 NAND 电路 22a 的输出信号的反相电路 22b。从 NAND 电路 22a 输出选择信号/SL1, 从反相电路 22b 输出选择信号 SL1。

当 WCBR 检测信号 WCBR 为高电平、而且地址信号位 A0 及 A1 都为高电平时, 选择信号 SL1 及/SL1 被驱动到激活状态。在该图 13B 中, 当指定了监视器测试方式时, 选择信号 SL1 及/SL1 被锁存在图中未示出的锁存电路部中。其它选择信号 SL2、/SL2 及 SL3、/SL3 各组根据地址信号位 A0 及 A1 为高电平及低电平的组合, 分别被驱动到激活状态。

通过利用该图 13A 及 13B 所示的选择信号发生电路, 在监视器测试方式时, 能容易地对于应监视的基准电压生成选择信号。

[变更例]

图 14 是表示本发明的实施例 7 的变更例的结构图。在图 14 中, 在外部通过一个焊区 10 来监视多个内部电压发生电路 24a、24b 及 24c 发生的内部电压 Vin1、Vin2 及 Vin3。

在图 14 中设有: 在选择信号 SEL1 及/SEL1 被激活时导通、将内部电压发生电路 24a 发生的内部电压 Vin1 传递给节点 28 的 CMOS 传输门 26a; 在选择信号 SEL2 及/SEL2 被激活时导通、将内部电压发生电路 24b 生成的内部电压 Vin 2 传递给节点 28 的 CMOS 传输门 26b; 以及在选择信号 SEL3 及/SEL3 被激活时导通、将内部电压发生电路 24c 发生的内部电压 Vin 3 传递给节点 28 的 CMOS 传输门 26c。被传递到该节点 28 上的内部电压由驱动电路 20 进行阻抗变换、而且将其输出电流驱动量变更后

传递给焊区 10。与传递给内部节点 28 的电压相同电压电平的电压被传递给该焊区 10。

在半导体存储器中，作为内部电压发生电路 24a~24c 有：通常使用的发生传递到选择字线上的升压电压 V_{pp} 的电路；发生在备用 (standby) 周期
5 时对位线进行预充电用的位线预充电电压 V_{BL} 的位线预充电电压发生电路；发生加在衬底区域上的衬底偏压 V_{BB} 的衬底偏压发生电路；发生加在存储单元电容器（在动态随机存取存储器的情况下）的一个电极（单元极板 (cell plate)）上的单元极板电压 V_{CP} 的单元极板电压发生电路；以及发生内部电源电压 $intV_{cc}$ 的内部电源电压发生电路等。由于在外部监视
10 这些内部电压，所以能监视是否生成半导体存储器准确工作所希望的电平的电压。

在此情况下，相对于多个内部电压发生电路 24a~24c 只设一个公用的焊区 10，不增加焊区数，就能在外部监视必要的内部电压电平。

如上所述，按照本发明的实施例 7，由于相对于多个内部电压发生电路
15 设置一个公用的焊区，在测试方式时有选择地将这些内部电压发生电路的输出电压传递给焊区，所以不增加焊区数，就能在外部容易地监视必要的内部电压。

[实施例 8]

图 15 是表示本发明的实施例 8 的半导体存储器的主要部分的结构图。
20 在该图 15 中，能从外部通过一个焊区 10 变更多个基准电压（在图 15 中为 3 种电压） V_{ref1} 、 V_{ref2} 及 V_{ref3} 的电平。即，在该图 15 所示的结构中设有：在选择信号 $SL1$ 及 $/SL1$ 被激活时导通、将信号线 30a 和节点 34 导电性地连接起来的 CMOS 传输门 32a；在选择信号 $SL2$ 及 $/SL2$ 被激活时导通、将内部节点 34 和信号线 30b 导电性地连接起来的 CMOS 传输门
25 32b；以及在选择信号 $SL3$ 及 $/SL3$ 被激活时导通、将内部节点 34 和信号线 30c 导电性地连接起来的 CMOS 传输门 32c。

节点 34 被连接在焊区 10 上。信号线 30a、30b 及 30c 分别被连接在分别发生基准电压 V_{ref1} 、 V_{ref2} 及 V_{ref3} 的基准电压发生电路的输出部上。在过载测试方式时，选择信号 $SL1 \sim SL3$ 及 $/SL1 \sim /SL3$ 被有选择地驱动
30 到激活状态。因此，在过载测试方式时，通过使选择信号 $SL1$ 、 $/SL1$ ； $SL2$ 、 $/SL2$ 及 $SL3$ 、 $/SL3$ 各组有选择地呈激活状态，能用一个焊区 10 强制地将多个基准电压 $V_{ref1} \sim V_{ref3}$ 的电压电平设定为所希望的电压电平。

因此,不增加焊区数,就能容易地进行多个基准电压的过载测试方式。另外,采用与图 13A 所示的选择信号发生电路同样的结构,就能发生选择信号 SL1~SL3。

[变更例]

5 图 16 是表示本发明的实施例 8 的变更例的结构图。在图 16 中,能从外部通过焊区 10 强制地将多个内部电压(在图 16 中为 3 种内部电压) Vin1、Vin2 及 Vin3 设定为所希望的电压电平。即,能通过一个焊区 10 进行多个内部电压的过载测试方式。

10 在图 16 中,为了进行该过载测试方式而设有:在选择信号 SEL1 及/SEL1 被激活时导通、将信号线 40a 和节点 44 导电性地连接起来的 CMOS 传输门 42a;在选择信号 SEL2 及/SEL2 被激活时导通、将内部信号线 40b 和节点 44 导电性地连接起来的 CMOS 传输门 42b;在选择信号 SEL3 及/SEL3 被激活时导通、将信号线 40c 和节点 44 导电性地连接起来的 CMOS 传输门 42c。节点 44 被连接在焊区 10 上。

15 信号线 40a、40b 及 40c 分别被连接在分别发生内部电压 Vin1、Vin2 及 Vin3 的内部电压发生电路的输出部上。各组选择信号 SEL1、/SEL1; SEL2、/SEL2; SEL3、/SEL3 在过载测试方式时有选择地被驱动到激活状态。因此,根据这些选择信号 SEL1~SEL3 及/SEL1~SEL3,能将一条信号线导电性地连接在焊区 10 上,用一个焊区就能对多个内部电压进行过
20 载测试。

如上所述,按照本发明的实施例 8,由于对应于多个内部电压传递线设置一个公用的焊区,在过载测试方式时有选择地且择一地多条内部电压传递线与焊区 10 连接,所以能用一个焊区对多个内部电压进行过载测试,能减少焊区的占有面积。

25 [实施例 9]

图 17 是表示本发明的实施例 9 的半导体存储器的主要部分的结构图。在该图 17 所示的结构中,能对多个基准电压(在图 17 中为 3 种) Vref1、Vref2 及 Vref3 执行监视器测试方式及过载测试方式两者中的任意一种。

30 在图 17 中,为了实现过载测试方式而设有:在选择信号 SL1 及/SL1 被激活时导通、将基准电压传递线 50a 和节点 53 导电性地连接起来的 CMOS 传输门 52a;在选择信号 SL2 及/SL2 被激活时导通、将基准电压传递线 50b 和节点 53 导电性地连接起来的 CMOS 传输门 52b;以及在选择信号

SL3 及/SL3 被激活时导通、将基准电压传递线 50c 和节点 53 导电性地连接起来的 CMOS 传输门 52c。基准电压传递线 50a、50b 及 50c 分别被连接在发生基准电压 V_{ref1} 、 V_{ref2} 及 V_{ref3} 的基准电压发生电路的输出端上。

5 另一方面, 为了进行监视器测试方式而设有: 在选择信号 SL1 及/SL1 被激活时导通、将基准电压传递线 50a 和节点 55 导电性地连接起来的 CMOS 传输门 54a; 在选择信号 SL2 及/SL2 被激活时导通、将基准电压传递线 50b 和节点 55 导电性地连接起来的 CMOS 传输门 54b; 以及在选择信号 SL3 及/SL3 被激活时导通、将基准电压传递线 50c 和节点 55 导电性地连接起来的 CMOS 传输门 54c。节点 55 被连接在驱动电路 20 的输入部上。

另外, 在节点 53 和焊区 10 之间还设有当过载测试允许信号 FTE 及/FTE 被激活时导通、将节点 53 和焊区 10 导电性地连接起来的 CMOS 传输门 56。在驱动电路 20 的输出部和焊区 10 之间设有当过载测试允许信号 FTE 及/FTE 非激活时导通、将驱动电路 20 的输出部和焊区 10 导电性地连接起来的 CMOS 传输门 58。

图 17 所示的结构实际上是前面所述的实施例 7 及 8 的组合。在过载测试方式时, CMOS 传输门 56 导通, 基准电压传递线 50a~50c 中的某一条被导电性地连接在焊区 10 上。选择信号 SL (SL1~SL3) 及/SL (SL1~SL3) 在过载测试方式及监视器测试方式中通用。可是, 同一条基准电压传递线只导电性地连接在焊区 10 及驱动电路 20 的输入节点 55 上, 不受驱动电路 20 的输出电压的影响, 能从外部强制地将所选择的基准电压电平设定为作希望的电平。

在监视器测试方式中, CMOS 传输门 56 呈截止状态, CMOS 传输门 58 呈导通状态, 驱动电路 20 的输出部被导电性地连接在焊区 10 上。因此, 在此情况下, 根据选择信号能选择基准电压传递线 50a~50c 上的基准电压 V_{ref1} ~ V_{ref3} 中的任意一者, 并通过驱动电路 20 及 CMOS 传输门 58 传递给焊区 10, 能在外部进行监视。在此情况下, 虽然 CMOS 传输门 52a~52c 中的某一个呈导通状态, 但进行该过载测试用的路径的负载 (寄生电容) 非常小, 不会受到任何进行该过载测试的路径的影响, 能准确地

另外, 在图 17 所示的结构中也可以采用以下的结构, 即只在过载测试

方式时, 有选择地使送给 CMOS 传输门 52a~52c 的选择信号呈激活状态, 另一方面只在监视器测试方式时, 有选择地将 CMOS 传输门 54a~54c 驱动到激活状态。通过只取选择信号 SL 及 /SL 和过载测试允许信号 FTE 的逻辑积, 能容易地实现。

5 [变更例]

图 18 是表示本发明的实施例 9 的变更例的结构图。该图 18 所示的结构能对传递到信号线 60a、60b 及 60c 上的内部电压 Vin1、Vin2 及 Vin3 进行监视器测试方式及过载测试方式两者中的任意一种。在该图 18 中, 进行监视器测试方式的各路径中, 与图 17 所示的结构不同之处仅在于所供给的
10 选择信号的符号不同, 因此, 对 CMOS 传输门附加相同的参照符号, 其详细说明从略。

通过有选择地使选择信号 SEL1、/SEL1; SEL2、/SEL2 及 SEL3、/SEL3 呈激活状态, 能对内部电压 Vin1、Vin2 及 Vin3 中的选择信号指定的内部电压执行监视器测试方式或过载测试方式。

15 这里, 在图 18 所示的结构中, 信号线 60a、60b 及 60c 分别被导电性地连接在发生内部电压 Vin1、Vin2 及 Vin3 的内部电压发生电路的输出部上。

如上所述, 按照本发明的实施例 9, 由于根据选择信号将多个内部电压传递线导电性地连接在焊区上, 或者通过驱动电路将其导电性地连接在焊
20 区上, 所以能对这些内部电压进行监视器测试方式及过载测试方式两者中的任意一种, 不增加焊区数就能从外部观测所希望的内部电压。

[其它应用例]

在以上的说明中, 作为半导体集成电路装置之一例, 说明了半导体存储器, 特别是作为一例, 说明了动态型半导体存储器。可是, 本发明也能适
25 用于具有在外部观测多个内部电压的测试方式的半导体集成电路装置。

另外, 基准电压发生电路的结构不限于图 20 所示的结构, 也可以是设有恒定电流源和将来自该恒定电流源的恒定电流转换成电压的变换元件的恒定电压发生电路。

如上所述, 按照本发明, 由于通过备有阻抗变换功能的具有较大的电流
30 供给能力的驱动电路, 将电流供给能力小的内部电压发生电路的输出端导电性地连接在焊区上, 所以能从外部准确地监视该电流供给能力小的内部电压发生电路的输出电压电平。

另外，由于对应于多个内部电压设置公用的焊区，将这些多个内部电压传递线有选择地导电性地连接在公用的焊区上，所以用一个焊区就能进行测试，能减少芯片的占有面积。

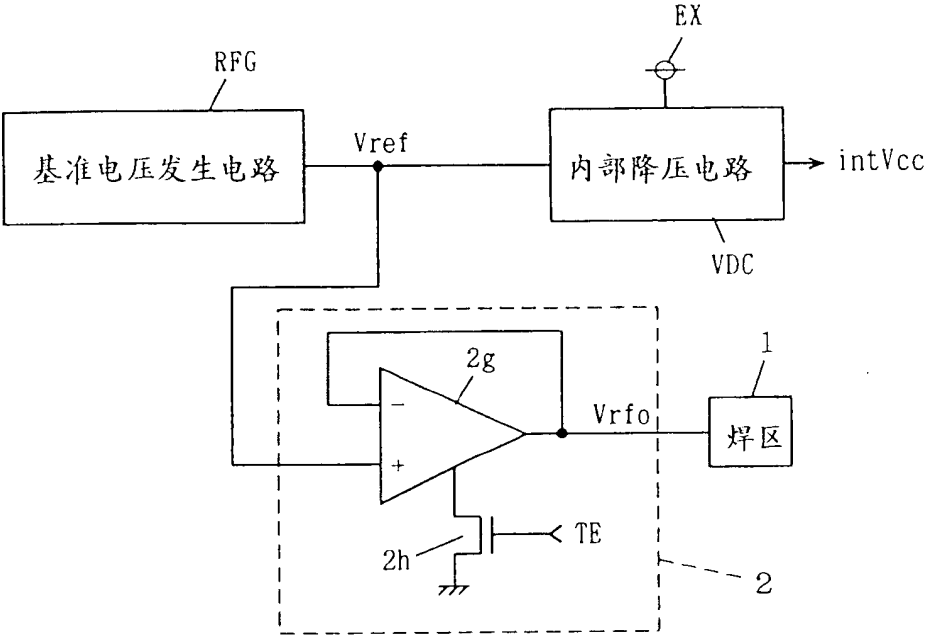


图 3

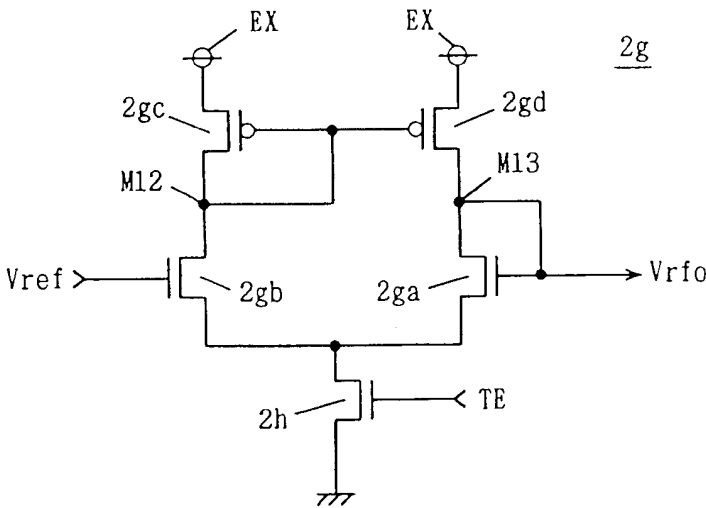


图 4

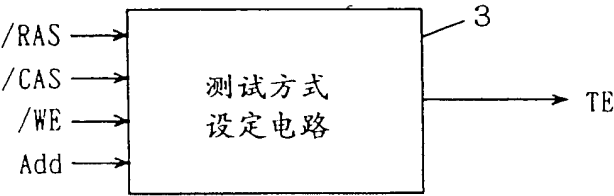


图 5 A

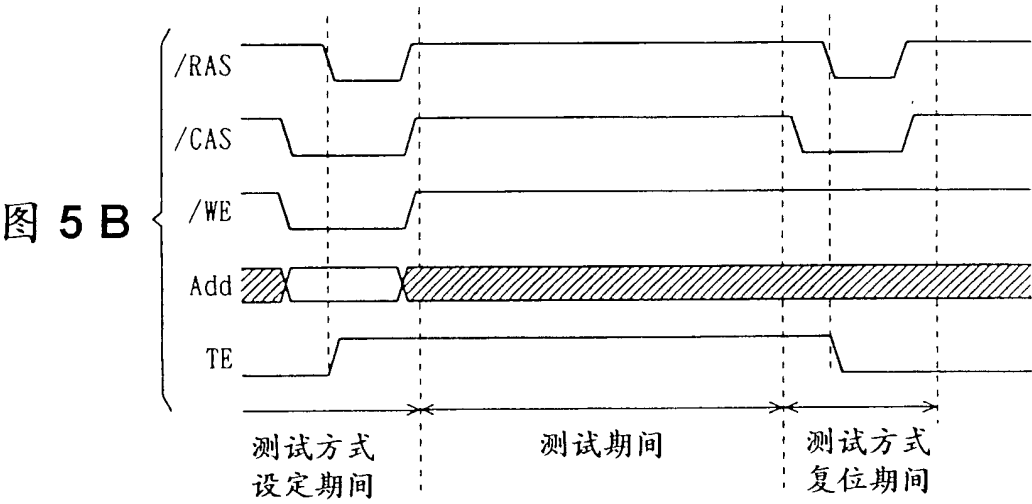


图 5 B

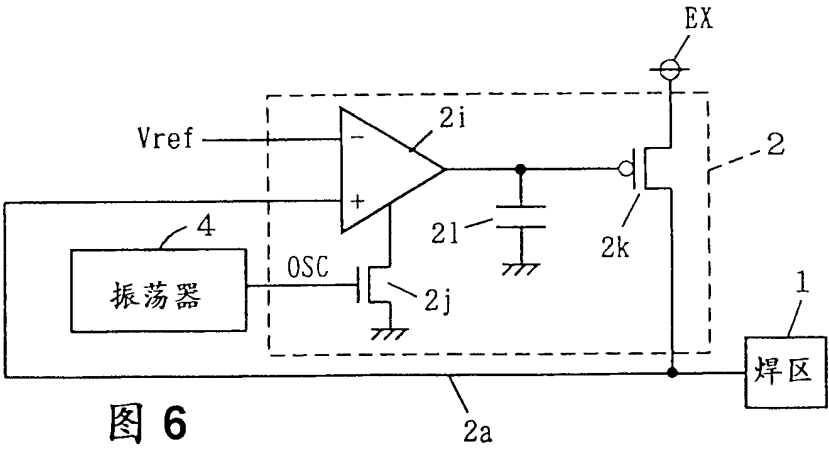


图 6

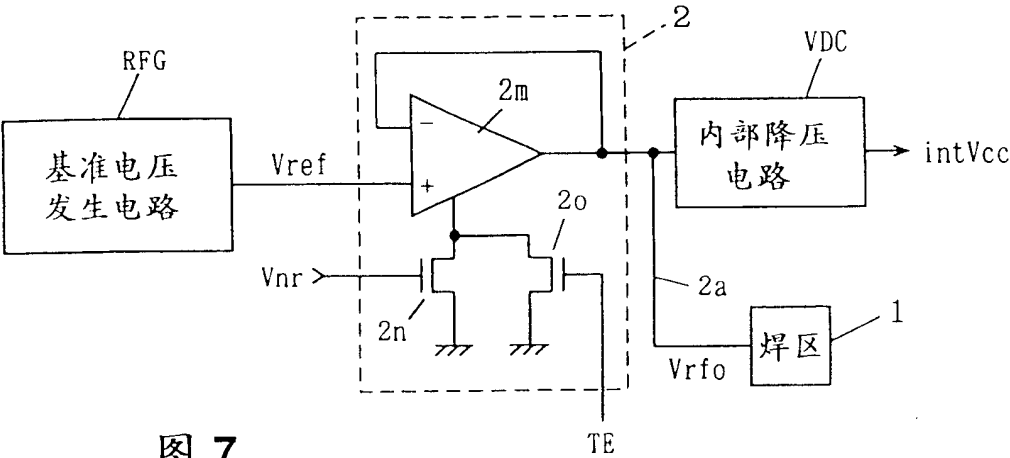


图 7

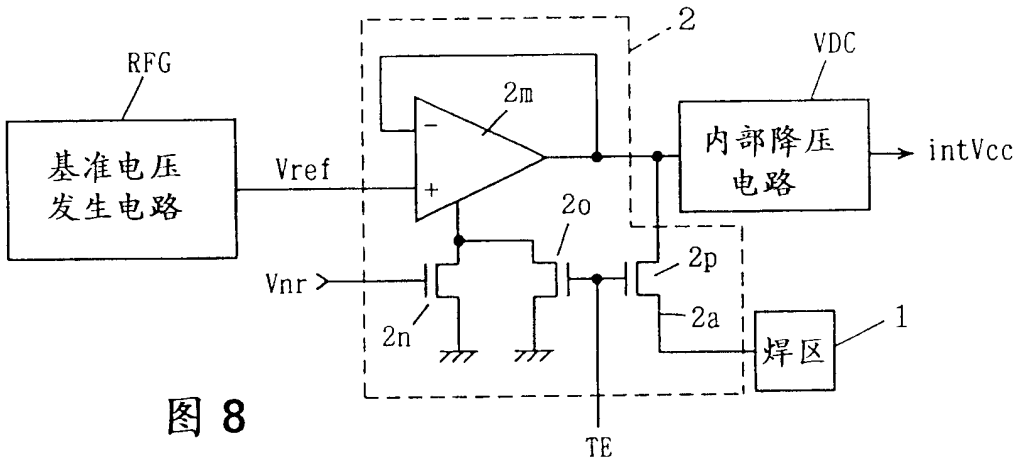


图 8

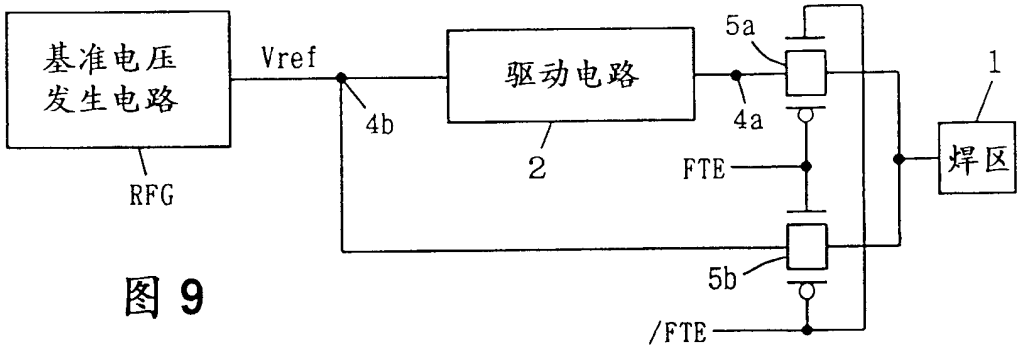


图 9

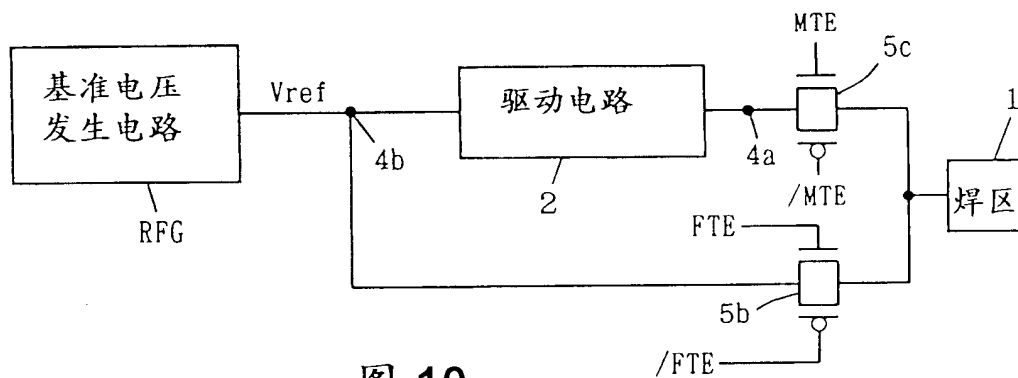


图 10

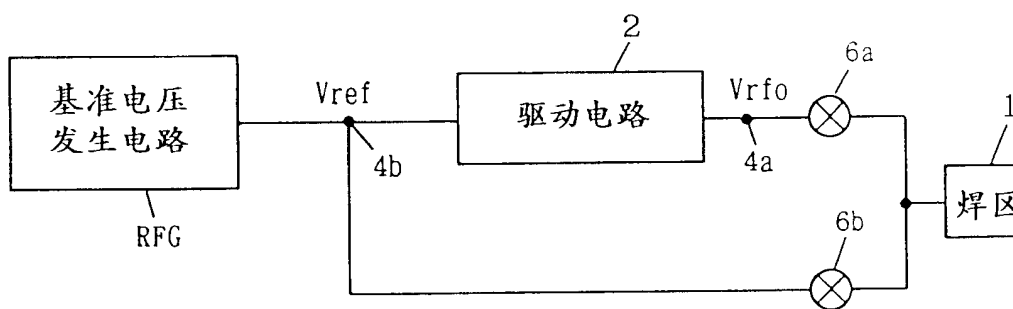


图 11

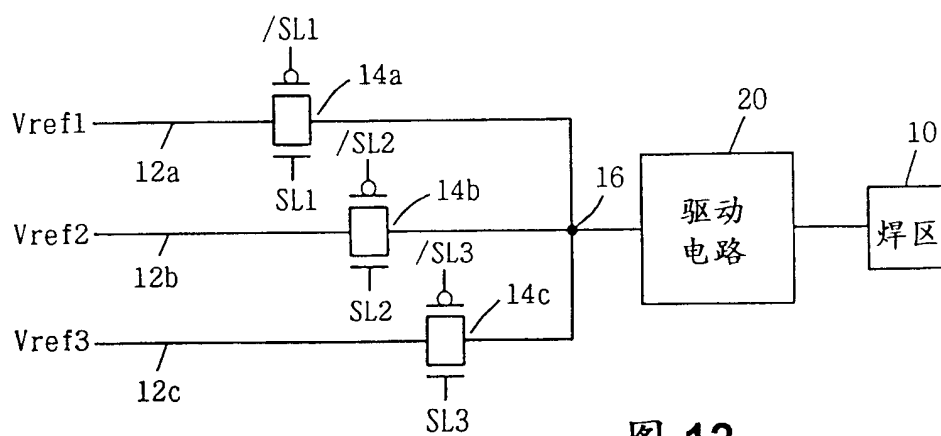


图 12

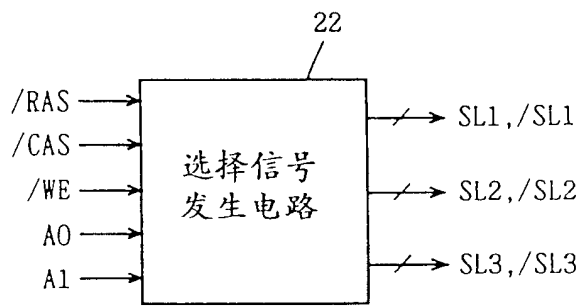


图 13 A

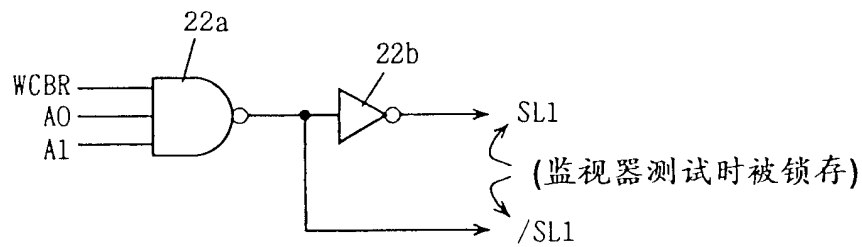


图 13 B

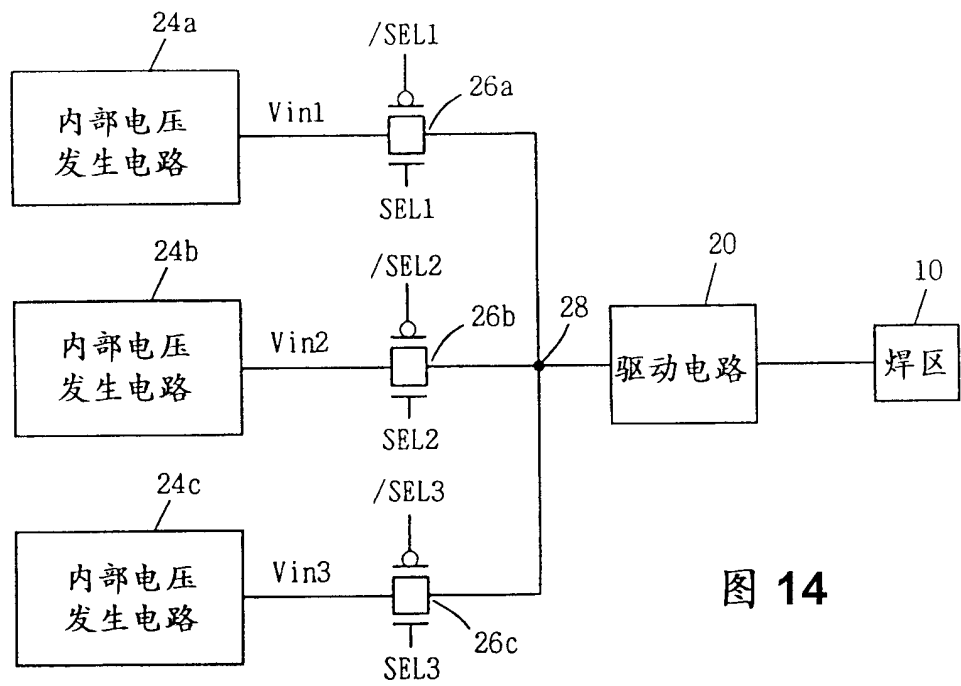


图 14

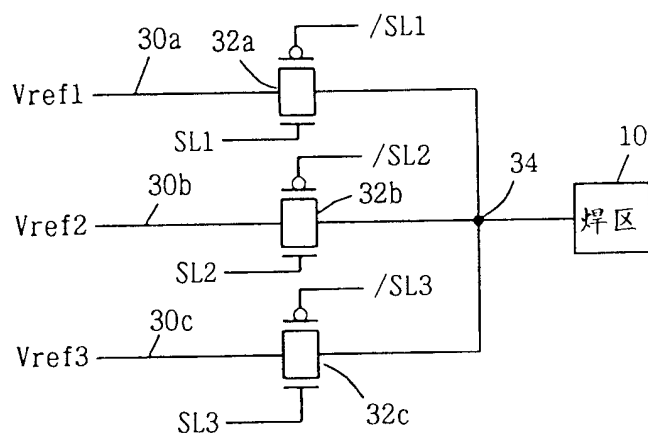


图 15

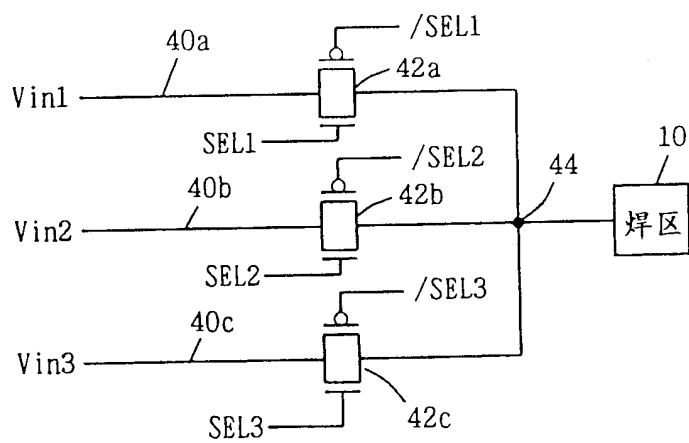


图 16

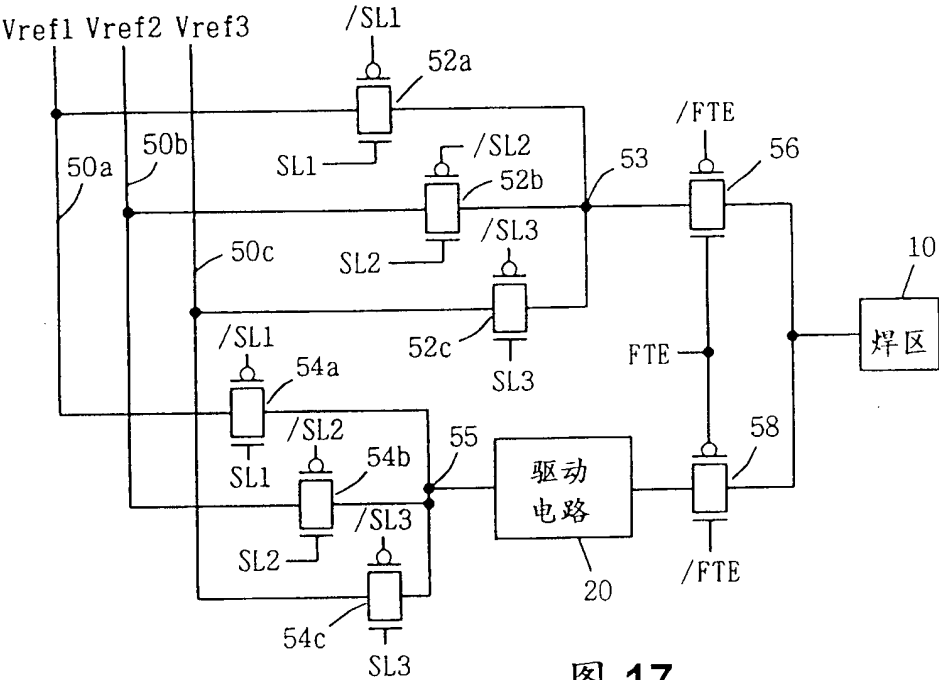


图 17

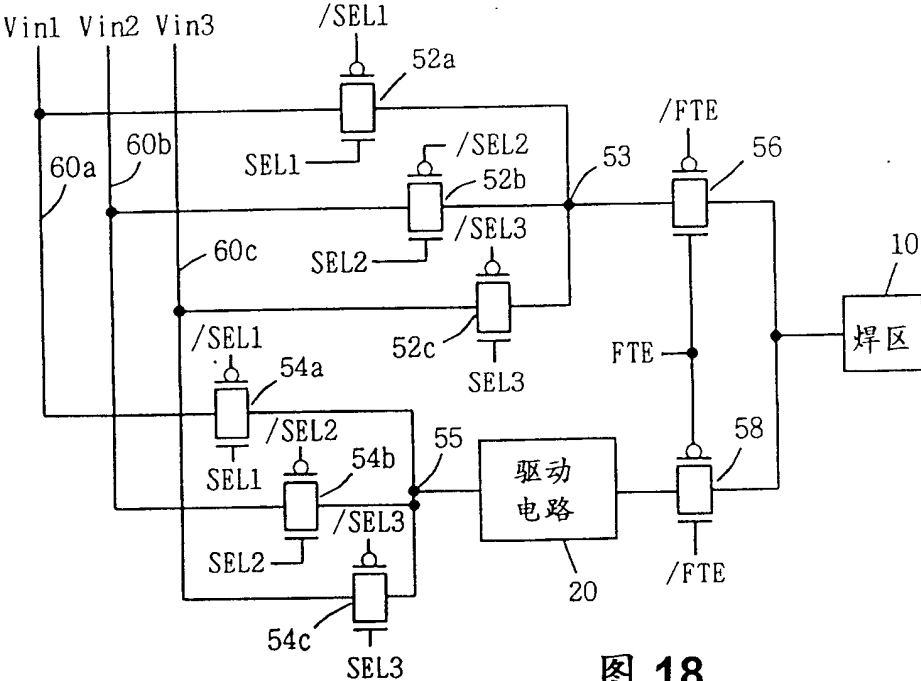


图 18

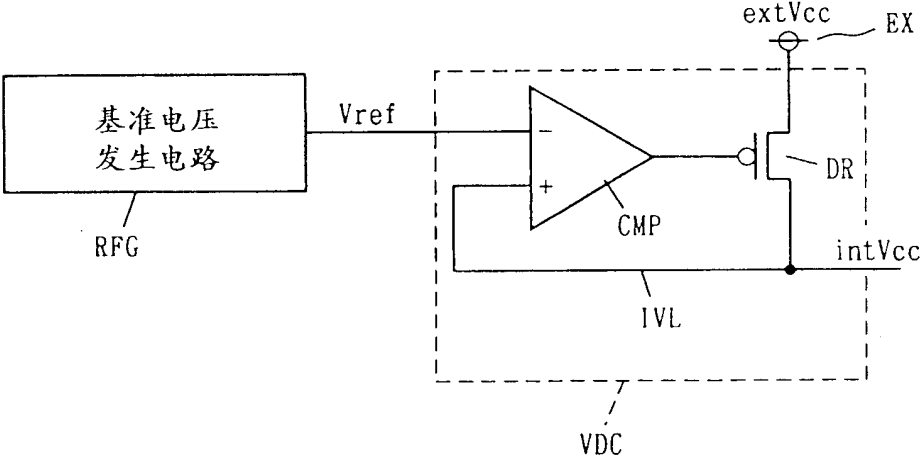


图 19 现有技术

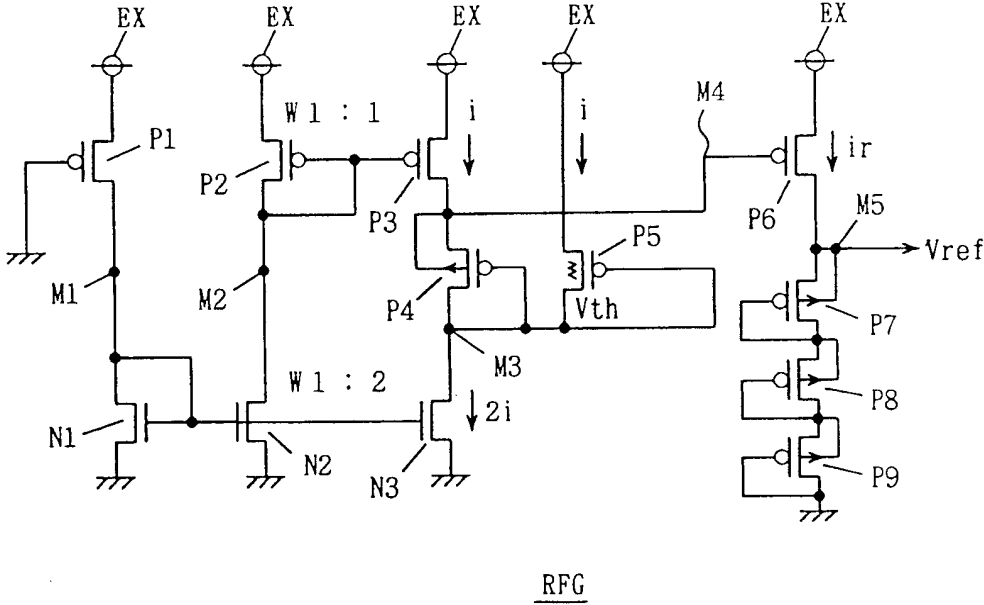


图 20 现有技术

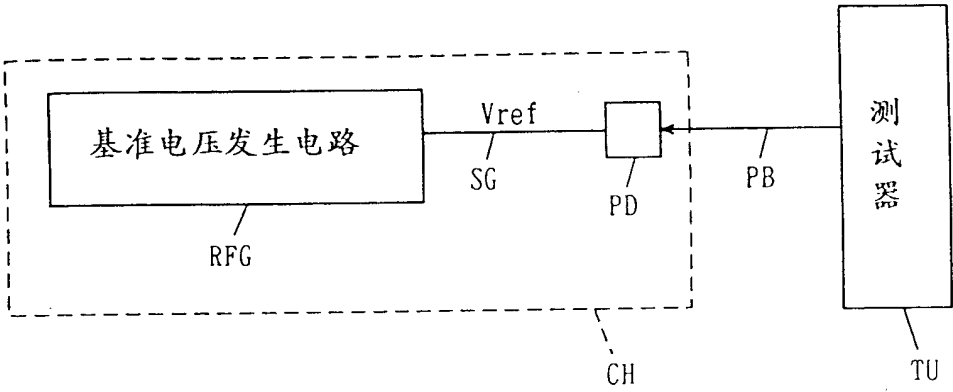


图 21 现有技术

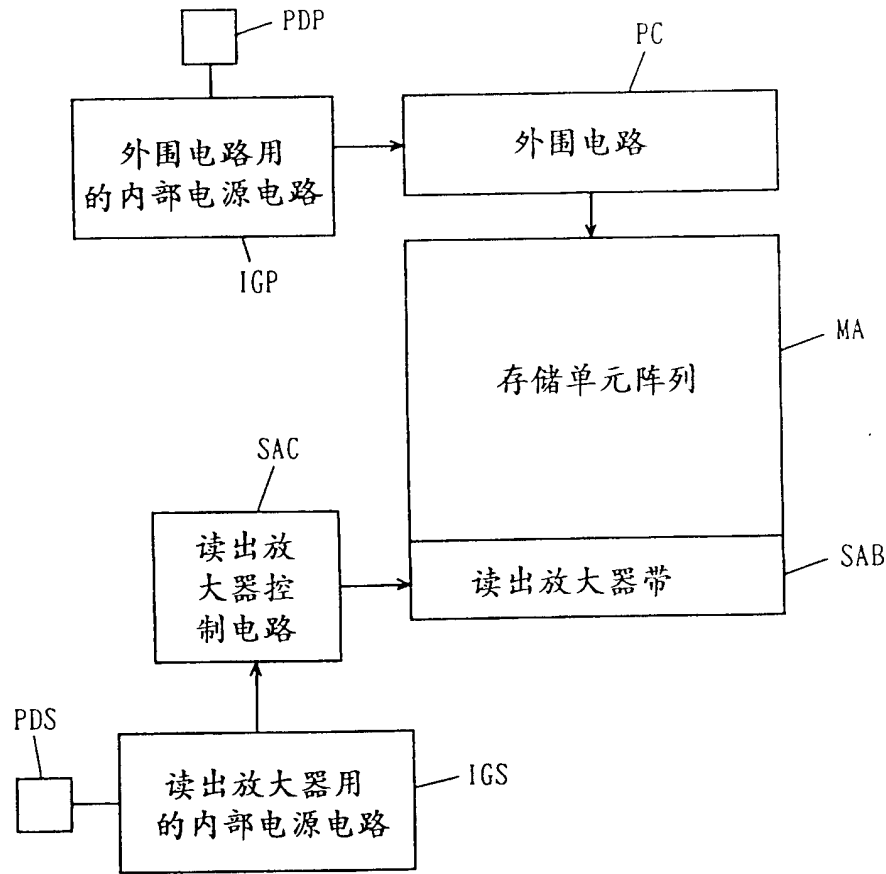


图 22 现有技术