

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4840412号
(P4840412)

(45) 発行日 平成23年12月21日 (2011.12.21)

(24) 登録日 平成23年10月14日 (2011.10.14)

(51) Int.Cl.	F I
G02F 1/133 (2006.01)	G02F 1/133 575
G02F 1/1343 (2006.01)	G02F 1/133 550
G09G 3/20 (2006.01)	G02F 1/1343
G09G 3/36 (2006.01)	G09G 3/20 612F
	G09G 3/20 621F
請求項の数 10 (全 18 頁) 最終頁に続く	

(21) 出願番号	特願2008-167535 (P2008-167535)	(73) 特許権者	000002185
(22) 出願日	平成20年6月26日 (2008.6.26)		ソニー株式会社
(65) 公開番号	特開2010-8681 (P2010-8681A)		東京都港区港南1丁目7番1号
(43) 公開日	平成22年1月14日 (2010.1.14)	(74) 代理人	100098785
審査請求日	平成23年6月8日 (2011.6.8)		弁理士 藤島 洋一郎
		(74) 代理人	100109656
			弁理士 三反崎 泰司
		(74) 代理人	100130915
			弁理士 長谷部 政男
		(72) 発明者	中畑 祐治
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		(72) 発明者	鎌田 豪
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		最終頁に続く	

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

全体としてマトリクス状に配置されると共に、垂直配向 (VA) モードの液晶により構成された液晶素子を有する複数の画素と、

各画素の液晶素子に対して入力映像信号に基づく電圧を印加することにより表示駆動を行うと共に、前記入力映像信号に基づき、各画素に対する表示駆動を空間的または時間的に複数に分割して分割駆動動作を行う駆動部と

を備え、

前記分割駆動動作が、

前記液晶素子に対して印加される液晶印加電圧が、前記入力映像信号に対応する入力印加電圧以上の高電圧側となるように分割駆動動作を行う第1の分割駆動動作群と、

前記液晶印加電圧が、前記入力印加電圧以下の低電圧側となるように分割駆動動作を行う第2の分割駆動動作群と

により構成され、

前記駆動部は、

前記第1の分割駆動動作群における動作を行う際に、少なくとも中間輝度領域において、前記液晶印加電圧が前記入力印加電圧よりも高電圧側となると共に、高輝度領域において、前記液晶印加電圧が、前記入力印加電圧以上の高電圧側となりつつ前記中間輝度領域と比べて低電圧傾向となるように分割駆動動作を行い、

前記第2の分割駆動動作群における動作を行う際に、少なくとも前記中間輝度領域にお

10

20

いて、前記液晶印加電圧が前記入力印加電圧よりも低電圧側となると共に、低輝度領域において、前記液晶印加電圧が、前記入力印加電圧以下の低電圧側となりつつ前記中間輝度領域と比べて高電圧傾向となるように分割駆動動作を行う

液晶表示装置。

【請求項 2】

前記駆動部は、前記第 2 の分割駆動動作群における動作を行う際に、前記低輝度領域のうちの前記入力映像信号における最低輝度階調以外では、前記液晶印加電圧が前記最低輝度階調に対応する最低電圧よりも高電圧側となるように分割駆動動作を行う

請求項 1 に記載の液晶表示装置。

【請求項 3】

前記画素が、

前記第 1 の分割駆動動作群における動作を行う際に用いられるサブ画素を有する第 1 のサブ画素群と、

前記第 2 の分割駆動動作群における動作を行う際に用いられるサブ画素を有する第 2 のサブ画素群と

により構成され、

前記駆動部は、前記入力映像信号に基づき、各画素に対する表示駆動を前記サブ画素群ごとに空間的に複数に分割して分割駆動動作を行う

請求項 1 または請求項 2 に記載の液晶表示装置。

【請求項 4】

前記駆動部は、前記映像信号と各サブ画素群に対応する映像信号とを対応付けてなる第 1 の LUT (ルックアップテーブル) を用いることにより、各画素に対する表示駆動を前記サブ画素群ごとに空間的に複数に分割して分割駆動動作を行う

請求項 3 に記載の液晶表示装置。

【請求項 5】

前記駆動部は、前記入力映像信号を前記液晶印加電圧に D/A (デジタル/アナログ) 変換する際に用いるリファレンス電圧が、前記サブ画素群ごとに互いに異なるように設定することにより、各画素に対する表示駆動を前記サブ画素群ごとに空間的に複数に分割して分割駆動動作を行う

請求項 3 に記載の液晶表示装置。

【請求項 6】

各画素に対する表示駆動の単位フレーム期間が、

前記第 1 の分割駆動動作群における動作を行う際に用いられるサブフレーム期間を有する第 1 のサブフレーム期間群と、

前記第 2 の分割駆動動作群における動作を行う際に用いられるサブフレーム期間を有する第 2 のサブフレーム期間群と

により構成され、

前記駆動部は、前記入力映像信号に基づき、各画素に対する表示駆動を前記サブフレーム期間群ごとに時間的に複数に分割して分割駆動動作を行う

請求項 1 に記載の液晶表示装置。

【請求項 7】

前記駆動部は、前記映像信号と各サブフレーム期間群に対応する映像信号とを対応付けてなる第 2 の LUT (ルックアップテーブル) を用いることにより、各画素に対する表示駆動を前記サブフレーム期間群ごとに時間的に複数に分割して分割駆動動作を行う

請求項 6 に記載の液晶表示装置。

【請求項 8】

前記駆動部は、前記入力映像信号を前記液晶印加電圧に D/A (デジタル/アナログ) 変換する際に用いるリファレンス電圧が、前記サブフレーム期間群ごとに互いに異なるように設定することにより、各画素に対する表示駆動を前記サブフレーム期間群ごとに時間複数に分割して分割駆動動作を行う

10

20

30

40

50

請求項 6 に記載の液晶表示装置。

【請求項 9】

全体としてマトリクス状に配置されると共に、垂直配向（V A）モードの液晶により構成された液晶素子を有する複数の画素と、

各画素の液晶素子に対して入力映像信号に基づく電圧を印加することにより表示駆動を行うと共に、前記入力映像信号に基づき、各画素に対する表示駆動を空間的または時間的に複数に分割して分割駆動動作を行う駆動部と

を備え、

前記分割駆動動作が、

前記液晶素子に対して印加される液晶印加電圧が、前記入力映像信号に対応する入力印加電圧以上の高電圧側となるように分割駆動動作を行う第 1 の分割駆動動作群と、

前記液晶印加電圧が、前記入力印加電圧以下の低電圧側となるように分割駆動動作を行う第 2 の分割駆動動作群と

により構成され、

前記駆動部は、

前記第 1 の分割駆動動作群における動作を行う際に、少なくとも中間輝度領域において、前記液晶印加電圧が前記入力印加電圧よりも高電圧側となると共に、高輝度領域において、前記液晶印加電圧が、前記入力印加電圧以上の高電圧側となりつつ前記中間輝度領域と比べて低電圧傾向となるように分割駆動動作を行う

液晶表示装置。

【請求項 10】

全体としてマトリクス状に配置されると共に、垂直配向（V A）モードの液晶により構成された液晶素子を有する複数の画素と、

各画素の液晶素子に対して入力映像信号に基づく電圧を印加することにより表示駆動を行うと共に、前記入力映像信号に基づき、各画素に対する表示駆動を空間的または時間的に複数に分割して分割駆動動作を行う駆動部と

を備え、

前記分割駆動動作が、

前記液晶素子に対して印加される液晶印加電圧が、前記入力映像信号に対応する入力印加電圧以上の高電圧側となるように分割駆動動作を行う第 1 の分割駆動動作群と、

前記液晶印加電圧が、前記入力印加電圧以下の低電圧側となるように分割駆動動作を行う第 2 の分割駆動動作群と

により構成され、

前記駆動部は、

前記第 2 の分割駆動動作群における動作を行う際に、少なくとも中間輝度領域において、前記液晶印加電圧が前記入力印加電圧よりも低電圧側となると共に、低輝度領域において、前記液晶印加電圧が、前記入力印加電圧以下の低電圧側となりつつ前記中間輝度領域と比べて高電圧傾向となるように分割駆動動作を行う

液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、垂直配向（V A）モードの液晶により構成された液晶表示装置に関する。

【背景技術】

【0002】

近年、液晶テレビやノート型パソコン、カーナビゲーション等の表示モニタとして、例えば、垂直配向型液晶を用いた V A（Vertical Alignment）モードを採用した液晶表示装置が提案されている。この V A モードでは、液晶分子が負の誘電率異方性、すなわち分子の長軸方向の誘電率が短軸方向に比べて小さい性質を有しており、T N（Twisted Nematic）モードに比べて広視野角を実現できる。

【0003】

ところが、VAモードの液晶を用いた液晶表示装置では、表示画面を正面方向から見た場合と斜め方向から見た場合とで、輝度の変動してしまうという問題がある。図14は、VAモードの液晶を用いた液晶表示装置における、映像信号の階調(0~255階調)と輝度比(255階調での輝度に対する輝度比)との関係を表したものである。図中の矢印P101で示したように、正面方向から見た場合($Y_s(0^\circ)$)と、45度方向から見た場合($Y_s(45^\circ)$)とでは、輝度特性が大きく異なっている(輝度が高くなる方向に変動している)ことが分かる。このような現象は、「しらっちゃけ」や「Wash out」、「Color Shift」などと呼ばれ、VAモードの液晶を用いた場合の液晶表示装置における最大の欠点とされている。

10

【0004】

そこで、このような「しらっちゃけ」現象の改善策として、単位画素を複数のサブ画素に分離すると共に、各々のサブ画素でのしきい値を変えるようにしたもの(マルチ画素構造)が提案されている(例えば、特許文献1~3)。これら特許文献1~3に示されたマルチ画素構造は、容量結合によるHT(ハーフトーン・グレスケール)法と呼ばれており、2つのサブ画素間の電位差が容量の比率で定まるようになっている。

【0005】

図15は、マルチ画素構造における映像信号の階調と各サブ画素の表示態様との関係の一例を表したものである。0階調(黒表示状態)から255階調(白表示状態)まで階調が上がる(輝度が高くなる)過程において、まず、画素のうち的一部分(一方のサブ画素)の輝度が高くなっていき、その後、画素のうちの他の部分(他方のサブ画素)の輝度が高くなっていくことが分かる。このようなマルチ画素構造によれば、例えば図14中の矢印P102で示したように、マルチ画素構造における45°方向での輝度特性($Y_m(45^\circ)$)では、通常の画素構造における45°方向での輝度特性($Y_s(45^\circ)$)と比べ、「しらっちゃけ」現象が改善されていることが分かる。

20

【0006】

なお、このようなマルチ画素構造とは別に、通常の画素構造において、表示駆動の単位フレームを複数(例えば、2つ)のサブフレームに時間的に分割すると共に、所望の輝度を高輝度のサブフレームと低輝度のサブフレームとを用いて分割して表現することによっても、マルチ画素構造の場合と同様にハーフトーンの効果を得ることにより、「しらっ

30

【0007】

【特許文献1】特開平2-12号公報

【特許文献2】米国特許第4,840,460号明細書

【特許文献3】特許第号3076938号明細書

【発明の開示】

【発明が解決しようとする課題】

【0008】

ところが、これらのようなハーフトーン技術を用いた場合、以下のような現象が生じやすくなってしまうという問題があった。すなわち、まず、液晶素子へ印加する電圧(液晶印加電圧)において、低電圧(例えば、0階調/255階調)から高電圧(例えば、255階調/255階調)へ遷移する際に、ハーフトーン技術を用いない場合と比べて急激に上昇しやすくなるため、所望の電圧値(輝度値)まで輝度が上がらず、液晶の応答時間が悪化してしまうことになる。このような現象は「液晶の方位角ぶれ」と呼ばれており、低電圧印加状態から急激に高い電圧を印加したことにより、液晶が一旦ランダムな方位角に倒れ、その後所望の方位角に配向することに起因している。

40

【0009】

また、液晶表示装置において中間調の応答速度を改善させる手法の一つとしてオーバードライブ駆動が挙げられるが、この場合も、ハーフトーン技術を用いない場合と比べて液晶印加電圧が低電圧から高電圧へと急激に上昇しやすくなるため、液晶の応答速度が改善

50

されるものの、オーバードライブ駆動終了後に本来の階調の電圧が印加された際に、「ゆり戻し」と呼ばれる現象が生じやすくなってしまう。これは、液晶素子に対して、液晶が垂直状態である 0 階調からオーバードライブ駆動によって短時間に高電圧が印加されたことにより、画素内の一部分の液晶のみが倒れ、他の部分の液晶が倒れていないことによるものである。

【 0 0 1 0 】

このようにして、上記のようなハーフトーン技術を用いた場合、輝度の視野角特性が向上するものの、液晶の方位角ぶれやゆり戻し現象が発生しやすくなるため、動画表示特性が低下し、表示画質が劣化してしまうという問題があった。

【 0 0 1 1 】

本発明はかかる問題点に鑑みてなされたもので、その目的は、V A モードの液晶を用いた液晶表示装置において、輝度の視野角特性を向上させつつ、従来よりも表示画質を向上させることが可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

【 0 0 1 2 】

本発明の第 1 の液晶表示装置は、全体としてマトリクス状に配置されると共に、垂直配向 (V A) モードの液晶により構成された液晶素子を有する複数の画素と、各画素の液晶素子に対して入力映像信号に基づく電圧を印加することにより表示駆動を行うと共に、その入力映像信号に基づき、各画素に対する表示駆動を空間的または時間的に複数に分割して分割駆動動作を行う駆動部とを備えたものである。ここで、この分割駆動動作は、液晶素子に対して印加される液晶印加電圧が入力映像信号に対応する入力印加電圧以上の高電圧側となるように分割駆動動作を行う第 1 の分割駆動動作群と、上記液晶印加電圧が入力印加電圧以下の低電圧側となるように分割駆動動作を行う第 2 の分割駆動動作群とにより構成されている。また、上記駆動部は、上記第 1 の分割駆動動作群における動作を行う際に、少なくとも中間輝度領域において液晶印加電圧が前記入力印加電圧よりも高電圧側となると共に、高輝度領域において、液晶印加電圧が入力印加電圧以上の高電圧側となりつつ中間輝度領域と比べて低電圧傾向となるように、分割駆動動作を行っている。上記駆動部はまた、上記第 2 の分割駆動動作群における動作を行う際に、少なくとも中間輝度領域において液晶印加電圧が入力印加電圧よりも低電圧側となると共に、低輝度領域において、液晶印加電圧が入力印加電圧以下の低電圧側となりつつ中間輝度領域と比べて高電圧傾向となるように、分割駆動動作を行っている。

【 0 0 1 3 】

本発明の第 1 の液晶表示装置では、V A モードの液晶を用いた各画素の液晶素子に対する表示駆動における動作を行う際に、映像信号に基づき、各画素に対する表示駆動が空間的または時間的に複数に分割されて分割駆動動作がなされるため、そのような分割駆動動作を行わない場合と比べ、表示画面を斜め方向から見た場合のガンマ特性 (映像信号の階調と輝度との関係を示す特性) の変動 (表示画面を正面方向から見た場合からの変動) が分散される。また、上記第 1 の分割駆動動作群における動作を行う際に、高輝度領域において、液晶印加電圧が入力印加電圧以上の高電圧側となりつつ中間輝度領域と比べて低電圧傾向となるため、高輝度領域においてそのような低電圧傾向となっていない従来の分割駆動動作の場合と比べ、液晶印加電圧において低電圧から高電圧へ遷移する際の急激な上昇が抑えられる。さらに、上記第 2 の分割駆動動作群における動作を行う際に、低輝度領域において、液晶印加電圧が入力印加電圧以下の低電圧側となりつつ中間輝度領域と比べて高電圧傾向となるため、低輝度領域においてそのような高電圧傾向となっていない従来の分割駆動動作の場合と比べ、例えばオーバードライブ駆動を行う際に、液晶印加電圧における低電圧から高電圧への急激な上昇が抑えられる。

【 0 0 1 4 】

本発明の第 2 の液晶表示装置は、上記複数の画素と、各画素の液晶素子に対して入力映像信号に基づく電圧を印加することにより表示駆動を行うと共に、その入力映像信号に基づき、各画素に対する表示駆動を空間的または時間的に複数に分割して分割駆動動作を行

10

20

30

40

50

う駆動部とを備えたものである。また、この分割駆動動作は、上記第１の分割駆動動作群と、上記第２の分割駆動動作群とにより構成されている。また、上記駆動部は、上記第１の分割駆動動作群における動作を行う際に、少なくとも中間輝度領域において液晶印加電圧が前記入力印加電圧よりも高電圧側となると共に、高輝度領域において、液晶印加電圧が入力印加電圧以上の高電圧側となりつつ中間輝度領域と比べて低電圧傾向となるように、分割駆動動作を行っている。

【００１５】

本発明の第２の液晶表示装置では、ＶＡモードの液晶を用いた各画素の液晶素子に対する表示駆動における動作を行う際に、映像信号に基づき、各画素に対する表示駆動が空間的または時間的に複数に分割されて分割駆動動作がなされるため、そのような分割駆動動作を行わない場合と比べ、表示画面を斜め方向から見た場合のガンマ特性が分散される。また、上記第１の分割駆動動作群における動作を行う際に、高輝度領域において、液晶印加電圧が入力印加電圧以上の高電圧側となりつつ中間輝度領域と比べて低電圧傾向となるため、高輝度領域においてそのような低電圧傾向となっていない従来の分割駆動動作の場合と比べ、液晶印加電圧において低電圧から高電圧へ遷移する際の急激な上昇が抑えられる。

10

【００１６】

本発明の第３の液晶表示装置は、上記複数の画素と、各画素の液晶素子に対して入力映像信号に基づく電圧を印加することにより表示駆動を行うと共に、その入力映像信号に基づき、各画素に対する表示駆動を空間的または時間的に複数に分割して分割駆動動作を行う駆動部とを備えたものである。また、この分割駆動動作は、上記第１の分割駆動動作群と、上記第２の分割駆動動作群とにより構成されている。また、上記駆動部は、上記第２の分割駆動動作群における動作を行う際に、少なくとも中間輝度領域において液晶印加電圧が入力印加電圧よりも低電圧側となると共に、低輝度領域において、液晶印加電圧が入力印加電圧以下の低電圧側となりつつ中間輝度領域と比べて高電圧傾向となるように、分割駆動動作を行っている。

20

【００１７】

本発明の第３の液晶表示装置では、ＶＡモードの液晶を用いた各画素の液晶素子に対する表示駆動における動作を行う際に、映像信号に基づき、各画素に対する表示駆動が空間的または時間的に複数に分割されて分割駆動動作がなされるため、そのような分割駆動動作を行わない場合と比べ、表示画面を斜め方向から見た場合のガンマ特性が分散される。また、上記第２の分割駆動動作群における動作を行う際に、低輝度領域において、液晶印加電圧が入力印加電圧以下の低電圧側となりつつ中間輝度領域と比べて高電圧傾向となるため、低輝度領域においてそのような高電圧傾向となっていない従来の分割駆動動作の場合と比べ、例えばオーバードライブ駆動を行う際に、液晶印加電圧における低電圧から高電圧への急激な上昇が抑えられる。

30

【発明の効果】

【００１８】

本発明の第１の液晶表示装置によれば、ＶＡモードの液晶を用いた各画素の液晶素子に対する表示駆動における動作を行う際に、各画素に対する表示駆動を空間的または時間的に複数に分割して分割駆動動作を行うようにしたので、そのような分割駆動動作を行わない場合と比べ、表示画面を斜め方向から見た場合のガンマ特性の変動を分散させることができ、輝度の視野角特性を向上させることができる。また、上記第１の分割駆動動作群における動作を行う際に、高輝度領域において、液晶印加電圧が入力印加電圧以上の高電圧側となりつつ中間輝度領域と比べて低電圧傾向となるようにしたので、液晶印加電圧において低電圧から高電圧へ遷移する際の急激な上昇を抑えることができ、従来の分割駆動動作の場合と比べて液晶の方位角ぶれを発生しにくくすることができる。さらに、上記第２の分割駆動動作群における動作を行う際に、低輝度領域において、液晶印加電圧が入力印加電圧以下の低電圧側となりつつ中間輝度領域と比べて高電圧傾向となるようにしたので、例えばオーバードライブ駆動を行う際に、液晶印加電圧における低電圧から高電圧への急

40

50

激な上昇を抑えることができ、従来の分割駆動動作の場合と比べてゆり戻し現象を発生しにくくすることができる。よって、V Aモードの液晶を用いた液晶表示装置において、輝度の視野角特性を向上させつつ、従来よりも表示画質を向上させることが可能となる。

【0019】

本発明の第2の液晶表示装置によれば、V Aモードの液晶を用いた各画素の液晶素子に対する表示駆動における動作を行う際に、各画素に対する表示駆動を空間的または時間的に複数に分割して分割駆動動作を行うようにしたので、そのような分割駆動動作を行わない場合と比べ、表示画面を斜め方向から見た場合のガンマ特性の変動を分散させることができ、輝度の視野角特性を向上させることができる。また、上記第1の分割駆動動作群における動作を行う際に、高輝度領域において、液晶印加電圧が入力印加電圧以上の高電圧側となりつつ中間輝度領域と比べて低電圧傾向となるようにしたので、液晶印加電圧において低電圧から高電圧へ遷移する際の急激な上昇を抑えることができ、従来の分割駆動動作の場合と比べて液晶の方位角ぶれを発生しにくくすることができる。よって、V Aモードの液晶を用いた液晶表示装置において、輝度の視野角特性を向上させつつ、従来よりも表示画質を向上させることが可能となる。

10

【0020】

本発明の第3の液晶表示装置によれば、V Aモードの液晶を用いた各画素の液晶素子に対する表示駆動における動作を行う際に、各画素に対する表示駆動を空間的または時間的に複数に分割して分割駆動動作を行うようにしたので、そのような分割駆動動作を行わない場合と比べ、表示画面を斜め方向から見た場合のガンマ特性の変動を分散させることができ、輝度の視野角特性を向上させることができる。また、上記第2の分割駆動動作群における動作を行う際に、低輝度領域において、液晶印加電圧が入力印加電圧以下の低電圧側となりつつ中間輝度領域と比べて高電圧傾向となるようにしたので、例えばオーバードライブ駆動を行う際に、液晶印加電圧における低電圧から高電圧への急激な上昇を抑えることができ、従来の分割駆動動作の場合と比べてゆり戻し現象を発生しにくくすることができる。よって、V Aモードの液晶を用いた液晶表示装置において、輝度の視野角特性を向上させつつ、従来よりも表示画質を向上させることが可能となる。

20

【発明を実施するための最良の形態】

【0021】

以下、本発明の実施の形態について、図面を参照して詳細に説明する。

30

【0022】

図1は、本発明の一実施の形態に係る液晶表示装置（液晶表示装置1）の全体構成を表すものである。この液晶表示装置1は、液晶表示パネル2と、バックライト部3と、画像処理部41と、マルチ画素変換部43と、リファレンス電圧生成部45と、データドライバ51と、ゲートドライバ52と、タイミング制御部61と、バックライト制御部63とを備えている。

【0023】

バックライト部3は、液晶表示パネル2に対して光を照射する光源であり、例えばCFL（Cold Cathode Fluorescent Lamp：冷陰極蛍光ランプ）やLED（Light Emitting Diode：発光ダイオード）などを含んで構成される。

40

【0024】

液晶表示パネル2は、後述するゲートドライバ52から供給される駆動信号に従って、データドライバ51から供給される駆動電圧に基づいてバックライト部3から発せられる光を変調することにより、映像信号Dinに基づく映像表示を行うものであり、全体としてマトリクス状に並んで配置された複数の画素20を含んで構成されている。各画素20は、R（Red：赤）、G（Green：緑）またはB（Blue：青）に対応する画素（図示しないR、G、B用のカラーフィルタが設けられている画素であり、R、G、Bの色の表示光を射出する画素）により構成されている。また、各画素20内には、2つのサブ画素（後述するサブ画素20A、20B）を含む画素回路が形成されている。なお、この画素回路の詳細構成については、後述する（図2、図3）。

50

【 0 0 2 5 】

画像処理部 4 1 は、外部からの映像信号 D in に対して所定の画像処理を施すことにより、R G B 信号である映像信号 D 1 を生成するものである。

【 0 0 2 6 】

マルチ画素変換部 4 3 は、後述するルックアップテーブル (L U T) を用いることにより、画像処理部 4 1 から供給される映像信号 D 1 を、各サブ画素用の 2 つの映像信号 D 2 a , D 2 b に変換する (マルチ画素変換を行う) と共に、これら映像信号 D 2 a , D 2 b をタイミング制御部 6 1 へ供給するものである。この L U T は、映像信号 D 1 の輝度レベルの階調と、各サブ画素に対応する映像信号の輝度レベルの階調とを、R , G , B に対応する画素の映像信号ごとに対応付けてなるものである。なお、L U T の詳細については、10

【 0 0 2 7 】

リファレンス電圧生成部 4 5 は、データドライバ 5 1 に対し、後述する D / A (デジタル / アナログ) 変換を施す際に用いるリファレンス電圧 V ref を供給するものである。具体的には、このリファレンス電圧 V ref は、黒電圧 (後述する 0 階調の輝度レベルの電圧) から白電圧 (例えば、後述する 2 5 5 階調の輝度レベルの電圧) までの複数の基準電圧により構成されている。また、本実施の形態では、このリファレンス電圧 V ref は、R , G , B に対応する画素間で共通のものとなっている。なお、このリファレンス電圧生成部 4 5 は、例えば複数の抵抗器が直列接続された抵抗ツリー構造などにより構成される。

【 0 0 2 8 】

ゲートドライバ 5 2 は、タイミング制御部 6 1 によるタイミング制御に従って、液晶表示パネル 2 内の各画素 2 0 を図示しない走査線 (後述するゲート線 G) に沿って線順次駆動するものである。20

【 0 0 2 9 】

データドライバ 5 1 は、液晶表示パネル 2 の各画素 2 0 (より詳細には、各画素 2 0 内の各サブ画素) へそれぞれ、タイミング制御部 6 1 から供給される映像信号 D 2 a , D 2 b に基づく駆動電圧を供給するものである。具体的には、このデータドライバ 5 1 は、映像信号 D 2 a , D 2 b に対し、リファレンス電圧生成部 4 5 から供給されるリファレンス電圧 V ref を用いてそれぞれ D / A 変換を施すことにより、アナログ信号である映像信号 (上記駆動電圧) を生成し、各画素 2 0 へ出力するようになっている。30

【 0 0 3 0 】

バックライト駆動部 6 2 は、バックライト部 3 の点灯動作を制御するものである。タイミング制御部 6 1 は、ゲートドライバ 5 2 およびデータドライバ 5 1 の駆動タイミングを制御すると共に、映像信号 D 2 a , D 2 b をデータドライバ 5 1 へ供給するものである。

【 0 0 3 1 】

次に、図 2 および図 3 を参照して、各画素 2 0 に形成された画素回路の構成について詳細に説明する。図 2 は、この画素 2 0 内の画素回路の回路構成例を表したものである。また、図 3 は、この画素回路内の液晶素子における画素電極の平面構成例を表したものである。40

【 0 0 3 2 】

画素 2 0 は、2 つのサブ画素 2 0 A , 2 0 B により構成され、マルチ画素構造となっている。サブ画素 2 0 A は、主容量素子である液晶素子 2 2 A と、補助容量素子 2 3 A と、薄膜トランジスタ (T F T : Thin Film Transistor) 素子 2 1 A とを有している。サブ画素 2 0 B も同様に、主容量素子である液晶素子 2 2 B と、補助容量素子 2 3 B と、T F T 素子 2 1 B とを有している。また、画素 2 0 には、駆動対象の画素を線順次で選択するための 1 本のゲート線 G と、駆動対象の画素に対してサブ画素 2 0 A , 2 0 B ごとにそれぞれ駆動電圧 (データドライバ 5 1 から供給される駆動電圧) を供給する 2 本のデータ D A , D B と、補助容量素子 2 3 A , 2 3 B の対向電極側に対して所定の基準電位を供給するためのバスラインである 1 本の補助容量線 C s とが接続されている。50

【 0 0 3 3 】

液晶素子 2 2 A は、データ線 D A から T F T 素子 2 1 A を介して一端に供給される駆動電圧に応じて、表示のための動作を行う（表示光を射出する）表示要素として機能している。また、液晶素子 2 2 B も同様に、データ線 D B から T F T 素子 2 1 B を介して一端に供給される駆動電圧に応じて、表示のための動作を行う（表示光を射出する）表示要素として機能している。これら液晶素子 2 2 A , 2 2 B は、V A モードの液晶により構成された液晶層（図示せず）と、この液晶層を挟む一対の電極（図示せず）とを含んで構成されている。これら一対の電極のうち的一方（一端）側（図 2 中の符号 P 1 A , P 1 B 側）は、T F T 素子 2 1 A , 2 1 B のソースおよび補助容量素子 2 3 A , 2 3 B の一端に接続され、他方（他端）側は接地されている。また、一対の電極のうち的一方側（図 2 中の符号 P 1 A , P 1 B 側）の電極は、例えば図 3 に示したような平面形状の画素電極 2 2 0 とな

10

【 0 0 3 4 】

補助容量素子 2 3 A , 2 3 B は、液晶素子 2 2 A , 2 2 B の蓄積電荷を安定化させるための容量素子である。補助容量素子 2 3 A の一端（一方の電極）は、液晶素子 2 2 A の一端および T F T 素子 2 1 A のソースに接続され、他端（対向電極）は補助容量線 C s に接続されている。また、補助容量素子 2 3 B の一端（一方の電極）は、液晶素子 2 2 B の一端および T F T 素子 2 1 B のソースに接続され、他端（対向電極）は補助容量線 C s に接続されている。

【 0 0 3 5 】

20

T F T 素子 2 1 A は、M O S - F E T (Metal Oxide Semiconductor - Field Effect Transistor) により構成されており、ゲートがゲート線 G に接続され、ソースが液晶素子 2 2 A の一端および補助容量素子 2 3 A の一端に接続され、ドレインがデータ線 D A に接続されている。この T F T 素子 2 1 A は、液晶素子 2 2 A の一端および補助容量素子 2 3 A の一端に対し、サブ画素 2 0 A 用の駆動電圧（映像信号 D 2 a に基づく駆動電圧）を供給するためのスイッチング素子として機能している。具体的には、ゲートドライバ 5 2 からゲート線 G を介して供給される選択信号に応じて、データ線 D A と液晶素子 2 2 A および補助容量素子 2 3 A の一端同士との間を選択的に導通させるようになっている。

【 0 0 3 6 】

T F T 素子 2 1 B も同様に M O S - F E T により構成されており、ゲートがゲート線 G に接続され、ソースが液晶素子 2 2 B の一端および補助容量素子 2 3 B の一端に接続され、ドレインがデータ線 D B に接続されている。この T F T 素子 2 1 B は、液晶素子 2 2 B の一端および補助容量素子 2 3 B の一端に対し、サブ画素 2 0 B 用の駆動電圧（映像信号 D 2 b に基づく駆動電圧）を供給するためのスイッチング素子として機能している。具体的には、ゲートドライバ 5 2 からゲート線 G を介して供給される選択信号に応じて、データ線 D B と液晶素子 2 2 B および補助容量素子 2 3 B の一端同士との間を選択的に導通させるようになっている。

30

【 0 0 3 7 】

次に、図 4 を参照して、マルチ画素変換部 4 3 において用いられる L U T について詳細に説明する。なお、以下説明する特性図においては、一例として、輝度レベルの階調が、0 / 2 5 5 階調（黒表示状態）から 2 5 5 / 2 5 5 階調（白表示状態）までに設定されているものとする。

40

【 0 0 3 8 】

この L U T は、例えば図 4 中の矢印 P 2 a , P 2 b で示したように、マルチ画素変換部 4 3 に供給される映像信号 D 1 の輝度レベルの階調を、サブ画素 2 0 A 用の映像信号 D 2 a の輝度レベルの階調と、サブ画素 2 0 B 用の映像信号 D 2 b の輝度レベルの階調とに分割するためのものである。すなわち、映像信号 D 1 に基づき、各画素 2 0 に対する表示駆動を、サブ画素 2 0 A , 2 0 B ごとに空間的に 2 つに分割して分割駆動動作を行うために用いられるものである。言い換えると、このときの分割駆動動作は、液晶素子 2 2 A に対して印加される液晶印加電圧が映像信号 D 1 に対応する入力印加電圧以上の高電圧側とな

50

るように分割駆動動作を行う第１の分割駆動動作（サブ画素２０Ａに対する分割駆動動作）と、液晶素子２２Ｂに対して印加される液晶印加電圧が上記入力印加電圧以下の低電圧側となるように分割駆動動作を行う第２の分割駆動動作（サブ画素２０Ｂに対する分割駆動動作）と、により構成されている。

【００３９】

また、このＬＵＴでは、サブ画素２０Ａに対する分割駆動動作の際に、例えば図４中の矢印Ｐ２ａで示したように、少なくとも中間輝度領域において、液晶素子２２Ａへの液晶印加電圧が、映像信号Ｄ１に対応する入力印加電圧よりも高電圧側となっている。そして、例えば図４中の矢印Ｐ３ａで示したように、高輝度領域において、液晶素子２２Ａへの液晶印加電圧が、映像信号Ｄ１に対応する入力印加電圧以上の高電圧側となりつつ、中間輝度領域と比べて低電圧傾向となっている。具体的には、このような高輝度領域における液晶素子２２Ａへの液晶印加電圧は、映像信号Ｄ１に対応する入力印加電圧以上かつ、「液晶の方位角ぶれ」が発生する電圧以下に設定されるようになっている。

10

【００４０】

さらに、このＬＵＴでは、サブ画素２０Ｂに対する分割駆動動作の際に、例えば図４中の矢印Ｐ２ｂで示したように、少なくとも中間輝度領域において、液晶素子２２Ｂへの液晶印加電圧が、映像信号Ｄ１に対応する入力印加電圧よりも低電圧側となっている。そして、例えば図４中の矢印Ｐ３ｂで示したように、低輝度領域において、液晶素子２２Ｂへの液晶印加電圧が、映像信号Ｄ１に対応する入力印加電圧以下の低電圧側となりつつ、中間輝度領域と比べて高電圧傾向となっている。具体的には、低輝度領域のうちの映像信号Ｄ１における最低輝度階調（０階調）以外では、液晶素子２２Ｂへの液晶印加電圧が、この最低輝度階調に対応する最低電圧よりも高電圧側となるように設定されている（映像信号Ｄ１における０階調以外では、映像信号Ｄ２ｂにおいて０階調とならないように設定されている）。

20

【００４１】

ここで、マルチ画素変換部４３、タイミング制御部６１、リファレンス電圧生成部４５、データドライバ５１およびゲートドライバ５２が、本発明における「駆動部」の一具体例に対応する。また、図４に示したＬＵＴが、本発明における「第１のＬＵＴ」の一具体例に対応する。また、サブ画素２０Ａが本発明における「第１のサブ画素群」の一具体例に対応し、サブ画素２０Ｂが本発明における「第２のサブ画素群」の一具体例に対応する。

30

【００４２】

次に、本実施の形態の液晶表示装置１の動作について説明する。

【００４３】

まず、図１～図４を参照して、液晶表示装置１の基本動作について説明する。

【００４４】

この液晶表示装置１では、図１に示したように、外部から供給された映像信号Ｄ_{in}が画像処理部４１により画像処理され、各画素２０用の映像信号Ｄ１が生成される。この映像信号Ｄ１は、マルチ画素変換部４３へ供給される。マルチ画素変換部４３では、上述したＬＵＴを用いることにより、供給された映像信号Ｄ１が、各サブ画素２０Ａ，２０Ｂ用の２つの映像信号Ｄ２ａ，Ｄ２ｂに変換される（マルチ画素変換）。これら２つの映像信号Ｄ２ａ，Ｄ２ｂはそれぞれ、タイミング制御部６１を介してデータドライバ５１へ供給される。データドライバ５１では、リファレンス電圧生成部４５から供給されるリファレンス電圧Ｖ_{ref}を用いて映像信号Ｄ２ａ，Ｄ２ｂに対するＤ／Ａ変換が施され、アナログ信号である２つの映像信号が生成される。そしてこれら２つの映像信号に基づき、ゲートドライバ５２およびデータドライバ５１から出力される各画素２０内のサブ画素２０Ａ，２０Ｂへの駆動電圧によって、画素２０ごとに線順次表示駆動動作がなされる。

40

【００４５】

具体的には、図２および図３に示したように、ゲートドライバ５２からゲート線Ｇを介して供給される選択信号に応じて、ＴＦＴ素子２１Ａ，２１Ｂのオン・オフが切り替えら

50

れ、データ線 D A , D B と液晶素子 2 2 A , 2 2 B および補助容量素子 2 3 A , 2 3 B との間が選択的に導通されることにより、データドライバ 5 1 から供給される 2 つの映像信号に基づく駆動電圧が液晶素子 2 2 A , 2 2 B および補助容量素子 2 3 A , 2 3 B へと供給され、表示駆動動作がなされる。

【 0 0 4 6 】

すると、データ線 D A , D B と液晶素子 2 2 A , 2 2 B および補助容量素子 2 3 A , 2 3 B との間が導通された画素 2 0 では、バックライト部 3 0 からの照明光が液晶表示パネル 2 において変調され、表示光として出力される。これにより、映像信号 D in に基づく映像表示が、液晶表示装置 1 において行われる。

【 0 0 4 7 】

次に、図 1 ~ 図 4 に加えて図 5 ~ 図 7 を参照して、本発明の液晶表示装置の駆動動作の特徴的部分について、比較例と比較しつつ詳細に説明する。ここで、図 5 ~ 図 7 は、比較例に係る従来の液晶表示装置における L U T と、その L U T を用いた場合の問題点とについて説明するためのものである。

【 0 0 4 8 】

まず、本実施の形態の液晶表示装置 1 では、図 4 に示した L U T を用いることにより、V A モードの液晶を用いた各画素 2 0 の液晶素子 2 2 A , 2 2 B に対する表示駆動における動作を行う際に、映像信号 D 1 に基づき、各画素 2 0 に対する表示駆動が空間的に 2 つに分割されて分割駆動動作がなされる (図 4 中の矢印 P 2 a , P 2 b 参照) 。具体的には、各画素 2 0 が 2 つのサブ画素 2 0 A , 2 0 B により構成されると共に、映像信号 D 1 に対してマルチ画素変換がなされた映像信号 D 3 a , D 3 b (図示せず ; データドライバ 5 1 から供給されるアナログ信号からなる 2 つの映像信号) に基づき、各画素 2 0 に対する表示駆動をサブ画素 2 0 A , 2 0 B ごとに空間的に 2 つに分割して分割駆動動作がなされる。したがって、そのような分割駆動動作を行わない場合と比べ、表示画面を斜め方向 (例えば、45°方向) から見た場合のガンマ特性 (映像信号 D 1 の輝度レベルの階調と、輝度との関係を示す特性) の変動 (表示画面を正面方向から見た場合からの変動) が、分散される。これにより、例えば図 1 4 中の輝度特性 Y m (45°) のように、マルチ画素構造による分割駆動動作を行っていない場合 (例えば、図 1 4 中の輝度特性 Y s (45°)) と比べ、輝度の視野角特性が向上する。

【 0 0 4 9 】

一方、比較例に係る液晶表示装置においても、同様にマルチ画素構造による分割駆動動作を行っているため (例えば、図 5 中の矢印 P 1 0 2 a , P 1 0 2 b 参照) 、マルチ画素構造による分割駆動動作を行っていない場合と比べ、輝度の視野角特性が向上している。ただし、この比較例では、図 4 に示した本実施の形態の L U T の代わりに、図 5 に示したような L U T を用いることにより、マルチ画素構造による分割駆動動作がなされている。具体的には、この L U T では、サブ画素 2 0 A に対する分割駆動動作 (図 5 中の映像信号 D 1 0 2 a に対応) における動作を行う際に、高輝度領域において、図 4 中の矢印 P 3 a で示したような低電圧傾向となっていない。また、サブ画素 2 0 B に対する分割駆動動作 (図 5 中の映像信号 D 1 0 2 b に対応) における動作を行う際にも、低輝度領域において、図 4 中の矢印 P 3 b で示したような高電圧傾向となっていない。

【 0 0 5 0 】

ここで、このような L U T を用いている比較例に係る液晶表示装置では、上記のように、サブ画素 2 0 A に対する分割駆動動作の際に高輝度領域において低電圧傾向となっていないと共に、サブ画素 2 0 B に対する分割駆動動作の際に低輝度領域において高電圧傾向となっていないため、以下のような現象が生じやすくなってしまふ。そしてその結果、動画表示特性が低下し、表示画質が劣化してしまうことになる。

【 0 0 5 1 】

具体的には、まず、例えば図 6 中の符号 P 1 0 3 a , P 1 0 3 b で示したように、サブ画素 2 0 A 内の液晶素子 2 2 A へ印加する電圧 (液晶印加電圧) において、低電圧 (例えば、0 階調 / 255 階調) から高電圧 (例えば、255 階調 / 255 階調) へ遷移する際

10

20

30

40

50

に、所望の電圧値（輝度値）まで輝度が上がらず、液晶の応答時間が悪化してしまいやすくなる。これは、サブ画素構造のようなハーフトーン技術を用いた場合、サブ画素 20 A には、ハーフトーン技術を用いない場合と比べてより低い階調から高電圧を印加することとなるため、「液晶の方位角ぶれ」による応答時間の悪化が、より多くの階調において発生することによるものである。

【0052】

また、例えば図 5 中の映像信号 D 102 b のように、サブ画素 20 B 内の液晶素子 22 B へ印加する電圧（液晶印加電圧）では、オーバードライブ（OD）駆動を行う際に、ハーフトーン技術を用いない場合と比べて 0 階調を用いる場合が増えるため、液晶印加電圧を、低電圧から高電圧へと急激に上昇させなければならなくなる。その結果、オーバードライブ駆動によって液晶の応答速度が改善されるものの、例えば図 7 中の符号 P 104 で示したように、オーバードライブ駆動終了後に本来の階調の電圧が印加された際に、「ゆり戻し現象」が生じやすくなってしまう。

【0053】

これに対し、本実施の形態の液晶表示装置 1 では、図 4 に示した LUT において、サブ画素 20 A に対する分割駆動動作の際に、図 4 中の矢印 P 3 a で示したように、高輝度領域において、液晶素子 22 A への液晶印加電圧が、映像信号 D 1 に対応する入力印加電圧以上の高電圧側となりつつ、中間輝度領域と比べて低電圧傾向となっている。具体的には、このような高輝度領域における液晶素子 22 A への液晶印加電圧は、映像信号 D 1 に対応する入力印加電圧以上かつ、「液晶の方位角ぶれ」が発生する電圧以下に設定されている。これにより、高輝度領域においてそのような低電圧傾向となっていない比較例の分割駆動動作と比べ、液晶印加電圧において低電圧から高電圧へ遷移する際の急激な上昇が抑えられる。よって、「液晶の方位角ぶれ」が発生する階調数が低減（例えば、32 階調から 6 階調へと低減）することとなる。なお、このとき、サブ画素 20 B に対する分割駆動動作の際に、映像信号 D 1 の場合と比べてガンマ特性が変化しないよう、高輝度領域において逆に高電圧傾向となっている。

【0054】

また、サブ画素 20 B に対する分割駆動動作の際に、例えば図 4 中の矢印 P 3 b で示したように、低輝度領域において、液晶素子 22 B への液晶印加電圧が、映像信号 D 1 に対応する入力印加電圧以下の低電圧側となりつつ、中間輝度領域と比べて高電圧傾向となっている。具体的には、低輝度領域のうちの映像信号 D 1 における最低輝度階調（0 階調）以外では、液晶素子 22 B への液晶印加電圧が、この最低輝度階調に対応する最低電圧よりも高電圧側となるように設定されている（映像信号 D 1 における 0 階調以外では、映像信号 D 2 b において 0 階調とならないように設定されている）。これにより、低輝度領域においてそのような高電圧傾向となっていない比較例の分割駆動動作と比べ、オーバードライブ駆動を行う際に、液晶印加電圧における低電圧から高電圧への急激な上昇が抑えられる。よって、「ゆり戻し現象」が発生する階調数が低減（例えば、64 階調から 20 階調へと低減）することとなる。なお、このときも、サブ画素 20 A に対する分割駆動動作の際に、映像信号 D 1 の場合と比べてガンマ特性が変化しないよう、低輝度領域において逆に低電圧傾向となっている。

【0055】

以上のように本実施の形態では、VA モードの液晶を用いた各画素 20 の液晶素子 22 A, 22 B に対する表示駆動における動作を行う際に、各画素 20 に対する表示駆動を空間的に 2 つ分割して分割駆動動作を行うようにしたので、そのような分割駆動動作を行わない場合と比べ、表示画面を斜め方向から見た場合のガンマ特性の変動を分散させることができ、輝度の視野角特性を向上させることができる。また、サブ画素 20 A に対する分割駆動動作の際に、高輝度領域において、液晶素子 22 A への液晶印加電圧が、映像信号 D 1 に対応する入力印加電圧以上の高電圧側となりつつ中間輝度領域と比べて低電圧傾向となるようにしたので、液晶印加電圧において低電圧から高電圧へ遷移する際の急激な上昇を抑えることができ、従来の分割駆動動作の場合と比べて液晶の方位角ぶれを発生しに

10

20

30

40

50

くくすることができる。さらに、サブ画素 20B に対する分割駆動動作の際に、低輝度領域において、液晶素子 22B への液晶印加電圧が、映像信号 D1 に対応する入力印加電圧以下の低電圧側となりつつ中間輝度領域と比べて高電圧傾向となるようにしたので、オーバードライブ駆動を行う際に、液晶印加圧における低電圧から高電圧への急激な上昇を抑えることができ、従来の分割駆動動作の場合と比べてゆり戻し現象を発生しにくくすることができる。よって、VA モードの液晶を用いた液晶表示装置において、輝度の視野角特性を向上させつつ、従来よりも表示画質を向上させることが可能となる。

【0056】

具体的には、各画素 20 を 2 つのサブ画素 20A, 20B により構成すると共に、映像信号 D1 に対してマルチ画素変換がなされた映像信号 D3a, D3b に基づき、各画素 20 に対する表示駆動をサブ画素 20A, 20B ごとに空間的に 2 つに分割して分割駆動動作を行うようにしたので、上記効果を得ることが可能となる。

10

【0057】

また、映像信号 D1 と各サブ画素 20A, 20B に対応する映像信号 D3a, D3b とを対応付けてなる LUT を用いることにより、各画素 20 に対する表示駆動を、サブ画素 20A, 20B ごとに空間的に 2 つに分割して分割駆動動作を行うことが可能となる。

【0058】

さらに、サブ画素 20B に対する分割駆動動作の際に、低輝度領域のうちの映像信号 D1 における最低輝度階調 (0 階調) 以外では、液晶素子 22B への液晶印加電圧が、この最低輝度階調に対応する最低電圧よりも高電圧側となるように設定 (映像信号 D1 における 0 階調以外では、映像信号 D2b において 0 階調とならないように設定) したので、オーバードライブ駆動を行う際に、ゆり戻し現象をより発生しにくくすることができる。

20

【0059】

以上、実施の形態を挙げて本発明を説明したが、本発明はこの実施の形態に限定されるものではなく、種々の変形が可能である。

【0060】

例えば、上記実施の形態では、例えば図 4 に示した LUT のように、「液晶の方位角ぶれ」および「ゆり戻し現象」の 2 つの現象を発生しにくくするため、図中の矢印 P3a, P3b で示した 2 つの対策を行った場合について説明したが、これら 2 つの対策のうちの一方のみを行うようにしてもよい。具体的には、例えば図 8 に示した LUT のように、「液晶の方位角ぶれ」の現象のみを発生しにくくするため、図中の矢印 P3a で示した 1 つの対策を行うようにしてもよい。また、例えば図 9 に示した LUT のように、「ゆり戻し現象」のみを発生しにくくするため、図中の矢印 P3b で示した 1 つの対策を行うようにしてもよい。これらのように構成した場合でも、輝度の視野角特性を向上させつつ、従来と比べてある程度表示画質を向上させることが可能となる。

30

【0061】

また、上記実施の形態では、図 2 に示した画素 20 およびサブ画素 20A, 20B のように、各画素 20 において、1 本のゲート線 G および 2 本のデータ線 DA, DB が接続されている場合のマルチ画素構造について説明したが、例えば図 10 に示した画素 20-1 およびサブ画素 20A-1, 20B-1 のように、各画素 20-1 において、2 本のゲート線 GA, GB および 1 本のデータ線 D が接続されているようなマルチ画素構造においても、本発明を適用することが可能である。なお、このような画素 20-1 の場合、例えば、表示駆動の単位フレーム (1 フレーム期間) を時間軸に沿って 2 分割して 2 つのサブフレーム期間を設けると共に、各サブフレーム期間内でゲート線 GA, GB から供給される選択信号およびデータドライバ D から供給される駆動電圧に従って、各サブ画素 20A, 20B が駆動されることになる。

40

【0062】

また、上記実施の形態では、図 1 および図 4 に示したように、映像信号 D1 と各サブ画素 20A, 20B に対応する映像信号 D3a, D3b とを対応付けてなる LUT を用いることにより、各画素 20 に対する表示駆動をサブ画素 20A, 20B ごとに空間的に 2 つ

50

に分割して分割駆動動作を行う場合について説明したが、他の手法を用いるようにしてもよい。具体的には、例えば図 1 1 に示した液晶表示装置 1 A のように、画像処理部 4 1 から供給される映像信号 D 1 をデータドライバ 5 1 において映像信号 D 3 a , D 3 b (図示せず) へ D / A 変換する際に用いるリファレンス電圧が、サブ画素 2 0 A , 2 0 B ごとに互いに異なる (サブ画素 2 0 A に対応するリファレンス電圧 V ref A と、サブ画素 2 0 B に対応するリファレンス電圧 V ref B とが、互いに異なっている) ように設定することにより、上記実施の形態と同様に、各画素 2 0 に対する表示駆動をサブ画素 2 0 A , 2 0 B ごとに空間的に 2 つに分割して分割駆動動作を行うようにしてもよい。このように構成した場合も、上記実施の形態と同様の効果を得ることが可能である。なお、この場合においても、図 1 0 に示したようなマルチ画素構造を適用することが可能である。

10

【 0 0 6 3 】

また、上記実施の形態では、各画素 2 0 を 2 つのサブ画素 2 0 A , 2 0 B により構成すると共に、各画素 2 0 に対する表示駆動をサブ画素 2 0 A , 2 0 B ごとに空間的に 2 つに分割して分割駆動動作を行う場合について説明したが、他の手法を用いるようにしてもよい。具体的には、例えば図 1 2 に示したような通常のシングル構造の画素 2 0 - 2 (1 つの液晶素子 2 2 、 1 つの補助容量素子 2 3 および 1 つの T F T 素子 2 1 を有すると共に、1 本のゲート線 G および 1 本のデータ線 D が接続されている) において、例えば図 1 3 に示したように、表示駆動の単位フレーム (1 フレーム期間) を 2 つのサブフレーム期間 S F A , S F B に時間的に分割すると共に、所望の輝度を高輝度のサブフレーム S F A と低輝度のサブフレーム S F B とを用いて分割して表現することによって、マルチ画素構造の場合と同様にハーフトーンの効果を得るようにしてもよい。より具体的には、映像信号 D 1 に基づき、各画素 2 0 - 2 に対する表示駆動を、サブフレーム期間 S F A , S F B ごとに時間的に 2 つに分割して分割駆動動作を行うようにしてもよい。言い換えると、このときの分割駆動動作は、液晶素子 2 2 に対して印加される液晶印加電圧が映像信号 D 1 に対応する入力印加電圧以上の高電圧側となるように分割駆動動作を行う第 1 の分割駆動動作 (サブフレーム期間 S F A に対する分割駆動動作) と、液晶素子 2 2 に対して印加される液晶印加電圧が上記入力印加電圧以下の低電圧側となるように分割駆動動作を行う第 2 の分割駆動動作 (サブフレーム期間 S F B に対する分割駆動動作) と、により構成されている。また、このように、各画素 2 0 - 2 に対する表示駆動をサブフレーム期間 S F A , S F B ごとに時間的に 2 つに分割して分割駆動動作を行う手法としては、図 4 に示した L U T と同様に、映像信号 D 1 と各サブフレーム期間 S F A , S F B に対応する映像信号とを対応付けてなる L U T (第 2 の L U T) を用いるようにしてもよい。あるいは、図 1 1 に示した液晶表示装置 1 A の場合と同様に、映像信号 D 1 を D / A 変換する際に用いるリファレンス電圧が、サブフレーム期間 S F A , S F B ごとに互いに異なるように設定するようにしてもよい。これらのように構成した場合も、上記実施の形態と同様の効果を得ることが可能である。

20

30

【 0 0 6 4 】

また、上記実施の形態では、画素電極 2 2 0 の平面形状を具体的に挙げて説明したが、画素電極の平面形状は、図 3 に示したのものには限られない。

【 0 0 6 5 】

さらに、各画素 2 0 内のサブ画素の数および 1 フレーム期間内のサブフレーム期間の数は、これまで説明したような 2 つの場合には限られず、3 つ以上であってもよい。

40

【 図面の簡単な説明 】

【 0 0 6 6 】

【 図 1 】 本発明の一実施の形態に係る液晶表示装置の全体構成を表すブロック図である。

【 図 2 】 図 1 に示した画素の詳細構成を表す回路図である。

【 図 3 】 図 3 に示した液晶素子における画素電極の詳細構成を表す平面図である。

【 図 4 】 図 1 に示したマルチ画素変換部において用いられる L U T (ルックアップテーブル) の一例を表す特性図である。

【 図 5 】 比較例に係る L U T を表す特性図である。

50

【図 6】液晶の方位角ぶれについて説明するための特性図である。

【図 7】ゆり戻し現象について説明するための特性図である。

【図 8】本発明の変形例に係る LUT を表す特性図である。

【図 9】本発明の他の変形例に係る LUT を表す特性図である。

【図 10】本発明の他の変形例に係る画素の詳細構成を表す回路図である。

【図 11】本発明の他の変形例に係る液晶表示装置の全体構成を表すブロック図である。

【図 12】本発明の他の変形例に係る画素の詳細構成を表す回路図である。

【図 13】図 12 に示した変形例に係る表示駆動の際のサブフレーム期間について説明するためのタイミング図である。

【図 14】従来の液晶表示装置における映像信号の階調と液晶表示パネルの正面方向および 45° 方向での輝度比との関係の一例を表す特性図である。

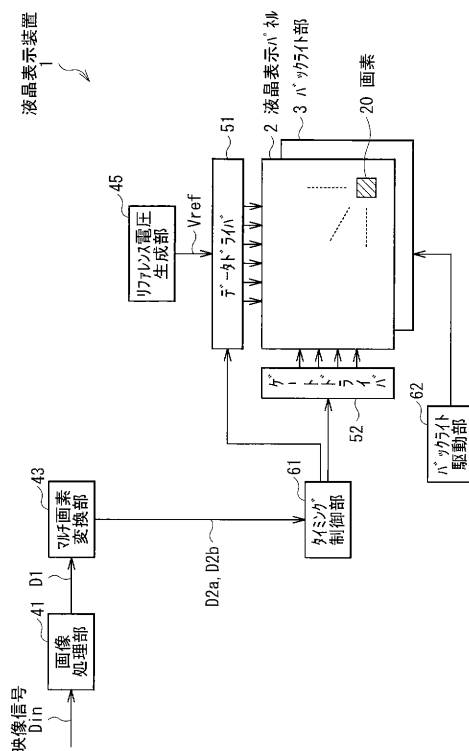
【図 15】従来のマルチ画素構造における映像信号の階調と各サブ画素の表示態様との関係の一例を表す平面図である。

【符号の説明】

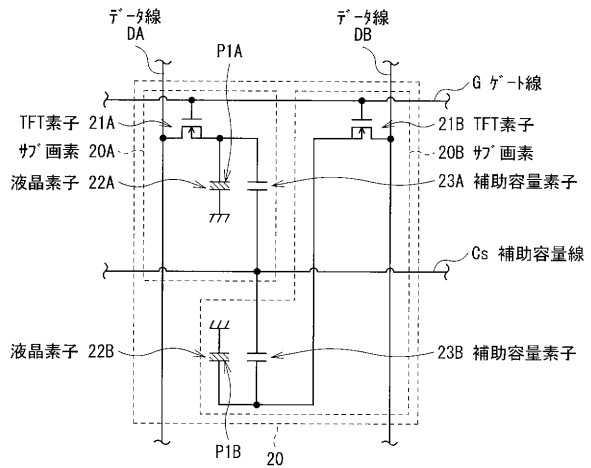
【0067】

1, 1A ... 液晶表示装置、2 ... 液晶表示パネル、20, 20-1, 20-2 ... 画素、20A, 20A-1, 20B, 20B-1 ... サブ画素、21, 21A, 21B ... TFT 素子、22, 22A, 22B ... 液晶素子、220 ... 画素電極、23, 23A, 23B ... 補助容量素子、3 ... バックライト部、41 ... 画像処理部、43 ... マルチ画素変換部、45, 45A ... リファレンス電圧生成部、51 ... データドライバ、52 ... ゲートドライバ、61 ... タイミング制御部、62 ... バックライト駆動部、Din ... 映像信号、D1, D2a, D2b ... 映像信号、Vref, VrefA, VrefB ... リファレンス電圧、G, GA, GB ... ゲート線、D, DA, DB ... データ線、Cs ... 補助容量線、SFA, SFB ... サブフレーム期間。

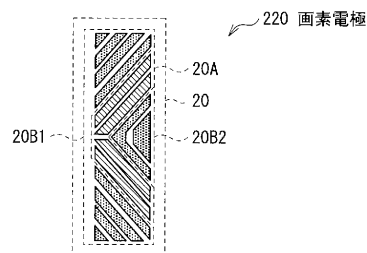
【図 1】



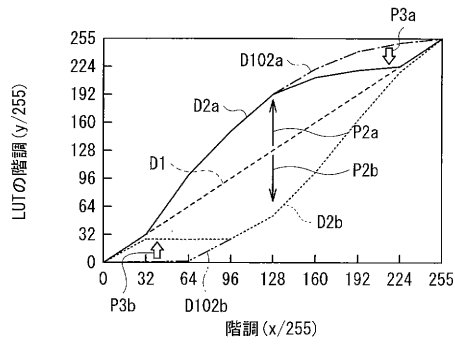
【図 2】



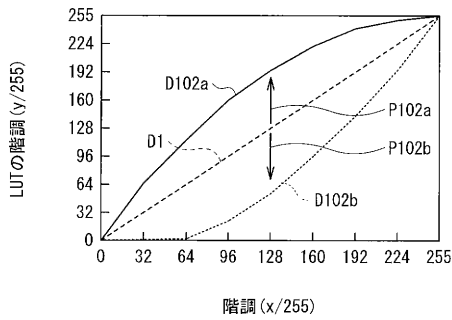
【図 3】



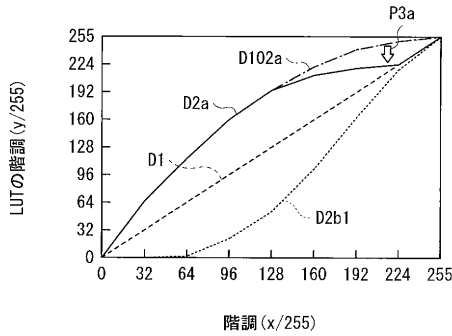
【図 4】



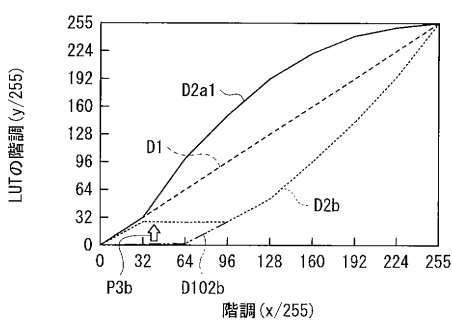
【図 5】



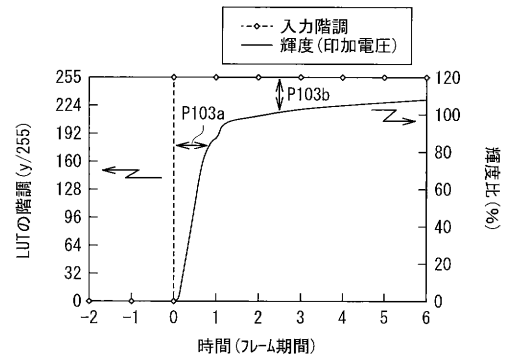
【図 8】



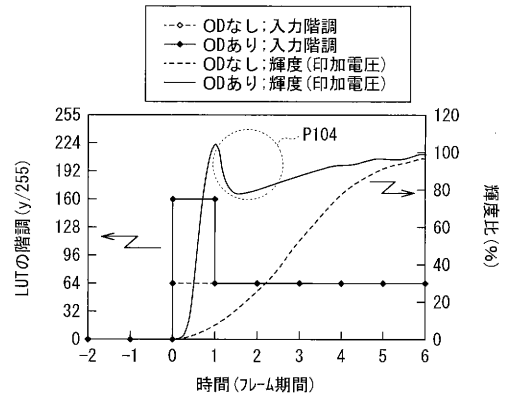
【図 9】



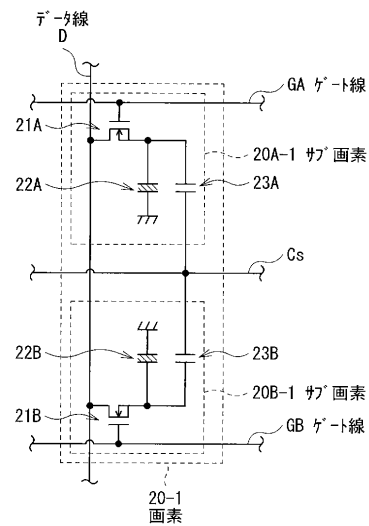
【図 6】



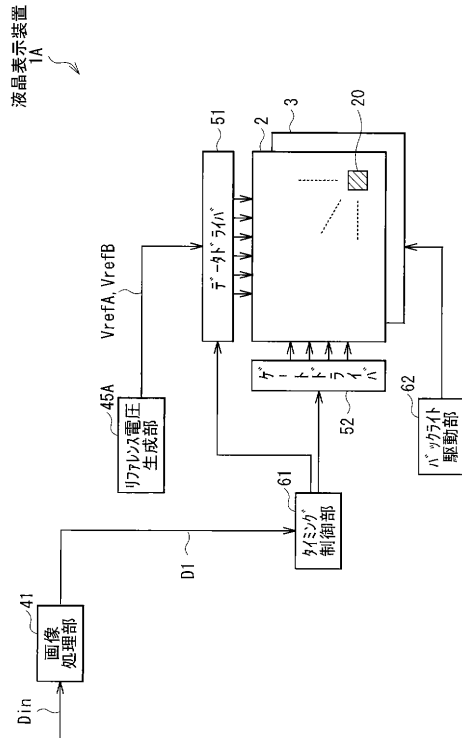
【図 7】



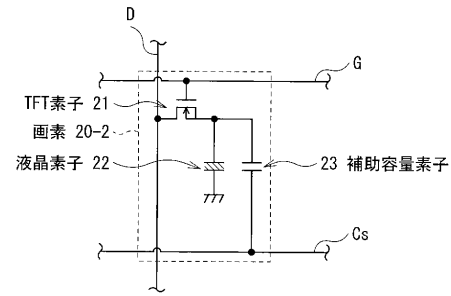
【図 10】



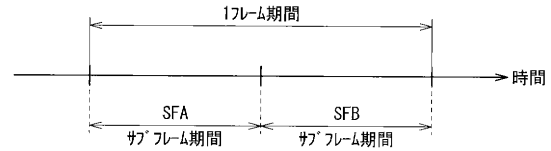
【図 1 1】



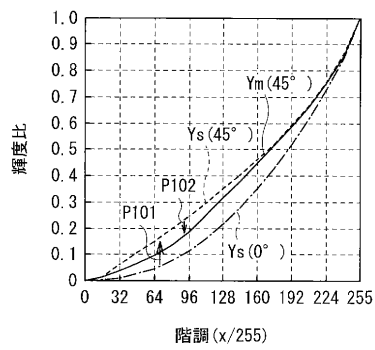
【図 1 2】



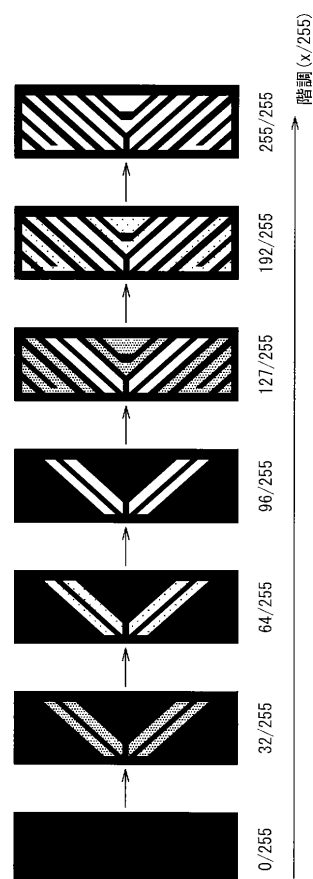
【図 1 3】



【図 1 4】



【図 1 5】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 3 1 V
G 0 9 G 3/20 6 4 1 C
G 0 9 G 3/20 6 4 1 E
G 0 9 G 3/20 6 4 1 J
G 0 9 G 3/20 6 4 1 K
G 0 9 G 3/36

審査官 藤田 都志行

(56)参考文献 特開 2 0 0 5 - 3 1 6 2 1 1 (J P , A)
特開 2 0 0 6 - 2 1 5 5 7 2 (J P , A)
特開 2 0 0 9 - 1 0 3 8 1 0 (J P , A)
特開 2 0 0 9 - 5 3 5 8 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 2 F 1 / 1 3 3
G 0 2 F 1 / 1 3 4 3
G 0 9 G 3 / 2 0
G 0 9 G 3 / 3 6