

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年2月11日(11.02.2021)



(10) 国際公開番号

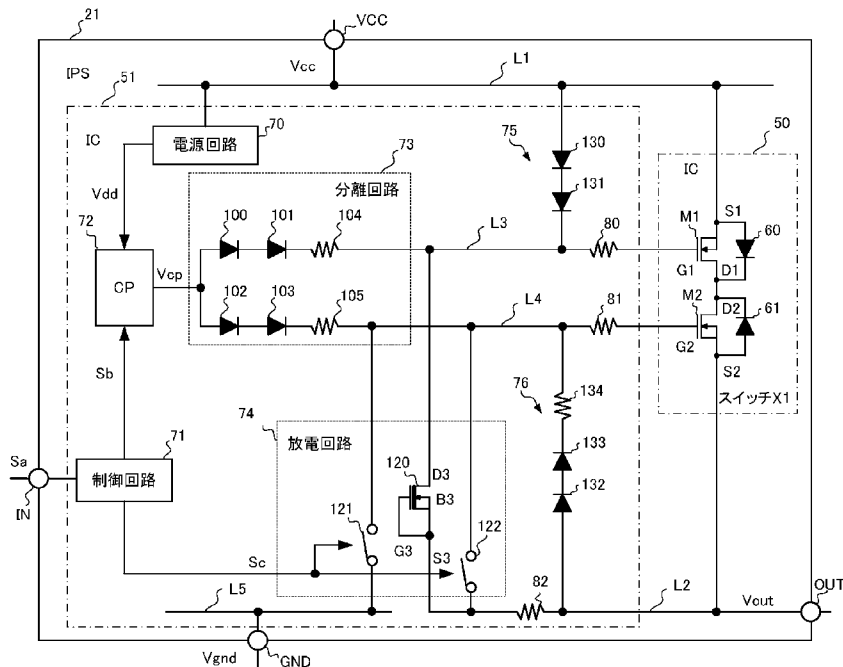
WO 2021/024643 A1

- (51) 国際特許分類:
H03K 17/04 (2006.01) *H02M 1/08* (2006.01)
H03K 17/687 (2006.01)
- (21) 国際出願番号: PCT/JP2020/025212
- (22) 国際出願日: 2020年6月26日(26.06.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2019-144555 2019年8月6日(06.08.2019) JP
- (71) 出願人: 富士電機株式会社 (FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者: 斉藤 功 (SAITO, Isao); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 一色国際特許業務法人 (ISSHIKI & CO.); 〒1080073 東京都港区三田三丁目 1 1 番 3 6 号三田日東ダイビル Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図2]



50... SWITCH X1
70... POWER SUPPLY CIRCUIT
71... CONTROL CIRCUIT
73... SEPARATION CIRCUIT
74... DISCHARGE CIRCUIT

(57) Abstract: This semiconductor device comprises: first and second MOS transistors of which drain electrodes are connected in series between a first line to which a power supply voltage is applied and a second line to which a load is connected; a third line connected to the gate electrode of the first MOS transistor; and a fourth line connected to the gate electrode of the second MOS transistor and electrically separated from the third line.

[続葉有]

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約: 半導体装置は、電源電圧が印加される第1ラインと負荷が接続される第2ラインとの間で互いのドレイン電極が直列に接続された第1及び第2MOSトランジスタと、前記第1MOSトランジスタのゲート電極に接続された第3ラインと、前記第2MOSトランジスタのゲート電極に接続され、前記第3ラインと電氣的に分離して設けられた第4ラインと、を備える。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、半導体装置に関する。

背景技術

[0002] 一般的な自動車におけるバッテリーとモータ等の負荷との間に設けられる ECU (Electronic Control Unit) には、負荷にバッテリーからの電力を供給するためのスイッチが設けられる（例えば、特許文献1）。

先行技術文献

特許文献

[0003] 特許文献1：特開平7-184318号公報

発明の概要

発明が解決しようとする課題

[0004] ところで、負荷に電力を供給するスイッチとしては、例えば、ゲート電極が共通する2つのMOSトランジスタ（とりわけ、NMOSトランジスタ）が用いられることがある。しかしながら、一般に、スイッチを構成する2つのMOSトランジスタのゲート容量は大きいため、スイッチがオン、オフする際のスイッチング期間が長くなるという問題があった。

[0005] 本発明は、上記のような従来の問題に鑑みてなされたものであって、その目的は、スイッチング期間を短くすることができるスイッチを含む半導体装置を提供することにある。

課題を解決するための手段

[0006] 前述した課題を解決する主たる本発明は、電源電圧が印加される第1ラインと負荷が接続される第2ラインとの間で互いのドレイン電極が直列に接続された第1及び第2MOSトランジスタと、前記第1MOSトランジスタのゲート電極に接続された第3ラインと、前記第2MOSトランジスタのゲート電極に接続され、前記第3ラインと電氣的に分離して設けられた第4ライ

ンと、を備えることを特徴とする半導体装置である。

発明の効果

[0007] 本発明によれば、スイッチング期間を短くすることができるスイッチを含む半導体装置を提供することができる。

図面の簡単な説明

[0008] [図1]モータ制御装置10の一例を示す図である。

[図2]IPS21の一例を示す図である。

[図3]NMOSトランジスタM1, M2の断面図である。

[図4]チャージポンプ回路72の一例を示す図である。

[図5]IPS21の出力電圧 V_{out} の変化の一例を示す図である。

[図6]IPS25の一例を示す図である。

[図7]IPS21, 25の出力電圧 V_{out} の変化の一例を示す図である。

[図8]バッテリー11が逆接続された場合のIPS21の動作を説明するための図である。

[図9]NMOSトランジスタ120の断面図である。

発明を実施するための形態

[0009] 関連出願の相互参照

この出願は、2019年8月6日に提出された日本特許出願、特願2019-144555に基づく優先権を主張し、その内容を援用する。

[0010] 本明細書及び添付図面の記載により、少なくとも以下の事項が明らかとなる。

[0011] =====本実施形態=====

図1は、本発明の一実施形態であるモータ制御装置10の構成を示す図である。モータ制御装置10は、バッテリー11からの電力を用いて、自動車に設けられたモータ12を制御するための装置であり、IPS(Intelligent Power Switch)21を含むECU20を有する。なお、バッテリー11は、例えば、自動車用のリチウムイオン電池であり、12Vの電源電圧 V_{cc} を出力する。

[0012] ECU20は、モータ12を制御する装置であり、IPS21（後述）、マイコン30、スイッチ31を含んで構成される。

[0013] マイコン30は、外部から入力される指示（不図示）に基づいてIPS21やスイッチ31を制御する。スイッチ31は、IPS21を介して出力されるバッテリー11の電源電圧Vccを、モータ12に印加するための素子である。なお、以下、本実施形態では、便宜上、マイコン30は、スイッチ31をオンしていることとして説明する。

[0014] IPS21は、マイコン30から出力される指示信号Saに基づいて、バッテリー11の電源電圧Vccを、モータ12に供給するか否かを切り替える「半導体装置」である。

[0015] IPS21は、端子VCC、GND、IN、OUTを含み、端子VCCには、バッテリー11の電源電圧Vccが印加され、端子GNDは接地される。また、端子INは、マイコン30からの指示信号Saが入力され、端子OUTからは、IPS21内部のスイッチ（後述）がオンの際に、電圧Vccが出力される。なお、本実施形態では、端子GNDの電圧を、接地電圧Vgnd（0V）とする。

[0016] また、詳細は後述するが、IPS21は、バッテリー11が逆接続された際に、モータ12やECU20を適切保護する。なお、“逆接続”とは、バッテリー11の正極が、接地側の端子（例えば、端子GND）に接続され、バッテリー11の負極が、電源側の端子（例えば、端子VCC）に接続される状態をいう。

[0017] <<<IPS21の構成>>>

図2は、IPS21の構成の一例を示す図である。IPS21は、スイッチ（後述）が形成されたIC（Integrated Circuit）50と、スイッチをオン、オフするための回路を有するIC51と、を含んで構成される。

[0018] === IC50 ===

IC50は、電源電圧Vccを、端子OUTから出力させるか否かを切り替えるためのスイッチ（以下、“スイッチX1”と称する。）を構成する2

つのMOSトランジスタを含む。とりわけ、本実施形態では、2つのトランジスタはNMOSトランジスタM1, M2である。

[0019] NMOSトランジスタM1において、ソース電極S1は、電源電圧Vccが印加される“電源ラインL1”に接続されている。また、NMOSトランジスタM1のソース電極S1と、ドレイン電極D1との間には、ボディダイオードとして、ダイオード60が形成される。

[0020] NMOSトランジスタM2において、ソース電極S2は、ECU20等の負荷が接続される“負荷ラインL2”に接続され、ドレイン電極D2は、NMOSトランジスタM1のドレイン電極D1に接続されている。また、NMOSトランジスタM2のソース電極S2と、ドレイン電極D2との間には、ボディダイオードとして、ダイオード61が形成されている。

[0021] ここで、NMOSトランジスタM1, M2は、互いのドレイン電極D1, D2が直列に接続されているため、NMOSトランジスタM1, M2がともにオンとなると、端子VCCの電源電圧Vccは、端子OUTから出力されることになる。

[0022] また、ダイオード60のアノードは、電源ラインL1に接続され、ダイオード60のカソードは、ダイオード61のカソードに接続されている。そして、ダイオード61のアノードは、負荷ラインL2に接続されている。このため、電源ラインL1と、負荷ラインL2との間に設けられたダイオード60, 61は、それぞれのカソードが向かい合って接続されることになる。

[0023] したがって、NMOSトランジスタM1, M2がともにオフの場合、例えば、端子VCCに印加される電源電圧Vccは、ダイオード61で遮断される。一方、例えば、バッテリー11が逆接続され、端子OUTに電源電圧Vccが印加された場合、端子OUTの電源電圧Vccは、ダイオード60で遮断される。

[0024] この結果、NMOSトランジスタM1, M2がともにオフの場合、“スイッチX1”は、端子OUTに接続された負荷に電流が流れることを防ぐことができるため、負荷を適切に保護することになる。

[0025] なお、NMOSトランジスタM1は、「第1MOSトランジスタ」に相当し、NMOSトランジスタM2は、「第2MOSトランジスタ」に相当する。また、電源ラインL1は、「第1ライン」に相当し、負荷ラインL2は、「第2ライン」に相当する。

[0026] ==NMOSトランジスタM1，M2の構造==

図3は、NMOSトランジスタM1，M2の断面を示す図である。NMOSトランジスタM1，M2は、IC50の半導体基板200に形成されている。

[0027] 半導体基板200は、例えばシリコンで形成されたn型の基板であり、裏面側にはドレイン電極210、表面側には、ソース電極211a，211b、基板電極212a，212bが形成されている。ここで、ドレイン電極210、ソース電極211a，211b、基板電極212a，212bは、例えばポリシリコン等の導電材料や金属電極で形成されてよい。なお、NMOSトランジスタM1，M2の構造は同じであるため、以下、NMOSトランジスタM1について説明する。

[0028] また、図2と、図3とでは、NMOSトランジスタM1，M2の電極に、便宜上異なる符号を付しているが、NMOSトランジスタM1のドレイン電極210は“ドレイン電極D1”に相当し、ソース電極211aは“ソース電極S1”に相当する。また、ゲート電極241a（後述）は“ゲート電極G1”に相当する。

[0029] 半導体基板200の内部には、n型のドリフト領域220、n+型のドレイン領域221、p型のウェル領域222a、n+型のソース領域223a、p+型のコンタクト領域224a、ゲートトレンチ部230aが形成される。

[0030] ドリフト領域220は、例えばリン等のn型の不純物を含む領域であり、ドレイン領域221は、リン等のn型の不純物をドリフト領域220より高濃度を含み、ドリフト領域220より裏面側に形成された領域である。

[0031] ウェル領域222aは、ドリフト領域220より表面側に形成された領域

であり、ソース領域 223a は、ウェル領域 222a の一部に形成された n + 型の領域である。なお、以降、n + 型または p + 型と記載した場合、n 型または p 型よりもドーピング濃度が高いことを意味するものとする。また、ウェル領域 222a の半導体基板 200 の表面側には、ウェル領域 222a より、p 型の不純物を高濃度に含む p + 型のコンタクト領域 224a が形成されている。なお、p 型のウェル領域 222a と、n 型のドリフト領域 220 との間には、ボディダイオードであるダイオード 60 が形成される。

[0032] ゲートトレンチ部 230a は、トレンチ内壁に形成されたゲート酸化膜 240a と、トレンチ内にゲート酸化膜 240a に覆われたゲート電極 241a とを備える。なお、ゲート電極 241a は、ポリシリコン等の導電材料で形成される。また、ゲートトレンチ部 230a は、酸化膜 231a で覆われており、酸化膜 231a の表面側には、酸化膜 231a を覆うよう、ソース電極 211a が形成されている。

[0033] ここで、NMOS トランジスタ M1 のゲートーソース間電圧と、NMOS トランジスタ M2 のゲートーソース間電圧と、がそれぞれのしきい値電圧より高くなると、ウェル領域 222a, 222b にチャネルが形成され、NMOS トランジスタ M1, M2 はオンする。

[0034] この結果、例えば、NMOS トランジスタ M1 のソース電極 S1 に電源電圧 V_{cc} が印加され、NMOS トランジスタ M2 のソース電極 S2 が接地電圧となると、図 3 の一点鎖線で示す経路で電流が流れることになる。

[0035] なお、NMOS トランジスタ M2 の詳細な説明は省略したが、NMOS トランジスタ M2 のドレイン電極 210 は“ドレイン電極 D2”に相当し、ソース電極 211b は“ソース電極 S2”に相当する。ゲート電極 241b は“ゲート電極 G2”に相当する。

[0036] === IC51 ===

図 2 の IC51 は、指示信号 Sa に基づいて、“スイッチ X1”をオン、オフする回路であり、電源回路 70、制御回路 71、チャージポンプ回路 72、分離回路 73、放電回路 74、ゲート保護回路 75, 76、及び抵抗 8

0～82を含んで構成される。

[0037] 電源回路70は、バッテリー11からの電源電圧 V_{cc} に基づいて、制御回路71やチャージポンプ回路72等の回路を動作させるための電源電圧 V_{dd} を生成する。なお、電源電圧 V_{dd} は、電源電圧 V_{cc} より低い電圧である。

[0038] 制御回路71は、指示信号 S_a に基づいて、“スイッチX1”をオンするための指示信号 S_b （第1指示信号）と、“スイッチX1”をオフするための指示信号 S_c （第2指示信号）と、を生成する論理回路である。

[0039] チャージポンプ回路72は、指示信号 S_b に基づいて、“スイッチX1”を構成するNMOSトランジスタM1、M2をオンするための所定の電圧 V_{cp} （所定電圧）を生成する回路である。なお、チャージポンプ回路72の詳細については後述する。

[0040] 分離回路73は、NMOSトランジスタM1、M2のそれぞれのゲート電極が接続された2つのライン（後述）が電氣的に分離された状態で、電圧 V_{cp} に応じた電圧を2つのラインに印加する回路である。分離回路73は、ダイオード100～103、抵抗104、105を含んで構成される。

[0041] ダイオード100のアノードには、電圧 V_{cp} が印加され、カソードは、ダイオード101のアノードに接続されている。ダイオード101のカソードは、抵抗104の一端に接続され、抵抗104の他端は、ゲートラインL3に接続されている。

[0042] ここで、ゲートラインL3は、抵抗80を介してNMOSトランジスタM1のゲート電極G1に接続された配線である。

[0043] また、ダイオード102のアノードには、電圧 V_{cp} が印加され、カソードは、ダイオード103のアノードに接続されている。ダイオード103のカソードは、抵抗105の一端に接続され、抵抗105の他端は、ゲートラインL4に接続されている。

[0044] ここで、ゲートラインL4は、抵抗81を介してNMOSトランジスタM2のゲート電極G2に接続された配線である。

- [0045] このため、直列に接続されたダイオード100, 101、抵抗104は、電圧 V_{cp} に応じた電圧を、ゲートラインL3, L4のうち、ゲートラインL3のみに印加する。一方、直列に接続されたダイオード102, 103、抵抗105は、電圧 V_{cp} に応じた電圧を、ゲートラインL3, L4のうち、ゲートラインL4のみに印加する。このような分離回路73を用いることにより、1つのチャージポンプ回路72から出力される電圧 V_{cp} を、電氣的に分離して設けられたゲートラインL3, L4のそれぞれに対して印加することができる。
- [0046] なお、本実施形態では、例えば、ゲートラインL3, L4には、2個のダイオードが接続されることとしたが、他の個数（例えば、1個や3個以上）であっても良い。分離回路73のダイオードの数を増加させることにより、電源電圧 V_{cc} が非常に高くなった場合であっても、チャージポンプ回路72に高い電圧が印加されることを防ぐことができる。
- [0047] なお、ゲートラインL3は、分離回路73からの出力と、ゲート電極G1とを「電氣的に接続する配線」であれば良い。このため、ゲートラインL3には、抵抗80が含まれてなくても良い。なお、ゲートラインL4についても、ゲートラインL3と同様である。ここで、ゲートラインL3は、「第3ライン」に相当し、ゲートラインL4は、「第4ライン」に相当する。また、ダイオード100, 101のそれぞれは、「第1ダイオード」に相当し、ダイオード102, 103のそれぞれは、「第2ダイオード」に相当する。
- [0048] 放電回路74は、“スイッチX1”を構成するNMOSトランジスタM1, M2をオフするための回路であり、NMOSトランジスタ120、スイッチ121, 122を含んで構成される。
- [0049] NMOSトランジスタ120は、デプレッション型のトランジスタであり、ドレイン電極D3は、ゲートラインL3に接続され、ゲート電極G3及びソース電極S3は、抵抗82を介して負荷ラインL2に接続されている。このため、NMOSトランジスタ120は常にオンしているため、NMOSトランジスタM1のゲート容量は、NMOSトランジスタ120を介して放電

されることになる。

[0050] なお、NMOSトランジスタ120が、NMOSトランジスタM1のゲート容量を放電する際の電流値は、NMOSトランジスタM1がオンとなる際には影響を与えないよう、十分小さい値が設定されている。また、NMOSトランジスタ120は、「第3MOSトランジスタ」に相当する。

[0051] スイッチ121は、ゲートラインL4と、端子GNDに接続された接地ラインL5との間に設けられ、スイッチ122は、ゲートラインL4と、負荷ラインL2との間に設けられている。そして、スイッチ121、122は、例えば、“スイッチX1”をオフするための指示信号Scに基づいてオンする。このため、NMOSトランジスタM2のゲート容量は、ゲートラインL4、スイッチ121、及び接地ラインL5の“経路A1”と、ゲートラインL4、スイッチ122、及び負荷ラインL2の“経路A2”と、を介して放電される。

[0052] なお、“スイッチX1”がオンの際には、負荷ラインL2には電源電圧Vccに応じた電圧が印加されている。このため、NMOSトランジスタM2のゲート容量は、まず、“経路A1”を介して放電される。ここで、接地ラインL5は、「第5ライン」に相当し、スイッチ121は、「第1スイッチ」に相当し、スイッチ122は、「第2スイッチ」に相当する。

[0053] ゲート保護回路75は、NMOSトランジスタM1のゲート電極G1に対し、ソース電極S1の電圧が高くなり過ぎることを防ぐための回路であり、ダイオード130、131を含んで構成される。

[0054] ダイオード130のアノードは、電源ラインL1に接続され、カソードは、ダイオード131のアノードに接続されている。また、ダイオード130のカソードは、ゲートラインL3に接続されている。なお、ダイオード130、131のそれぞれの順方向電圧はVfであることとする。

[0055] このような場合、ソース電極S1の電圧が、ゲート電極G1の電圧より、ダイオード130、131の2つ分の順方向電圧($2 \times V_f$)より高くなると、ダイオード130、131は、オンとなる。この結果、ゲート保護回路

75は、NMOSトランジスタM1のソース電圧が、ゲート電圧より大きくなり過ぎることを抑制できる。したがって、本実施形態では、NMOSトランジスタM1のゲート酸化膜240a（図3参照）が、ダメージを受けることを防ぐことができる。また、これはNMOSトランジスタM1のゲート電極G1のゲート容量を予め充電するので、スイッチング期間を短くする効果を奏する。

[0056] ゲート保護回路76は、NMOSトランジスタM2のゲート電極G2に対し、ソース電極S2の電圧が高くなり過ぎることを防ぐための回路であり、ダイオード132、133、抵抗134を含んで構成される。なお、バッテリー11の接続の向きが正常である場合、ソース電極S2の電圧が上昇することはないが、バッテリー11が逆接続されると、ソース電極S2の電圧は上昇する。

[0057] ダイオード132のアノードは、負荷ラインL2に接続され、カソードは、ダイオード133のアノードに接続されている。また、ダイオード133のカソードは、電流を制限するための抵抗134を介してゲートラインL4に接続されている。なお、ダイオード132、133のそれぞれの順方向電圧は V_f であることとする。

[0058] このような場合、ソース電極S2の電圧が、ゲート電極G2の電圧より、ダイオード132、133の2つ分の順方向電圧（ $2 \times V_f$ ）より高くなると、ダイオード132、133は、オンとなる。この結果、ゲート保護回路76は、NMOSトランジスタM2のソース電圧が、ゲート電圧より大きくなり過ぎることを抑制できる。したがって、本実施形態では、NMOSトランジスタM2のゲート酸化膜240b（図3参照）が、ダメージを受けることを防ぐことができる。

[0059] なお、アノード側が電源ラインL1に接続され、カソード側がゲートラインL3に接続されたダイオード130、131のそれぞれは、「第3ダイオード」に相当する。また、アノード側が負荷ラインL2に接続され、カソード側がゲートラインL4に接続されたダイオード132、133のそれぞれ

は、「第4 ダイオード」に相当する。

[0060] ==チャージポンプ回路72の構成==

図4は、チャージポンプ回路72の一例を示す図である。チャージポンプ回路72は、発振器300、インバータ310、311、ダイオード320～323、及びコンデンサ330、331を含んで構成される。なお、ここでは、ダイオード320～323の順方向電圧を、“ V_f ”とする。

[0061] 発振器300は、例えば、“スイッチX1”をオンするための指示信号Sbに基づいて、所定の周波数のクロック信号CLKを出力する回路であり、インバータ310、311は、入力される信号の論理レベルを反転して出力する。

[0062] インバータ310、ダイオード320、コンデンサ330は、チャージポンプ回路72の1段目の昇圧回路を構成する。ダイオード320のアノードには、電源電圧Vddが印加され、カソードは、コンデンサ330の一端に接続される。また、コンデンサ330の他端には、インバータ310の出力が接続される。

[0063] インバータ311、ダイオード321、322、コンデンサ331は、チャージポンプ回路72の2段目の昇圧回路を構成する。

[0064] ダイオード321のアノードは、コンデンサ330の一端に接続され、カソードは、コンデンサ331の一端に接続される。ダイオード322のアノードには、電源電圧Vddが印加され、カソードは、コンデンサ331の一端に接続される。また、コンデンサ331の他端には、インバータ311の出力が接続される。

[0065] そして、2段目の昇圧回路のコンデンサ331の一端の電圧Vc2は、ダイオード323を介して、電圧Vcpとして出力される。

[0066] ==チャージポンプ回路72の動作==

ここで、クロック信号CLKがハイレベル（以下、“H”レベル）であると、インバータ310の出力がローレベル（以下、“L”レベル）となり、コンデンサ330の一端の電圧Vc1は、ダイオード320を介して充電さ

れる。この結果、コンデンサ330の一端の電圧 V_{c1} の電圧は、式(1)で表される。

$$[0067] \quad V_{c1} = V_{dd} - V_f \cdots (1)$$

そして、クロック信号がLレベルになると、インバータ310の出力はHレベル(電源電圧 V_{dd})となるため、コンデンサ330の一端の電圧 V_{c1} は、式(2)で表される。

$$[0068] \quad V_{c1} = 2 \times V_{dd} - V_f \cdots (2)$$

また、このタイミングにおいて、インバータ311の出力はLレベルであるため、コンデンサ331の他端は、接地電圧 V_{gnd} (0V)となる。この結果、コンデンサ331の一端の電圧 V_{c2} は、式(3)で表される。

$$[0069] \quad V_{c2} = 2 \times V_{dd} - 2 \times V_f \cdots (3)$$

さらに、クロック信号CLKがHレベルになると、インバータ311の出力はHレベルとなるため、コンデンサ331の一端の電圧 V_{c2} は、式(4)で表される。

$$[0070] \quad V_{c2} = 3 \times V_{dd} - 2 \times V_f \cdots (4)$$

そして、ダイオード323のカソードには、分離回路73が接続されているため、ダイオード323から出力される電圧 V_{cp} は、式(5)で表される。

$$[0071] \quad V_{c2} = 3 \times V_{dd} - 3 \times V_f \cdots (5)$$

なお、本実施形態のチャージポンプ回路72は、2段の昇圧回路を含むこととしたが、これに限られず、電圧 V_{cp} がNMOSトランジスタM1, M2をオンできる電圧であれば、どのような構成であっても良い。

[0072] <<<IPS21の動作>>>

ここで、図1のモータ制御装置10において、IPS21の“スイッチX1”がオン、オフした際の出力電圧 V_{out} について説明する。なお、ここでは、バッテリー11は、正常な向きに接続されているため、端子VCCには、電源電圧 V_{cc} が印加され、端子OUTには、モータ12のコイル(不図示)を介して接地電圧が印加されている。また、チャージポンプ回路72

では、十分短い時間で所望の電圧 V_{cp} を生成するよう、クロック信号 CLK の周期は設定されていることとする。

[0073] 図5は、 $IP S 2 1$ の出力電圧 V_{out} の変化の一例を示す図である。ここでは、時刻 t_0 に、“スイッチ $X 1$ ”をオンするための“H”レベルの指示信号 S_b が入力されることとする。なお、時刻 t_0 以前には、“スイッチ $X 1$ ”をオフするための“H”レベルの指示信号 S_c が入力されている。このため、時刻 t_0 以前においては、図2の放電回路74のNMOSトランジスタ120と、オンされたスイッチ121, 122とによって、NMOSトランジスタ $M 1$, $M 2$ (“スイッチ $X 1$ ”)はオフとなっている。

[0074] まず、時刻 t_0 において、“スイッチ $X 1$ ”をオンすべく、指示信号 S_b が“H”レベルとなり、指示信号 S_c が“L”レベルとなると、チャージポンプ回路72は、電圧 V_{cp} を出力し、スイッチ121, 122はオフする。

[0075] チャージポンプ回路72が電圧 V_{cp} を出力すると、分離回路73は、電圧 V_{cp} に応じた電圧を、ゲートライン $L 3$, $L 4$ のそれぞれに印加することになる。ここで、NMOSトランジスタ $M 1$ のソース電極 $S 1$ の電圧は、電源電圧 V_{cc} であり、NMOSトランジスタ $M 2$ のソース電極 $S 2$ の電圧は、接地電圧 V_{gnd} (0V)である。このため、NMOSトランジスタ $M 1$, $M 2$ のうち、まず、NMOSトランジスタ $M 2$ がオンする。

[0076] そして、ゲートライン $L 3$ に印加される電圧が、NMOSトランジスタ $M 1$ のソース電極 $S 1$ の電圧である電源電圧 V_{cc} より、NMOSトランジスタ $M 1$ の閾値電圧だけ高くなると、NMOSトランジスタ $M 1$ はオンする。この結果、NMOSトランジスタ $M 1$, $M 2$ がともにオンとなる時刻 t_1 には、出力電圧 V_{out} は、電源電圧 V_{cc} まで上昇する。なお、ここでは、便宜上、NMOSトランジスタ $M 1$, $M 2$ のオン抵抗により電圧降下等は考慮していない。

[0077] そして、例えば、時刻 t_2 に、“スイッチ $X 1$ ”をオフすべく、指示信号 S_b が“L”レベルとなり、指示信号 S_c が“H”レベルとなると、チャー

ジポンプ回路 72 は、電圧 V_{cp} の出力を停止し、スイッチ 121, 122 はオンする。

[0078] ここで、本実施形態では、NMOS トランジスタ 120 が、NMOS トランジスタ M1 のゲート容量を放電する電流値は、NMOS トランジスタ M1 がオンとなる際には影響を与えないよう、十分小さい値が設定されている。一方、スイッチ 121, 122 は、オン抵抗が十分小さいスイッチである。このため、NMOS トランジスタ M2 のゲート容量は、スイッチ 121, 122 を介して短時間で放電され、NMOS トランジスタ M2 は、直ちにオフする。そして、NMOS トランジスタ M2 がオフとなると、電源電圧 V_{cc} は、ダイオード 61 で遮断される。この結果、例えば、時刻 t_3 において、出力電圧 V_{out} は、接地電圧へと低下することになる。

[0079] したがって、時刻 t_3 において、NMOS トランジスタ M1 はオンの状態であるが、NMOS トランジスタ M2 がオフすることにより、端子 V_{CC} と、端子 OUT との間に設けられた“スイッチ X1”はオフすることになる。

[0080] 本実施形態では、“スイッチ X1”を構成する NMOS トランジスタ M1, M2 は、電氣的に分離されたゲートライン L3, L4 によりそれぞれ駆動される。つぎに、このような構成の“スイッチ X1”を用いた場合と、ゲート電極が共通する 2 つの NMOS トランジスタによって構成される“スイッチ”を用いる場合とで、出力電圧 V_{out} の変化の時間を比較する。

[0081] <<<比較例に係る IPS25 の構成>>>

図 6 は、比較例に係る IPS25 の構成の一例を示す図である。IPS25 は、IPS21 と同様に、スイッチ（後述）が形成された IC55 と、スイッチをオン、オフするための回路を有する IC56 と、を含んで構成される。なお、図 2 の IPS21 と、図 6 の IPS25 において、同じ符号の付された素子、ブロックは同じである。

[0082] IC55 は、IC50 と同様に、NMOS トランジスタ M1, M2 を含む。ただし、NMOS トランジスタ M1, M2 のそれぞれのゲート電極 G1, G2 は接続されている。なお、IC55 において、NMOS トランジスタ M

1, M2のゲート電極G1, G2以外の電極の接続は、IC50と同じである。また、以下、IC55において、NMOSトランジスタM1, M2で構成されるスイッチを、“スイッチX2”と称する。

[0083] IC56は、“スイッチX2”を、オン、またはオフするための回路であり、電源回路70、制御回路71、チャージポンプ回路72、放電回路77、及び抵抗85を含んで構成される。ここで、IC56の電源回路70、制御回路71、チャージポンプ回路72は、IC51に含まれるブロックと同じであるため、放電回路77、及び抵抗85について説明する。

[0084] 放電回路77は、“スイッチX2”を構成するNMOSトランジスタM1, M2をオフするための回路であり、スイッチ125, 126を含んで構成される。

[0085] スwitch125は、NMOSトランジスタM1, M2のゲート電極に接続されたゲートラインL6と、端子GNDに接続された接地ラインL5との間に設けられ、スイッチ126は、ゲートラインL6と、負荷ラインL2との間に設けられている。

[0086] そして、スイッチ125, 126は、例えば、“スイッチX2”をオフするための指示信号Scに基づいてオンする。このため、NMOSトランジスタM1, M2のゲート容量は、ゲートラインL6、スイッチ125、及び接地ラインL5の経路と、ゲートラインL6、スイッチ126、及び負荷ラインL2の経路と、を介して放電される。

[0087] 抵抗85は、NMOSトランジスタM1, M2のゲート抵抗であり、例えば、図2のIPS21のNMOSトランジスタM1, M2のそれぞれのゲート抵抗と同じ抵抗値を有する。

[0088] <<<比較例に係るIPS25の動作>>>

図7は、IPS25の出力電圧Voutの変化の一例を示す図である。なお、ここでは、図5で示したIPS21の出力電圧Voutの波形を比較対象として図示している。

[0089] また、ここでは、図5と同様に、時刻t0に、“スイッチX1”をオンす

るための“H”レベルの指示信号S_bが入力されることとする。

[0090] まず、時刻t₀において、“スイッチX₂”をオンすべく、指示信号S_bが“H”レベルとなり、指示信号S_cが“L”レベルとなると、チャージポンプ回路72は、電圧V_{cp}を出力し、スイッチ125, 126はオフする。

[0091] チャージポンプ回路72が電圧V_{cp}を出力すると、電圧V_{cp}が、ゲートラインL₆に印加されることになる。ここで、NMOSトランジスタM₁, M₂のゲート電極は共通であるため、チャージポンプ回路72は、IPS21の“スイッチX₁”と比較して、大きな容量を駆動する必要がある。この結果、上述した“スイッチX₁”がオンする時刻t₁より遅いタイミングの時刻t₁₀に“スイッチX₂”がオンし、出力電圧V_{out}が電源電圧V_{cc}まで上昇する。このように、時刻t₀～時刻t₁までの期間は、時刻t₀～時刻t₁₀までの期間より短いため、IPS21は、“スイッチX₁”をより短い期間でオンできる。

[0092] また、例えば、時刻t₂に、“スイッチX₂”をオフすべく、指示信号S_bが“L”レベルとなり、指示信号S_cが“H”レベルとなると、チャージポンプ回路72は、電圧V_{cp}の出力を停止し、スイッチ125, 126はオンする。

[0093] ここで、図2のIPS21においては、スイッチ121, 122は、NMOSトランジスタM₂のみのゲート容量を放電したが、図6のIPS25のスイッチ125, 126は、NMOSトランジスタM₁, M₂のゲート容量を放電する必要がある。この結果、“スイッチX₁”がオフする時刻t₃より遅い時刻t₁₁に、“スイッチX₂”がオフし、出力電圧V_{out}は、接地電圧まで低下する。このように、時刻t₂～時刻t₃までの期間は、時刻t₂～時刻t₁₁までの期間より短いため、IPS21は、“スイッチX₁”をより短い期間でオフできる。

[0094] ===バッテリー11が逆接続された場合===

図8は、バッテリー11が逆接続された際のIPS21の動作を説明する

ため図である。なお、便宜上、図8においては、図2のIPS21の複数のブロックうち、逆接続の動作に関連する一部のブロックのみ図示している。

[0095] 図9は、NMOSトランジスタ120の断面を示す図である。NMOSトランジスタ120は、IC51の半導体基板400に形成され、ポリシリコン等の導電材料で形成されたゲート電極410、ソース電極411、ドレイン電極412、基板電極413、414を備える。

[0096] なお、図2及び図8と、図9とでは、NMOSトランジスタ120の電極に、便宜上異なる符号を付しているが、NMOSトランジスタ120のゲート電極410は“ゲート電極G3”に相当し、ソース電極411は“ソース電極S3”に相当する。また、ドレイン電極412は“ドレイン電極D3”に相当し、基板電極413、414は“基板電極B3”，“基板電極Bx”のそれぞれに相当する。

[0097] 半導体基板400の内部には、n型のドリフト領域420、p型のウェル領域421、n+型のソース領域422、n+型のドレイン領域423、n型のゲート領域424、p+型のコンタクト領域425、n+型のコンタクト領域426が形成されている。

[0098] ドリフト領域420は、例えばリン等のn型の不純物を含む領域であり、ウェル領域421は、ドリフト領域420より表面側に形成された、p型の領域である。なお、ドリフト領域420は、「第1領域」に相当し、ウェル領域421は、「第2領域」に相当する。

[0099] ソース領域422、及びドレイン領域423は、ウェル領域421の一部に形成されたn+型の領域であり、ソース領域422と、ドレイン領域423との間には、n型のゲート領域424が形成されている。

[0100] また、ウェル領域421の半導体基板400の表面側には、ウェル領域421より、p型の不純物を高濃度を含むコンタクト領域425が形成されている。なお、p型のウェル領域421と、n型のドリフト領域420との間には、寄生ダイオードであるダイオード500が形成される。

[0101] さらに、n型のドリフト領域420の半導体基板400の表面側には、n

型の不純物を高濃度を含むコンタクト領域426が形成されている。

[0102] 図8において、バッテリー11が逆接続されると、端子OUTには、バッテリー11の正極の電源電圧Vccが、モータ12のモータコイル（不図示）やスイッチ31を介して印加される。一方、端子VCCには、バッテリー11の負極の電圧が印加される。

[0103] このような状態において、端子OUTに印加された電源電圧Vccは、モータ12のモータコイル（不図示）や負荷ラインL2等を介し、NMOSトランジスタ120のソース電極S3、ゲート電極G3及び基板電極B3に印加される。

[0104] ここで、NMOSトランジスタ120は、n型の半導体基板400に形成されているため、n型の半導体基板400の基板電極Bxは、通常、最も高い電位である電源電圧Vccが印加されるよう、端子VCCの電源ラインL1に接続されている。

[0105] ただし、バッテリー11が逆接続されている状態では、基板電極Bxにバッテリー11の負極の電圧が印加されることになるため、図9で示した寄生ダイオードであるダイオード500がオンする。この結果、NMOSトランジスタ120のソース電極S3、ゲート電極G3及び基板電極B3の電圧は、電源電圧Vccから、ダイオード500の“順方向電圧Vfx”まで低下することになる。

[0106] このため、仮に、NMOSトランジスタM1のゲート容量に電荷が蓄積されていた場合であっても、NMOSトランジスタM1のゲート容量は、ゲートラインL3、NMOSトランジスタ120のドレイン電極D3、ダイオード500、基板電極B3を介して放電される。なお、図8において、NMOSトランジスタM1のゲート容量が放電される経路を、一点鎖線で図示している。

[0107] また、本実施形態では、NMOSトランジスタM1の閾値電圧を、ダイオード500の“順方向電圧Vfx”より高く設定している。このため、このような経路で、NMOSトランジスタM1のゲートが放電されることにより

、NMOSトランジスタM1は確実にオフする。

[0108] したがって、バッテリー11が逆接続されると、端子OUTに印加された電源電圧Vccは、ダイオード61を介してNMOSトランジスタM1へと出力されるが、オフされたNMOSトランジスタM1で遮断される。この結果、本実施形態では、バッテリー11が逆接続された場合であっても、IPS21は、モータ12等を適切に保護することができる。

[0109] ===まとめ===

以上、本実施形態のモータ制御装置10について説明した。本実施形態では、“スイッチX1”を構成するNMOSトランジスタM1、M2のゲートラインL3、L4は、電氣的に分離されている。このため、例えば、図7に示したように、“スイッチX1”のスイッチング期間は短くなる。

[0110] また、本実施形態では、電圧Vcpは、ダイオード100、101を介してゲートラインL3に印加され、ダイオード102、103を介してゲートラインL4に印加されている。このため、1つのチャージポンプ回路72から出力される電圧Vcpを、電氣的に分離して、ゲートラインL3、L4に印加することができる。

[0111] また、例えば、ゲートラインL3、L4のそれぞれに対しチャージポンプ回路を設けても良いが、そのような構成とすると、回路規模が大きくなる。本実施形態では、分離回路73を用いているため、回路規模を小さく保ちつつ、電氣的に分離したゲートラインL3、L4に電圧を印加できる。

[0112] また、本実施形態のダイオード130、131は、NMOSトランジスタM1のゲート電極G1に対し、ソース電極S1の電圧が高くなり過ぎることを防ぐことができるため、NMOSトランジスタM1のゲート酸化膜がダメージを受けることを抑制できる。さらに、ダイオード130、131は、スイッチX1をオンする前に、NMOSトランジスタM1のゲート電極G1のゲート容量を予め充電する効果を奏する。

[0113] また、本実施形態のダイオード132、133は、NMOSトランジスタM2のゲート電極G2に対し、ソース電極S2の電圧が高くなり過ぎること

を防ぐことができるため、NMOSトランジスタM2のゲート酸化膜がダメージを受けることを抑制できる。

[0114] また、放電回路74は、指示信号Scに基づいて、NMOSトランジスタM2のゲート容量を放電するため、確実にNMOSトランジスタM2はオフされる。

[0115] また、例えば、放電回路74のスイッチ121は、NMOSトランジスタM2のゲート容量を、接地ラインL5へと放電する。このため、例えば、スイッチ121のみの場合と比較すると、NMOSトランジスタM2をオフする期間を短くすることができる。

[0116] また、ゲートラインL3、L4のそれぞれには、抵抗80、81が設けられているため、NMOSトランジスタM1、M2がオンする際のノイズが抑制される。

[0117] また、NMOSトランジスタM1のゲート容量は、デプレッション型のNMOSトランジスタ120によって放電される。NMOSトランジスタ120は、複雑な回路を用いることなく、確実にNMOSトランジスタM1をオフできる。

[0118] また、NMOSトランジスタ120は、例えば、n型のドリフト領域420に形成された、p型のウェル領域421に形成されている。このような構成では、バッテリー11が逆接続された際には、NMOSトランジスタ120の寄生のダイオード500はオンする。この結果、NMOSトランジスタM1のゲート容量を放電することができる。

[0119] また、本実施形態では、NMOSトランジスタM1の閾値電圧は、ダイオード500の“順方向電圧 V_{fx} ”より大きい値となっている。このため、NMOSトランジスタM1のゲート容量が、ダイオード500を介して放電されると、NMOSトランジスタM1は確実にオフされる。これにより、バッテリー11が逆接続された場合であっても、IPS21は、負荷を確実に保護することができる。

[0120] 上記の実施形態は、本発明の理解を容易にするためのものであり、本発明

を限定して解釈するためのものではない。また、本発明は、その趣旨を逸脱することなく、変更や改良され得るとともに、本発明にはその等価物が含まれるのはいうまでもない。

[0121] 例えば、本実施形態では、ECU 20のスイッチ31を介して、IPS 21の出力電圧 V_{out} が、負荷であるモータ12に印加されることとしたが、これに限られない。例えば、IPS 21の出力電圧 V_{out} が、モータ12に直接印加されることとしても良い。

[0122] また、IC 51は、n型の半導体基板であることとしたが、例えば、p型の半導体基板であっても良い。また、IC 51に、p型の半導体基板を用いた場合、NMOSトランジスタ120に寄生のダイオード500が形成されるよう、ツインウェル、またはトリプルウェル構造の半導体装置を用いれば、本実施形態と同様の効果を得ることができる。

符号の説明

[0123] 10 モータ制御装置
11 バッテリー
12 モータ
20 ECU
21, 25 IPS
50, 51, 55, 56 IC
60, 61, 100~103, 130~133, 320~323, 500
ダイオード
70 電源回路
71 制御回路
72 チャージポンプ回路
73 分離回路
74, 77 放電回路
75, 76 ゲート保護回路
80~82, 85, 104, 105, 134 抵抗

1 2 0, M 1, M 2 NMOSトランジスタ
1 2 1, 1 2 2, 1 2 5, 1 2 6 スイッチ
2 0 0, 4 0 0 半導体基板
2 2 0, 4 2 0 ドリフト領域
2 2 2, 4 2 1 ウェル領域
2 2 3, 4 2 2 ソース領域
2 2 1, 4 2 3 ドレイン領域
2 2 4, 4 2 5, 4 2 6 コンタクト領域
2 3 0 ゲートトレンチ部
2 3 1 酸化膜
2 4 0 絶縁膜
3 0 0 発振器
3 1 0, 3 1 1 インバータ
3 3 0, 3 3 1 コンデンサ
G 1 ~ G 3, 2 4 1, 4 1 0 ゲート電極
S 1 ~ S 3, 2 1 1, 4 1 1 ソース電極
D 1 ~ D 3, 2 1 0, 4 1 2 ドレイン電極
B 3, B x, 2 1 2, 4 1 3, 4 1 4 基板電極
4 2 4 ゲート領域

請求の範囲

- [請求項1] 電源電圧が印加される第1ラインと負荷が接続される第2ラインとの間で互いのドレイン電極が直列に接続された第1及び第2MOSトランジスタと、
前記第1MOSトランジスタのゲート電極に接続された第3ラインと、
前記第2MOSトランジスタのゲート電極に接続され、前記第3ラインと電氣的に分離して設けられた第4ラインと、
を備えることを特徴とする半導体装置。
- [請求項2] 請求項1に記載の半導体装置であって、
前記第1及び第2MOSトランジスタをオンするための所定電圧を、前記第3ラインに印加する第1ダイオードと、
前記所定電圧を、前記第4ラインに印加する第2ダイオードと、
を備えることを特徴とする半導体装置。
- [請求項3] 請求項2に記載の半導体装置であって、
前記第1及び第2MOSトランジスタのオンを指示する第1指示信号に基づいて、前記第1及び第2ダイオードに前記所定電圧を出力するチャージポンプ回路を備えること、
を特徴とする半導体装置。
- [請求項4] 請求項1～3の何れか一項に記載の半導体装置であって、
アノード側が前記第1ラインに接続され、カソード側が前記第3ラインに接続された第3ダイオードを備えること、
を特徴とする半導体装置。
- [請求項5] 請求項1～4の何れか一項に記載の半導体装置であって、
アノード側が前記第2ラインに接続され、カソード側が前記第4ラインに接続された第4ダイオードを備えること、
を特徴とする半導体装置。
- [請求項6] 請求項1～5の何れか一項に記載の半導体装置であって、

前記第2 MOS トランジスタのオフを指示する第2 指示信号に基づいて、前記第2 MOS トランジスタのゲート容量を放電する放電回路を備えること、

を特徴とする半導体装置。

[請求項7]

請求項6 に記載の半導体装置であって、

前記放電回路は、

前記第4 ラインと、接地側の第5 ラインとの間に設けられ、前記第2 指示信号に基づいてオンする第1 スイッチと、

前記第4 ラインと、前記第2 ラインとの間に設けられ、前記第2 指示信号に基づいてオンする第2 スイッチと、

を含むこと、

を特徴とする半導体装置。

[請求項8]

請求項1 ～7 の何れか一項に記載の半導体装置であって、

前記第3 ラインと、前記第4 ラインとにそれぞれ、抵抗が設けられていること、

を特徴とする半導体装置。

[請求項9]

請求項1 ～8 の何れか一項に記載の半導体装置であって、

デプレッション型の第3 MOS トランジスタを備え、

前記第3 MOS トランジスタは、ゲート電極とソース電極とが前記第2 ラインに接続され、ドレイン電極が前記第3 ラインに接続されること、

を特徴とする半導体装置。

[請求項10]

請求項9 に記載の半導体装置であって、

前記第3 MOS トランジスタは、NMOS トランジスタであって、半導体基板のn型の第1 領域に形成されたp型の第2 領域に形成されていること、

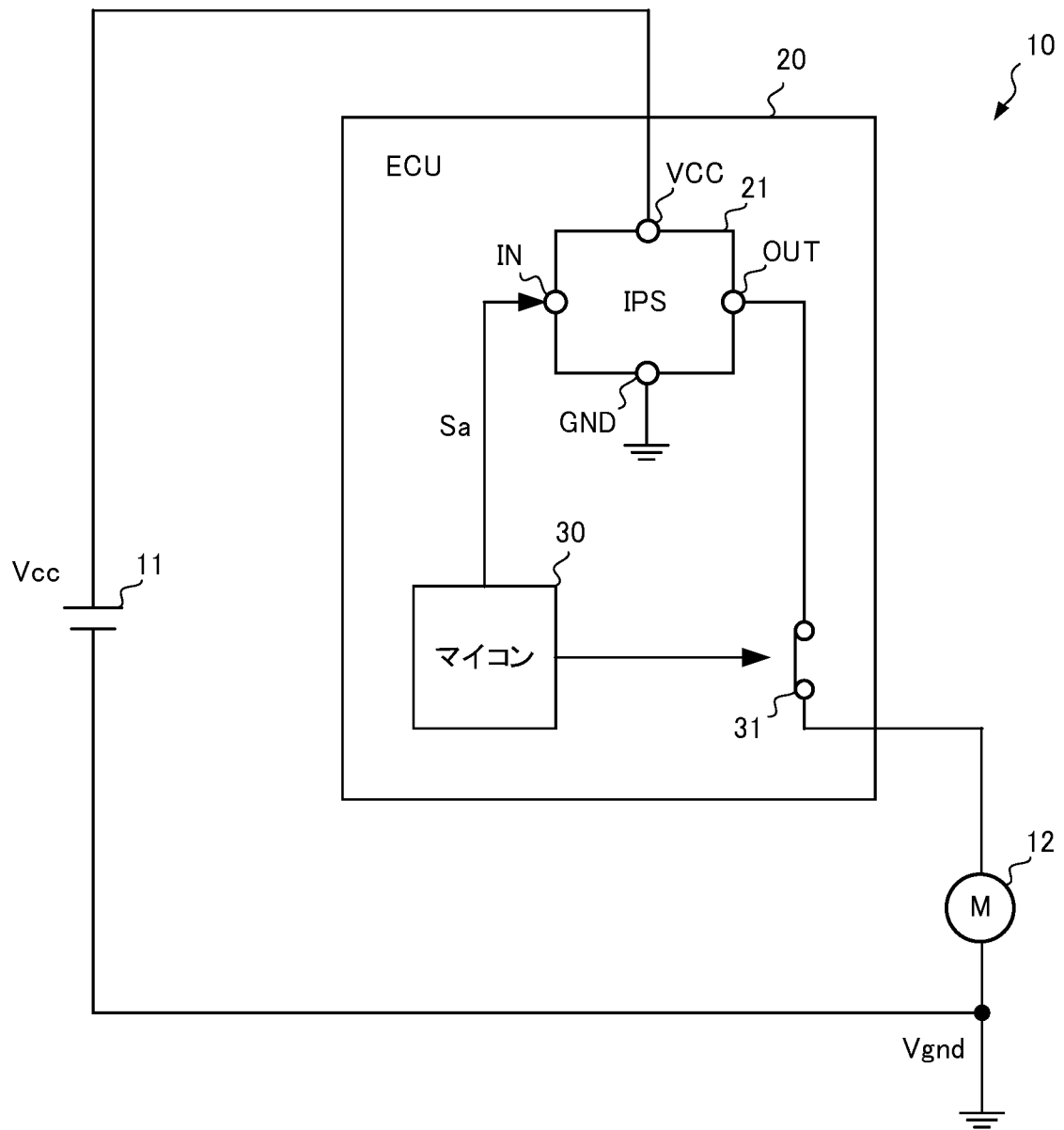
を特徴とする半導体装置。

[請求項11]

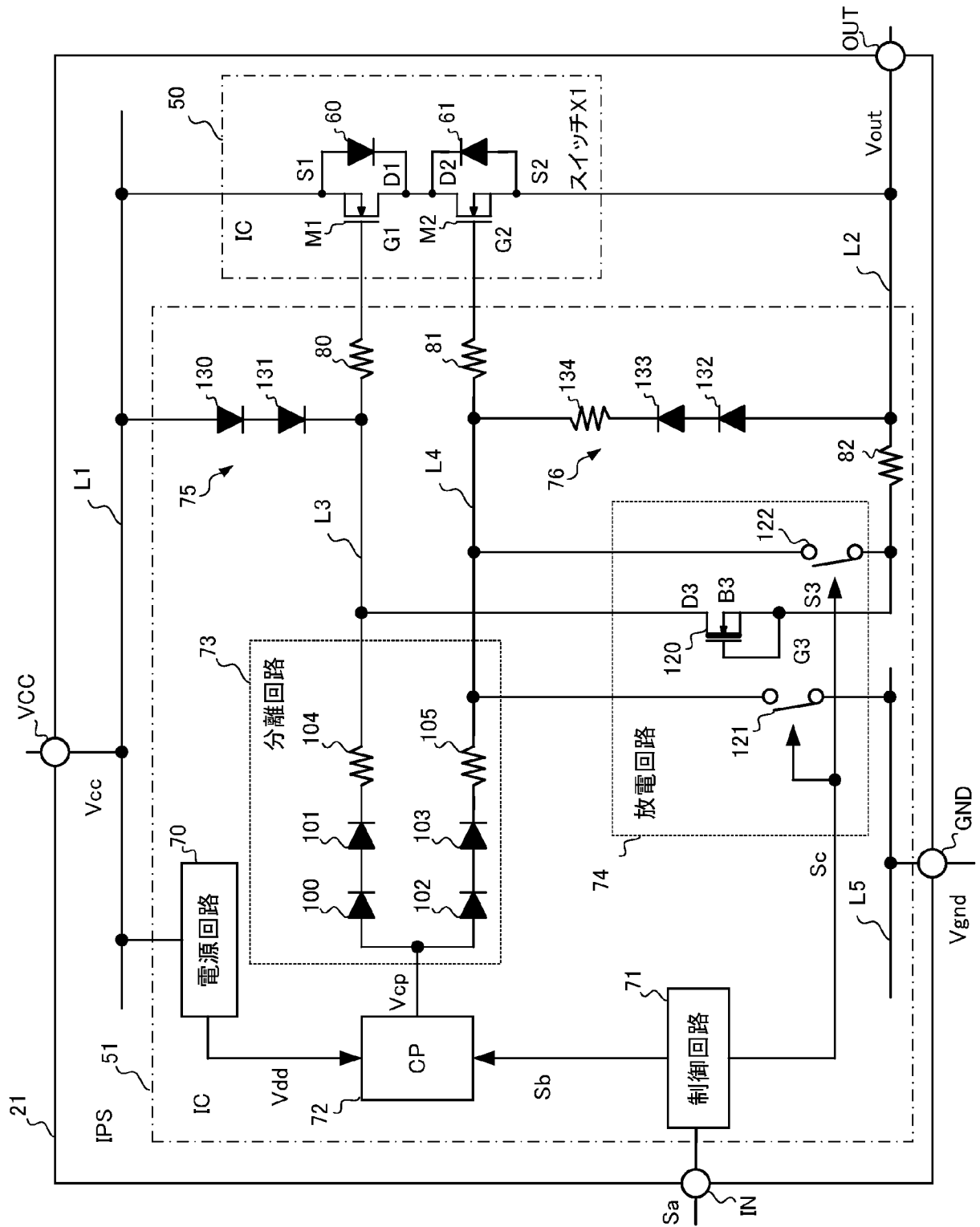
請求項10 に記載の半導体装置であって、

前記第 1 MOS トランジスタの閾値電圧は、前記第 1 及び第 2 領域で形成される寄生ダイオードの順方向電圧より大きいこと、
を特徴とする半導体装置。

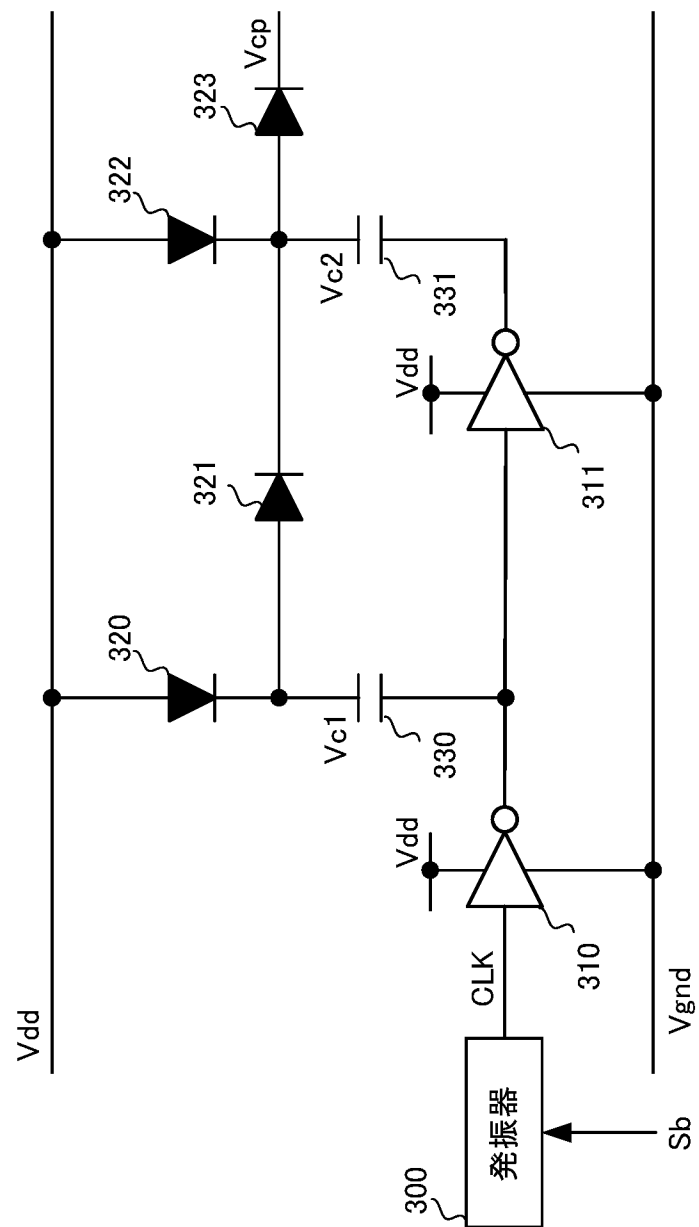
[図1]



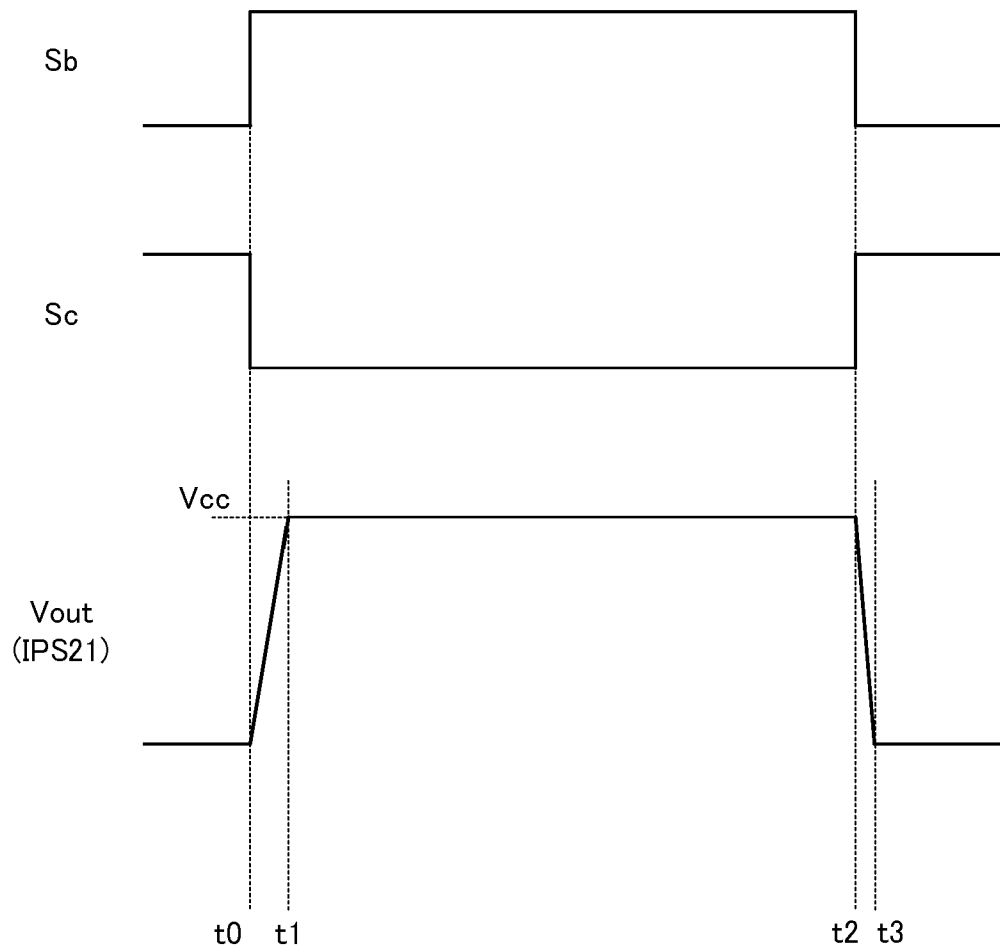
[図2]



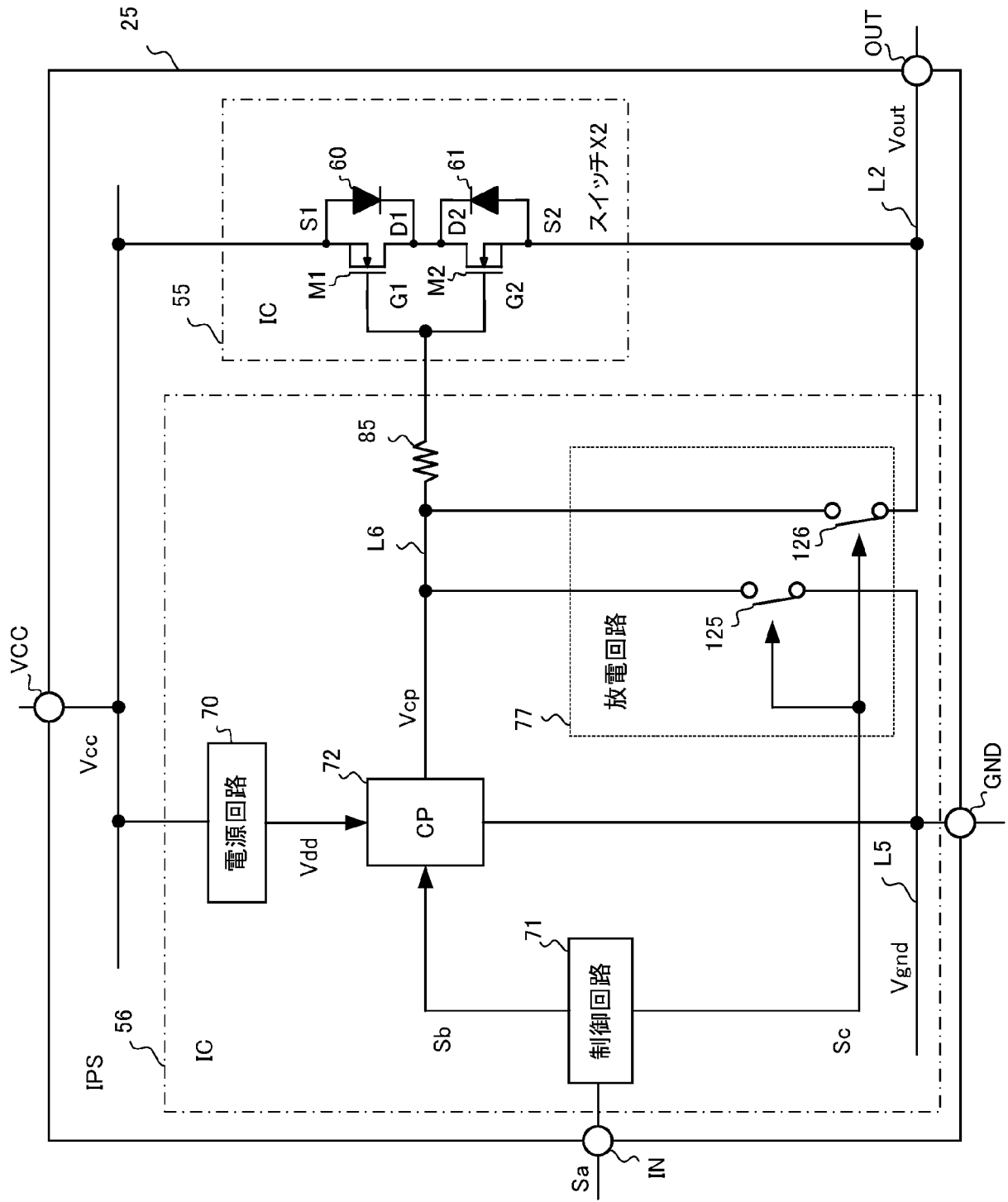
72 ↗



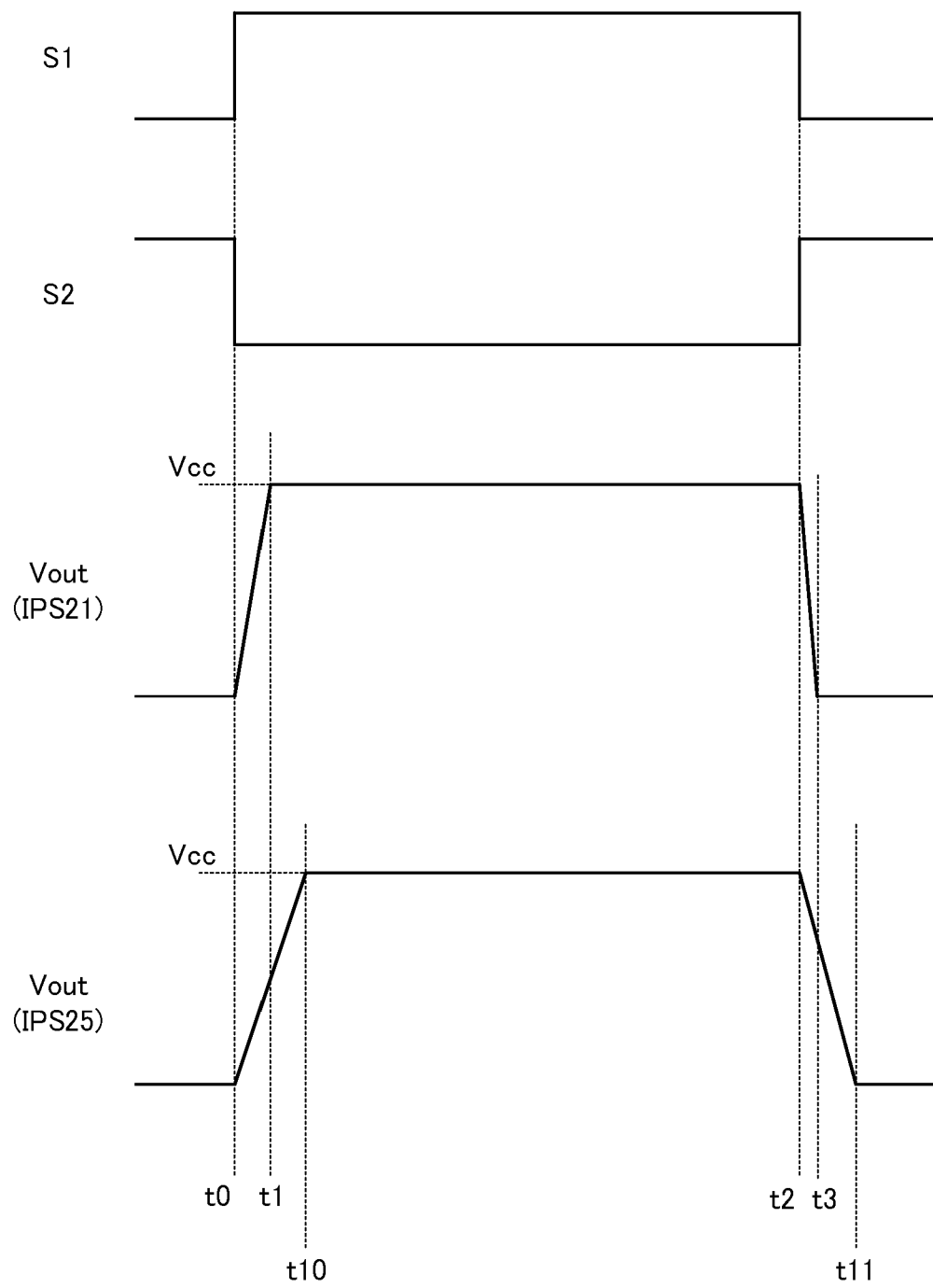
[図5]



[図6]

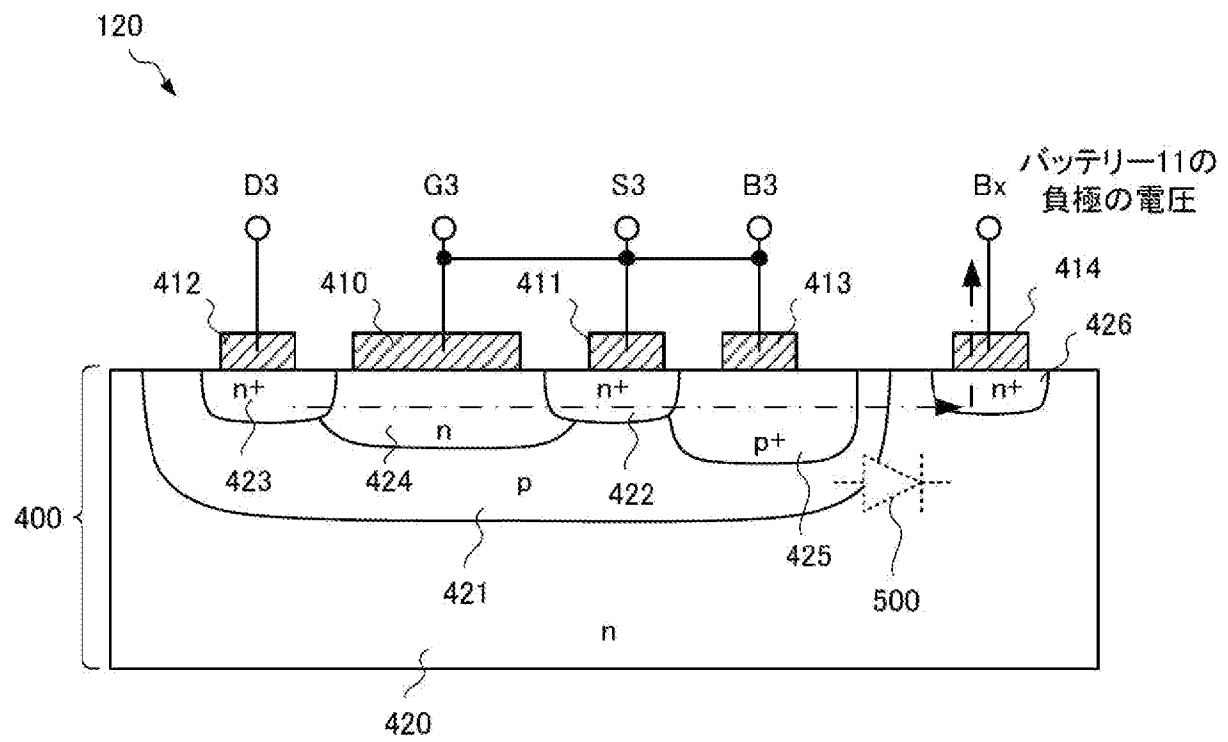


[図7]



[illegible]

[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/025212

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H03K17/04 (2006.01) i, H03K17/687 (2006.01) i, H02M1/08 (2006.01) i
FI: H02M1/08A, H03K17/04E, H03K17/687G, H02M1/08341A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H02M1/08, H03K17/04, H03K17/687

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2013-150139 A (ASAHI KASEI ELECTRONICS CO., LTD.) 01.08.2013 (2013-08-01), paragraphs [0036], [0047], fig. 2	1-3, 6 4, 5, 8 7, 9-11
Y	JP 51-54778 A (FUJITSU LIMITED) 14.05.1976 (1976-05-14), page 1, left column, line 13 to right column, line 11, fig. 1	4, 5
Y	JP 51-81578 A (HITACHI, LTD.) 16.07.1976 (1976-07-16), page 1, right column, lines 3-12, fig. 1	8
X	JP 11-178224 A (NEC KANSAI LTD.) 02.07.1999 (1999-07-02), paragraphs [0006], [0007], [0013], fig. 1	1, 6
X A	JP 6-348350 A (MATSUSHITA ELECTRIC WORKS, LTD.) 22.12.1994 (1994-12-22), paragraphs [0020]-[0025], fig. 3	1 2-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
27.08.2020

Date of mailing of the international search report
08.09.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/025212

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 4-63475 A (TOSHIBA CORPORATION) 28.02.1992 (1992-02-28), page 2, lower right column, line 1 to page 3, upper left column, line 7, fig. 1-4	1 2-11

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/025212

JP 2013-150139 A	01.08.2013	(Family: none)
JP 51-54778 A	14.05.1976	(Family: none)
JP 51-81578 A	16.07.1976	(Family: none)
JP 11-178224 A	02.07.1999	(Family: none)
JP 6-348350 A	22.12.1994	(Family: none)
JP 4-63475 A	28.02.1992	US 5105251 A column 2, line 59 to column 3, line 36, fig. 7-10

A. 発明の属する分野の分類（国際特許分類（IPC）） H03K 17/04(2006.01)i; H03K 17/687(2006.01)i; H02M 1/08(2006.01)i FI: H02M1/08 A; H03K17/04 E; H03K17/687 G; H02M1/08 341A														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H02M1/08; H03K17/04; H03K17/687														
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2020年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2020年	日本国実用新案登録公報	1996 - 2020年	日本国登録実用新案公報	1994 - 2020年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2020年													
日本国実用新案登録公報	1996 - 2020年													
日本国登録実用新案公報	1994 - 2020年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
X	JP 2013-150139 A（旭化成エレクトロニクス株式会社）01.08.2013（2013 - 08 - 01） 【0036】 - 【0047】，図2	1-3, 6												
Y		4, 5, 8												
A		7, 9-11												
Y	JP 51-54778 A（富士通株式会社）14.05.1976（1976 - 05 - 14） 第1頁左欄第13行 - 同頁右欄第11行，第1図	4, 5												
Y	JP 51-81578 A（株式会社日立製作所）16.07.1976（1976 - 07 - 16） 第1頁右欄第3 - 12行，第1図	8												
X	JP 11-178224 A（関西日本電気株式会社）02.07.1999（1999 - 07 - 02） 【0006】 - 【0007】，【0013】，図1	1, 6												
X	JP 6-348350 A（松下電工株式会社）22.12.1994（1994 - 12 - 22） 【0020】 - 【0025】，図3	1												
A		2-11												
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 27.08.2020	国際調査報告の発送日 08.09.2020													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 栗栖 正和 5G 3987 電話番号 03-3581-1101 内線 3526													

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 4-63475 A (株式会社東芝) 28.02.1992 (1992 - 02 - 28)	1
A	第 2 頁右下欄第 1 行－第 3 頁左上欄第 7 行, 第 1 - 4 図	2-11

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/025212

引用文献			公表日	パテントファミリー文献	公表日
JP	2013-150139	A	01.08.2013	(ファミリーなし)	
JP	51-54778	A	14.05.1976	(ファミリーなし)	
JP	51-81578	A	16.07.1976	(ファミリーなし)	
JP	11-178224	A	02.07.1999	(ファミリーなし)	
JP	6-348350	A	22.12.1994	(ファミリーなし)	
JP	4-63475	A	28.02.1992	US 5105251 A 第2カラム第59行-第3 カラム第36行, 図7-1 0	