(19)中華民國智慧財產局
(12)發明說明書公開本　(11)公開編號：200910078
(43)公開日：中華民國98(2009)年3月1日

(21)申請案號：097116042　(22)申請日：中華民國97(2008)年5月1日
(51)Int. Cl.：*G06F1/32 (2006.01)*
(30)優先權主張：2007/05/02　美國　11/743,388

(71)申請人：高級微裝置公司 ADVANCED MICRO DEVICES, INC.
美國
(72)發明人：柏瑞諾夫　艾力克斯 BRANOVER, ALEX；漢姆斯　法蘭克P HELMS, FRANK P.；史坦馬恩　瑪瑞斯 STEINMAN, MAURICE
(72)代理人：洪武雄；陳昭誠

申請實體審查：無　申請專利範圍項數：20 項　圖式數：5　共 32 頁

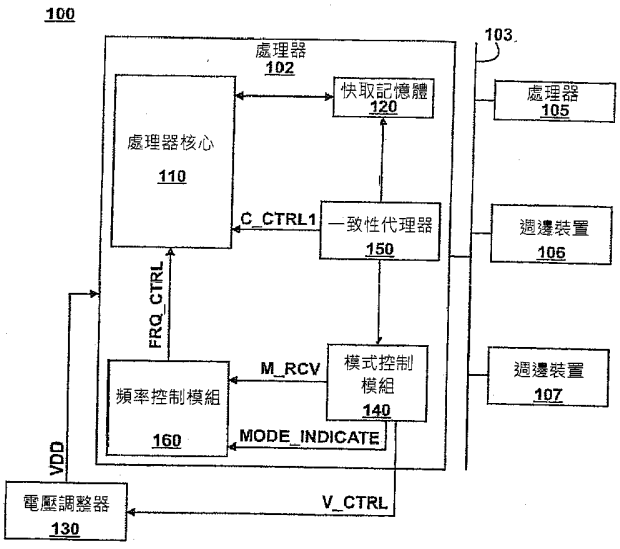
(54)名稱

具有低功率快取存取模式之資料處理裝置

DATA PROCESSING DEVICE WITH LOW-POWER CACHE ACCESS MODE

(57)摘要

本發明係提供一種可操作於三種不同模式之處理器。於主動模式中，提供第一電壓給該處理器，其中該第一電壓係足以容許該處理器執行指令。於低功率模式中，提供保持電壓(retention voltage)給該處理器。相較於在主動模式中，該處理器於保持模式中會消耗較少的功率。此外，該處理器可操作於第三種模式，其中電壓係提供給該處理器而足以容許該處理器處理快取(cache)訊息，例如一致性(coherency)訊息，但不足以使處理器執行其他正規的操作或只能夠在速度相對於主動模式緩慢很多的情況讓處理器進行正規的操作。



100：系統
102：處理器
103：匯流排
105：處理器
106：週邊裝置
107：週邊裝置
110：處理器核心
120：快取
130：電壓調整器
140：模式控制模組
150：一致性代理器
160：頻率控制模組

(19)中華民國智慧財產局
(12)發明說明書公開本　(11)公開編號：200910078
(43)公開日：中華民國98(2009)年3月1日

(21)申請案號：097116042　(22)申請日：中華民國97(2008)年5月1日
(51)Int. Cl.：*G06F1/32 (2006.01)*
(30)優先權主張：2007/05/02　美國　11/743,388

(71)申請人：高級微裝置公司 ADVANCED MICRO DEVICES, INC.
美國
(72)發明人：柏瑞諾夫　艾力克斯 BRANOVER, ALEX；漢姆斯　法蘭克P HELMS, FRANK P.；史坦馬恩　瑪瑞斯 STEINMAN, MAURICE
(72)代理人：洪武雄；陳昭誠

申請實體審查：無　申請專利範圍項數：20 項　圖式數：5　共 32 頁

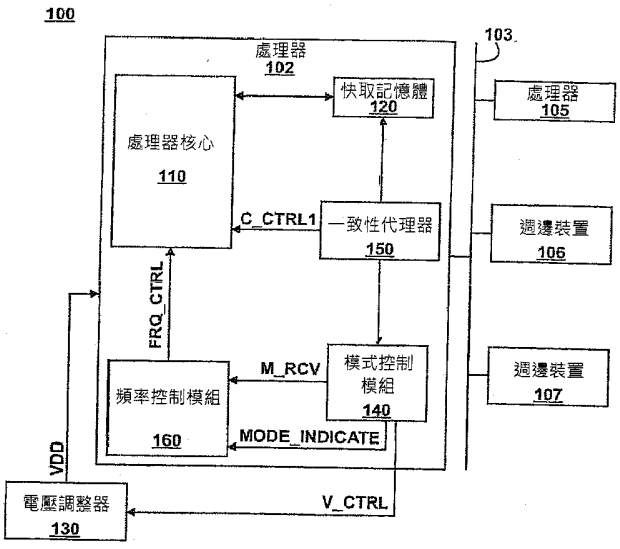
(54)名稱

具有低功率快取存取模式之資料處理裝置

DATA PROCESSING DEVICE WITH LOW-POWER CACHE ACCESS MODE

(57)摘要

本發明係提供一種可操作於三種不同模式之處理器。於主動模式中，提供第一電壓給該處理器，其中該第一電壓係足以容許該處理器執行指令。於低功率模式中，提供保持電壓(retention voltage)給該處理器。相較於在主動模式中，該處理器於保持模式中會消耗較少的功率。此外，該處理器可操作於第三種模式，其中電壓係提供給該處理器而足以容許該處理器處理快取(cache)訊息，例如一致性(coherency)訊息，但不足以使處理器執行其他正規的操作或只能夠在速度相對於主動模式緩慢很多的情況讓處理器進行正規的操作。



100：系統
102：處理器
103：匯流排
105：處理器
106：週邊裝置
107：週邊裝置
110：處理器核心
120：快取
130：電壓調整器
140：模式控制模組
150：一致性代理器
160：頻率控制模組

六、發明說明：

【發明所屬之技術領域】

本發明係關於處理器，且尤係關於以多重模式處理快取交易(cache transaction)之處理器。

【先前技術】

某些處理器能操作於多重模式，如主動模式與低功率或睡眠模式。於主動模式中，電壓調整器(voltage regulator)提供電壓給該處理器以容許該處理器執行指令與完成正規的操作。於低功率模式中，該電壓調整器提供保持電壓(retention voltage)給該處理器以容許該處理器保持原有狀態(internal state)，但不執行指令或其他正規的操作。該保持電壓比主動模式中提供的電壓還低，因此容許該處理器節省功率。該處理器能進入低功率模式以節省功率，但卻能保持其原有狀態，使得該處理器在返回主動模式時能直接從其進入低功率模式之前的狀態繼續操作。

某些處理器能支援一致性記憶體空間(coherent memory space)或容許裝置的其他模組存取該處理器快取。當該處理器於低功率模式時，為了執行快取交易以維持一致性或為了服務來自其他模組接收之存取請求，習知的處理器會從該低功率模式切換至主動模式。然而，由於電壓調整器的物理特性，該處理器無法快速地從低功率模式改變至主動模式。因此，當接收到較多的快取交易請求時，習知的處理器一般較不常進入低功率模式，且因而較

少在低功率模式。這會導致該處理器不理想的功率消耗。因此，需要一種新的處理裝置與方法。

【發明內容】

為解決前述習知技術之缺失，本發明揭示一種方法，包括：在第一期間提供第一操作電壓給處理器；在該第一期間於該處理器執行指令；回應於在該第一期間接收模式改變指標，於第二期間提供保持電壓給該處理器，其中該處理器在該第二期間係處於保持狀態中，且其中該保持電壓係較低於該第一操作電壓；回應於在該第二期間接收第一快取訊息，於第三期間提供第二操作電壓給該處理器，該第二操作電壓係較低於該第一操作電壓而較大於該保持電壓；以及於該第三期間處理該第一快取訊息。

本發明更揭示一種方法包括：於第一期間提供保持電壓給處理器，其中該處理器於該第一期間處於保持狀態；於該第一期間接收第一快取訊息；回應於接收該第一快取訊息，於第二期間提供第一操作電壓，該第一操作電壓大於該保持電壓；於該第二期間處理該第一快取訊息；回應於完成該第一快取訊息之處理，於第三期間提供該保持電壓給該處理器；於該第三期間接收第一模式改變指標；以及回應於接收該第一模式改變指標，於第四期間提供第二操作電壓給該處理器，該第二操作電壓大於該第一操作電壓。

本發明又揭示一種裝置，包括：處理器，包括處理器核心與快取；模式控制模組，組構成控制該處理器的操作

模式；電壓調整器，組構成：回應於指示該處理器之主動模式的該模式控制模組，將該處理器的操作電壓設定至第一電壓；回應於指示該處理器之低處理模式的該模式控制模組，將該處理器的操作電壓設定至較低於該第一電壓之第二電壓，其中該處理器能以該低處理模式處理快取訊息；以及回應於指示該處理器處於保持模式中的該模式控制模組，將該操作電壓設定至第三電壓，該第三電壓低於該第二電壓。

【實施方式】

本發明揭示一種能操作於三種不同模式之處理器。於主動模式中，提供第一電壓(在此稱為“主動電壓”)給該處理器，其中該第一電壓係足以容許該處理器執行指令。於低功率模式中，提供保持電壓給該處理器，其中該保持電壓係不足以使該處理器執行指令，但足以容許該處理器維持在進入低功率模式之前所儲存的狀態資訊。相比於主動模式，該處理器於保持模式消耗較少的功率。此外，該處理器可操作於第三種模式，在此稱為快取交易處理模式，其中提供電壓(在此稱為“快取交易處理電壓”)給該處理器，而該快取交易處理電壓係足以容許該處理器處理快取訊息，例如一致性訊息，但不足以使處理器執行其他正規的操作或只能夠在速度相對於主動模式慢很多的情況讓處理器進行正規的操作。於該快取交易處理模式中提供給該處理器之電壓係比主動模式中的電壓還低但高於該保持模式中的電壓。

如果處理器在低功率模式時欲執行快取交易，該處理器會進入快取交易處理模式並處理該快取交易。一旦快取交易的處理完成，該處理器會返回低功率模式。因為在低功率模式中所提供之保持電壓與在快取交易處理模式中提供給該處理器之快取交易處理電壓之間有相當小的電壓差(相較於在保持模式電壓與主動模式電壓之間的電壓差)，該處理器能於低功率模式與快取交易處理模式之間更快速地轉換(相較於從低功率模式到主動模式的轉換)，因此容許該處理器於該低功率模式維持一段較長的期間且減少該處理器的功率消耗。

參照第 1 圖，揭示一種系統 100 的方塊圖。該系統 100 包括處理器 102、匯流排 103、處理器 105、週邊裝置 106、週邊裝置 107 與電壓調整器 130。該處理器 102、處理器 105 以及週邊裝置 106 與 107 係各連接至該匯流排 103。該處理器 102 包含輸出端用以提供信號(標示為 V_CTRL)至該電壓調整器 130 的輸入端。另外，該處理器 102 包括輸入端用以從該電壓調整器 130 的輸出端接收可調整電壓(標示為 VDD)。

該處理器 102 與該處理器 105 皆可為微處理器、微控制器與特殊應用積體電路(application specific integrated circuit；ASIC)等。該等週邊裝置 106 與 107 皆可為記憶體控制器、輸入端/輸出端控制器與週邊控制器等。另外，該系統 100 的每個圖示部分均可被整合在共同的半導體基板上，或被置於不同基板上。舉例而言，該處

理器 102 與該處理器 105 可被整合於在共同的半導體基板上，而該週邊裝置 106 與 107 則被置於該半導體基板之外部。在所示之實施例中，該電壓調整器 130 係置於該處理器 102 之外部。於其他實施例中，該電壓調整器 130 可實施於該處理器 102 內部。

於操作期間，該處理器 102 可操作於主動模式、低功率模式與快取交易處理模式。於主動模式中，該處理器 102 可執行指令並完成其他正規的操作。於低功率模式中，該處理器 102 係處於保持狀態，使該處理器 102 的狀態得以維持。於低功率模式中，該處理器 102 無法執行指令或完成其他正規的操作。於快取交易處理模式中，該處理器 102 能處理由該處理器 105 與該週邊裝置 106 以及 107 經由該匯流排 103 所提供之快取訊息。該等快取訊息代表對於該處理器 102 處理快取交易(例如一致性交易(coherency transaction)或存取交易(access transaction))的請求。該處理器 102 藉由分析該快取訊息以及(在適當時)執行所請求的快取交易來處理該快取訊息。

該電壓調整器 130 提供不同位準的操作電壓 VDD 用於該處理器 102 之三種模式的各者。於主動模式中，該操作電壓 VDD 係設定為主動電壓位準用以容許該處理器 102 執行指令。於該快取交易處理模式中，該操作電壓 VDD 係設定成快取交易處理電壓位準，該快取交易處理電壓位準係低於該主動電壓位準。此電壓位準容許該處理器 102 處理快取訊息，但不執行其他正規的操作或只能夠在速度相較

於主動模式緩慢很多的情況讓處理器進行其他正規的操作。於該低功率模式中，該操作電壓 VDD 係設定為保持電壓，使得該處理器 102 能夠維持狀態資訊但無法執行指令。該保持電壓係較低於該快取交易處理電壓位準。於特定實施例中，該保持電壓約為 0.7 伏特，該快取交易處理電壓位準係在約 0.75 至約 0.8 伏特之間，而該主動電壓約為 1.1 伏特。

該電壓 VDD 的位準係由該信號 V_CTRL 所控制。因此，當處理器 102 進入新的模式時，該處理器 102 會利用該信號 V_CTRL 來組構(configure)電壓調整器 130，用以將電壓 VDD 設定為適合於新模式的電壓位準。

該處理器 102 可根據不同因素而改變模式。舉例而言，於某段預定時間期間內沒有接收到使用者輸入該系統 100 之後，該處理器 102 可從主動模式改變成低功率模式。於低功率模式中，該處理器 102 仍可從該處理器 105 或該等週邊裝置 106 與 107 接收快取訊息。能使該處理器進入快取交易處理模式之快取訊息範例可包括快取探測(cache probe)或快取讀取訊息(例如，用以檢查是否快取位置包含已修改資料的訊息)、快取無效訊息(例如，指示特定快取線應為無效之訊息，因為與該快取線相關聯之資料已藉由該等週邊裝置 106 與 107 其中之一或藉由該處理器 105 被修改)與快取寫入訊息(例如，容許該等週邊裝置 106 與 107 以及該處理器 105 直接地寫入該快取之訊息)。回應於接收到該快取訊息，該處理器 102 能進入該快取交易處理模

式，處理該快取訊息，並於完成處理後返回至低功率模式。因為該處理器 102 不須進入該主動模式來處理該快取訊息，故能更快速地返回低功率模式，進而節約功率。

該處理器 102 包括處理器核心 110、快取 120、模式控制模組 140、一致性代理器(coherency agent)150 與頻率控制模組 160。該處理器核心 110 包含連接至該快取 120 之雙向連接(bi-directional connection)。該處理器核心 110 也包含用以接收信號 FRQ_CTRL 之輸入端以及用以接收信號 C_CTRL1 之輸入端。該快取 120 包含用以接收信號 C_CTRL2 之輸入端。該一致性代理器 150 包含用以提供控制信號 C_CTRL1、C_CTRL2 與 C_CTRL3 之輸出端。該模式控制模組 140 包含用以接收該信號 C_CTRL3 之輸入端、提供該信號 V_CTRL 之輸出端、提供該信號 MODE_INDICATOR 之輸出端以及提供該信號 M_RCV 之輸出端。該頻率控制模組 160 包含用以接收該信號 M_RCV 之輸入端與提供該信號 FRQ_CTRL 之輸出端。

該處理器核心 110 係組構成於主動模式中執行指令，以及進行其他操作，例如於該主動模式與該快取交易處理模式中處理快取訊息。該處理器核心 110 係也組構成提供存取請求與一致性資訊給該快取 120。

該快取 120 係組構成回應於處理器核心 110 所提供之請求或經由信號 C_CTRL2 所提供之資訊而提供並儲存資料。請求該快取 120 也維持用於其已儲存之資料的一致性資訊，並且可根據來自於處理器核心 110 的請求或經由信

號 C_CTRL2 所提供的資訊來修改該一致性資訊。

該一致性代理器 150 係組構成經由匯流排 103 從處理器 105、週邊裝置 106 與 107 接收快取訊息(代表快取交易請求)。該快取訊息可代表來自該處理器 105 與該等週邊裝置 106 與 107 之一致性交易或快取存取請求。該一致性代理器 150 提供有關於經由該信號 C_CTRL1、C_CTRL12 與 C_CTRL3 所接收的快取訊息的資訊。

該模式控制模組 140 係組構成接收有關已接收的快取訊息的資訊並組構成控制該處理器 102 的操作模式。為了控制操作的模式,該模式控制模組 140 經由 V_CTRL 信號提供資訊來設定該操作電壓 VDD、經由 MODE_INDICATOR 信號提供資訊來設定處理器核心 110 在每一種操作模式下的時脈頻率以及經由 M_RCV 信號提供資訊來表示快取訊息已被接收。

該頻率控制模組 160 係組構成經由表示快取訊息已被接收的 M_RCV 信號來接收資訊，以及經由表示處理器 102 之操作模式的 MODE_INDICATOR 信號來接收資訊。

該頻率控制模組 160 係組構成根據處理器 102 的操作模式而經由 FRQ_CTRL 信號來提供控制資訊以設定處理器核心 110 的時脈頻率。該頻率控制模組 160 係復組構成決定某一段特定時間內所接收之快取訊息的數量，並根據此決定結果,經由 FRQ_CTRL 信號提供資訊來改變處理器核心 110 在快取交易處理模式下的時脈頻率。

在操作期間，於主動模式中該處理器核心 110 執行指

令以完成該處理器 102 的任務。該一致性代理器 150 確保該快取 120 與系統 100 中其他記憶體保持一致(coherent)，例如處理器 105 之快取(未圖示)或是由週邊裝置 106 與 107 其中之一所控制之記憶體。該一致性代理器 150 經由匯流排 103 接收快取訊息，例如一致性訊息。根據所接收之快取訊息，該一致性代理器 150 分別經由信號 C_CTRL1 與 C_CTRL2 提供一致性資訊給處理器核心 110 與快取 120。

舉例而言，回應於接收到表示與記憶體位址相關聯的資料已被處理器 105 所修改的快取訊息，該一致性代理器 150 會通知該處理器核心 110 與該快取 120 有此修正。回應前述動作，該處理器核心 110 與快取 120 將決定是否該快取 120 儲存與記憶體位址相關聯的資料，如果屬實，將採取適當的動作，例如使快取線無效。

該模式控制模組 140 根據該系統 100 的操作狀態與其他因素來控制該處理器 102 的操作模式。舉例而言，如果於某一段特定時間內未有使用者輸入至該系統 100、如果於某一段特定時間內匯流排沒有動作或如果於該處理器 102 或該處理器 105 上所執行之作業系統(operating system)或其他軟體指示該處理器 102 進入低功率模式，則該模式控制模組 140 能從該主動模式改變操作模式至低功率模式。該模式控制模組 140 也能回應於接收到使用者輸入或中斷，而從低功率模式改變操作模式至主動模式。為了改變操作模式，該模式控制模組 140 提供該信號 V_CTRL

給該電壓調整器以改變該處理器 102 的操作電壓 VDD。另外，該模式控制模組 140 經由該信號 MODE_INDICATOR 向頻率控制模組 160 指示操作模式以設定處理器核心 110 於每一模式中的時脈頻率。

回應於接收到一致性訊息，該一致性代理器 150 會經由該信號 C_CTRL3 通知該模式控制模組 140。回應於前述動作，如果該處理器 102 處在低功率模式，該模式控制模組 140 將改變操作模式為快取交易處理模式。該模式控制模組 140 提供該信號 V_CTRL 以將該操作電壓 VDD 設定至適當的位準，使得該處理器 102 能處理該快取訊息。另外，該模式控制模組 140 會通知該頻率控制模組 160 已接收到快取訊息。一旦該處理器核心 110 已經完成處理該快取訊息，該模式控制模組 140 會將該處理器 102 返回至低功率模式，包括改變該操作電壓 VDD 的位準，因此能節省功率。

於另一實施例中，該模式控制模組 140 可僅於已接收到快取訊息的臨界數量之後改變該處理器 102 的操作模式。如此，一旦所有的擱置(pending)快取訊息已處理完畢，該模式控制模組 140 便將該處理器返回至低功率模式。

該頻率控制模組 160 根據該 MODE_INDICATOR 信號設定該處理器核心 110 的時脈頻率。於特定實施例中，該時脈頻率於該低功率模式中被設定至約為零，且於該快取交易處理模式中時脈頻率被設定為相較於在主動模式中為低的頻率。另外，於該快取交易處理模式中，該頻率控制模組會測量在特定期間內所接收的快取訊息數量。如果接收

的快取訊息數量超過臨界值，該頻率控制模組 160 經由該 FRQ_CTRL 信號提供資訊以改變該處理器核心 110 於快取交易處理模式中的時脈頻率。這會導致該處理器核心 110 消耗較多功率但能更快地處理該快取訊息。因此，藉由適當地設定快取訊息的臨界數量，可減少該處理器 102 的總功率消耗。

參照第 2 圖，係圖示說明在系統 100 的操作期間第 1 圖的電壓調整器 130 之範例電壓輸出 202 的圖示。該說明圖示的 Y 軸表示該電壓 VDD 的位準，而 X 軸表示時間。如圖示，於時間期間 204，該處理器 102 操作於主動模式且該操作電壓 VDD 係處在主動電壓位準。於時間 205 處，接收到模式改變指標，顯示該處理器 102 應處於低功率模式。回應於使用者輸入、於預定時間期間內無使用者輸入或其他因素，可接收此模式改變指標。舉例而言，軟體可使得該模式改變指標被發佈。於另一實施例中，軟體能啟動(initiate)該模式改變指標的發佈，但該指標是直到已偵測到沒有該匯流排活動一段時間後才會產生。於其他實施例中，回應於一段時間沒有該匯流排活動，可發佈該模式改變指標而無須軟體啟動。

回應於該模式改變指標，該電壓 VDD 係改變至該保持電壓位準，而該處理器 102 進入該低功率模式並於時間期間 206 維持於低功率模式。於時間 207 處，該處理器 102 接收快取訊息。回應於前述動作，該處理器 102 改變至該快取交易處理模式且該電壓位準 VDD 被設定為該快取交易

處理電壓位準。該處理器 102 於時間期間 208 保持於快取交易處理模式。回應於該快取訊息的處理完成，於時間 209 處，該處理器 102 返回至低功率模式且藉由該電壓調整器 130 所提供之電壓 VDD 被設定為保持電壓。

該時間期間 208 的持續期間視該處理器核心 110 的時脈頻率而定。如果於特定時間所接收之快取訊息數量超過臨界值，可調整該時脈頻率用以縮短時間期間 208。這會增加該處理器 102 於該時間期間 208 所消耗的功率量，但容許該處理器 102 更快速地處理快取訊息並且更快速地於時間期間 210 返回至低功率狀態。因此，快取訊息的臨界數量可被設定用以減少該處理器 102 的總功率消耗。

於時間 211 處，接收另一快取訊息。回應於前述動作，該電壓 VDD 係設定為該快取交易處理電壓位準並且該處理器 102 於時間期間 212 進入快取交易處理模式。在快取訊息於時間 213 處完成處理後，該處理器 102 返回至低功率模式且該電壓 VDD 於時間期間 214 被設定為保持電壓位準。因此，該處理器 102 能進入快取交易處理模式且於每一次接收到快取訊息時返回至該低功率模式。

於時間 215 處，接受到模式改變指標，表示該處理器 102 應改變至該主動模式。回應於使用者輸入或其他因素，可接收該模式改變指標。舉例而言，周邊裝置可啟動中斷，該中斷會產生該模式改變指標。於另一實施例中，回應於時間期間的期限(expiration)，可接收該模式改變指標。回應於該模式改變指標，該處理器 102 改變至主動

模式且該操作電壓 VDD 於該時間期間 216 再一次被設定至最高位準。

參照第 3 圖，係圖示說明頻率控制模組 360 的特定實施例的方塊圖，該頻率控制模組 360 對應於第 1 圖中之頻率控制模組 160。該頻率控制模組 360 包含時脈模組 305、時間計數器 306、一致性訊息計數器 310 與頻率選擇模組 315。該時脈模組 305 包含輸出端以提供時脈信號 CLK。該時間計數器 306 包含輸出端以及用以接收該時脈信號 CLK 之輸入端。該一致性訊息計數器 310 包含連接至該時間計數器 306 的輸出端的輸入端(標示為 RESET)。該一致性訊息計數器 310 也包含輸出端以用以接收該信號 M_RCV 之輸入端。該頻率選擇模組 315 包含連接至該一致性訊息計數器 310 的輸出端之輸入端、用以接收該 MODE_INDICATOR 信號之輸入端以及用以提供該信號 FRQ_CTRL 之輸出端。

於操作期間，該頻率選擇模組依據該 MODE_INDICATOR 信號所指示的操作模式經由該 FRQ_CTRL 信號提供資訊來設定該處理器核心 110 的時脈頻率。再者，當接收到一致性訊息時，係經由該信號 M_RCV 來通知該一致性訊息計數器 310。回應於前述動作，藉由該一致性訊息計數器 310 所儲存的數值係得以調整。另外，該時間計數器 306 提供信號至該 RESET 輸入端，用以於特定時間期間過後根據該時脈信號 CLK 重新設定該一致性訊息計數器 310。於特定實施例中，該計數器 306 為一種遞減計數器(decrement counter)，其開始於一初始數值且根據該時脈信號 CLK 的

轉變向下計數至零為止。當該計數器 306 到達零時，會提供用以重置(reset)該一致性訊息計數器的信號。因此，該一致性訊息計數器 310 所儲存的數值可代表於時間期間所接收之一致性訊息數量。該時間期間可為固定值或為可程式化值。可根據系統 100 的 BIOS 值、根據於處理器 102 中執行的指令或根據其他由使用者所程式化者來設定該可程式化值。

如果藉由該一致性訊息計數器 310 所儲存的數值於被重置前超過臨界值，則表示於設定時間期間所接收的一致性訊息數量超過該臨界值，該一致性訊息計數器 310 便會通知該頻率選擇模組 210。回應於前述動作，當該處理器 102 處於該快取交易處理模式時，該頻率選擇模組 210 會經由該信號 FRQ_CTRL 提供資訊以改變該處理器核心 110 的時脈頻率。因此，如果於特定時間期間所接收的一致性訊息數量超過臨界值，則頻率控制模組 360 於該處理器 102 在該快取交易處理模式時會調整該處理器核心 110 的時脈速度，確保該一致性訊息被更快速地處理，因而允許該處理器 102 快速地從該快取交易處理模式返回至低功率模式以及節省功率。

參照第 4 圖，係圖示說明一種提供電壓給處理器之方法的特別實施例之流程圖。於方塊 402 處，於第一期間提供第一操作電壓給處理器，使得該處理器處於主動模式。於方塊 404 處，指令係於第一期間由該處理器執行。於方塊 406 處，接收模式改變指標。回應於該模式改變指標，

於方塊 408 處，在第二時間期間提供保持電壓給該處理器。

於方塊 410 處，於第二期間接收一致性訊息。回應於前述動作，於方塊 412 處，在第三期間提供第二操作電壓(second operating voltage)給該處理器。於方塊 414 處，在該處理器進行處理一致性訊息。於方塊 416 處，回應於該一致性訊息的處理完成，在第四期間提供保持電壓給該處理器。因此，該處理器無須進入主動模式即可處理一致性訊息，進而容許該處理器更快速地返回低功率模式，因而節省功率。

參照第 5 圖，係圖示說明一種提供電壓給處理器之方法的另一實施例之流程圖。於方塊 502 處，處理器於第一期間係處於低功率模式，且因而於此期間提供保持電壓給該處理器。於方塊 504 處，當該處理器處於低功率模式時，係於第一期間接收一致性訊息。回應於前述動作，於方塊 506 處，該處理器進入快取交易處理模式且於第二時間期間提供第一操作電壓。於方塊 508 處，於第二期間(即當該處理器處於該快取交易處理模式時)處理該快取訊息。

於方塊 510 處，回應於該一致性訊息的處理完成，該處理器返回該低功率模式，且保持電壓係於第三時間期間提供。於方塊 512 處，當該處理器處於低功率模式時，於第三時間期間接收模式改變指標。回應於前述動作，於方塊 514 處，該處理器進入主動模式且第二操作電壓係提供給該處理器。

在參酌本說明書以及實施此處揭示之揭露內容後，該

揭露內容之其他實施例、效用與優點對熟習該技術領域者而言將是顯而易見的。應進一步了解到的是，雖然某些電路元件與模組係描繪與描述為連接於其他電路元件，但所述之元件也可藉由額外的電路元件(如電阻器、電容器與電晶體等)進行耦接。本說明書與圖式應被視為僅作例示用，且因此本發明之範疇係欲僅由以下的申請專利範圍與其等效者所限制。

【圖式簡單說明】

藉由參考隨附圖式可對本發明有較佳了解，且其許多特色與優點對熟習該技術領域者而言為顯而易見的。

第 1 圖是包含具有多重操作模式的裝置之特別實施例之方塊圖；

第 2 圖是提供操作電壓給第 1 圖之處理器之特別實施例之圖表；

第 3 圖是第 1 圖的裝置之頻率控制模組之方塊圖；

第 4 圖是一種組構處理器操作模式的方法之特別實施例之流程圖；以及

第 5 圖是組構處理器操作模式之另一實施例之流程圖。

【主要元件符號說明】

100	系統	102	處理器
103	匯流排	105	處理器
106	週邊裝置	107	週邊裝置
110	處理器核心	120	快取

130	電壓調整器	140	模式控制模組
150	一致性代理器	160	頻率控制模組
202	電壓輸出	204	時間期間
205	時間	206	時間期間
207	時間	208	時間期間
209	時間	210	時間期間
211	時間	212	時間期間
213	時間	214	時間期間
215	時間	305	時脈模組
306	時間計數器	310	一致性訊息計數器
315	頻率選擇模組	360	頻率控制模組

402、404、406、408、410、412、414、416 方塊

502、504、506、508、510、512、514 方塊

200910078

發明專利說明書

（本說明書格式、順序，請勿任意更動，※記號部分請勿填寫）

※申請案號：97116042

※申請日：97.5.1　　※IPC分類：G06F 1/32 (2006.01)

一、發明名稱：（中文/英文）

具有低功率快取存取模式之資料處理裝置

DATA PROCESSING DEVICE WITH LOW-POWER CACHE ACCESS MODE

二、中文發明摘要：

本發明係提供一種可操作於三種不同模式之處理器。於主動模式中，提供第一電壓給該處理器，其中該第一電壓係足以容許該處理器執行指令。於低功率模式中，提供保持電壓(retention voltage)給該處理器。相較於在主動模式中，該處理器於保持模式中會消耗較少的功率。此外，該處理器可操作於第三種模式，其中電壓係提供給該處理器而足以容許該處理器處理快取(cache)訊息，例如一致性(coherency)訊息，但不足以使處理器執行其他正規的操作或只能夠在速度相對於主動模式緩慢很多的情況讓處理器進行正規的操作。

三、英文發明摘要：

A processor can operate in three different modes. In an active mode, a first voltage is provided to the processor, where the first voltage is sufficient to allow the processor to execute instructions. In a low-power mode, a retention voltage is provided to the processor. The processor consumes less power in the retention mode than in the active mode. In addition, the processor can operate in a third mode, where a voltage is provided to the processor sufficient to allow the processor to process cache messages, such as coherency messages, but not execute other normal operations or perform normal operations at a very low speed relative to their performance in the active mode.

七、申請專利範圍：

1. 一種方法，包括：

在第一期間提供第一操作電壓給處理器；

在該第一期間於該處理器執行指令；

回應於在該第一期間接收模式改變指標，於第二期間提供保持電壓給該處理器，其中該處理器在該第二期間係處於保持狀態中，且其中該保持電壓係較低於該第一操作電壓；

回應於在該第二期間接收第一快取訊息，於第三期間提供第二操作電壓給該處理器，該第二操作電壓係較低於該第一操作電壓而較大於該保持電壓；以及於該第三期間處理該第一快取訊息。

2. 如申請專利範圍第 1 項之方法，其中，該快取訊息為快取一致性訊息。

3. 如申請專利範圍第 1 項之方法，復包括回應於完成該快取訊息之處理，於第四期間提供該保持電壓給該處理器。

4. 如申請專利範圍第 3 項之方法，復包括：

於該第四期間接收第二快取訊息；以及

回應於接收該第二快取訊息，於第五期間提供該第二操作電壓。

5. 如申請專利範圍第 1 項之方法，復包括：

於該第一期間提供具有第一頻率之時脈信號給該處理器；以及

於該第三期間提供具有第二頻率之時脈信號給該處理器。

6. 如申請專利範圍第5項之方法，復包括根據所接收的快取訊息的數量，決定該第二頻率。

7. 如申請專利範圍第6項之方法，其中，決定該第二頻率的步驟包括根據於第一時間期間所接收的快取訊息的數量，決定該第二頻率。

8. 如申請專利範圍第7項之方法，其中，該第一時間期間係可程式化的。

9. 一種方法，包括：

於第一期間提供保持電壓給處理器，其中該處理器於該第一期間處於保持狀態；

於該第一期間接收第一快取訊息；

回應於接收該第一快取訊息，於第二期間提供第一操作電壓，該第一操作電壓大於該保持電壓；

於該第二期間處理該第一快取訊息；

回應於完成該第一快取訊息之處理，於第三期間提供該保持電壓給該處理器；

於該第三期間接收第一模式改變指標；以及

回應於接收該第一模式改變指標，於第四期間提供第二操作電壓給該處理器，該第二操作電壓大於該第一操作電壓。

10. 如申請專利範圍第9項之方法，復包括：

於該第四期間接收第二模式改變指標；以及

回應於接收該第二模式改變指標，於第五期間提供該保持電壓給該處理器。

11. 如申請專利範圍第 10 項之方法，復包括：

於該第五期間接收第二快取訊息；以及

回應於接收該第二快取訊息，於第六期間提供該第一操作電壓給該處理器。

12. 如申請專利範圍第 11 項之方法，復包括：

於該第六期間處理該第二快取訊息；以及

回應於處理該第二快取訊息之處理，於第七期間提供該保持電壓給該處理器。

13. 如申請專利範圍第 9 項之方法，復包括：

於該第一期間提供具有第一頻率之時脈信號給該處理器；以及

於該第四期間提供具有第二頻率之時脈信號給該處理器。

14. 如申請專利範圍第 13 項之方法，其中，提供處在該第一頻率之該時脈信號包括：

於第一時間期間決定所接收之快取訊息數量；

根據該所接收之快取訊息數量，設定該第一頻率。

15. 如申請專利範圍第 14 項之方法，其中，該第一時間期間係可程式化的。

16. 如申請專利範圍第 9 項之方法，其中，該第一快取訊

息為快取一致性訊息。

17. 一種裝置，包括：

處理器，包括處理器核心與快取；

模式控制模組，組構以控制該處理器的操作模式；

電壓調整器，組構以：

回應於指示該處理器之主動模式的該模式控制模組，將該處理器的操作電壓設定至第一電壓；

回應於指示該處理器之低處理模式的該模式控制模組，將該處理器的操作電壓設定至較低於該第一電壓之第二電壓，其中該處理器能以該低處理模式處理快取訊息；以及

回應於指示該處理器處於保持模式中的該模式控制模組，將該操作電壓設定至第三電壓，該第三電壓低於該第二電壓。

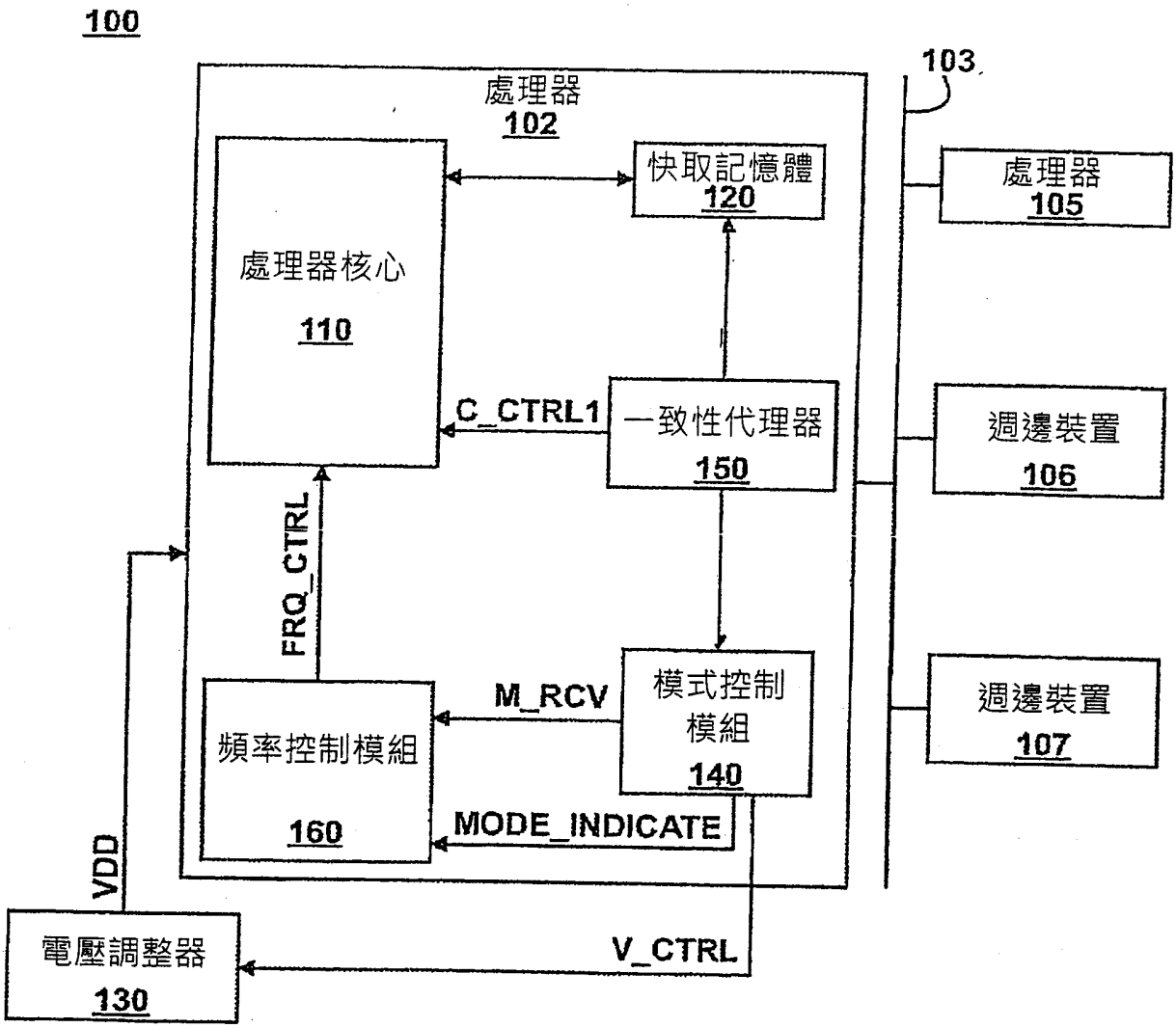
18. 如申請專利範圍第 17 項之裝置，其中，該模式控制模組係組構以回應於在該處理器處於該保持模式時該處理器接收快取訊息，將該操作模式設定至該低處理模式。

19. 如申請專利範圍第 18 項之裝置，其中，該模式控制模組係組構以回應於該處理器完成該快取訊息之處理，將該操作模式設定至該保持模式。

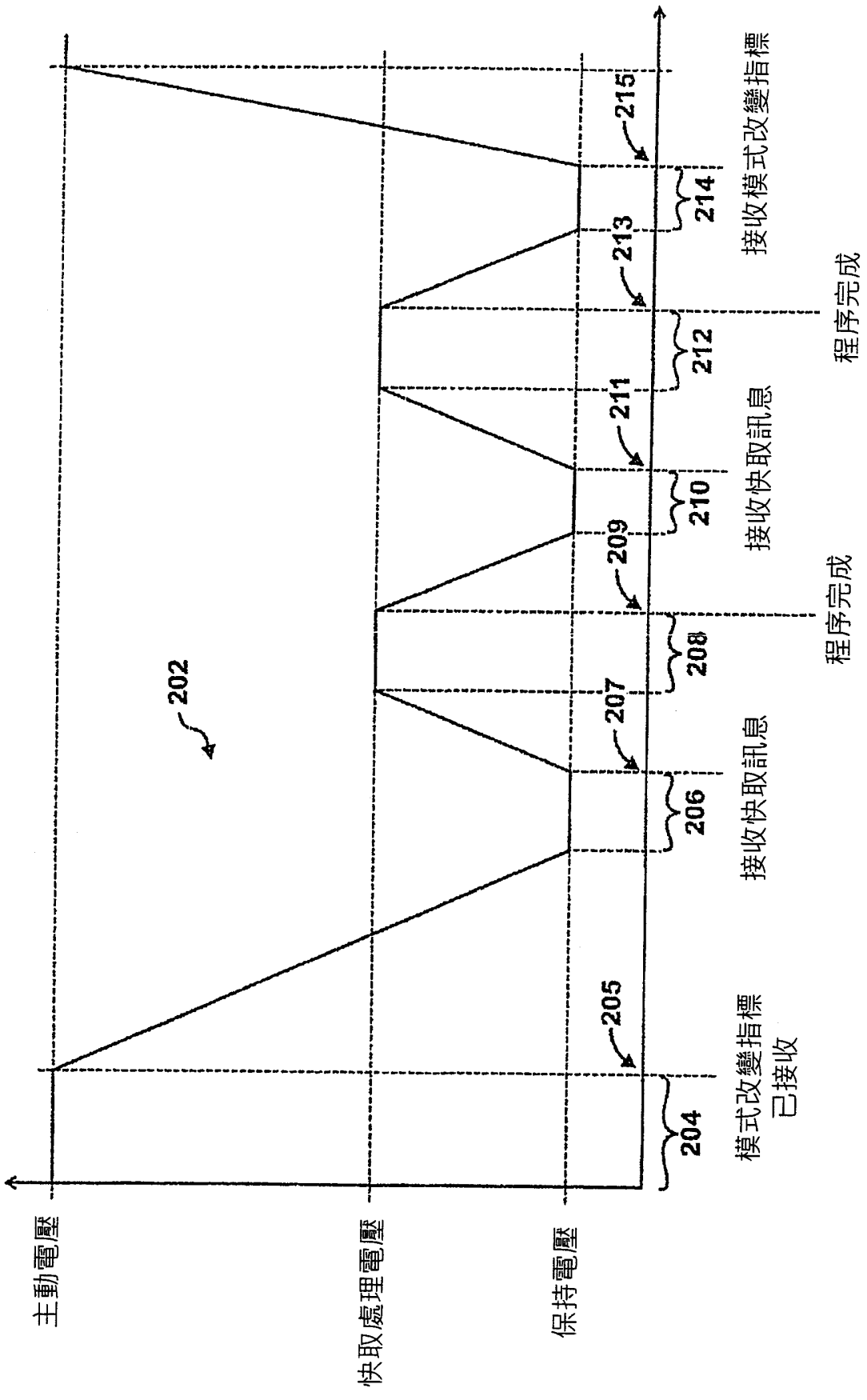
20. 如申請專利範圍第 17 項之裝置，復包括頻率控制模組，該頻率控制模組係組構以根據該操作模式來設定

該處理器的時脈頻率。

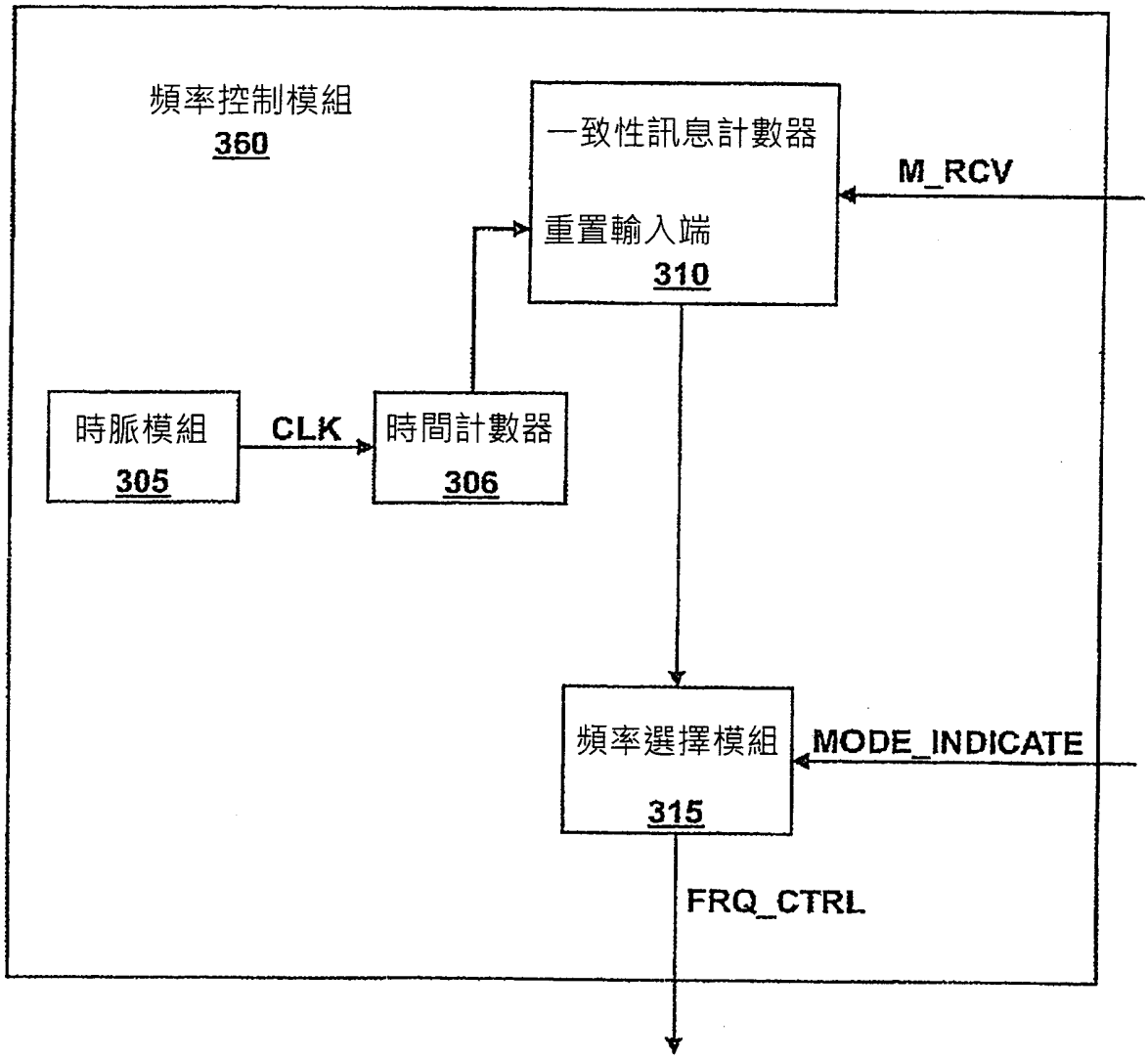
八、圖式：


100
處理器
102
處理器核心
110
快取記憶體
120
C_CTRL1
一致性代理器
150
FRQ_CTRL
頻率控制模組
160
M_RCV
模式控制
模組
140
MODE_INDICATE
VDD
電壓調整器
130
V_CTRL
103
處理器
105
週邊裝置
106
週邊裝置
107

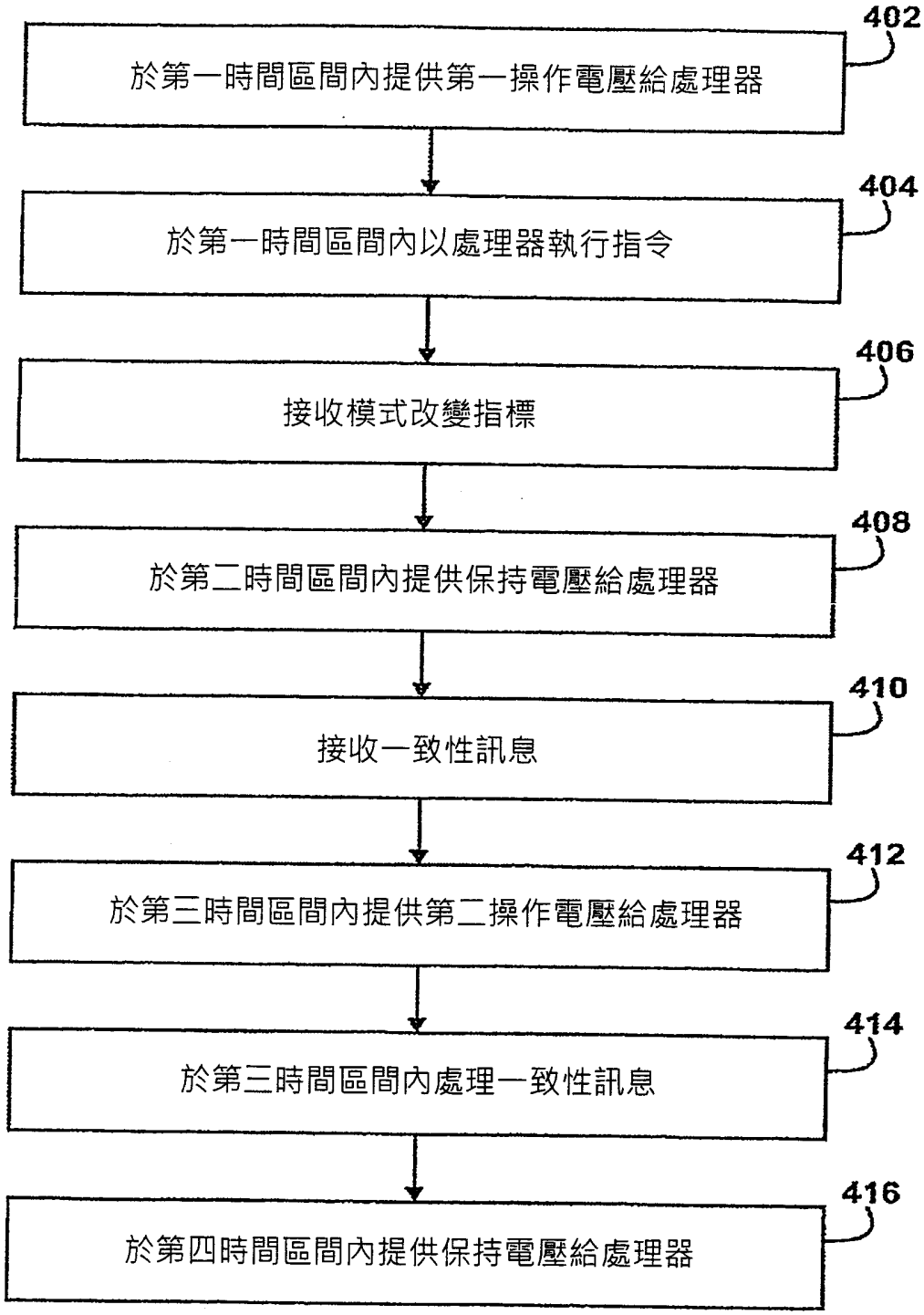
第 1 圖


主動電壓
快取處理電壓
保持電壓
202
204
205
206
207
208
209
210
211
212
213
214
215
模式改變指標
已接收
接收快取訊息
程序完成
接收快取訊息
程序完成
接收模式改變指標

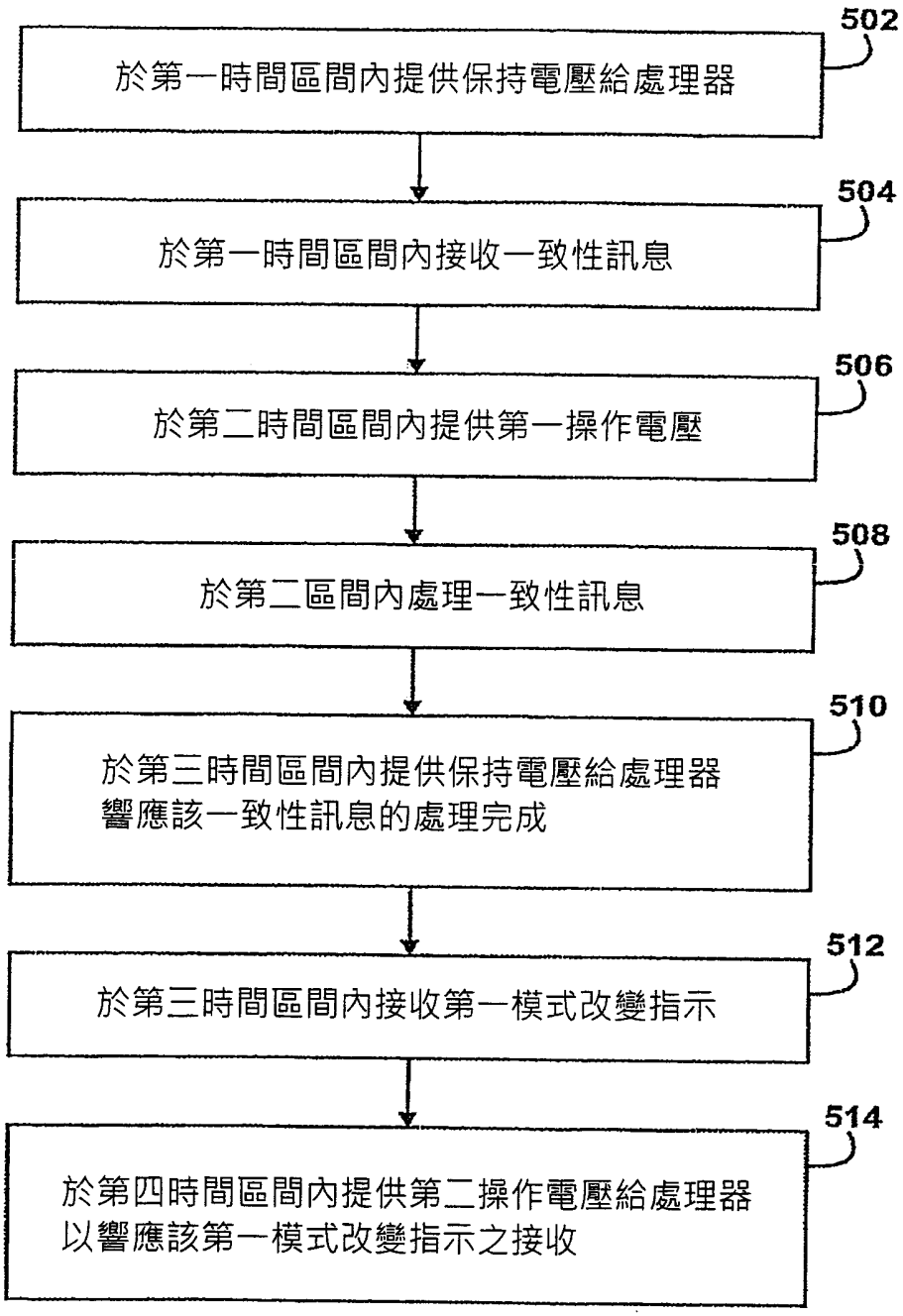
第 2 圖


頻率控制模組
360
一致性訊息計數器
重置輸入端
310
M_RCV
時脈模組
305
CLK
時間計數器
306
頻率選擇模組
315
MODE_INDICATE
FRQ_CTRL

第 3 圖


402
於第一時間區間內提供第一操作電壓給處理器
404
於第一時間區間內以處理器執行指令
406
接收模式改變指標
408
於第二時間區間內提供保持電壓給處理器
410
接收一致性訊息
412
於第三時間區間內提供第二操作電壓給處理器
414
於第三時間區間內處理一致性訊息
416
於第四時間區間內提供保持電壓給處理器

第 4 圖


502
於第一時間區間內提供保持電壓給處理器
504
於第一時間區間內接收一致性訊息
506
於第二時間區間內提供第一操作電壓
508
於第二區間內處理一致性訊息
510
於第三時間區間內提供保持電壓給處理器
響應該一致性訊息的處理完成
512
於第三時間區間內接收第一模式改變指示
514
於第四時間區間內提供第二操作電壓給處理器
以響應該第一模式改變指示之接收

第 5 圖

四、指定代表圖：

(一)本案指定代表圖為：第（ 1 ）圖。

(二)本代表圖之元件符號簡單說明：

100	系統	102	處理器
103	匯流排	105	處理器
106	週邊裝置	107	週邊裝置
110	處理器核心	120	快取
130	電壓調整器	140	模式控制模組
150	一致性代理器	160	頻率控制模組

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無化學式。