410341

申請日期	84.12.30
案號	84114163
類別	G11C 11/409

（以上各欄由本局填註）

公告本 A4 C4

410341

發明 新型 專利說明書

一、發明新型名稱	中文	同步型半導體記憶裝置(四)
	英文	
二、發明創作人	姓名	澤田　誠二
	國籍	日　本
	住、居所	東京都千代田區丸之內二丁目二番三號
三、申請人	姓名（名稱）	三菱電機股份有限公司
	國籍	日　本
	住、居所（事務所）	東京都千代田區丸之內二丁目二番三號
	代表人姓名	北岡　隆

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

（由本局填寫）

承辦人代碼：	
大　　類：	
ＩＰＣ分類：	

A6
B6

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有　□無主張優先權
日本	1995/12/25	7-336784	

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 1 ）

本發明係有關於同步型半導體記憶裝置，特別有關於控制內部資料之輸出入動作之部份的構造。

第 10 圖係顯示習知同步型半導體記憶裝置之全體構造的概略圖。在第 10 圖中，同步型半導體記憶裝置係包括具有配列成行列狀之複數動態型記憶單元(memory cell)的記憶行列(array)1。雖然包含於此記憶行列 1 之記憶單元的構造未圖示，但是通常使用 1 電晶體/1 電容器型的記憶單元。

又同步型半導體記憶裝置包括：輸入緩衝器電路 2，與由外部所反覆給予的時鐘信號 CLK 同步而取入由外部所給予的控制信號，亦即列位址閃控信號(row address strobe)ZRAS、行位址閃控信號(column address strobe)ZCAS 和寫入促成(enable)信號 ZWE，進而產生內部控制信號；命令解碼器 4，判斷由此輸入緩衝器電路 2 所給予之內部控制信號的狀態，而產生使被指定的內部動作活性化(activate)用的信號；讀取控制電路 6，回應來自命令解碼器 4 的讀取指示信號 R 而被活性化，進而產生使讀取記憶行列 1 之被選擇之記憶單元之資料的動作活性化的讀取動作活性化信號 REAS；以及寫入控制電路 8，回應由命令解碼器 4 所給予的寫入指示信號 W 而被活性化，進而產生使對記憶行列 1 之被選擇的記憶單元寫入資料的動作活性化的寫入動作活性化信號 WRITE。

輸入緩衝器電路 2 係與時鐘信號 CLK 的上升同步而取入由外部所給予的控制信號 ZRAS、ZCAS 和 ZWE，並依

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 2 ）

據此外部控制信號的狀態而產生單發(one-shot)之脈波信號之形態的內部控制信號。命令解碼器 4 係將來自此輸入緩衝器電路 2 之單發之脈波的形態所給予的內部控制信號予以解碼，而判斷被指定的內部動作。亦即，於同步型半導體記憶裝置中，在此同步型半導體記憶裝置內所應實施的動作係藉由在外部控制信號之時鐘信號 CLK 之上升時之狀態的配合而被指定。此處，時鐘信號 CLK 可以是由外部所給予的時鐘信號，亦可以是將此由外部所給予的時鐘信號予以緩衝器處理的內部時鐘信號。

又同步型半導體記憶裝置包括：位址緩衝器 18，與時鐘信號 CLK 同步而取入由外部所給予的位址信號 AD，進而產生內部位址信號；單元(cell)選擇電路 20，回應來自命令解碼器 4 的單元選擇動作活性化信號而被活性化，並依據位址緩衝器 18 所給予的內部位址信號而選擇記憶行列 1 之對應的記憶單元；寫入電路 10，回應來自寫入控制電路 8 的寫入動作活性化信號 WRITE 而被活性化，進而將來自輸入緩衝器電路 14 所給予的內部寫入資料依序寫入至記憶行列 1 之被選擇的記憶單元；以及讀取電路 12，回應來自讀取控制電路 6 的讀取動作活性化信號 READ 而被活性化，進而依序讀取記憶行列 1 之被選擇之記憶單元的資料，以供給輸出緩衝器電路 16。通常，寫入電路 10 及讀取電路 12 係分別具有複數個暫存器，並與時鐘信號同步而傳送儲存於此等暫存器的資料。於此寫入電路 10 和讀取電路 12 之資料的傳送順序(sequence)存在有多種，而在

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 3 ）

此處，僅說明寫入電路 10 和讀取電路 12 係於活性化時與時鐘信號同步而以既定的順序來施行資料的寫入或讀取。

輸入緩衝器電路 14 係與時鐘信號 CLK 同步動作，而取入給予至資料輸出入端子 21 的外部寫入資料 DQ(D)，進而送給至寫入電路 10 。輸出緩衝器電路 16 係回應由輸出控制電路 22 所給予的資料輸出促成信號 OEM 而被活性化，進而將由讀取電路 12 所給予之與時鐘信號 CLK 同步的內部讀取資料予以緩衝器處理而傳送至資料輸出入端子 21 。

輸出控制電路 22 係使由讀取控制電路 6 所給予的讀取動作活性化信號 READ 延遲既定期間 (CAS 延遲 (latency))，而產生資料輸出促成信號 OEM 。 CAS 延遲係表示給予讀取命令(外部控制信號 ZRAS 、 ZCAS 和 ZWE 指定資料讀出動作之狀態的組)後至於資料輸出入端子 2) 出現有效資料 DQ(Q)爲止所需要之時鐘信號的週期數。亦即，於給予讀取命令後經過 CAS 延遲後，有效資料出現於資料輸出入端子 21 。

在此同步型半導體記憶裝置中，與由外部週期地反覆所給予的時鐘信號 CLK 同步而讀取由所給予的控制信號 ZRAS 、 ZCAS 和 ZWE ，進而指定此內部動作。又位址信號 AD 亦與時鐘信號 CLK 同步而被取入。內部動作定時 (timing)係藉由時鐘信號 CLK 而被決定，且資料輸出入亦與時鐘信號 CLK 同步而被施行。因此，不需要考慮因外部控制信號 ZRAS 、 ZCAS 和 WE 以及位址信號 AD 之歪斜

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 4 ）

(skew)所需的定時餘裕(timing margin)(此等信號的確定定時係於時鐘信號 CLK 的上升時被決定)，而能夠以快速的定時來開始內部動作。又由於資料亦與時鐘信號CLK同步而被輸出入，故能夠以高速來施行資料的輸入。

第 11 圖係顯示第 10 圖所示之讀取控制電路 6 之一例的構造圖。在第 11 圖中，讀取控制電路 6 包括：訊衝(burst)長度計數器電路 6a ，回應由第 10 圖所示之命令解碼器 4 所給予的內部讀取指示信號 R 而被活性化，進而將時鐘信號 CLK 予以計數既定數(訊衝長度)；以及正反器 6b，回應內部讀取指示信號 R 的活性化而被設定(set)，並回應來自訊衝長度計數器電路6a之合計(count up)信號的重置(reset)信號 RST(R)而被重置。由此正反器 6b 輸出讀取動作活性化信號 READ。於訊衝長度計數器電路 6a 被計數的訊衝長度係顯示於資料讀取時而於給予一次的讀取命令時能夠連續讀取的資料數。

正反器 6b 包括：反相器 6ba，接收讀取指示信號 R ；反相器 6bb，接收寫入指示信號 W ； NAND 電路 6bc，於一輸入端接收反相器 6ba 的輸出信號；以及 NAND 電路 6bd，接收 NAND 電路 6bc 的輸出信號、反相器 6bb 的輸出信號及從訊衝長度計數器電路6a經由反相器 6be 所給予的重置(reset)信號 RST(R)。 NAND 電路 6bd 的輸出信號係送給 NAND 電路 6bc 的另一輸出端。

寫入指示信號係於時鐘信號 CLK 上升時使外部控制信號 ZRAS 、 ZCAS 和 ZWE 設定成既定狀態，而於資料寫

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 5 ）

入動作被指定時，由命令解碼器 4 產生(成爲活性(active)狀態)。由 NAND 電路 6bc 輸出讀取動作活性化信號 READ。此讀取控制電路 6 係於讀取指示信號 R 的活性化被設定，而於來自訊衝長度計數器電路 6a 之重置信號 RST(R)的活性化時被重置。因此，讀取動作活性化信號 READ 的活性化期間係藉由訊衝長度計數器電路 6a 計數的訊衝長度而被決定。

第 12 圖係顯示第 10 圖所示寫入控制電路 8 之一例的構造圖。在第 12 圖中，寫入控制電路 8 包括：訊衝長度計數器電路 8a，於寫入指示信號 W 的活性化時被起動，而計數訊衝長度；以及正反器 8b，於寫入指示信號 W 的活性化時被設定，且於來自訊衝長度計數器電路 8a 的重置信號 RST(W)的活性化時被重置。由此正反器 8b 輸出內部讀取動作活性化信號 WRITE。

正反器 8b 包括：反相器 8ba，接收寫入指示信號 W；反相器 8bb，接收讀取指示信號 R；NAND 電路 8bc，於一輸入端接收反相器 8ba 的輸出信號，而輸出寫入動作活性化信號 WRITE；以及 NAND 電路 8bd，接收 NAND 電路 8bc 的輸出信號、反相器 8bb 的輸出信號及從訊衝長度計數器電路 8a 經由反相器 8be 所給予的重置信號 RST(W)。此反相器 8ba 的輸出信號係送給 NAND 電路 8bc 的另一輸入端。訊衝長度計數器電路 8a 係計數於資料寫入動作時的訊衝長度。其次，參照第 13 圖的時序圖來說明此第 11 圖和第 12 圖所示讀取控制電路 6 和寫入控制電路 8

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 6 ）

的動作。此處，訊衝長度係讀取和寫入均假定爲 4 。

於時鐘週期#0 的期間，已經給予活性(active)命令(記憶單元選擇動作開始指示信號)，而於同步型半導體記憶裝置中，單元選擇電路 20 成爲活性狀態，進而於記憶行列 1 中使記憶單元成爲選擇狀態。

於時鐘週期#1，給予寫入命令，而使來自命令解碼器 4 的寫入指示信號 W 於既定時期成爲活性狀態。回應此寫入指示信號 W 的活性化，而設定正反器 8b，進而使寫入動作活性化信號 WRITE 成爲 H 位準的活性狀態。此時，又訊衝長度計數器電路 8a 亦被起動，而開始時鐘信號 CLK 的計數動作。依據此寫入命令，而包含於單元選擇電路 20 的行選擇電路選擇記憶單元的行。輸入緩衝器電路 14 取入送給資料輸出入端子 21 的外部寫入資料 DQ(D0)，而送給寫入電路 10 。寫入電路 10 係回應寫入動作活性化信號 WRITE 而被活性化，進而將由此輸入緩衝器電路 14 所給予的寫入資料寫入至記憶行列 1 之被選擇的記憶單元。於此寫入動作活性化信號 WRITE 之活性狀態之間，寫入電路 10 係將由輸入緩衝器電路 14 所給予之與時鐘信號 CLK 同步的寫入資料依序寫入至記憶行列 1 之被選擇的記憶單元。

於時鐘週期#5，使來自訊衝長度計數器電路 8a 的重置信號 RST(W)成爲 H 位準的活性狀態，而將寫入動作活性化信號 WRITE 重置成 L 位準。於時鐘週期#5，由於未給予來自外部的寫入資料，故輸入緩衝器電路 14 即使與時

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 7 ）

鐘信號 CLK 動作，亦禁止此寫入電路 10 的寫入動作，而防止不確定資料的寫入。亦即，於資料寫入週期，各晚 1 時鐘週期，而在內部，寫入電路 10 將由輸入緩衝器電路 14 所給予的資料寫入至記憶行列 1 的選擇記憶單元。

於時鐘週期#7，若給予讀取命令，則使來自命令解碼器 4 的內部讀取指示信號 R 於既定期間成爲 H 位準的活性狀態，據此而設定正反器 6b，進而使讀取動作活性化信號 READ 成爲 H 位準的活性狀態。回應此讀取動作活性化信號 READ 的活性化，而施行於記憶行列 1 之記憶單元的選擇動作，進而藉由讀取電路 12 來讀取此被選擇之記憶單元的資料。輸出控制電路 22 係使此讀取動作活性化信號 READ 延遲既定期間(CAS 延遲－1 時鐘週期)，進而使資料輸出促成信號 OEM 成爲 H 位準的活性狀態。輸出緩衝器電路 16 係回應此資料輸出促成信號 OEM 的活性化而被活性化，進而將由讀取電路 12 依序被讀取的資料傳送至資料輸出入端子 21。因此，由時鐘週期#9，依序讀取資料 Q0、Q1、Q2 和 Q3。訊衝長度計數器電路 6a 係於將時鐘信號 CLK 計數 4 後，於時鐘週期#11，使重置信號 RST(R)成爲 H 位準的活性狀態。藉此，使讀取電路 12 成爲非活性狀態。此時，又資料輸出促成信號 OEM 係處於 H 位準的活性狀態，而於時鐘週期#12，藉由輸出緩衝器電路 16 而將資料 Q3 輸出至資料輸出入端子 21。於此資料 Q3 的讀取後，於時鐘週期#12，使資料輸出促成信號 OEM 成爲非活性狀態。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 8 ）

於此資料讀取時，從給予讀取命令後至有效資料最初被輸出爲止的期間，亦即從時鐘週期#7至時鐘週期#9爲止的期間被稱爲CAS延遲。

藉由上述的動作，而能夠與時鐘信號CLK同步來連續地輸出入4個資料(訊衝長度4)。

如第11圖和第12圖所示，讀取控制電路6和寫入控制電路8分別設有訊衝長度計數器電路。藉由重置信號RST(R)加上內部寫入指示信號W來施行讀取控制電路6之正反器6b的重置係依據以下的理由。給予讀取命令後，而訊衝長度計數器電路6a計數訊衝長度結束前，若給予寫入命令而施行資料寫入動作，則使讀取電路12成爲非活性狀態，以停止資料讀取動作。又如第12圖所示，藉由重置信號RST(W)加上讀取指示信號R來施行正反器8b的重置係依據以下的理由。亦即，於給予寫入命令而訊衝長度計數器電路8計數訊衝長度結束前，於重新給予讀取命令時，使此寫入電路10成爲非活性狀態，以結束資料寫入動作。於此種訊衝長度的資料全部被輸出入之前給予指定不同存取模式(access mode)之命令的動作被稱爲「中斷(interrupt)」。

除了此種狀況以外，亦有於讀取動作時的訊衝長度和於寫入動作時之訊衝長度不同的場合，爲了能夠應付此種狀況，亦可分別設有資料讀取動作的控制系統和資料寫入動作的控制系統。

然而，如第11圖和第12圖所示，讀取控制電路6和

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 9）

寫入控制電路8具備有訊衝長度計數器電路6a和訊衝長度計數器電路8a。此訊衝長度計數器電路6a和8a通常由與時鐘信號CLK同步而使讀取指示信號R或W移位(shift)的時鐘移位電路所構成，其佔有的面積較大。因此，若讀取控制電路6和寫入控制電路8分別設有訊衝長度計數器電路6a和8a，則控制資料輸出入動作之部份的佔有面積變大，而對於高度積體化之佔有面積小之同步型半導體記憶裝置的實現造成莫大的障礙。

因此，本發明之目的係提供具備有佔有面積小之控制內部資料寫入/讀取動作之部份的同步型半導體記憶裝置。

依據申請專利範圍第1項的同步型半導體記憶裝置，其包括：讀取指示信號產生裝置，回應由外部所給予的讀取指示信號，而與上述時鐘信號同步地產生內部讀取指示信號；寫入指示信號產生裝置，回應由外部所給予的寫入指示信號，而與上述時鐘信號同步地產生內部寫入指示信號；讀取活性化裝置，回應上述內部讀取指示信號，而使內部讀取動作活性化信號活性化；寫入活性化裝置，回應上述內部寫入指示信號，而使內部寫入動作活性化信號活性化；以及重置裝置，連接成共同接收上述內部讀取指示信號和上述內部寫入指示信號，並回應上述內部讀取指示信號和上述內部寫入指示信號之一者的活性化而被活性化，進而計數上述時鐘信號，若該計數值達到既定值，則將重置信號送給上述讀取活性化裝置和上述寫入活性化裝

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（10）

置，俾使上述讀取活性化裝置和上述寫入活性化裝置成爲非活性狀態。

依據申請專利範圍第2項的同步型半導體記憶裝置，申請專利範圍第1項的重置裝置係將表示與上述時鐘信號同步而能夠連續輸出入之資料之數的訊衝長度予以計數的訊衝長度計數器。

依據申請專利範圍第3項的同步型半導體記憶裝置，於申請專利範圍第1或2項的裝置中，既定的計數值係對上述內部讀取動作活性化信號和上述內部寫入動作活性化信號兩者而共同地被決定。

依據申請專利範圍第4項的同步型半導體記憶裝置，於在申請專利範圍第1或2項的裝置中，上述重置裝置包括將對於上述內部寫入動作活性化信號之第一既定值予以設定的寫入訊衝長度設定裝置以及對於上述內部讀取動作活性化信號之第二既定值予以設定的讀取訊衝長度設定裝置；且上述重置裝置包括回應上述內部寫入指示信號的活性化而使上述第一既定值有效且回應上述內部讀取指示信號的活性化而使上述第二既定值有效的裝置。

依據申請專利範圍第5項的同步型半導體記憶裝置，申請專利範圍第4項的上述重置裝置包括：邏輯閘，取上述內部讀取指示信號與上述內部寫入指示信號的邏輯和；時鐘移位電路，與上述時鐘信號同步而將上述邏輯閘的輸出信號予以移位；第一連接裝置，回應上述內部寫入指示信號的活性化，而將對應於上述時鐘移位電路之上述第一

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（11）

既定值的輸出節點連接至上述重置輸出端子；以及　第二連接裝置，回應上述內部讀取指示信號的活性化，而將對應於上述時鐘移位電路之上述第二既定值的輸出節點連接至上述重置輸出端子；且由上述重置輸出端子輸出用以將上述內部讀取動作活性化信號和上述寫入動作活性化信號予以重置的信號。

藉由於內部讀取動作和內部寫入動作兩者共同地設有重置裝置，而能減少內部之資料寫入/讀取控制部的構造元件數，進而能減少電路佔有面積。

[實施的形態 1]

第 1 圖係顯示依據本發明之實施之形態 1 之同步型半導體記憶裝置之重要部份的構造圖。在第 1 圖中，僅顯示內部資料寫入/讀取控制部的構造。而其他構造係與第 10 圖所示的構造相同。

在第 1 圖中，同步型半導體記憶裝置包括：輸入緩衝器電路 2，與時鐘信號 CLK 同步而取入外部控制信號 ZRAS、ZCAS 和 ZWE，進而產生內部控制信號；命令解碼器 4，將此輸入緩衝器電路 2 之輸出的內部控制信號予以解碼；訊衝長度計數器 30，回應來自命令解碼器 4 之內部讀取指示信號 R 和內部寫入指示信號 W 之一者的活性化而被起動，進而計數時鐘信號 CLK；讀取控制正反器電路 32，回應來自命令解碼器 4 之讀取指示信號 R 的活性化而被設定，並回應由內部寫入指示信號 W 或訊衝長度計數器 30 所輸出之重置信號 RST 之一者的活性化而被重置；以及

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（12）

寫入控制正反器電路34，回應來自命令解碼器4之內部寫入指示信號W的活性化而被設定，並回應來自訊衝長度計數器30的重置信號RST或來自命令解碼器4的內部讀取指示信號R的活性化而被重置。由讀取控制正反器電路32輸出內部讀取動作活性化信號READ，而送給未圖示的讀取控制電路。由寫入控制正反器電路34輸出內部寫入動作活性化信號WRITE，而送給未圖示的寫入控制電路。

如第1圖所示，藉由於內部資料讀取動作和內部資料寫入動作，共同地設置訊衝長度計數器30，故藉由一個訊衝長度計數器30，而能夠施行內部讀取動作控制和內部資料寫入控制兩者，進而能夠減少佔有面積。

第2圖係顯示第1圖所示之輸入緩衝器電路2之一例的構造圖。在第2圖中，顯示接受外部控制信號的列位址閃控信號ZRAS的RAS緩衝器的部份。而對於外部控制信號ZCAS和ZWE，亦設有與此第2圖所示之構造相同的緩衝器電路。

在第2圖中，RAS緩衝器包括：反相器2a，接收外部控制信號ZRAS；NAND閘2b，接收時鐘信號CLK和反相器2a的輸出信號；脈波產生電路2c，回應NAND閘2b之輸出信號的下降，而產生單發的脈波信號；以及反相器2d，接收脈波產生電路2c的輸出信號。由脈波產生電路2c輸出內部控制信號RAS0，並由反相器2d輸出內部控制信號ZRAS0。

在第2圖所示的構造中，於時鐘信號CLK的上升時，

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（13）

且外部列位址閃控信號ZRAS被設定成L位準時，使NAND電路2b的輸出信號成爲L位準，而由脈波產生電路2c輸出單發之H位準的脈波信號。於時鐘信號CLK上升時，且外部列位址閃控信號ZRAS爲H位準時，NAND電路2b的輸出信號成爲H位準，而脈波產生電路2c輸出信號保持於L位準。因此，外部列位址閃控信號ZRAS於時鐘信號CLK的上升時爲L位準時內部控制信號RAS0於既定期間成爲H位準，而內部控制信號ZRAS0於既定期間成爲L位準。若外部列位址閃控信號ZRAS於時鐘信號CLK的上升時爲H位準，則內部控制信號RAS0爲L位準，而內部控制信號ZRAS0保持於H位準。

第3圖(A)和(B)係分別顯示包含於第1圖所示之命令解碼器4之讀取命令解碼器電路和寫入命令解碼器的構成圖。第3圖(A)中，讀取命令解碼器電路4r係由接收輸入緩衝器電路2所給予的內部控制信號ZRAS0、CAS0和ZWE0的NAND電路所構成。內部讀取指示信號R係於內部控制信號ZRAS0、CAS0和ZWE0均爲H位準時成爲H位準的活性狀態。亦即，在外部控制信號ZRAS和ZWE於時鐘信號CLK的上升時保持於H位準，而外部列位址閃控信號ZCAS於時鐘信號CLK的上升時被設定成L位準時，給予表示資料讀取動作的讀取命令。

在第3圖(B)中，寫入命令解碼器電路4W係由接收來自輸入緩衝器電路2所給予的內部控制信號ZRAS0、CAS0和WE0的NAND電路所構成。內部寫入指示信號W

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（14）

係於內部控制信號ZRAS0、CAS0和WE0均爲H位準時成爲H位準的活性狀態。亦即，若於時鐘信號CLK的上升時，外部列位址閃控信號ZRAS被設定成H位準，而剩餘的外部控制信號ZCAS和ZWE均被設定成L位準，則給予表示資料寫入動作的寫入命令。

藉由將外部列位址閃控信號ZCAS設定成L位準，而給予此讀取命令和寫入命令，因此，於給予此寫入命令和讀取命令時，在同步型半導體記憶裝置內部，實施行選擇動作，接著實施對於此被選擇之行上的記憶單元之資料的寫入或讀取。指示記憶行列之記憶單元之選擇動作開始的活性命令係藉由未圖示的活性命令解碼器電路而被檢測出。於此活性命令的場合，外部列位址閃控信號ZRAS於時鐘信號CLK的上升時被設定成L位準，而指示內部動作開始。

第4圖係具體顯示第1圖所示訊衝長度計數器30、讀取控制正反器電路32和寫入控制正反器電路34的構造圖。在第4圖中，訊衝長度計數器30包括：OR電路30a，接收內部讀取指示信號R和內部寫入指示信號W；以及訊衝長度計數器電路30b，回應OR電路30a之輸出信號的活性化而被起動，而計數預先設定的訊衝長度。此訊衝長度計數器電路30b係於活性化時將時鐘信號CLK予以計數訊衝長度所定的數目時，使重置信號RST成爲H位準的活性狀態。

讀取控制正反器電路32包括：反相器32a，接收內部

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（15）

讀取指示信號R；反相器32b，接收內部寫入指示信號W；反相器32c，接收來自訊衝長度計數器30的重置信號RST；NAND電路32d，於一輸入端接收反相器32a的輸入信號；以及NAND電路32e接收NAND電路32d的輸出信號、反相器32b的輸出信號和反相器32c的輸出信號。NAND電路32e的輸出信號送給NAND電路32d的另一輸入端。由NAND電路32d輸出內部讀取動作活性化信號READ。

寫入控制正反器電路34包括：反相器34a，接收內部寫入指示信號W；反相器34b，接收內部讀取指示信號R；反相器34c，接收重置信號RST；NAND電路34d，於一輸入端接收反相器34a的輸出信號；以及NAND電路34e，接收NAND電路34d的輸出信號、反相器34b的輸出信號和反相器34c的輸出信號。NAND電路34e的輸出信號送給NAND電路34d的另一輸入端。由NAND電路34d輸出內部寫入動作活性化信號WRITE。接著，參照第5圖的時序圖來說明此第4圖所示之構造的動作。

於時鐘週期#0以前的時鐘週期，給予活性命令，而使同步型半導體記憶裝置成爲活性狀態，進而開始記憶單元的選擇動作。

於時鐘週期#1，給予寫入命令，而使來自第3圖(B)所示之寫入命令解碼器電路4W的內部寫入指示信號W於既定期間成爲H位準的活性狀態。接著，回應此內部寫入指示信號W的活性化，而於寫入控制正反器電路34中，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（16）

反相器34a的輸出信號成爲L位準，進而使由NAND電路34d所輸出的內部寫入動作活性化信號WRITE成爲H位準的活性狀態(寫入控制正反器電路34被設定)。又於訊衝長度計數器30中，回應此寫入指示信號W的活性化，而使OR電路30a的輸出信號成爲H位準，進而起動訊衝長度計數器電路30b，以計數時鐘信號CLK。送給未圖示之資料輸入緩衝器電路的寫入資料D0係藉由輸入緩衝器而被送給寫入電路。藉由回應此寫入動作活性化信號WRITE而成爲活性狀態的寫入電路，而以既定的順序將經過時鐘週期#1～#4依序被給予的寫入資料D0、D1、D2和D3分別寫入至記憶行列之被選擇的記憶單元。於此，如先前所述，於給予寫入信號時，在記憶行列中，由依據活性命令而被選擇的記憶單元中選擇對應之記憶單元的行選擇動作係同時進行。

若訊衝長度計數器電路30b計數訊衝長度(在第5圖的構造爲4)，則於時鐘週期#5，重置信號RST成爲H位準的活性狀態，據此而寫入控制正反器電路34被重置，進而使內部寫入動作活性化信號WRITE成爲L位準的非活性狀態。亦即，反相器34c的輸出信號成爲L位準，而使NAND電路34e的輸出信號成爲H位準，進而使NAND電路34d的輸出信號WRITE成爲L位準(反相器34a的輸出信號已成爲H位準)。在內部，於寫入動作活性化信號WRITE的活性化時，與時鐘信號CLK的上升同步而實施對選擇記憶單元之資料的寫入，進而於時鐘週期#5之時鐘信號CLK

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（17）

的上升時，完成全部之寫入資料 D0～D3 的寫入。

於時鐘週期#7，給予讀取命令，而使來自第 3 圖(A)所示之讀取命令解碼器電路 4r 的內部讀取指示信號 R 於既定期間成爲 H 位準的活性狀態。藉此，而設定讀取控制正反器電路 32，進而使讀取動作活性化信號 READ 成爲 H 位準。亦即，反相器 32a 的輸出信號成爲 L 位準，而使由 NAND 電路 32d 所輸出的讀取動作活性化信號 READ 成爲 H 位準。又於訊衝長度計數器 30 中，OR 電路 30a 的輸出信號係回應此讀取指示信號 R 的活性化而成爲 H 位準，進而使訊衝長度計數器電路 30b 活性化，以開始時鐘信號 CLK 的計數動作。

回應此讀取動作活性化信號 READ 的活性化，而使未圖示的讀取電路活性化，進而讀取來自選擇記憶單元的資料。從經由既定的 CAS 延遲(在第 5 圖中 CAS 延遲爲 2)的時鐘週期#9，依序輸出讀取資料 Q0～Q3。

若訊衝長度計數電路 30 計數時鐘信號 CLK 相當於訊衝長度 4 次，則於時鐘週期#11，重置信號 RST 成爲 H 位準的活性狀態，而設定讀取控制正反器電路 32，進而使讀取動作活性化信號 READ 成爲 L 位準的活性狀態。亦即，反相器 32C 的輸出信號成爲 L 位準，而使 NAND 電路 32e 的輸出信號成爲 H 位準，進而使由 NAND 電路 32d 所輸出的讀取動作活性化信號 READ 成爲 L 位準。資料輸出緩衝器電路仍處於活性狀態，而於時鐘週期#12，若輸出資料 Q3，則完成讀取動作。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（18）

如上述，即使於內部資料寫入動作控制和內部資料讀取動作控制兩者，共同地設置訊衝長度計數器30，亦能夠與習知相同地依據內部讀取指示信號和內部寫入指示信號而正確地實施資料的讀取和寫入。特別藉由於資料寫入動作和資料讀取動作兩者共同地使用訊衝長度計數器30，而能夠減少此資料讀取和寫入控制部的佈局(layout)面積。

又於第4圖所示的構造中，將內部寫入指示信號W當作重置信號送給讀取控制正反器電路32者係爲了於資料讀取動作中給予寫入命令時完成讀取動作。又同樣地，將內部讀取指示信號R當作重置信號送給寫入控制正反器電路34者係爲了於資料寫入動作中訊衝長度之資料寫入完成前給予表示資料讀取動作的讀取命令時，完成資料寫入動作。

且在第4圖所示的構造中，藉由分別設於讀取控制正反器電路32和寫入控制正反器電路34的反相器32c和34c，而將來自訊衝長度計數器30的重置信號RST反相。此乃爲了使訊衝長度計數器30的輸出驅動力變小，而使輸出負載變小。然而，亦可以於將來自此訊衝長度計數器32的重置信號RST反相後，將被反相的重置信號送給讀取控制正反器電路32和寫入控制正反器電路34的重置輸入端。

如上述，依據本發明之實施的形態1，由於在資料讀取動作和資料寫入動作共有訊衝長度計數器，故能夠減少內部資料寫入/讀取控制部的佈局面積。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（19）

[實施的形態 2]

第 6 圖係顯示依據本發明之實施之形態 2 之同步型半導體記憶裝置之重要部份的構造圖。在第 6 圖中，顯示訊衝長度計數器 30 的構造。在第 6 圖中，訊衝長度計數器電路 30b 包含：反相器 IV，使 OR 電路 30a 的輸出信號 R/W 反相；時鐘移位電路 40，依據時鐘信號 CLK 和 ZCLK 而依序轉送 OR 電路 30a 的輸出信號 R/W 和反相器 IV 的輸出信號；輸出選擇電路 42，依據資料讀取用訊衝長度設定資料 BR 和資料寫入用訊衝長度設定資料 BW 而選擇此時鐘移位電路 40 的輸出；三狀態反相器緩衝器 43W，於寫入動作活性化信號 WRITE 的活性化時被活性化，而將輸出選擇電路 42 所選擇的信號反相，進而產生重置信號 RST；以及三狀態反相器緩衝器 43r，於讀取動作活性化信號 READ 的活性化時被活性化，而將輸出選擇電路 42 所給予的信號反相，進而輸出重置信號 RST。三狀態反相器緩衝器 43w 和 43r 的輸出部被連接至信號線 44。此信號線 44 被連接至先前之實施之形態 1 所示之讀取控制正反器電路 32 和寫入控制正反器電路 34 的重置輸入端。

時鐘移位電路 40 包括 n 個串接的正反器 FF1 ～ FFn。奇數級的正反器 FF1、FF3、… FFn-1 係與時鐘信號 CLK 同步而轉送被給予的資料。偶數級的正反器 FF2、FF4、… FFn 係依據時鐘信號 CLK 而轉送被給予的信號。藉由二鄰接的正反器(例如，FF1 和 FF2)，而能實現 1 時鐘週期的延遲。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（20）

輸出選擇電路42包括：三狀態反相器緩衝器42W1、42W2、…42Wn，設於正反器FF4以後之偶數級之正反器的輸出部，並回應寫入訊衝長度設定信號BW1、BW2、…BWm而被活性化，進而於活性化時將對應之輸出節點上的信號予以反相而輸出；以及三狀態反相器緩衝器42r1、42r2、…42rm，連接於正反器FF4以後之偶數級之正反器的輸出部，並於讀取訊衝長度設定信號BR1、BR2、…BRm的活性化時被活性化，而使對應之正反器之輸出節點上的信號反相而輸出。三狀態反相器緩衝器42W1～42Wm的輸出部係同共地連接至三狀態反相器緩衝器43W的輸入部。三狀態反相器緩衝器42r1～42rm的輸出部係共同地連接至三狀態反相器緩衝器43r的輸入部。

於動作時，使此寫入訊衝長度設定信號BW1～BWm中之一者成爲活性狀態，又使讀取訊衝長度設定信號BR1～BRm中之一者成爲活性狀態，而能夠個別分別地設定讀取用訊衝資料和寫入用訊衝資料。其次，簡單地說明其動作。

此時，爲了簡化說明，假設寫入訊衝長度設定信號BW1和讀取訊衝長度設定信號BRm成爲活性狀態。若給予寫入命令，而使寫入指示信號W成爲H位準的活性狀態，則使來自OR電路30a的輸出信號R/W成爲H位準。正反器FF1係與時鐘信號CLK同步而動作，進而將自此OR電路30a所給予的信號R/W予以取入並閂扣(latch)而輸出。時鐘信號ZCLK爲L位準，而正反器FF2處於閂扣狀態，進而保

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（21）

持先前的狀態。

若時鐘信號CLK下降成L位準，而時鐘信號ZCLK上升成H位準，則正反器FF2將此正反器FF1的輸出信號予以取入並閂扣而輸出。此時，時鐘信號CLK爲L位準，而正反器FF3爲閂扣狀態，因而保持先前的狀態。因此，若時鐘信號CLK二次上升，則於此週期，使正反器FF4的輸出信號O4成爲H位準。訊衝長度設定信號BW1爲H位準的活性狀態，而三狀態反相器緩衝器43W1將來自此正反器FF4的信號予以反相而輸出。內部讀取動作活性化信號WRITE係回應寫入指示信號W的活性化而成爲活性狀態，而使此三狀態反相器緩衝器43W成爲活性狀態，進而將由三狀態反相器緩衝器42W1所給予的信號反相，因而使信號線44上的重置信號RST成爲H位準的活性狀態。回應此重置信號RST的活性化，而設定內部寫入動作活性化信號WRITE，進而使三狀態反相器緩衝器43W回復至輸出高阻抗狀態。

於資料讀取動作時，使讀取指示信號R成爲活性狀態。據此，而使信號R/W成爲活性狀態，進而藉由正反器FF1～FFn-1依序依據時鐘信號CLK和ZCLK來轉送此信號。若正反器FFn的輸出信號On成爲H位準，則三狀態反相器緩衝器42rm係藉由信號BRm而成爲活性狀態，進而將此正反器FFn的輸出信號On予以反相而輸出。於資料讀取時，內部讀取動作活性化信號READ成爲活性狀態，而三狀態反相器緩衝器43r將由此三狀態反相器緩衝

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（22）

器 42rm 所給予的信號予以反相而輸出。藉此，而使重置信號 RST 成爲活性狀態。

藉由上述構成，即使使用共同的訊衝長度計數器電路，亦即夠個別分別地設定資料讀取用的訊衝長度和資料寫入用的訊衝長度。

且，在此第 6 圖所示的構造中，OR 電路 30a 的輸出信號 R/W 係依序被正反器 FF1 ～ FFn 所轉送。於寫入動作和讀取動作連續實施的場合或中斷產生的場合，爲了正確地計數訊衝長度，亦可以將此信號 R/W 送給正反器 FF2 ～ FFn 而構成者。分別重置正反器 FF2 ～ FFn，而能夠依據時鐘信號 CLK 和 ZCLK 來正確地傳送重新給予的信號 R/W，進而能夠防止故障。此處，未實施初級之正反器 FF1 的重置係爲了防止因重置動作而重置應被傳送的 R/W，但是亦可送給初級的正反器 FF1 。

第 7 圖(A)係顯示第 6 圖所示之正反器 FF1 ～ FFn 之一例的構造圖。正反器 FF1 ～ FFn 具有相同的構造，故於第 7 圖中，顯示一個正反器 FF 爲代表。在第 7 圖(A)中，正反器 FF 包括：NAND 電路 51a，接收輸入信號 I 和時鐘信號 CLK(或 ZCLK)；NAND 電路 51b，接收輸入信號 I 和時鐘信號 CLK(或 ZCLK)；NAND 電路 52a，於一輸入端接收 NAND 電路 51a 的輸出信號；以及 NAND 電路 52b，於一輸入端接收 NAND 電路 51b 的輸出信號。又 NAND 電路 51a 的輸出 O 送給 NAND 電路 52b 的另一輸入端，而 NAND 電路 52b 的輸出信號 ZO 送給 NAND 電路 52a 的另一輸入端。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（23）

其次，參照第 7 圖(B)所示的時序圖來說明此第 7 圖(A)所示之正反器的動作。在第 7 圖(B)中，以 10 級的 FF1 ～ FF10 爲例，而分別顯示輸出信號 O1 ～ O10 之輸出信號的變化樣態。

在時鐘週期 0，信號 R/W 成爲 H 位準。此時，時鐘信號 CLK 爲 H 位準，而 NAND 電路 51a 和 51b 當作反相器作用，進而將輸入信號 I(R/W)予以取入而閂扣。因此，於此狀態下，輸出信號 O1 上升成 H 位準。若時鐘信號 CLK 下降成 L 位準，則 NAND 電路 51a 和 51b 的輸出信號均成爲 H 位準，而 NAND 電路 52a 和 52b 的輸出信號 O 和 ZO 不變化。另一方面，於第 2 級的正反器 FF2，由於時鐘信號 ZCLK 成爲 H 位準，故其 NAND 電路 51a 和 51b 當作反相器作用，而將由初級的正反器 FF1 所給予的信號予以取入而閂扣。以後，反覆此動作，於時鐘信號 CLK 爲 H 位準時，奇數號的正反器將被給予的信號予以取入而閂扣，而於時鐘信號 ZCLK 爲 H 位準時，偶數號的正反器將被給予的信號予以取入並閂扣而輸出。因此，若訊衝長度設定爲 1，則選擇輸出信號 O4。與於時鐘週期 1 之時鐘信號 CLK 的下降同步，而使此輸出信號 O4 成爲 H 位準，進而禁止於時鐘週期 2 的內部寫入/讀出動作。若訊衝長度設定爲 2，則選擇輸出信號 O6，而禁止於時鐘週期 3 的內部寫入/讀出動作(與於時鐘週期 2 之時鐘信號 CLK 的下降同步，而使重置信號 RST 成爲活性狀態)。

同樣地，若訊衝長度設定爲 4，則選擇正反器 FF10

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（24）

的輸出信號O10。與於時鐘週期4之時鐘信號CLK的下降同步，而使此信號O10上升成H位準，藉此，而如第5圖所示，重置信號RST係於給予讀取/寫入命令後經過4時鐘週期後而成爲H位準的活性狀態。

此處，如第7圖(A)中虛線所示，若將OR電路30a的輸出信號R/W送給NAND電路52b，則於訊衝長度計數器30的計數動作開始時，能夠確實地使內部重置成初始狀態，而開始計數動作。

第8圖係顯示訊衝長度選擇信號產生部的構造圖。在第8圖中設有：訊衝長度暫存器60W，儲存寫入用訊衝長度資料；解碼器62W，將此訊衝長度暫存器60W的儲存資料予以解碼，而使訊衝長度選擇信號BW1～BWm中之一者成爲活性狀態：訊衝長度暫存器60r，儲存讀取用訊衝長度資料；以及解碼器62r，將儲存於此訊衝長度暫存器60r的資料予以解碼，而使讀取用訊衝長度選擇信號BR1～BRm中之一者成爲活性狀態。訊衝長度暫存器60W和60r係於例如同步型半導體記憶裝置的特殊模式(例如初始設定時)，由外部設定其可能資料。解碼器62W和62r係分別將對應之訊衝長度暫存器60W和60r之儲存的資料予以解碼。此解碼器62W和62r可用例如第3圖(A)和(B)所示的解碼器。依據此第8圖所示的構造，藉由從外部將訊衝長度資料儲存於訊衝長度暫存器60W和60r，而能夠依照此同步型半導體記憶裝置的適用用途來設定最適當的訊衝長度。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（25）

且於此實施之形態 2 之訊衝長度計數器之構造的場合，若重置信號 RST 成爲活性狀態，而資料寫入動作和資料讀取動作活性化信號 WRITE 和 READ 均成爲非活性狀態，則信號線 44 成爲浮動(floating)狀態。爲了防止此浮動狀態，亦可藉由接收讀取動作活性化信號 WRITE 和寫入動作活性化信號 READ 之 NOR 閘的輸出信號，而使信號線 44 預充電(precharge)至接地電位或電源電位。藉此，而能夠防止信號線 44 之不穩定的浮動狀態。

如上述，依據本發明之實施的形態 2，由於能夠將訊衝長度計數器電路的訊衝長度分別獨立地設定成資料讀取用訊衝長度和資料寫入用訊衝長度，故能夠使用 1 個訊衝長度計數器，而分別對讀取動作和寫入動作設定不同的訊衝長度資料，藉此，進而能夠實現與於資料讀取和資料寫入個別分別地設有訊衝長度計數器電路的場合相同的效果。

[實施的形態 3]

第 9 圖係顯示依據本發明之實施之形態 3 之同步型半導體記憶裝置之重要部份的構造圖。在第 9 圖中，顯示設定訊衝長度計數器之訊衝長度之部份的構造。在第 9 圖中，訊衝長度資料產生部包括：訊衝長度暫存器 60W，儲存資料寫入時的訊衝資料；訊衝長度暫存器 60r，儲存資料讀取時的訊衝長度資料；解碼器 64W，於內部寫入動作活性化信號 WRITE 的活性化時被活性化，而將訊衝長度暫存器 60W 之儲存的訊衝長度資料予以解碼，進而使訊衝長

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（26）

度選擇信號BW1～BWm中之一者成爲活性狀態；以及解碼器64r，於內部讀取動作活性化信號READ的活性化時被活性化，而將訊衝長度暫存器60r的儲存資料予以解碼，進而使讀取訊衝長度選擇信號BR1～BRm中之一者成爲選擇狀態。解碼器64W的輸出信號BW1～BWm和解碼器64r的輸出信號BR1～BRm係分別以OR(或)之接線方式連接，而形成訊衝長度選擇信號B1～Bm。

在訊衝長度計數器電路中，對於時鐘移位電路30b之互補的訊衝長度輸出節點ZO1、ZO2、…ZOm，分別設有於訊衝長度選擇信號B1～Bm的活性化時成爲活性狀態之三狀態反相器緩衝器TB1～TBm。此等三狀態反相器緩衝器TB1～TBm的輸出部係共同地連接至信號線44。由信號線44輸出重置信號RST。

在此構造的場合，於資料寫入動作時，解碼器64W成爲活性狀態，而將儲存於訊衝長度暫存器60W的資料予以解碼，進而使訊衝長度選擇信號BW1～BWm中之一者成爲選擇狀態。解碼器64r爲非活性狀態，而其輸出成爲高阻抗狀態。藉此，訊衝長度選擇信號B1～Bm中之一者係依據解碼器64W的輸出信號而成爲活性狀態，進而使對應的三狀態反相器緩衝器(TB1～TBm中之一者)成爲活性狀態。因此，若時鐘移位電路30b的時鐘移位數變成與訊衝長度相等，則信號線44上的重置信號RST成爲活性狀態的H位準。此處，時鐘移位電路30b的輸出信號Z01～ZOm係爲於先前之實施之形態2之輸出信號O1～Om的反相信

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（27）

號。

於資料讀取動作時，讀取動作活性化信號READ成爲活性狀態。使解碼器64r活性化，而將儲存於訊衝長度暫存器60r的訊衝長度資料予以解碼，進而使訊衝長度選擇信號BR1～BRm中之一者成爲活性狀態。解碼器64係爲寫入動作活性化信號WRITE的非活性狀態，而被設定成輸出高阻抗狀態。因此，於此狀態下，依據解碼器64r的輸出信號，而使三狀態反相器緩衝器TB1～TBm中之一者成爲活性狀態，並依據讀取時的訊衝長度資料，而選擇時鐘移位電路30b的輸出信號，進而產生重置信號RST。

於第9圖所示之構造的場合，在資料寫入時和資料讀取時兩者使用選擇訊衝長度用的三狀態反相器緩衝器，而能夠減少電路構成元件數，進而能夠減少佔有面積。

且在此實施之形態3的說明中，假定解碼器64W和64r於非活性化時成爲輸出高阻抗狀態。僅於此等輸出部設有傳輸閘(transmission gate)等的開關元件即可，而不需要特別以三狀態緩衝器來構成設於解碼器64r和64W之內部的解碼器電路。

且於第9圖所示的構造中，若利用藉由活性化信號READ和WRITE來選擇訊衝長度暫存器60r和60W之儲存的資料的構造，而能夠以一個解碼器於資料寫入時和資料讀取時分別將寫入用訊衝長度資料和讀取用訊衝長度資料予以解碼，進而能夠減少解碼器的數目。

如上所述，依據此實施的形態3，由於資料讀取時和

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（28）

資料寫入時共同地使用資料寫入時和資料讀取時的訊衝長度資料選擇部，故能夠減少電路構成元件，進而減少電路佔有面積(佈局面積)。

[圖式簡單說明]

第1圖係顯示依據本發明之實施之形態1之同步型半導體記憶裝置之重要部份的構造圖。

第2圖係顯示第1圖所示之輸入緩衝器電路之一例的構造圖。

第3圖係顯示包含第1圖所示之命令解碼器之讀取命令解碼器和寫入命令解碼器的構造圖。

第4圖係顯示第1圖所示之訊衝長度計數器、讀取控制正反器電路和寫入控制正反器電路的具體構造圖。

第5圖係顯示第4圖所示之構造之動作的時序圖。

第6圖係顯示第4圖所示之訊衝長度計數器電路之一例的具體構造圖。

第7圖(A)係顯示第6圖所示之正反器的構造圖；而第7圖(B)係顯示第6圖所示之計數器電路之動作的時序圖。

第8圖係顯示第6圖所示之訊衝長度選擇信號產生部的構造圖。

第9圖係顯示依據本發明之實施之形態3之同步型半導體記憶裝置之重要部份的構造圖。

第10圖係顯示習知同步型半導體記憶裝置之全體構造的概略圖。

第11圖係顯示第10圖所示之讀取控制電路的構造

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（29）

圖。

第 12 圖係顯示第 10 圖所示之寫入控制電路的構造圖。

第 13 圖係顯示第 10 圖所示之同步型半導體記憶裝置之動作的時序圖。

[符號說明]

2～輸入緩衝器電路；4～命令解碼器；30～訊衝長度計數器；32～讀取控制正反器電路；34～寫入控制正反器電路；4r～讀取命令解碼器；4w～寫入命令解碼器；30a～OR 電路；30b～訊衝長度計數器電路；FF1～FFn～正反器；42w1～42wm；42r1～42rm～三狀態反相器緩衝器；43W、43r、TB1～TBm～三狀態反相器緩衝器；60W、60r～訊衝長度暫存器；62W、62r、64w、64r～解碼器

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

A5
B5

四、中文發明摘要（發明之名稱：同步型半導體記憶裝置(四)）

[課題]減少同步型半導體記憶裝置之內部資料讀取動作和內部資料寫入動作之控制部的佈局面積。

[解決手段]讀取控制正反器電路(32)係於來自命令解碼器(4)之內部讀取指示信號R的活性化時成爲活性狀態，而產生使內部資料讀取電路活性化的信號。寫入控制正反器電路(34)係回應來自命令解碼器的內部寫入指示信號W，而使內部資料寫入電路活性化。若來自此命令解碼器之內部寫入指示信號和內部讀取指示信號中之一者成爲活性狀態，則訊衝長度計數器(30)計數預先被決定的時鐘週期數，若其計數器值到達既定值，則使重置信號(RST)成爲活性狀態，而重置讀取控制正反器電路和寫入控制正反器電路。

英文發明摘要（發明之名稱：）

（請先閱讀背面之注意事項再填寫本頁各欄）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

1.一種同步型半導體記憶裝置，與由外部所施加之週期性反覆的時鐘信號同步而動作，上述同步型半導體記憶裝置包括：

讀取指示信號產生裝置，回應由外部所給予的讀取指示信號，而與上述時鐘信號同步地產生內部讀取指示信號；

寫入指示信號產生裝置，回應由外部所給予的寫入指示信號，而與上述時鐘信號同步地產生內部寫入指示信號；

讀取活性化裝置，回應上述內部讀取指示信號，而使內部讀取動作活性化信號活性化；

寫入活性化裝置，回應上述內部寫入指示信號，而使內部寫入動作活性化信號活性化；以及

重置裝置，連接成共同接收上述內部讀取指示信號和上述內部寫入指示信號，並回應上述內部讀取指示信號和上述內部寫入指示信號之一者的活性化而被活性化，進而計數上述時鐘信號，若該計數值達到既定值，則將重置信號送給上述讀取活性化裝置和上述寫入活性化裝置，俾使上述讀取活性化裝置和上述寫入活性化裝置成爲非活性狀態。

2.如申請專利範圍第 1 項所述之同步型半導體記憶裝置，其中，上述重置裝置係將表示與上述時鐘信號同步而能夠連續輸出入之資料之數的訊衝長度予以計數的訊衝長度計數器。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

3.如申請專利範圍第 1 或 2 項所述之同步型半導體記憶裝置，其中，上述既定的計數值係對上述內部讀取動作活性化信號和上述內部寫入動作活性化信號兩者而共同地被決定。

4.如申請專利範圍第 1 或 2 項所述之同步型半導體記憶裝置，其中，上述重置裝置包括將對於上述內部寫入動作活性化信號之第一既定值予以設定的寫入訊衡長度設定裝置以及對於上述內部讀取動作活性化信號之第二既定值予以設定的讀取訊衡長度設定裝置；且上述重置裝置包括回應上述內部寫入指示信號的活性化而使上述第一既定值有效且回應上述內部讀取指示信號的活性化而使上述第二既定值有效的裝置。

5.如申請專利範圍第 4 項所述之同步型半導體記憶裝置，其中，上述重置裝置包括：

邏輯閘，取上述內部讀取指示信號與上述內部寫入指示信號的邏輯和；

時鐘移位電路，與上述時鐘信號同步而將上述邏輯閘的輸出信號予以移位；

第一連接裝置，回應上述內部寫入指示信號的活性化，而將對應於上述時鐘移位電路之上述第一既定值的輸出節點連接至上述重置輸出端子；以及

第二連接裝置，回應上述內部讀取指示信號的活性化，而將對應於上述時鐘移位電路之上述第二既定值的輸出節點連接至上述重置輸出端子；

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

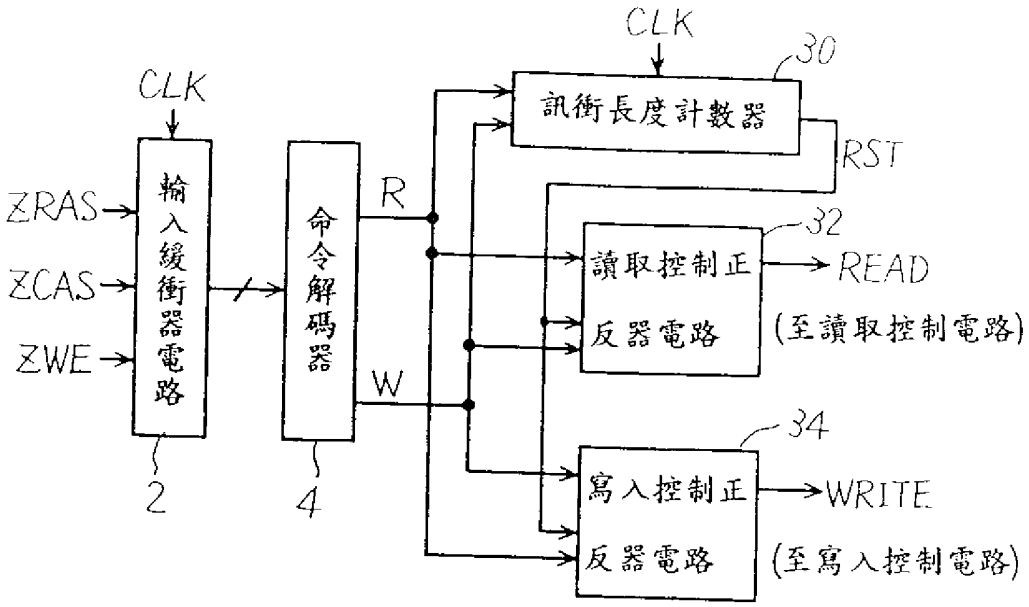
且由上述重置輸出端子輸出用以將上述內部讀取動作活性化信號和上述寫入動作活性化信號予以重置的信號。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

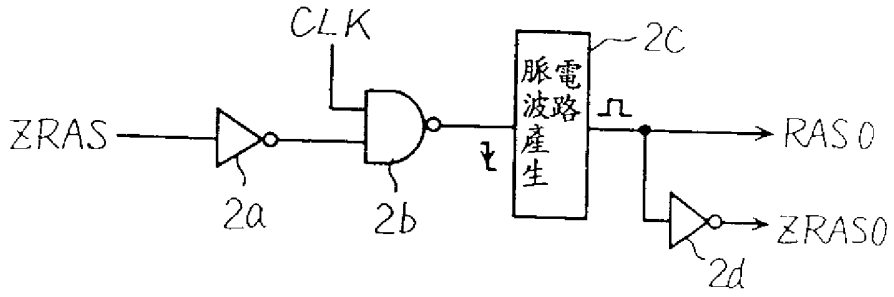
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

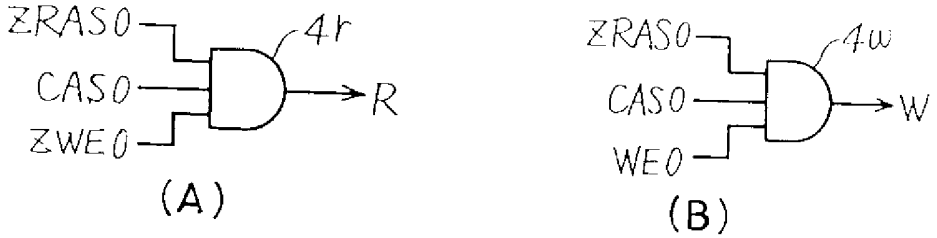
410341



第 1 圖

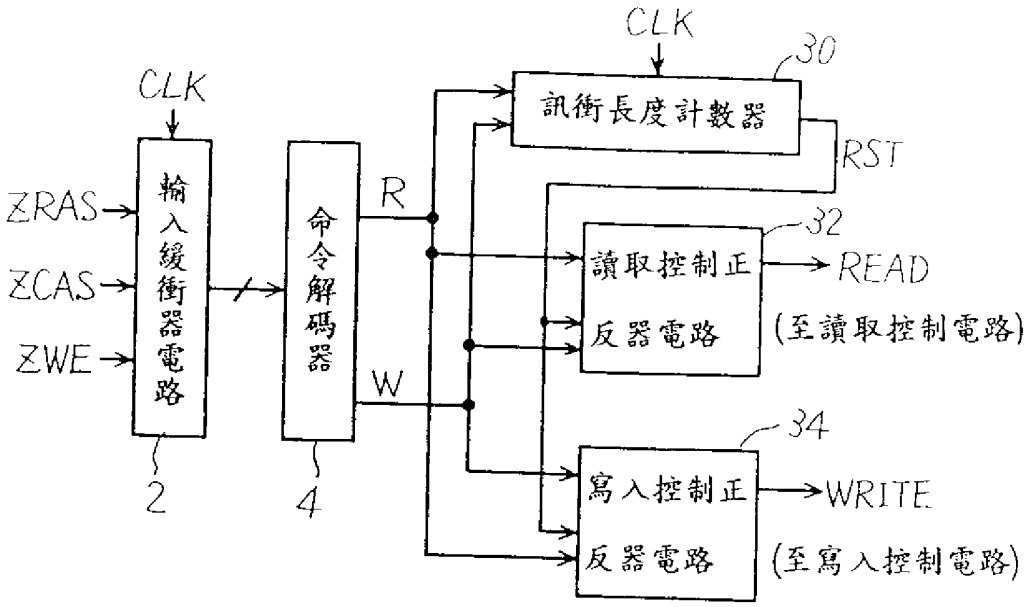


第 2 圖

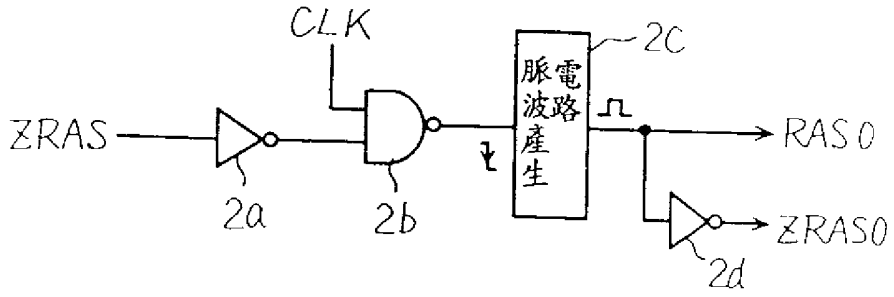


第 3 圖

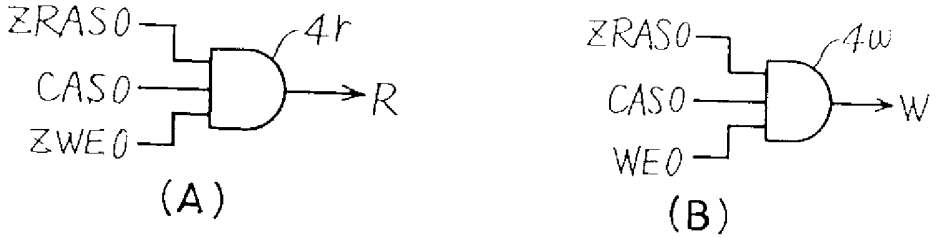
410341



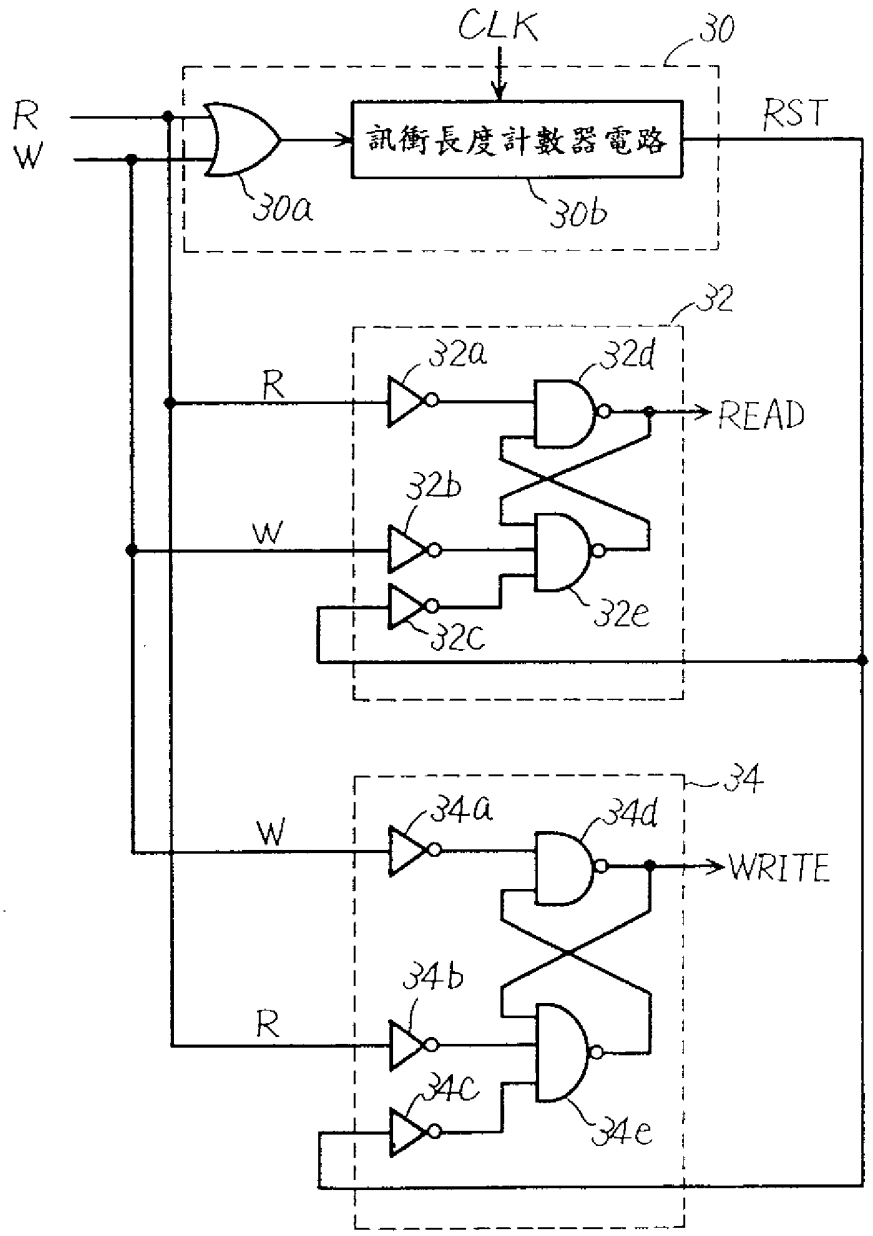
第 1 圖



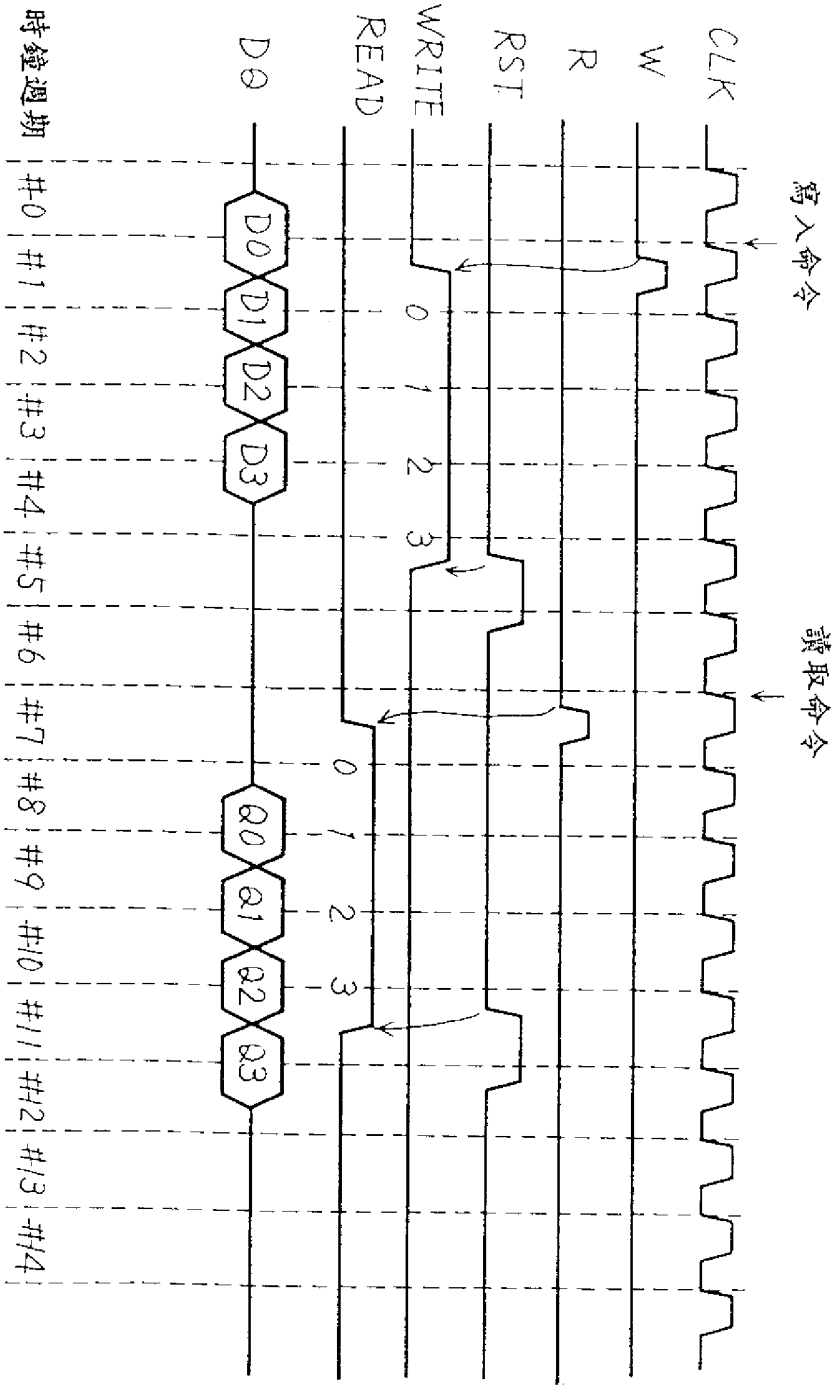
第 2 圖



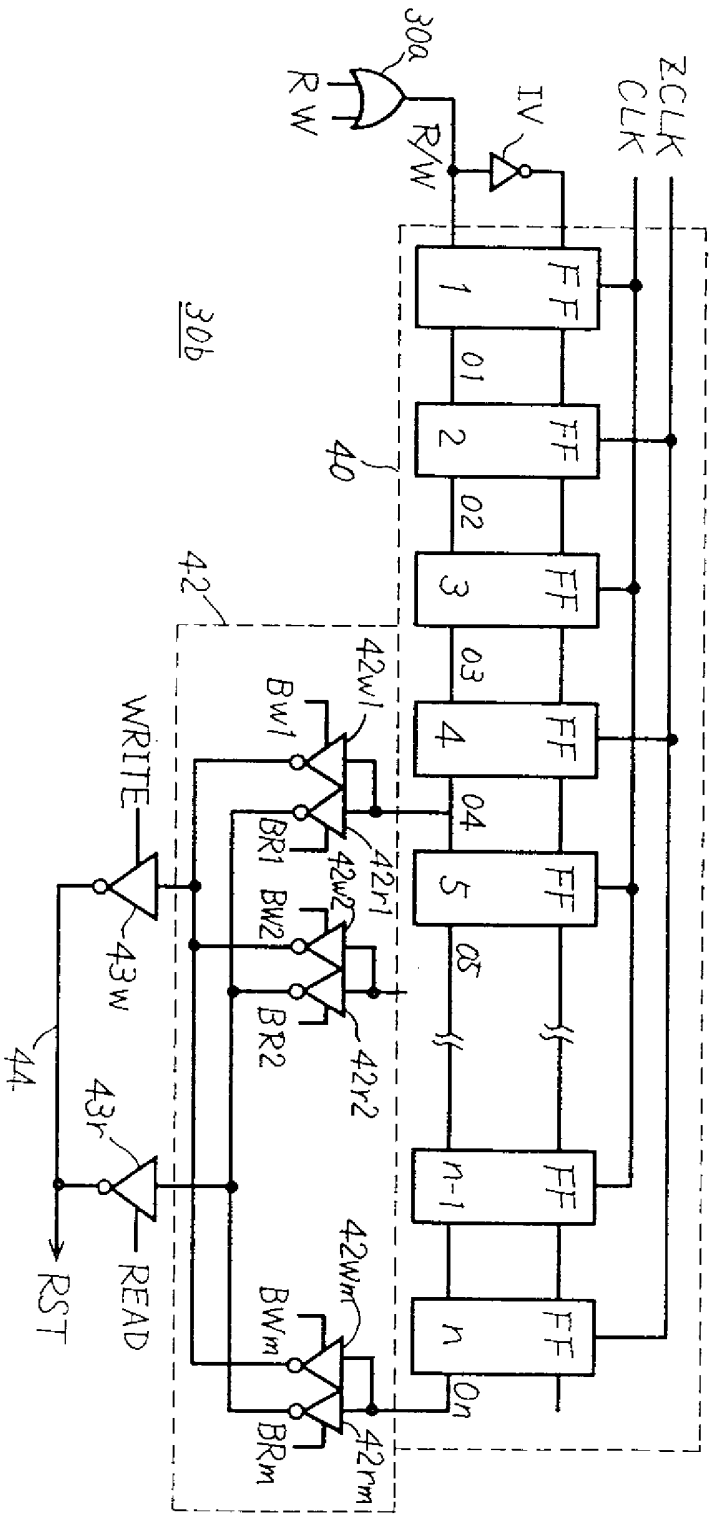
第 3 圖


CLK
30
R
W
訊衝長度計數器電路
RST
30a
30b
32
32a
32d
R
READ
32b
W
32e
32c
34
34a
34d
W
WRITE
34b
R
34c
34e

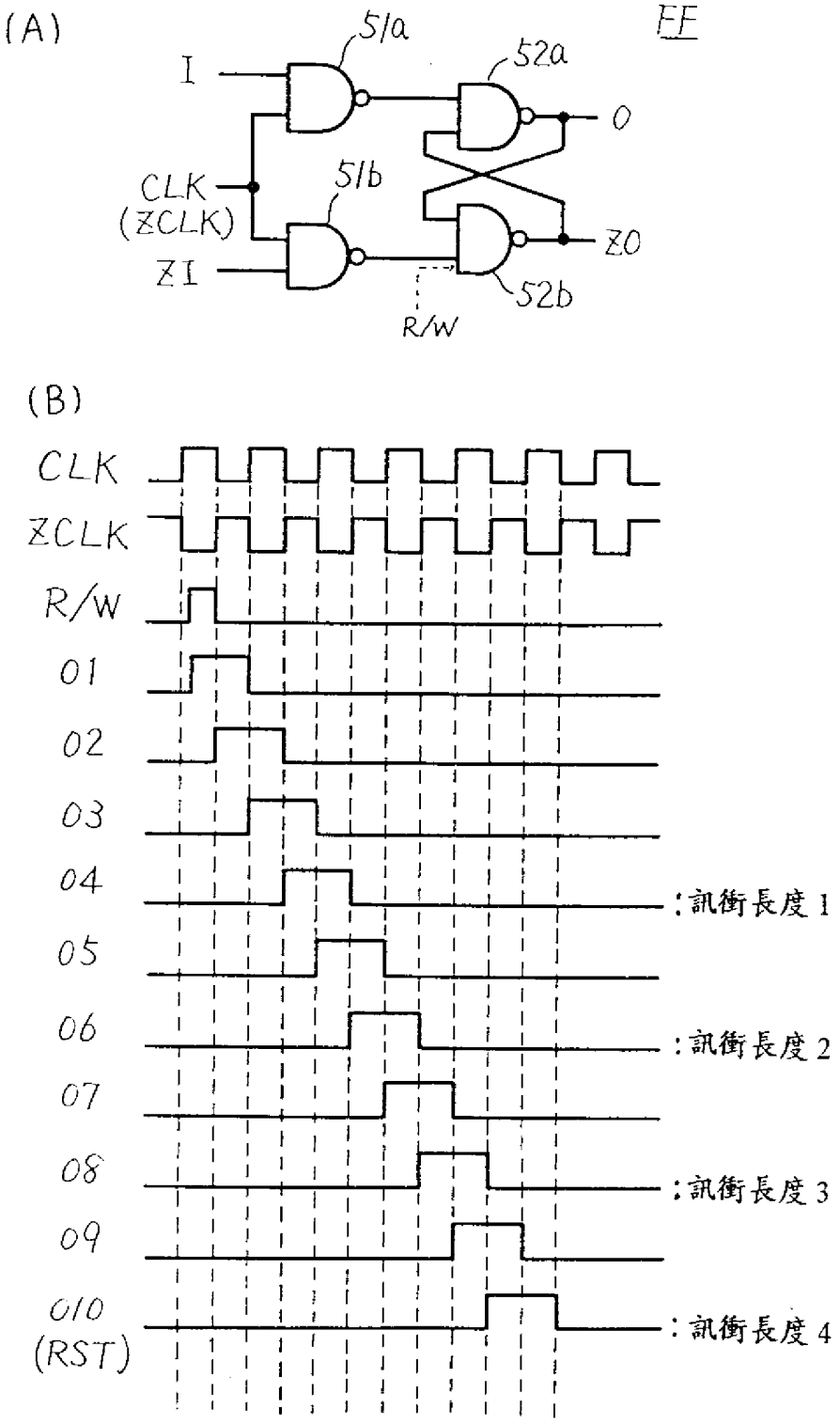
第 4 圖


寫入命令
讀取命令
CLK
W
R
RST
WRITE
READ
DO
時鐘週期
0 1 2 3
0 1 2 3
D0 D1 D2 D3
Q0 Q1 Q2 Q3
#0 #1 #2 #3 #4 #5 #6 #7 #8 #9 #10 #11 #12 #13 #14

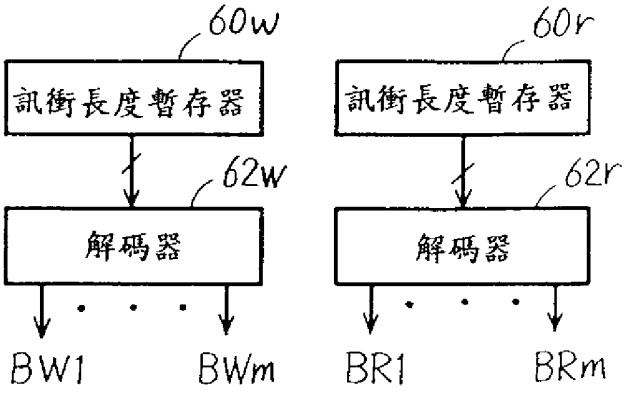
第 5 圖


30a
R/W
R W
IV
2CLK
CLK
30b
40
42
FF
1
2
3
4
5
n-1
n
01
02
03
04
05
On
42w1
42r1
42w2
42r2
42wm
42rm
Bw1
BR1
BW2
BR2
BWm
BRm
WRITE
43w
43r
READ
44
RST

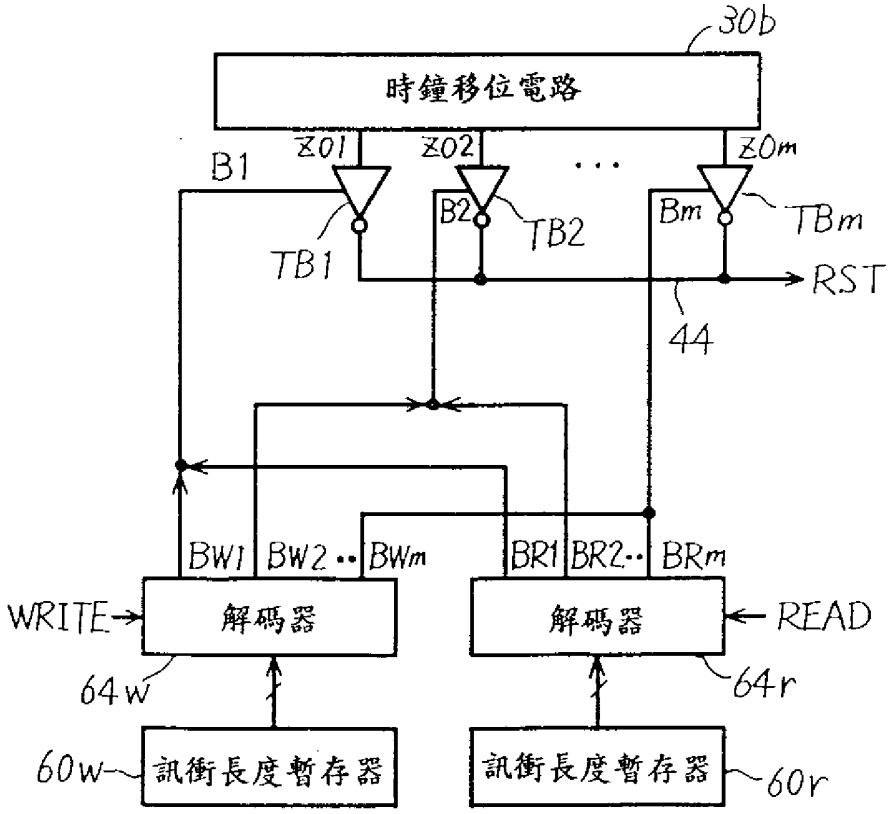
第 6 圖


(A)
FF
I
51a
52a
O
CLK
(ZCLK)
51b
ZO
ZI
52b
R/W
(B)
CLK
ZCLK
R/W
01
02
03
04
05
06
07
08
09
010
(RST)
:訊衝長度 1
:訊衝長度 2
:訊衝長度 3
:訊衝長度 4

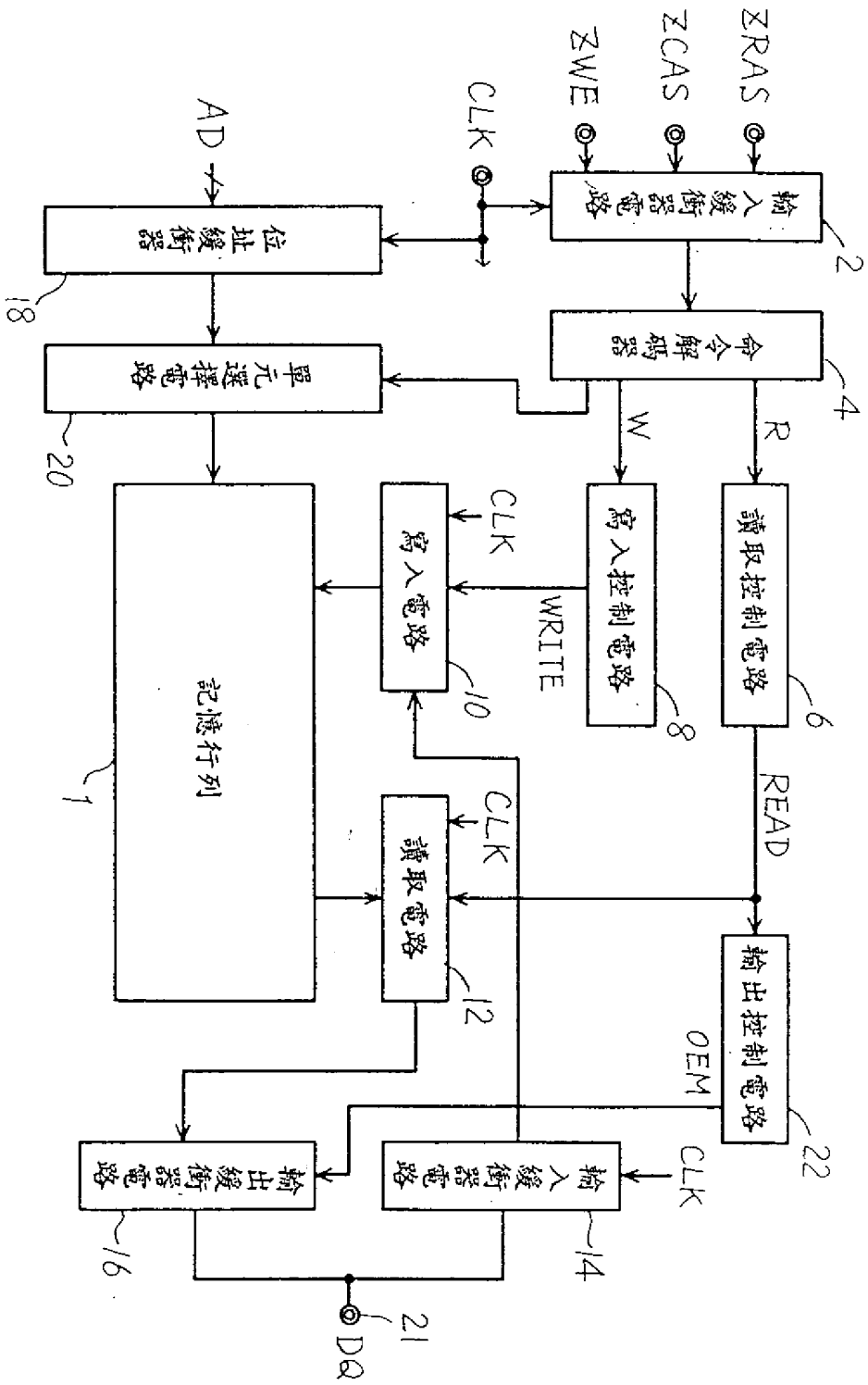
第 7 圖


60w
訊衝長度暫存器
62w
解碼器
BW1
BWm
60r
訊衝長度暫存器
62r
解碼器
BR1
BRm

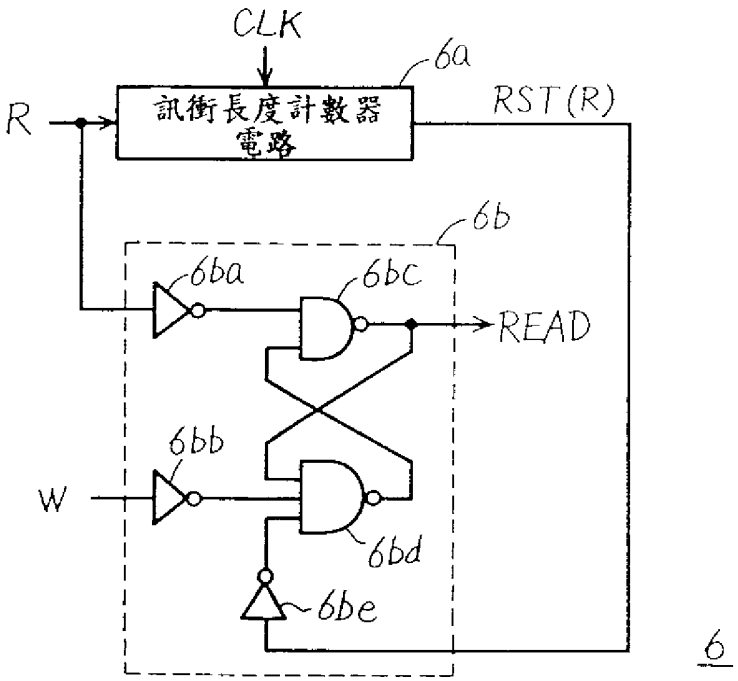
第 8 圖


30b
時鐘移位電路
Z01
Z02
Z0m
B1
B2
Bm
TB1
TB2
TBm
RST
44
BW1
BW2
BWm
BR1
BR2
BRm
WRITE
解碼器
解碼器
READ
64w
64r
60w
訊衝長度暫存器
訊衝長度暫存器
60r

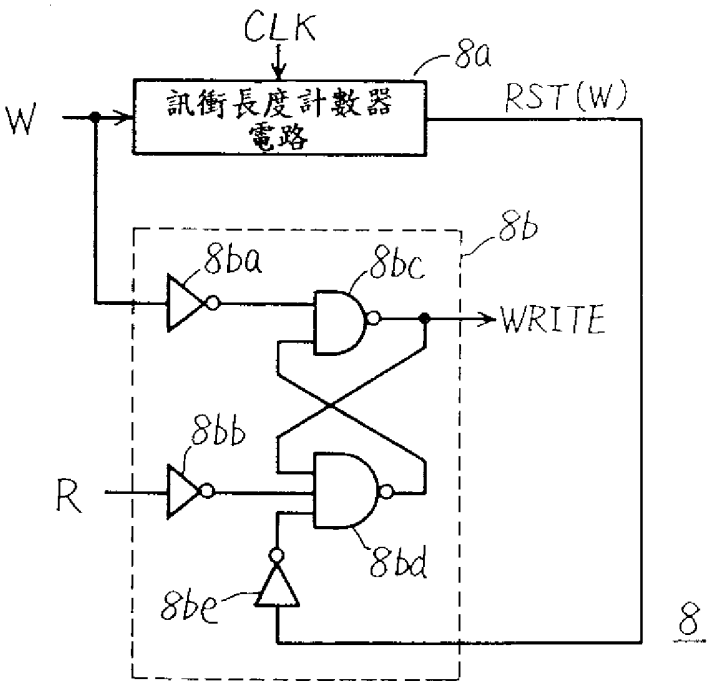
第 9 圖


ZRAS
ZCAS
ZWE
CLK
AD
輸入緩衝電路
2
位址緩衝器
18
命令解碼器
4
單元選擇電路
20
W
R
寫入控制電路
8
讀取控制電路
6
CLK
寫入電路
10
WRITE
記憶行列
1
CLK
讀取電路
12
READ
輸出控制電路
22
OEM
輸出緩衝電路
16
輸入緩衝電路
14
CLK
21
DQ

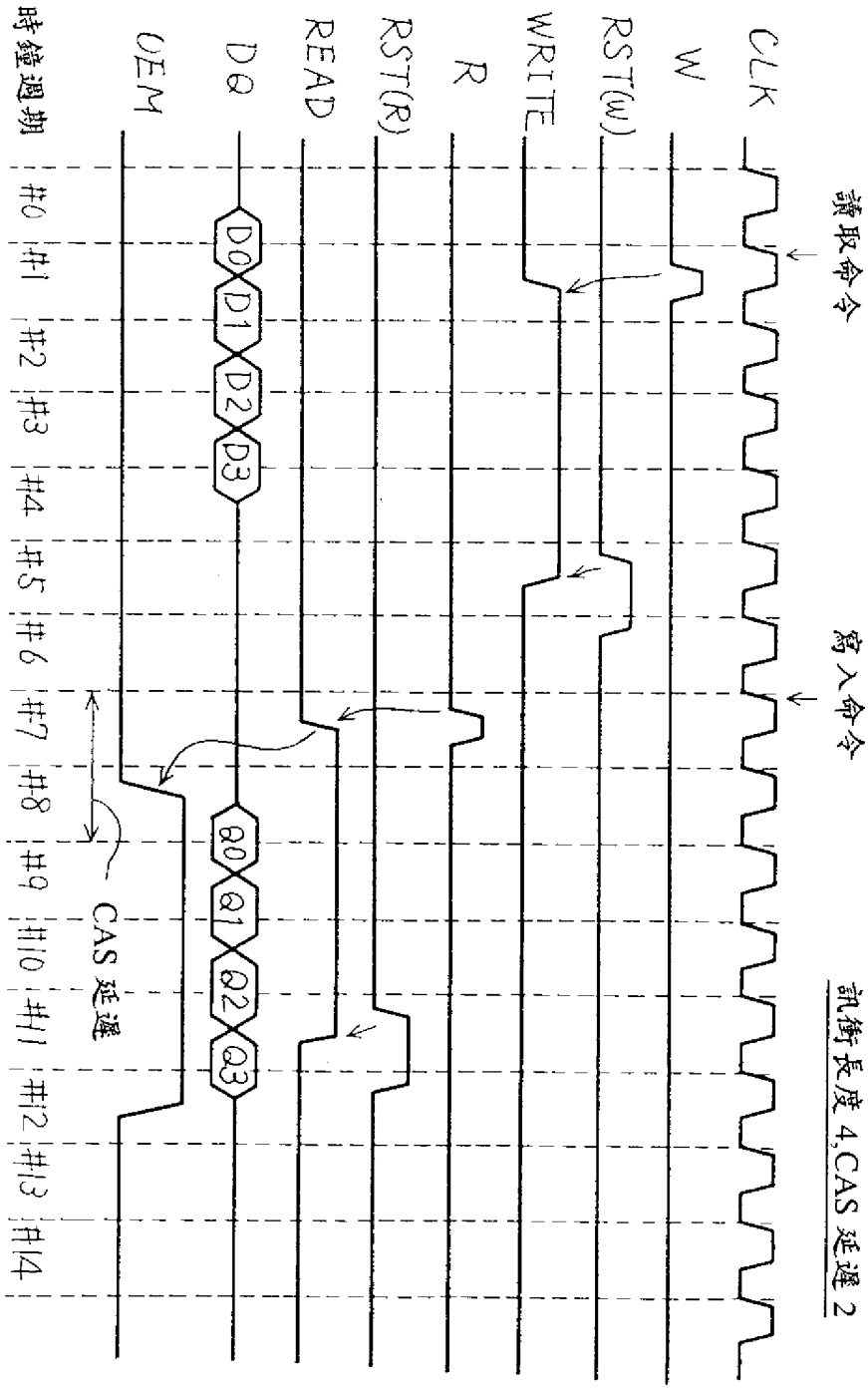
第 10 圖


CLK
6a
訊衝長度計數器
電路
R
RST(R)
6b
6ba
6bc
READ
6bb
W
6bd
6be
6

第 11 圖


CLK
8a
訊衝長度計數器
電路
W
RST(W)
8b
8ba
8bc
WRITE
8bb
R
8bd
8be
8

第 12 圖


讀取命令
寫入命令
訊衝長度 4,CAS 延遲 2
CLK
W
RST(w)
WRITE
R
RST(R)
READ
DQ
OEM
時鐘週期
#0
#1
#2
#3
#4
#5
#6
#7
#8
#9
#10
#11
#12
#13
#14
D0
D1
D2
D3
Q0
Q1
Q2
Q3
CAS 延遲

第 13 圖