(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 9 月 11 日(11.09.2015)

WIPO | PCT

(10) 国際公開番号
WO 2015/133063 A1

(51) 国際特許分類:
H01L 21/205 (2006.01) *C23C 16/34* (2006.01)
C23C 16/02 (2006.01) *H01L 21/20* (2006.01)

(21) 国際出願番号: PCT/JP2015/000595

(22) 国際出願日: 2015 年 2 月 10 日(10.02.2015)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2014-041976 2014 年 3 月 4 日(04.03.2014) JP

(71) 出願人: 信越半導体株式会社(SHIN-ETSU HANDOTAI CO., LTD.) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目６番２号 Tokyo (JP).

(72) 発明者: 萩本　和徳(HAGIMOTO, Kazunori); 〒3790196 群馬県安中市磯部２丁目１３番１号信越半導体株式会社　半導体磯部研究所内 Gunma (JP). 篠宮　勝(SHINOMIYA, Masaru); 〒3790196 群馬県安中市磯部２丁目１３番１号信越半導体株式会社　半導体磯部研究所内 Gunma (JP). 土屋　慶太郎(TSUCHIYA, Keitaro); 〒3790196 群馬県安中市磯部２丁目１３番１号信越半導体株式会社半導体磯部研究所内 Gunma (JP). 後藤　博一(GOTO, Hirokazu); 〒3528666 埼玉県新座市北野３丁目６番３号サンケン電気株式会社内 Saitama (JP). 佐藤　憲(SATO, Ken); 〒3528666 埼玉県新座市北野３丁目６番３号サンケン電気株式会社内 Saitama (JP). 鹿内　洋志(SHIKAUCHI, Hiroshi); 〒3528666 埼玉県新座市北野３丁目６番３号サンケン電気株式会社内 Saitama (JP). 小林　昇一(KOBAYASHI, Shoichi); 〒9420193 新潟県上越市頸城区城野腰５９６番地２直江津電子工業株式会社内 Niigata (JP). 栗本　宏高(KURIMOTO, Hirotaka); 〒9420193 新潟県上越市頸城区城野腰５９６番地２直江津電子工業株式会社内 Niigata (JP).

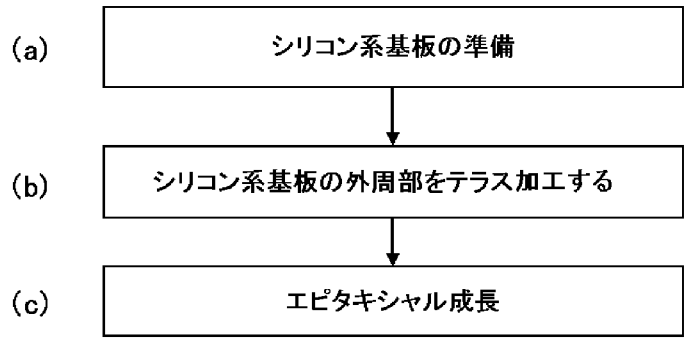
(74) 代理人: 好宮　幹夫(YOSHIMIYA, Mikio); 〒1100005 東京都台東区上野７丁目６番１１号第一下谷ビル８Ｆ Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS,

[続葉有]

(54) **Title**: METHOD FOR PRODUCING EPITAXIAL WAFER, AND SILICON-BASED SUBSTRATE FOR EPITAXIAL GROWTH

(54) 発明の名称 : エピタキシャルウェーハの製造方法及びエピタキシャル成長用シリコン系基板



(a) Prepare silicon-based substrate
(b) Terrace-form external peripheral section of silicon-based substrate
(c) Epitaxial growth

(57) **Abstract**: The present invention is a method for producing an epitaxial wafer having an epitaxial layer on a silicon-based substrate, wherein the method for producing an epitaxial wafer is characterized in that a semiconductor layer is epitaxially grown on the silicon-based substrate after an external peripheral section of the silicon-based substrate is terrace-formed. A method is thereby provided for producing an epitaxial wafer that has an epitaxial layer on a silicon-based substrate, the method allowing a completely crack-free epitaxial wafer to be obtained.

(57) 要約: 本発明は、シリコン系基板上にエピタキシャル層を有するエピタキシャルウェーハの製造方法であって、前記シリコン系基板の外周部をテラス加工した後に、前記シリコン系基板上に半導体層をエピタキシャル成長させることを特徴とするエピタキシャルウェーハの製造方法である。これにより、完全なクラックフリーのエピタキシャルウェーハを得ることが可能なシリコン系基板上にエピタキシャル層を有するエピタキシャルウェーハの製造方法を提供される。

WO 2015/133063 A1

LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ：

エピタキシャルウェーハの製造方法及びエピタキシャル成長用シリコン系基板

技術分野

[0001]　本発明は、シリコン系基板上にエピタキシャル成長層を有するエピタキシャルウェーハの製造方法及びそれに用いるシリコン系基板に関する。

背景技術

[0002]　半導体エピタキシャルウェーハを製造するためには、市販のエピタキシャル製造装置を用いてシリコン系基板（例えば、シリコン基板又はシリコンカーバイド基板）等の表面にエピタキシャル成長を行い、ヘテロ・ホモエピタキシャルウェーハの製造を行っている。

[0003]　シリコン系基板上に窒化物半導体からなるエピタキシャル成長層を配置したエピタキシャルウェーハでは、外周部においてエピタキシャル成長層の膜厚が厚くなり、エピタキシャル成長層のクラウン（成長層の主表面より高くなる突起）が発生する。

半導体装置として使用するウェーハ中央部でシリコン系基板の反りとエピタキシャル成長層の応力が最適になるように、エピタキシャル成長層の各層の厚みなどの条件が選択されている。このため、上記クラウンが発生すると、エピタキシャル成長層に生じる応力と基板の反りのバランスが崩れてエピタキシャル成長層に影響を与え、外周部近傍のエピタキシャル成長層に亀甲模様のクラックなどが生じる（例えば、図４参照）。

[0004]　このようなクラウンの発生を防止するために、シリコン系基板の外周部を面取りし、その上にエピタキシャル成長層を形成する方法などが提案されている（例えば、特許文献１）。

また、クラック対策としては、Ｓｉ基板エッジ近傍を粗面化してからエピタキシャル成長を行うこと（特許文献２）や、＜１１１＞方向を回転軸とし

て、＜１１０＞方向を左回りに３０°、９０°、１５０°のいずれかの角度だけ回転させた方向にオリフラを有する（１１１）面を主面とするシリコン基板をヘテロエピタキシャル成長用基板として使用すること（特許文献３）や、シリコン系基板の周辺部をリングで覆った状態でエピタキシャル成長を行うこと（特許文献４）等が提案されている。

[0005] また、シリコン基板上にＧａＮ層やＡｌＮ層をエピタキシャル成長させたエピタキシャルウェーハでは、エピタキシャル成長中にウェーハ端部にクラックが発生すると、クラックの隙間から原料であるＴＭＡ（トリメチルアルミニウム）やＴＭＧ（トリメチルガリウム）のガスが侵入し、Ｓｉと反応して反応痕が発生する。

このような反応痕への対策としては、ＳＯＩ基板上にバッファ膜（ＡｌＮ膜）を介して厚膜のＧａＮ膜をエピタキシャル成長させることが提案されている（特許文献５）。

先行技術文献

特許文献

[0006] 特許文献1：特開昭５９－２２７１１７号公報

特許文献2：国際公開２０１１／１６１９７５号公報

特許文献3：特開２０１１－１６５９６２号公報

特許文献4：特開２０１３－１７１８９８号公報

特許文献5：特開２００７－２４６２８９号公報

発明の概要

発明が解決しようとする課題

[0007] しかしながら、一般的には「クラックフリー」と呼ばれるエピタキシャルウェーハにおいても、クラウンの発生に起因して外周部から数ｍｍ程度の領域にはクラックが存在しているのが現状である。

[0008] このクラックはデバイスの製造工程において伸張したり、エピタキシャル成長層の剥離を誘発して製造ラインを汚染したりすることが懸念される。こ

のため、完全にクラックフリーなエピタキシャル基板が望まれている。

[0009] 本発明は、上記問題点に鑑みてなされたものであって、完全なクラックフリーのエピタキシャルウェーハを得ることが可能なエピタキシャルウェーハの製造方法を提供することを目的とする。

課題を解決するための手段

[0010] 上記目的を達成するために、本発明は、シリコン系基板上にエピタキシャル層を有するエピタキシャルウェーハの製造方法であって、前記シリコン系基板の外周部をテラス加工した後に、前記シリコン系基板上に半導体層をエピタキシャル成長させることを特徴とするエピタキシャルウェーハの製造方法を提供する。

[0011] このように、シリコン系基板の外周部をテラス加工した後に、シリコン系基板上に半導体層をエピタキシャル成長させることで、容易に完全なクラックフリーのエピタキシャルウェーハを得ることができ、デバイス製造工程等の後工程において、クラックが伸張したり、エピタキシャル成長層の剥離を誘発して製造ラインを汚染したりすることが抑制できる。

[0012] このとき、前記テラス加工を砥石による研削で行うことが好ましい。

このようにテラス加工を砥石による研削で行うことで極めて簡単にテラス加工を行うことができる。

[0013] このとき、研削したテラス面を鏡面又は準鏡面とする工程をさらに含むことが好ましい。

このように研削したテラス面を鏡面又は準鏡面とすることで、研削したテラス面からの発塵を抑制し、発塵による不具合を防止することができる。

[0014] このとき、前記エピタキシャル成長させる半導体層が窒化物半導体からなる構成とすることができる。

エピタキシャル成長させる半導体層として、窒化物半導体を好適に用いることができる。

[0015] このとき、前記窒化物半導体を、ＡｌＮ、ＧａＮ、ＩｎＮ、又はそれらの混晶のいずれか１つ以上とすることができる。

エピタキシャル成長させる半導体層に用いる窒化物半導体として、上記のような材料を好適に用いることができる。

[0016] また、本発明は、半導体層をエピタキシャル成長させるためのエピタキシャル成長用シリコン系基板であって、前記シリコン系基板の外周部がテラス加工され、テラス部を有するものであることを特徴とするエピタキシャル成長用シリコン系基板を提供する。

[0017] このような外周部がテラス加工され、テラス部を有するシリコン系基板であれば、これを用いて半導体層のエピタキシャル成長を行うことによって、容易に完全なクラックフリーのエピタキシャルウェーハを得ることができ、デバイス製造工程等の後工程において、クラックが伸張したり、エピタキシャル成長層の剥離を誘発して製造ラインを汚染したりすることが抑制できる。

[0018] このとき、前記テラス部のテラス面が鏡面になっていることが好ましい。

このようにテラス部のテラス面が鏡面になっていることで、テラス面からの発塵を抑制し、発塵による不具合を防止することができる。

[0019] このとき、前記エピタキシャル成長させる半導体層が窒化物半導体からなる構成とすることができる。

エピタキシャル成長させる半導体層として窒化物半導体を用いるエピタキシャル成長用シリコン系基板に、本発明を好適に適用することができる。

[0020] このとき、前記窒化物半導体を、ＡｌＮ、ＧａＮ、ＩｎＮ、又はそれらの混晶のいずれか１つ以上とすることができる。

エピタキシャル成長させる半導体層に用いる窒化物半導体として上記のような材料を用いるエピタキシャル成長用シリコン系基板に、本発明を好適に適用することができる。

[0021] さらに、本発明は、上記のエピタキシャル成長用シリコン系基板にエピタキシャル層が成長させられたものであることを特徴とするエピタキシャルウェーハを提供する。

[0022] このような外周部がテラス加工され、テラス部を有するシリコン系基板に

エピタキシャル層が成長させられたエピタキシャルウェーハであれば、容易に完全なクラックフリーのエピタキシャルウェーハとすることができ、デバイス製造工程等の後工程において、クラックが伸張したり、エピタキシャル成長層の剥離を誘発して製造ラインを汚染したりすることがないエピタキシャルウェーハとすることができる。

発明の効果

[0023] 以上のように、本発明によれば、容易に完全なクラックフリーの半導体エピタキシャルウェーハを得ることができ、デバイス製造工程等の後工程において、クラックが伸張したり、エピタキシャル成長層の剥離を誘発して製造ラインを汚染したりすることが抑制できる。

図面の簡単な説明

[0024] [図1]本発明のエピタキシャルウェーハの製造方法の製造フローの一例を示す図である。

[図2]本発明のエピタキシャルウェーハの製造方法の製造工程で得られるテラス加工されたシリコン系基板を示す図である。

[図3]実施例の製造方法によって製造されたエピタキシャルウェーハの周辺部を示す図である。

[図4]比較例の製造方法によって製造されたエピタキシャルウェーハの周辺部を示す図である。

発明を実施するための形態

[0025] 以下、本発明について、実施態様の一例として、図を参照しながら詳細に説明するが、本発明はこれに限定されるものではない。

前述のように、「クラックフリー」と呼ばれるエピタキシャルウェーハにおいても、クラウンの発生に起因して外周部から数ｍｍ程度の領域にはクラックが存在しているのが現状であり、このクラックはデバイスの製造工程において伸張したり、エピタキシャル成長層の剥離を誘発して製造ラインを汚染したりすることが懸念される。このため、完全にクラックフリーなエピタキシャル基板が望まれている。

[0026] そこで、発明者らは、容易に完全なクラックフリーのエピタキシャルウェーハを得ることができ、デバイス製造工程等の後工程において、クラックが伸張したり、エピタキシャル成長層の剥離を誘発して製造ラインを汚染したりすることが抑制できるエピタキシャルウェーハの製造方法について鋭意検討を重ねた。

その結果、シリコン系基板の外周部をテラス加工した後に、シリコン系基板上に半導体層をエピタキシャル成長させることで、容易に完全なクラックフリーのエピタキシャルウェーハを得ることができ、デバイス製造工程等の後工程において、クラックが伸張したり、エピタキシャル成長層の剥離を誘発して製造ラインを汚染したりすることが抑制できることを見出し、本発明をなすに至った。

[0027] 以下、図１を参照しながら、本発明の半導体エピタキシャルウェーハの製造方法を説明する。

まず、図１（ａ）に示すようにシリコン系基板を準備する。シリコン系基板は、例えばシリコン（Ｓｉ）基板やシリコンカーバイド（ＳｉＣ）基板などである。

[0028] 次に、図１（ｂ）に示すようにシリコン系基板の外周部をテラス加工する。

ここで、テラス加工とは、図２（ｅ）に示すように、シリコン基板のエピタキシャル層を形成する側の表面の外周部を、外径を変更することなく一定幅平坦に除去する加工を施すことを言い、この加工が施された部分をテラス部と呼び、形成された平坦な面をテラス面と呼ぶ。

このテラス加工は、例えば番手が＃８００～＃４０００程度の粒度を有する砥石により、幅１ｍｍ以上、好ましくは１～３ｍｍ、深さ３μｍ以上、好ましくは３～５０μｍ研削する。

このようにしてテラス加工されたシリコン系基板を図２に示す。

図２（ａ）は幅３ｍｍ、深さ６μｍで研削したウェーハの外周部の写真であり、図２（ｂ）は図２（ａ）の拡大写真である。

また、図２（ｃ）は幅１ｍｍ、深さ６μｍで研削したウェーハの外周部の

写真であり、図２（ｄ）は図２（ｃ）の拡大写真である。

さらに、図２（ｅ）は研削されたシリコン基板の周辺部の断面図である。

[0029] このようにシリコン系基板の外周部をテラス加工することで後工程のエピタキシャル成長で外周部におけるクラックやエピタキシャル層剥れ、反応痕の発生を抑制することができる。これはテラス加工したテラス部でエピタキシャル成長した層が多結晶となることで応力が緩和されることによって、クラックや反応痕の発生を抑制すると考えられる。

また、研削した後、混酸等によりエッチングを行ってテラス面を鏡面又は準鏡面にしてもよい。このようにエッチングを行ってテラス面を鏡面又は準鏡面にすることで発塵を抑制し、発塵による不具合を防止することができる。

[0030] 次に、図１（ｃ）に示すように有機金属気相成長（ＭＯＣＶＤ）法等のエピタキシャル成長法を用いて９００℃以上、例えば１２００℃に設定されたシリコン系基板上にエピタキシャル成長層を形成する。

このエピタキシャル層の組成は特に限定されないが、窒化物半導体とすることができ、また、この窒化物半導体を、ＡｌＮ、ＡｌＧａＮ、ＧａＮのいずれか１つ以上とすることができる。例えば、ＡｌＮ層を形成した後、ＡｌＧａＮ層とＧａＮ層を交互に積層したバッファ層を成長させ、その表面にＧａＮ層を形成することができ、全体として３～１０μｍ程度の厚さで成長させることができる。

[0031] 上記で説明した図１の製造フローに従ってエピタキシャルウェーハを製造すれば、容易に完全なクラックフリーの半導体エピタキシャルウェーハを得ることができ、デバイス製造工程等の後工程において、クラックが伸張したり、エピタキシャル成長層の剥離を誘発して製造ラインを汚染したりすることが抑制できる。

[0032] 次に、本発明のエピタキシャル成長用シリコン系基板を説明する。

本発明のエピタキシャル成長用シリコン系基板は、半導体層をエピタキシャル成長させるためのエピタキシャル成長用シリコン系基板であって、シリ

コン系基板の外周部がテラス加工され、テラス部を有するものである（図２（ｅ）参照）。

[0033] 外周部がテラス加工され、テラス部を有するシリコン系基板を用いて、半導体層のエピタキシャル成長を行えば、容易に完全なクラックフリーのエピタキシャルウェーハを得ることができ、デバイス製造工程等の後工程において、クラックが伸張したり、エピタキシャル成長層の剥離を誘発して製造ラインを汚染したりすることが抑制できる。

[0034] また、テラス部のテラス面が鏡面又は準鏡面になっていることが好ましい。

このようにテラス部のテラス面が鏡面又は準鏡面になっていることで、テラス面からの発塵を抑制し、発塵による不具合を防止することができる。

[0035] さらに、エピタキシャル成長させる半導体層が窒化物半導体からなる構成とすることができる。

エピタキシャル成長させる半導体層として窒化物半導体を用いるエピタキシャル成長用シリコン系基板に、本発明を好適に適用することができる。

[0036] この窒化物半導体を、ＡｌＮ、ＧａＮ、ＩｎＮ、又はそれらの混晶のいずれか１つ以上とすることができる。

エピタキシャル成長させる半導体層に用いる窒化物半導体として上記のような材料を用いるエピタキシャル成長用シリコン系基板に、本発明を好適に適用することができる。

[0037] また、本発明のエピタキシャルウェーハは、上記のエピタキシャル成長用シリコン系基板にエピタキシャル層が成長させられたものである。

[0038] このような外周部がテラス加工され、テラス部を有するシリコン系基板にエピタキシャル層が成長させられたエピタキシャルウェーハであれば、容易に完全なクラックフリーのエピタキシャルウェーハとすることができ、デバイス製造工程等の後工程において、クラックが伸張したり、エピタキシャル成長層の剥離を誘発して製造ラインを汚染したりすることがないエピタキシャルウェーハとすることができる。

実施例

[0039] 以下、実施例及び比較例を示して本発明をより具体的に説明するが、本発明はこれらに限定されるものではない。

[0040] （実施例）

直径１５０ｍｍで厚さ１ｍｍのシリコン基板の外周部を、＃３０００の粒度を有する砥石を用いて、幅３ｍｍ、深さ６μｍ、５０μｍの２水準で、研削によりテラス加工を行った。

テラス加工を行ったシリコン基板にエピタキシャル成長によりＡｌＮ層を形成した後、ＡｌＧａＮ層とＧａＮ層を交互に積層したバッファ層をエピタキシャル成長させ、その表面にＧａＮ層をエピタキシャル成長させて、エピタキシャルウェーハを作製した。エピタキシャル層の厚さは全体で１０μｍであった。

上記のようにして作製されたエピタキシャルウェーハの外周部を集光灯で観察したところ、深さ６μｍの水準（図３（ａ）参照）にも、深さ５０μｍの水準（図３（ｂ）参照）にも、クラック、エピタキシャル層剥れ、反応痕の発生はなかった。

[0041] （比較例）

テラス加工を行わないことを除き、実施例と同様に直径１５０ｍｍで厚さ１ｍｍのシリコン基板上にエピタキシャル成長を行った。

その結果、図４に示すように、エピタキシャルウェーハのほぼ全周にクラックが見られた。また、エピタキシャル層剥がれが全周に散在し、反応痕が全周にまばらに散在した。

[0042] なお、本発明は、上記実施形態に限定されるものではない。上記実施形態は、例示であり、本発明の特許請求の範囲に記載された技術的思想と実質的に同一な構成を有し、同様な作用効果を奏するものは、いかなるものであっても本発明の技術的範囲に包含される。

請求の範囲

[請求項1] シリコン系基板上にエピタキシャル層を有するエピタキシャルウェーハの製造方法であって、前記シリコン系基板の外周部をテラス加工した後に、前記シリコン系基板上に半導体層をエピタキシャル成長させることを特徴とするエピタキシャルウェーハの製造方法。

[請求項2] 前記テラス加工を砥石による研削で行うことを特徴とする請求項１に記載のエピタキシャルウェーハの製造方法。

[請求項3] 研削したテラス面を鏡面又は準鏡面とする工程をさらに含むことを特徴とする請求項２に記載のエピタキシャルウェーハの製造方法。

[請求項4] 前記エピタキシャル成長させる半導体層が窒化物半導体からなることを特徴とする請求項１から請求項３のいずれか１項に記載のエピタキシャルウェーハの製造方法。

[請求項5] 前記窒化物半導体が、ＡｌＮ、ＧａＮ、ＩｎＮ、又はそれらの混晶のいずれか１つ以上であることを特徴とする請求項４に記載のエピタキシャルウェーハの製造方法。

[請求項6] 半導体層をエピタキシャル成長させるためのエピタキシャル成長用シリコン系基板であって、

前記シリコン系基板の外周部がテラス加工され、テラス部を有するものであることを特徴とするエピタキシャル成長用シリコン系基板。

[請求項7] 前記テラス部のテラス面が鏡面又は準鏡面になっていることを特徴とする請求項６に記載のエピタキシャル成長用シリコン系基板。

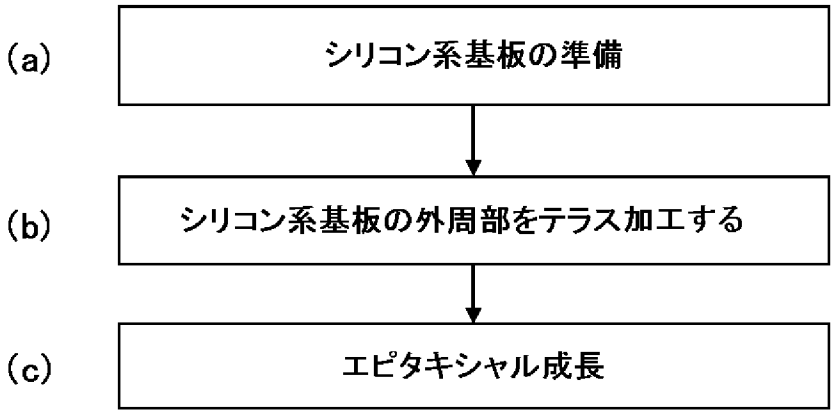
[請求項8] 前記エピタキシャル成長させる半導体層が窒化物半導体からなることを特徴とする請求項６又は請求項７に記載のエピタキシャル成長用シリコン系基板。

[請求項9] 前記窒化物半導体が、ＡｌＮ、ＧａＮ、ＩｎＮ、又はそれらの混晶のいずれか１つ以上であることを特徴とする請求項８に記載のエピタキシャル成長用シリコン系基板。

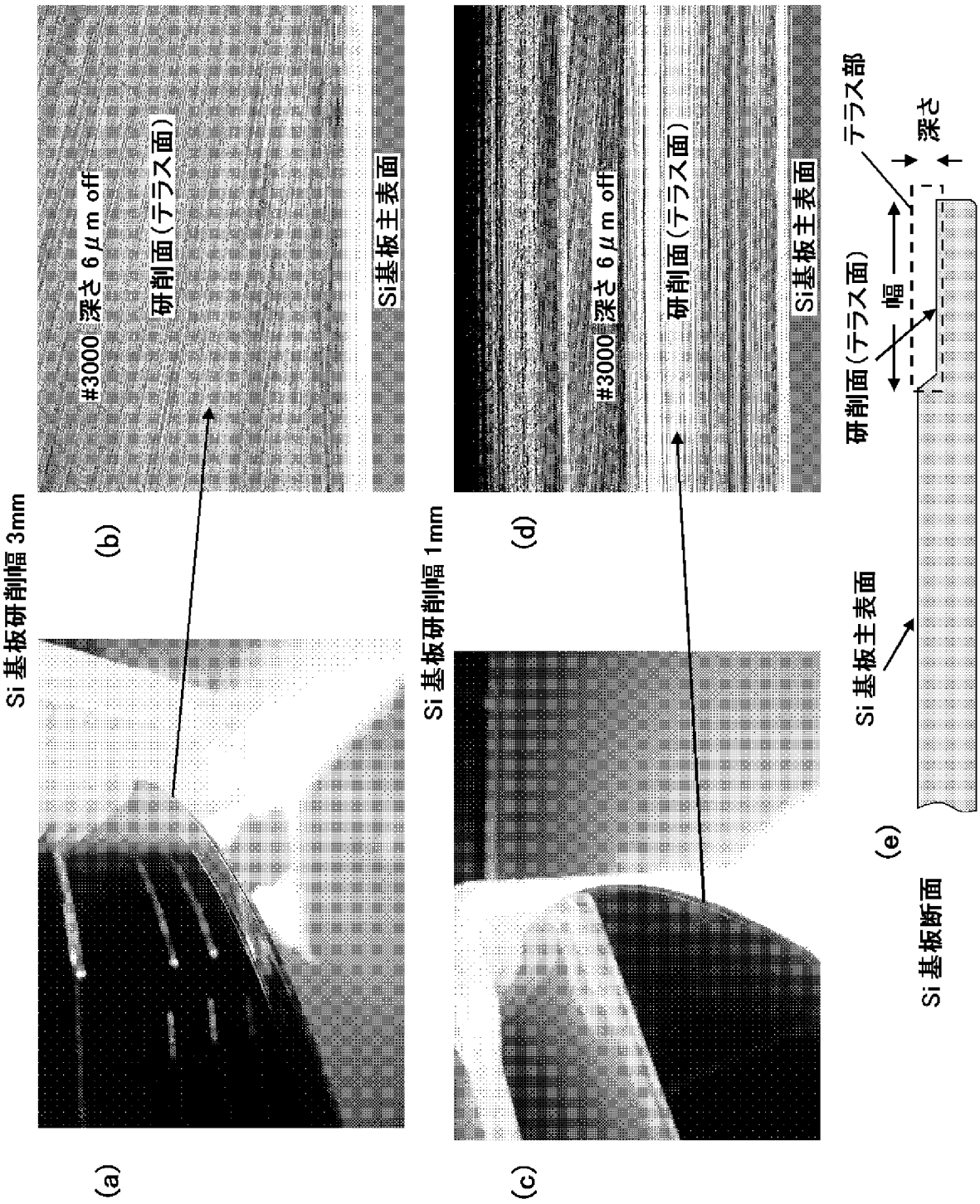
[請求項10] 請求項６から請求項９のいずれか一項に記載のエピタキシャル成長

用シリコン系基板にエピタキシャル層が成長させられたものであることを特徴とするエピタキシャルウェーハ。

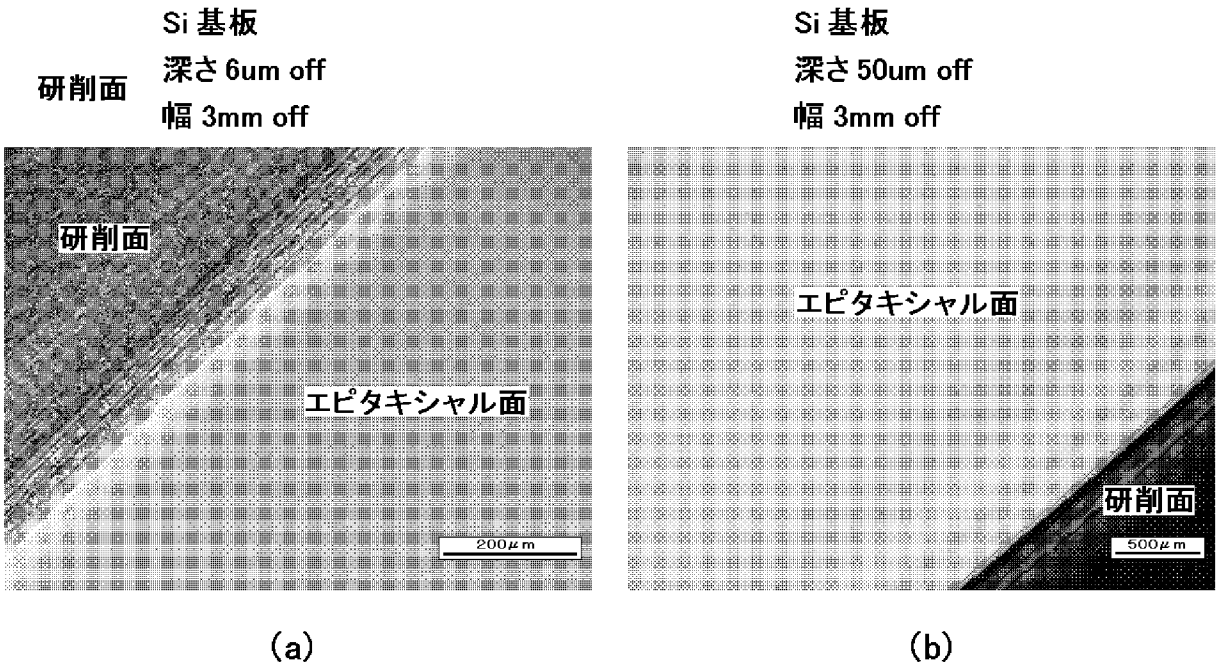
[図1]



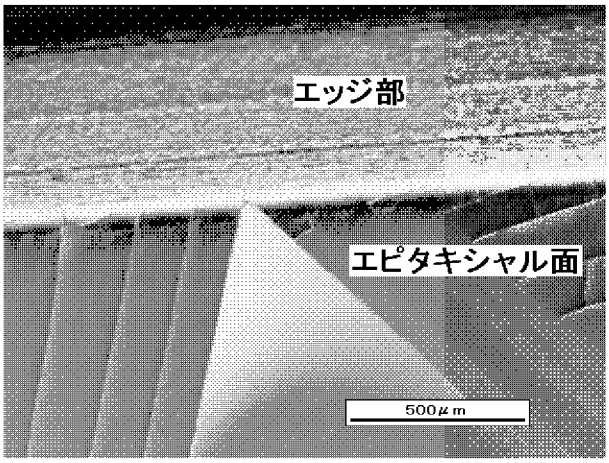
[図2]


Si 基板研削幅 3mm
(a)
(b)
#3000 深さ 6μm off
研削面（テラス面）
Si基板主表面
Si 基板研削幅 1mm
(c)
(d)
#3000 深さ 6μm off
研削面（テラス面）
Si基板主表面
(e)
Si 基板主表面
研削面（テラス面）
幅
テラス部
深さ
Si 基板断面

[図3]


研削面
Si 基板
深さ 6um off
幅 3mm off
研削面
エピタキシャル面
200μm
Si 基板
深さ 50um off
幅 3mm off
エピタキシャル面
研削面
500μm
(a)
(b)

[図4]


エッジ部
エピタキシャル面
500μm

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/000595

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/205(2006.01)i, *C23C16/02*(2006.01)i, *C23C16/34*(2006.01)i, *H01L21/20*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/205, C23C16/02, C23C16/34, H01L21/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2013-118384 A (Samsung Electronics Co., Ltd.), 13 June 2013 (13.06.2013), paragraphs [0030] to [0051]; fig. 3, 5 & US 2013/0140567 A1 & EP 2602810 A1 & KR 10-2013-0062736 A & CN 103137656 A	1,4-6,8-10 2,3,7
Y	JP 2011-119336 A (Mitsubishi Electric Corp.), 16 June 2011 (16.06.2011), paragraphs [0055] to [0066]; fig. 26 to 31 (Family: none)	2
Y	JP 62-030336 A (Fujitsu Ltd.), 09 February 1987 (09.02.1987), page 1, lower right column, line 4 to page 2, upper left column, line 14 (Family: none)	3,7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
11 March 2015 (11.03.15)	31 March 2015 (31.03.15)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１５／０００５９５

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/205(2006.01)i, C23C16/02(2006.01)i, C23C16/34(2006.01)i, H01L21/20(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/205, C23C16/02, C23C16/34, H01L21/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１５年
日本国実用新案登録公報	１９９６－２０１５年
日本国登録実用新案公報	１９９４－２０１５年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y	JP 2013-118384 A（三星電子株式会社）2013.06.13, ［００３０］－［００５１］及び図３，５ & US 2013/0140567 A1 & EP 2602810 A1 & KR 10-2013-0062736 A & CN 103137656 A	1,4-6,8-10 2,3,7
Y	JP 2011-119336 A（三菱電機株式会社）2011.06.16, ［００５５］－［００６６］及び図２６－３１（ファミリーなし）	2
Y	JP 62-030336 A（富士通株式会社）1987.02.09, 第１頁右下欄第４行－第２頁左上欄第１４行（ファミリーなし）	3,7

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１１．０３．２０１５	３１．０３．２０１５

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｏ　３６５４
境　周一
電話番号　０３－３５８１－１１０１　内線　３５５９