

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7547874号
(P7547874)

(45)発行日 令和6年9月10日(2024.9.10)

(24)登録日 令和6年9月2日(2024.9.2)

(51)国際特許分類		F I		
H 0 3 K	17/08 (2006.01)	H 0 3 K	17/08	C
H 0 2 M	1/08 (2006.01)	H 0 2 M	1/08	A
H 0 3 K	17/082 (2006.01)	H 0 3 K	17/082	
H 0 2 M	1/00 (2007.01)	H 0 2 M	1/00	H

請求項の数 6 (全21頁)

(21)出願番号	特願2020-147017(P2020-147017)	(73)特許権者	000002945 オムロン株式会社 京都府京都市下京区塩小路通堀川東入南 不動堂町801番地
(22)出願日	令和2年9月1日(2020.9.1)	(74)代理人	100101454 弁理士 山田 卓二
(65)公開番号	特開2022-41671(P2022-41671A)	(74)代理人	100189555 弁理士 徳山 英浩
(43)公開日	令和4年3月11日(2022.3.11)	(74)代理人	100091524 弁理士 和田 充夫
審査請求日	令和5年7月7日(2023.7.7)	(72)発明者	岩井 聡 京都府京都市下京区塩小路通堀川東入南 不動堂町801番地 オムロン株式会社内
		(72)発明者	末木 葵 京都府京都市下京区塩小路通堀川東入南 最終頁に続く

(54)【発明の名称】 過電流保護回路及びスイッチング回路

(57)【特許請求の範囲】

【請求項1】

制御電圧に基づいてオンオフ制御されるスイッチング素子のための過電流保護回路において、

P N P型バイポーラトランジスタであって、前記制御電圧に接続されたエミッタを有する第1のトランジスタと、

N P N型バイポーラトランジスタであって、前記第1のトランジスタのコレクタに接続されたベースと、前記第1のトランジスタのベースに接続されかつ所定のプルアップ電圧にプルアップされたコレクタと、接地されたエミッタとを有する第2のトランジスタとを備え、

前記過電流保護回路は、前記制御電圧が所定の第1のしきい値電圧を超えると、前記第1及び第2のトランジスタがオンされ、前記プルアップ電圧の低下により前記制御電圧が低下されて、前記スイッチング素子をオフする保護動作を開始し、

前記過電流保護回路は、

前記制御電圧に接続されるアノードと、前記第1のトランジスタのエミッタに接続されるカソードとを有する第1のダイオードと、

前記第1のトランジスタのエミッタと前記第1のトランジスタのベースとの間に接続される素子回路とを備え、

前記素子回路は、前記第1のトランジスタのエミッタに接続されたカソードと、前記第1のトランジスタのベースに接続されたアノードとを有する第2のダイオードと、前記第

2のダイオードと並列に接続された第1の抵抗との並列回路であり、
前記過電流保護回路は、
前記制御電圧を発生する制御部と、
前記プルアップ電圧を検出して、当該検出した検出電圧を、前記スイッチング素子をオフするための第1の制御信号として前記制御部に出力する電圧検出部とをさらに備える、
過電流保護回路。

【請求項2】

前記第2のトランジスタのコレクタ及びエミッタに接続されたキャパシタであって、前記制御電圧の立ち上がり時の前記プルアップ電圧の変化を軽減させる第1のキャパシタをさらに備える、
請求項1に記載の過電流保護回路。

10

【請求項3】

前記第2のトランジスタのコレクタ及びエミッタに並列に接続された時定数回路であって、第2の抵抗と、第2のキャパシタを含み、時定数を変化することで、前記保護動作の開始から終了までの時間を調整する時定数回路をさらに備える、
請求項1又は2に記載の過電流保護回路。

【請求項4】

前記第2の抵抗に並列に接続された第3のダイオードをさらに備える、
請求項3に記載の過電流保護回路。

【請求項5】

前記過電流保護回路が前記保護動作から復帰するときに、前記制御部からの第2の制御信号に基づいて前記プルアップ電圧をオフからオンする別のスイッチング素子をさらに備える、
請求項1に記載の過電流保護回路。

20

【請求項6】

請求項1～5のうちのいずれか1つに記載の過電流保護回路と、
前記スイッチング素子とを備える、
スイッチング回路。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、過電流保護回路と、それを備えたスイッチング回路に関する。ここで、スイッチング回路とは、例えば昇圧チョップ回路、ハーフブリッジインバータ回路、フルブリッジインバータ回路等のスイッチング回路である。

【背景技術】

【0002】

半導体デバイスは一般に短絡耐量を持ち、短絡耐量を超える電流が流れると破壊に至るおそれがある。短絡により半導体デバイスに過電流が流れるのを高速に検知し、半導体デバイスに流れる電流を停止させることで、半導体デバイスの過電流保護を行うことができる。

40

【0003】

例えば特許文献1は、直流電圧が高い場合、低い場合、一定の場合においても任意のタイミングでコレクタ短絡検出の検出電圧の設定レベルを変えることができ、電圧駆動素子を過電流から確実に保護することができる電力変換装置の過電流保護装置を提供する。

【0004】

特許文献1に係る過電流保護装置は、電圧駆動形の電力用スイッチング素子を有する電力変換装置と、上記電力用スイッチング素子の入力側主端子の電圧を検出し、上記電圧が所定値を超えた時、上記電力用スイッチング素子にオフ信号を与える過電流検知部と、上記過電流検知部に任意のタイミングで並列関係に接続し得るようにされ、上記所定値を変更し得るようにした過電流設定部とを備える。

50

【 0 0 0 5 】

G a Nデバイス、窒化ガリウムG a Nを用いた半導体デバイスであり、絶縁ゲートバイポーラトランジスタ（I G B T）及びS i Cデバイス等の従来の半導体デバイスに比較して高周波で駆動され得るという特徴を持つ。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 6 】

【 文献 】特開 2 0 0 6 - 1 4 4 0 2 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

10

【 0 0 0 7 】

しかしながら、G a Nデバイスは従来の半導体デバイスに比較して過電流に弱く、例えば100ナノ秒程度の過電流で破壊に至ることもある。従って、I G B T素子のコレクタ・エミッタ間の不飽和（過電流）状態を検出して自動的にゲートを遮断する保護機能であるD E S A T（Desaturation Protection）機能、C T（Current Transformer）検出又は特許文献1の技術などの従来の過電流保護技術は、G a Nデバイスを十分に保護することができない。

【 0 0 0 8 】

本発明の目的は以上の問題点を解決し、半導体スイッチを過電流から、従来技術に比較して高速に保護することができる過電流保護回路と、それを備えるスイッチング回路を提供することにある。

20

【 課題を解決するための手段 】

【 0 0 0 9 】

本発明に係る過電流保護回路は、
制御電圧に基づいてオンオフ制御されるスイッチング素子のための過電流保護回路において、

P N P型バイポーラトランジスタであって、前記制御電圧に接続されたエミッタを有する第1のトランジスタと、

N P N型バイポーラトランジスタであって、前記第1のトランジスタのコレクタに接続されたベースと、前記第1のトランジスタのベースに接続されかつ所定のプルアップ電圧にプルアップされたコレクタと、接地されたエミッタとを有する第2のトランジスタとを備え、

30

前記過電流保護回路は、前記制御電圧が所定の第1のしきい値電圧を超えると、前記第1及び第2のトランジスタがオンされ、前記プルアップ電圧の低下により前記制御電圧が低下されて、前記スイッチング素子をオフする保護動作を開始し、

前記過電流保護回路は、

前記制御電圧に接続されるアノードと、前記第1のトランジスタのエミッタに接続されるカソードとを有する第1のダイオードと、

前記第1のトランジスタのエミッタと前記第1のトランジスタのベースとの間に接続される素子回路とを備え、

40

前記素子回路は、

（1）前記第1のトランジスタのエミッタに接続されたカソードと、前記第1のトランジスタのベースに接続されたアノードとを有する第2のダイオードと、

（2）第1の抵抗と、

（3）前記第2のダイオードと前記第1の抵抗の並列回路と、

のうちのいずれか1つである。

【 発明の効果 】

【 0 0 1 0 】

従って、本発明に係る過電流保護回路等によれば、半導体デバイスを過電流から、従来技術に比較して高速に保護することができる。

50

【図面の簡単な説明】

【 0 0 1 1 】

【図 1】比較例に係る昇圧チョッパ回路 1 0 1 の構成例を示すブロック図である。

【図 2】図 1 の電流駆動型スイッチング回路 1 1 0 の詳細構成例を示すブロック図である。

【図 3 A】図 2 の電流駆動型スイッチング回路 1 1 0 における信号等の動作波形を示すタイミングチャートである。

【図 3 B】図 3 A のトランジスタ Q 1 のベース・エミッタ間電圧 V_{be} の拡大図である。

【図 4】実施形態 1 に係る昇圧チョッパ回路 1 の構成例を示すブロック図である。

【図 5】図 4 の電流駆動型スイッチング回路 1 0 の詳細構成例を示すブロック図である。

【図 6】図 5 の電流駆動型スイッチング回路 1 0 における信号等の動作波形を示すタイミングチャートである。 10

【図 7 A】図 5 の電流駆動型スイッチング回路 1 0 において、ダイオード D 1 1 , D 1 2 を追加することで過電圧を防止することを説明するための図 6 のベース・エミッタ間電圧 V_{be} の拡大図である。【図 7 B】図 5 の電流駆動型スイッチング回路 1 0 において、保護防止機能が作動したときの図 6 のトランジスタ Q 1 のベース・エミッタ間電圧 V_{be} の拡大図である。【図 7 C】図 5 の電流駆動型スイッチング回路 1 0 において、保護動作保持状態に移行したときの図 6 のトランジスタ Q 1 のベース・エミッタ間電圧 V_{be} 及び検出電圧 V_{ocp} の拡大図である。【図 7 D】図 5 の電流駆動型スイッチング回路 1 0 において、保護動作保持状態から自動復帰するまでの時間を調整することを説明するための図 6 のトランジスタ Q 1 のベース・エミッタ間電圧 V_{be} 及び検出電圧 V_{ocp} の拡大図である。 20

【図 8】実施形態 2 に係る電流駆動型スイッチング回路 1 0 A の詳細構成例を示すブロック図である。

【図 9 A】図 8 の電流駆動型スイッチング回路 1 0 A において、ダイオード D 1 1 及び抵抗 R 1 1 を追加することで過電圧を防止することを説明するためのトランジスタ Q 1 のベース・エミッタ間電圧 V_{be} の波形図である。【図 9 B】図 8 の電流駆動型スイッチング回路 1 0 A において、保護機能が動作したときにトランジスタ Q 1 のベース・エミッタ間電圧 V_{be} の波形図である。【図 9 C】図 8 の電流駆動型スイッチング回路 1 0 A において、保護機能保持状態から自動復帰するまでの時間を調整することを説明するためのトランジスタ Q 1 のベース・エミッタ間電圧 V_{be} 及び検出電圧 V_{ocp} の波形図である。 30

【図 1 0】実施形態 3 に係る電流駆動型スイッチング回路 1 0 B の詳細構成例を示すブロック図

【図 1 1 A】図 1 0 の電流駆動型スイッチング回路 1 0 B において、ダイオード D 1 1 , D 1 2 及び抵抗 R 1 1 を追加することで過電圧を防止することを説明するためのトランジスタ Q 1 のベース・エミッタ間電圧 V_{be} の波形図である。【図 1 1 B】図 1 0 の電流駆動型スイッチング回路 1 0 B において、過電流発生時の時間を調整することを説明するためのトランジスタ Q 1 のベース・エミッタ間電圧 V_{be} の波形図である。 40

【図 1 2 A】実施形態 4 に係る電流駆動型スイッチング回路 1 0 C の詳細構成例を示すブロック図である。

【図 1 2 B】図 1 2 A の電流駆動型スイッチング回路 1 0 C における信号等の動作波形を示すタイミングチャートである。

【図 1 3】実施形態 5 に係る電流駆動型スイッチング回路 1 0 D の詳細構成例を示すブロック図である。

【図 1 4】実施形態 6 に係る電流駆動型スイッチング回路 1 0 E の詳細構成例を示すブロック図である。

【図 1 5】実施形態 7 に係る電流駆動型スイッチング回路 1 0 F の詳細構成例を示すブロック図である。 50

【図16】実施形態8に係る電流駆動型スイッチング回路10Gの詳細構成例を示すブロック図である。

【図17】変形例1に係るハーフブリッジインバータ回路1Aの構成例を示すブロック図である。

【図18】変形例2に係るフルブリッジインバータ回路1Bの構成例を示すブロック図である。

【発明を実施するための形態】

【0012】

以下、本発明に係る実施形態を、図面を参照して説明する。ただし、以下で説明する各実施形態は、あらゆる点において本発明の例示に過ぎない。本発明の範囲を逸脱することなく種々の改良や変形を行うことができることは言うまでもない。つまり、本発明の実施にあたって、実施形態に応じた具体的構成が適宜採用されてもよい。

10

【0013】

以下、比較例の回路構成及び動作、並びにそれに係る課題を説明した後、当該課題を解決するための実施形態及び変形例について説明する。

【0014】

(比較例)

図1は比較例に係る昇圧チョッパ回路101の構成例を示すブロック図である。図1において、昇圧チョッパ回路101は、スイッチング素子である半導体スイッチ14を有する電流駆動型スイッチング回路110と、インダクタL1と、ダイオードD1と、キャパシタC1とを備える。

20

【0015】

図1において、入力電圧 V_i はインダクタL1を介してダイオードD1のアノード及び半導体スイッチ14のドレインの接続点に印加される。半導体スイッチ14のソースは接地される。ダイオードD1のカソードは出力電圧 V_o を出力するキャパシタC1の一端に接続され、その他端は接地される。

【0016】

以上のように構成された昇圧チョッパ回路101において、インダクタL1は電流の変化を妨げる向きに起電力を生じる。従って、半導体スイッチ14がその制御端子であるゲートに印加される制御電圧に基づいてオンからオフに切り替わるとき、インダクタL1はダイオードD1の抵抗により電流が低下するのを妨げるように、入力電圧 V_i と同じ向きの起電力を生じる。これにより入力電圧 V_i よりも高い電圧が生じ、当該電圧はキャパシタC1により平滑化され、出力電圧 V_o に変換される。従って、半導体スイッチ14のオンオフを周期的に選択的に切り替えることで、昇圧チョッパ回路101は、入力電圧 V_i を、入力電圧 V_i よりも高い直流出力電圧 V_o に変換して出力する。

30

【0017】

図2は、図1の電流駆動型スイッチング回路110の詳細構成例を示すブロック図である。図2において、電流駆動型スイッチング回路110は、過電流保護回路111と、制御部12と、駆動部13と、半導体スイッチ14と、抵抗R1とを備える。過電流保護回路111は、トランジスタQ1, Q2と、プルアップ抵抗R2と、電圧検出回路15とを備える。

40

【0018】

図2において、制御部12は、パルス信号である駆動信号 S_{drv} で駆動部13を制御する。また、制御部12は、過電流保護回路111の電圧検出回路15からトランジスタQ1のベースに印加された検出電圧 V_{ocp} を示す信号を監視し、検出電圧 V_{ocp} が所定のしきい値未満となったとき、異常検出フラグ F_h をハイレベルにし、駆動信号 S_{drv} をローレベルに固定して、駆動部13を停止させる。

【0019】

駆動部13は、制御部12からの駆動信号 S_{drv} に基づいて、抵抗R1を介して半導体スイッチ14のゲートにゲート・ソース間電圧 V_{gs} を印加し、半導体スイッチ14を

50

オンオフ制御する。半導体スイッチ14は例えばGaNデバイス等のスイッチング素子であり、駆動部13によりオンオフ制御されてドレイン電流 I_d を導通するか否かを選択的に切り替える。なお、ゲート・ソース間電圧 V_{gs} は本発明の「制御電圧」の一例である。

【0020】

過電流保護回路111において、トランジスタQ1は例えばPNP型バイポーラトランジスタである。また、トランジスタQ2は例えばNPN型バイポーラトランジスタであり、トランジスタQ1のコレクタに接続されたベースと、トランジスタQ1のベースに接続されたコレクタと、接地されたエミッタを有する。また、トランジスタQ2のコレクタは、プルアップ抵抗R2を介してしきい値電圧 V_{TH} にプルアップされる。しきい値電圧 V_{TH} は、本発明の「プルアップ電圧」の一例である。

10

【0021】

ここで、トランジスタQ1がオフ（絶縁）の間、トランジスタQ2のベースに電流は流れない。トランジスタQ1がオンになると、エミッタ・コレクタ間が導通するため、トランジスタQ2のベース・エミッタ間を電流が流れる。従って、トランジスタQ1がオンになると、トランジスタQ2もオンになる。電圧検出回路15は、トランジスタQ2のコレクタ・エミッタ間電圧である検出電圧 V_{ocp} を検出して、検出電圧 V_{ocp} を示す信号を制御部12に出力する。なお、電圧検出回路15は本発明の「電圧検出部」の一例であり、検出電圧 V_{ocp} を示す信号は本発明の「第1の制御信号」の一例である。

【0022】

図3Aは、図2の電流駆動型スイッチング回路110における信号等の動作波形を示すタイミングチャートであり、図3Bは図3AのトランジスタQ1のベース・エミッタ間電圧 V_{be} の拡大図である。

20

【0023】

図3Aにおいて、時刻 t_1 において電流駆動型スイッチング回路110が動作を開始し、時刻 t_2 において半導体スイッチ14に短絡が発生して保護動作が開始し、時刻 t_3 において制御部12が短絡を検出する。さらに、時刻 t_4 で異常状態が解消して、時刻 t_5 で定常動作に復帰する。ここで、時刻 $t_1 \sim t_2$ の期間を定常動作期間201といい、時刻 $t_2 \sim t_3$ の期間を保護動作期間202といい、時刻 $t_3 \sim t_5$ の期間を V_{gs} 信号オフ期間（又は停止期間）204という。

【0024】

定常動作期間201において、検出電圧 V_{ocp} がオーバーシュートする期間を除いて、プルアップ抵抗R2に電流は流れないため、検出電圧 V_{ocp} はしきい値電圧 V_{TH} である。このしきい値電圧 V_{TH} は、駆動信号 S_{drv} がハイレベルの時に駆動部13が供給するゲート・ソース間電圧 V_{gs} よりも高く設定されているため、トランジスタQ1及びQ2の両方は定常動作期間201において常にオフである。

30

【0025】

一般に半導体デバイスを過電流が流れる場合、半導体デバイスに含まれる半導体スイッチのゲート・ソース間電圧がオーバーシュート（瞬間的に上昇）する。この比較例においても、図3の時刻 t_2 等において、半導体スイッチ14に流れるドレイン電流 I_d が過剰に上昇するとともに、半導体スイッチ14のゲート・ソース間電圧 V_{gs} は急激に上昇し、しきい値電圧 V_{TH} よりも高い値になる。これにより、トランジスタQ1がオンになり、従ってトランジスタQ2もオンになる。

40

【0026】

ここで、トランジスタQ1及びQ2の両方がオンになると、半導体スイッチ14のゲートはトランジスタQ1及びQ2を通じて接地される。従って、ゲート・ソース間電圧 V_{gs} は急速に低下して0Vとなる。これにより半導体スイッチ14はオフになるため、半導体スイッチ14に流れる過電流を停止させ、過電流保護回路111は保護動作を開始することができる。時刻 t_2 で短絡が発生してから、過電流保護回路111が保護動作を開始するまでの時間は、トランジスタQ1、Q2のスイッチングにおける遅延を含み、例えば20～100ナノ秒程度に短い。

50

【 0 0 2 7 】

また、トランジスタQ 2がオンされているとき、検出電圧V o c pは急速に低下して0 Vとなる。ここで、抵抗R 1がプルアップ抵抗R 2よりも小さい場合、ゲート・ソース間電圧V g sは検出電圧V o c pよりも速く低下する。従って、ゲート・ソース間電圧V g sが低下しても、トランジスタQ 1をオンのままに保つことができる。その後、制御部の駆動信号S d r vがローレベルとなると、駆動部1 3は停止され、ゲート・ソース間電圧V g sが0 Vに低下する。従ってトランジスタQ 1、Q 2は順次オフになるため、検出電圧V o c pは再度しきい値電圧V T Hまで上昇し、保護動作が終了する。

【 0 0 2 8 】

電圧検出回路1 5は、検出電圧V o c pを示す信号を制御部1 2に出力している。制御部1 2は検出電圧V o c pの値を監視し、検出電圧V o c pが所定のしきい値未満になると、保護動作が行われたと判断して異常検出フラグF hをハイレベルにし、駆動信号S d r vの出力を停止させる(時刻t 3)。時刻t 3以降のV g s信号オフ期間(停止期間)2 0 3では、駆動信号S d r vは常にローレベルであり、半導体スイッチ1 4は常にオフのままである。

【 0 0 2 9 】

ここで、制御部1 2の応答が遅い場合、時刻t 3において駆動信号S d r vの出力が停止する前に、再度駆動信号S d r vがハイレベルになり得る。その場合には、図3 Aに示すように、半導体スイッチ1 4に再度過電流が流れ、過電流保護回路1 1 1は再度保護動作を開始する。

【 0 0 3 0 】

以上説明したように、比較例に係る過電流保護回路1 1 1は、プルアップ抵抗R 2と、PNP型であるトランジスタQ 1と、NPN型であるトランジスタQ 2と、電圧検出回路1 5とを備える。半導体スイッチ1 4のゲート・ソース間電圧V g sがしきい値電圧V T Hを上回ると、トランジスタQ 1、Q 2は順次オンになる。これにより過電流保護回路1 1 1は、ゲート・ソース間電圧V g sを0まで低下させて、半導体スイッチをオフする保護動作を開始する。また、制御部1 2は電圧検出回路1 5により検出された検出電圧V o c pを監視して、検出電圧V o c pが所定のしきい値電圧未満になると、駆動部1 3を停止させて半導体スイッチ1 4をオフする。従って本実施形態によれば、半導体スイッチ1 4に流れる過電流を、従来技術に比較して高速に停止させ、半導体スイッチ1 4を保護することができる。

【 0 0 3 1 】

(比較例の課題)

以上説明したように、比較例に係る過電流保護回路1 1 1では、トランジスタQ 1、Q 2と検出電圧V o c pを用い、電流駆動型半導体スイッチ1 4のゲート電圧V g sを監視することで過電流保護機能を実現している。

【 0 0 3 2 】

しかし、この構成では、図3 Bに示す半導体スイッチ1 4のオフ時のゲート・ソース間アンダーシュート1 2 0や、半導体スイッチ1 4にゲート負バイアス電圧を印加する際、トランジスタQ 1のベース・エミッタ間に電圧V b eとして過電圧1 2 0が印加される可能性があるという課題があった。

【 0 0 3 3 】

(実施形態1)

図4は実施形態1に係る昇圧チョッパ回路1の構成例を示すブロック図であり、図5は図4の電流駆動型スイッチング回路1 0の詳細構成例を示すブロック図である。図4において、昇圧チョッパ回路1は、図1の昇圧チョッパ回路1 0 1と同様の回路構成を有するが、図5の電流駆動型スイッチング回路1 0は、図2のスイッチ駆動回路1 1 0と比較して、比較例における課題を解決するために、以下の相違点を有する。

【 0 0 3 4 】

(1) 過電流保護回路1 1 1に代えて、過電流保護回路1 1を備える。具体的には、以下

10

20

30

40

50

の通りである。

(2) 半導体スイッチ14のゲートとトランジスタQ1のエミッタとの間にダイオードD11を挿入したこと。ここで、ダイオードD11のアノードは半導体スイッチ14のゲートに接続され、ダイオードD11のカソードはトランジスタQ1のエミッタに接続される。

(3) トランジスタQ1のエミッタとベースの間にダイオードD12を挿入したこと。ここで、ダイオードD12のアノードはトランジスタQ1のベースに接続され、ダイオードD12のカソードはトランジスタQ1のエミッタに接続される。ここで、ダイオードD12は、本発明における素子回路の一例である。

【0035】

図6は図5の電流駆動型スイッチング回路10における信号等の動作波形を示すタイミングチャートであり、図7A~図7Dは図5の電流駆動型スイッチング回路10において、ダイオードD11, D12を追加することで過電圧を防止することを説明するための図6のベース・エミッタ間電圧 V_{be} 及び検出電圧 V_{ocp} の拡大図である。

【0036】

実施形態1では、図5に図示するようにダイオードD12を追加挿入することで、図7Aに示すように、トランジスタQ1のベース・エミッタ間 V_{be} の電荷を、ダイオードD12を介して、トランジスタQ1のエミッタ側に放電する。また、ダイオードD11に、検出電圧 $V_{ocp} + V_{ds}$ (半導体スイッチ14のドレイン・ソース間電圧)なる電圧を負担させる。これにより、トランジスタQ1のベース・エミッタ間電圧 V_{be} における過電圧を防止することを特徴とする。

【0037】

半導体スイッチ14において過電流が発生したときは、図7Bのように、ゲート・ソース間電圧 V_{gs} のオーバーシュート($V_{ocp} - V_{gs}$)がトランジスタQ1のベース・エミッタ間に印加され、トランジスタQ1が導通すれば保護機能が作動する。

【0038】

また、保護動作後は、図7Cに示すように、トランジスタQ1及びQ2により、しきい値電圧となる検出電圧 V_{ocp} が放電されて低下して、保護動作保持状態に移行する。

【0039】

さらに、保護動作保持状態は、半導体スイッチ14へのゲート信号を停止することで自動復帰する。復帰までの時間は、図7Dに示すように、抵抗R2(又はインピーダンス)により検出電圧 V_{ocp} の立ち上がり時間を調整することで設定が可能である。

【0040】

以上説明したように、実施形態1によれば、比較例に比較してダイオードD11, D12を追加して挿入することで、トランジスタQ1のベース・エミッタ間電圧 V_{be} における過電圧を防止できる。

【0041】

(実施形態2)

図8は実施形態2に係る電流駆動型スイッチング回路10Aの詳細構成例を示すブロック図である。図8の電流駆動型スイッチング回路10Aは、図5の電流駆動型スイッチング回路10に比較して以下の相違点を有する。

(1) 過電流保護回路11に代えて、過電流保護回路11Aを備える。具体的には、以下の通りである。

(2) ダイオードD12に代えて、抵抗R11を挿入した。ここで、抵抗R11は、本発明における素子回路の一例である。

以下、当該相違点について説明する。

【0042】

図8において、図5のダイオードD12に代えて、抵抗R11を追加挿入することで、トランジスタQ1のベース・エミッタ間の電荷を、抵抗R11を介してトランジスタQ1のエミッタ側に放電する。また、ダイオードD11に、実施形態1と同様に、検出電圧 $V_{ocp} + V_{ds}$ を負担させることで、トランジスタQ1のベース・エミッタ間の過電圧を

10

20

30

40

50

防止することができる（図 9 A 参照）。

【 0 0 4 3 】

例えば半導体スイッチ 1 4 において過電流が発生したときは、図 9 B のように、ゲート・ソース間電圧 V_{gs} のオーバーシュートによる電流 I_{ocp} が、半導体スイッチ 1 4 のゲートからダイオード D 1 1 及び抵抗 R 1 1 を介して流れる。その電位差（ $= I_{ocp} \times R_{11}$ ）がトランジスタ Q 1 のベース・エミッタ間のしきい値電圧を超えると、トランジスタ Q 1 が導通して保護機能が作動する。なお、実施形態 2 における保護状態の保持、定常状態への自動復帰については、実施形態 1 と同様に動作する（図 9 C 参照）。

【 0 0 4 4 】

以上説明したように、実施形態 2 によれば、比較例に比較してダイオード D 1 1 及び抵抗 R 1 1 を追加して挿入することで、トランジスタ Q 1 のベース・エミッタ間電圧 V_{be} における過電圧を防止できる。

10

【 0 0 4 5 】

（実施形態 3）

図 1 0 は実施形態 3 に係る電流駆動型スイッチング回路 1 0 B の詳細構成例を示すブロック図である。図 1 0 の電流駆動型スイッチング回路 1 0 B は、図 5 の電流駆動型スイッチング回路 1 0 に比較して以下の相違点を有する。

（ 1 ）過電流保護回路 1 1 に代えて、過電流保護回路 1 1 B を備える。具体的には、以下の通りである。

（ 2 ）図 8 のダイオード D 1 2 と並列に、抵抗 R 1 1 を接続した。ここで、ダイオード D 1 2 と抵抗 R 1 1 の並列回路は、本発明における素子回路の一例である。

20

以下、当該相違点について説明する。

【 0 0 4 6 】

以上のように構成された電流駆動型スイッチング回路 1 0 B では、図 1 1 A に示すように、基本的な動作は実施形態 2 の動作を同様である。

【 0 0 4 7 】

また、図 1 1 B に示すように、例えば半導体スイッチ 1 4 において過電流が発生したときは、検出電圧 V_{ocp} による電位差を抵抗 1 1 の抵抗値で調整することができる。これにより、しきい値電圧となる検出電圧 V_{ocp} と抵抗 R 1 1 の抵抗値の組み合わせの各値を変えることで、半導体スイッチ 1 4 の駆動条件に合わせて、半導体スイッチ 1 4 の動作を最適化することが可能となる。

30

【 0 0 4 8 】

以上説明したように、実施形態 3 によれば、比較例に比較してダイオード D 1 1 及び、ダイオード D 1 2 と抵抗 R 1 1 の並列回路を追加して挿入することで、トランジスタ Q 1 のベース・エミッタ間電圧 V_{be} における過電圧を防止できる。

【 0 0 4 9 】

（実施形態 4）

図 1 の比較例では、半導体スイッチ 1 4 のゲート・ソース間電圧 V_{gs} が立ち上がるときに、図 3 A に示したように検出電圧 V_{ocp} がオーバーシュートする。これは検出電圧 V_{ocp} の低下を遅らせ、保護動作の開始を遅延させる原因となる。また、上述の通り、短絡期間 P_s における過電流保護の後、制御部 1 2 の応答速度が遅い場合、半導体スイッチ 1 4 に繰り返し過電流が流れるため、これは望ましくない。この課題を解決するために、以下の実施形態 4 に係る構成を提案する。

40

【 0 0 5 0 】

図 1 2 A は実施形態 4 に係る電流駆動型スイッチング回路 1 0 C の詳細構成例を示すブロック図である。また、図 1 2 B は図 1 2 A の電流駆動型スイッチング回路 1 0 C における信号等の動作波形を示すタイミングチャートである。図 1 2 A において、実施形態 4 に係る電流駆動型スイッチング回路 1 0 C は、図 1 0 の電流駆動型スイッチング回路 1 0 B に比較して、以下の点で異なる。

（ 1 ）過電流保護回路 1 1 B に代えて、過電流保護回路 1 1 B A を備える。具体的には、

50

以下の通りである。

(2) トランジスタQ2のコレクタ及びエミッタに接続されたキャパシタCaをさらに備える。

(3) しきい値電圧VTHの電源はプルアップ抵抗R2を介して、キャパシタCaをしきい値電圧VTHまで充電する。

【0051】

以上のように構成された実施形態4では、半導体スイッチ14に短絡が発生し、ゲート・ソース間電圧Vgsが急激に立ち上がるときに、ゲート・ソース間電圧Vgsの立ち上がりにより検出電圧Vocpがオーバーシュートするが、この変化はキャパシタCaにより軽減される(図12Bの保護動作期間202参照)。従って、保護動作の開始の遅延を抑えることができる。

10

【0052】

また、短絡発生後の保護動作期間202(図12B)においてトランジスタQ1, Q2がオンになると、キャパシタCaはトランジスタQ2を介して接地され、キャパシタCaはゼロ電位まで放電する。その後、駆動信号Sdrvがローレベルとなり、トランジスタQ1, Q2がオフになって検出電圧Vocpが上昇し始める。ここで、しきい値電圧VTHはキャパシタCaを充電する。従って、検出電圧Vocpがしきい値電圧VTHまで上昇するのにかかる時間は、比較例及び実施形態3における当該時間よりも長くなる。キャパシタCaを適切に選択することで、検出電圧Vocpがしきい値電圧VTHまで上昇するのにかかる時間を、再度駆動信号Sdrvがハイレベルになるまでの時間よりも長くすることができる。これにより、再度制御信号がハイレベルになっても、ゲート・ソース間電圧Vgsがしきい値電圧VTHに達する前にトランジスタQ1, Q2はオンになり、半導体スイッチ14は保護される。

20

【0053】

以上説明したように、実施形態4に係る過電流保護回路11BAは、過電流保護回路11Bに加えてさらにキャパシタCaを備える。これにより、過電流保護回路11BAが保護動作を行った後、当該保護動作から復帰するまでの時間を、比較例に係る過電流保護回路111よりも長くし、半導体スイッチ14に過電流が繰り返し流れる現象を防ぐことができる。また、ゲート・ソース間電圧Vgsの立ち上がりによる検出電圧Vocpのオーバーシュートを過電流保護回路111よりも小さくし、保護動作の開始における遅延を過電流保護回路111よりも低減することができる。

30

【0054】

なお、実施形態4に係る過電流保護回路11BAでは、ダイオードD12及び抵抗R11の並列回路を備えているが、本発明はこれに限らず、当該並列回路に代えて、ダイオードD12のみ、もしくは抵抗R11のみを備えてもよい。

【0055】

(実施形態5)

図13は、実施形態5に係る電流駆動型スイッチング回路10Dの構成例を示すブロック図である。図13において、実施形態5に係る電流駆動型スイッチング回路10Dは、図12Aの電流駆動型スイッチング回路10BAと比較して、以下の点で異なる。

40

(1) 過電流保護回路11BAに代えて、過電流保護回路11BBを備える。具体的には、以下の通りである。

(2) さらに、抵抗R3及びキャパシタCbを含む時定数回路18を備える。

(3) 時定数回路18は、トランジスタQ2のコレクタ及びエミッタに並列に接続される。

【0056】

以上のように構成された過電流保護回路11BBでは、ゼロ電位まで放電したキャパシタCaがしきい値電圧VTHまで充電される時定数は調整され、過電流保護回路11BBが保護動作から復帰するまでの時間は、過電流保護回路11BAよりも長くなる。なお、実施形態1~3の電流駆動型スイッチング回路10, 10A, 10Bにも、時定数回路18を挿入して同様の効果を得られる。

50

【 0 0 5 7 】

以上説明したように、実施形態 5 に係る電流駆動型スイッチング回路 1 0 B B はさらに、抵抗 R 3 とキャパシタ C b とを含む時定数回路 1 8 を備える。過電流保護回路 1 1 B B が保護動作から復帰するまでの時間は、抵抗 R 3 及びキャパシタ C b を適切に選択することで調整される。

【 0 0 5 8 】

なお、実施形態 5 に係る過電流保護回路 1 1 B B では、ダイオード D 1 2 及び抵抗 R 1 1 の並列回路を備えているが、本発明はこれに限らず、当該並列回路に代えて、ダイオード D 1 2 のみ、もしくは抵抗 R 1 1 のみを備えてもよい。

【 0 0 5 9 】

(実施形態 6)

図 1 4 は、実施形態 6 に係る電流駆動型スイッチング回路 1 0 E の構成例を示すブロック図である。図 1 4 において、電流駆動型スイッチング回路 1 0 E は図 1 3 の電流駆動型スイッチング回路 1 0 D と比較して以下の点で異なる。

(1) 過電流保護回路 1 1 B B に代えて、過電流保護回路 1 1 B C を備える。具体的には、以下の通りである。

(2) 過電流保護回路 1 1 B C はさらに、アノードが抵抗 R 3 の低電位側の一端に接続され、カソードが抵抗 R 3 の他端に接続されたダイオード D 2 を備える。

【 0 0 6 0 】

以上のように構成された実施形態 6 に係る電流駆動型スイッチング回路 1 0 E はさらに、ダイオード D 2 を備える。従って、ゲート・ソース間電圧 V_{gs} 等におけるノイズが過電流保護回路 1 1 B C に与える影響は、過電流保護回路 1 1 B よりも抑えられる。

【 0 0 6 1 】

なお、実施形態 6 に係る過電流保護回路 1 1 B C では、ダイオード D 1 2 及び抵抗 R 1 1 の並列回路を備えているが、本発明はこれに限らず、当該並列回路に代えて、ダイオード D 1 2 のみ、もしくは抵抗 R 1 1 のみを備えてもよい。

【 0 0 6 2 】

(実施形態 7)

図 1 5 は、実施形態 7 に係る電流駆動型スイッチング回路 1 0 F の構成例を示すブロック図である。図 1 5 において、電流駆動型スイッチング回路 1 0 F は図 1 4 の電流駆動型スイッチング回路 1 0 E と比較して以下の点で異なる。

(1) 過電流保護回路 1 1 B C に代えて、過電流保護回路 1 1 B D を備える。具体的には、以下の通りである。

(2) 電流駆動型スイッチング回路 1 0 F はさらに、MOS 駆動部 1 6 を備える。

(3) 抵抗 R 3 を MOS F E T 1 7 で置き換える。

【 0 0 6 3 】

図 1 5 において、MOS 駆動部 1 6 は、制御部 1 2 により制御されて、MOS 駆動信号 S_m を出力して MOS F E T 1 7 をオンオフ制御する。MOS F E T 1 7 は MOS 駆動信号 S_m により制御され、MOS 駆動信号 S_m がローレベルを有する期間ではしきい値電圧 V_{TH} を遮断 (オフ) する。

【 0 0 6 4 】

すなわち、電流駆動型スイッチング回路 1 0 F は動作の開始 (図 6 の時刻 t_1) よりも前に準備期間を有し、制御部 1 2 は MOS 駆動部 1 6 を介して MOS F E T 1 7 をオンにし、キャパシタ C a がしきい値電圧 V_{TH} まで充電された後、制御部 1 2 は MOS 駆動部 1 6 を介して MOS F E T 1 7 をオフする。その後、図 6 の時刻 $t_1 \sim t_2$ の定常動作期間 2 0 1 における通常の動作の後、短絡発生後の保護動作期間 2 0 2 において保護が開始され、キャパシタ C a はゼロ電位まで放電する。実施形態 1 ~ 6 ではこの後、時刻 $t_2 \sim t_3$ の保護動作期間 2 0 2 において、駆動信号 S_{drv} がローレベルになってトランジスタ Q 1 , Q 2 がオフになり、キャパシタ C a が再度充電された。しかしながら本実施形態では、MOS F E T 1 7 がオフされているため、キャパシタ C a は充電されず、過電流保

10

20

30

40

50

護回路 11BD は保護動作を保持する。その後、制御部 12 は検出電圧 V_{ocp} が所定のしきい値電圧未満になると、異常検出フラグ F_h をハイレベルにして駆動信号 S_{drv} の出力を停止する（時刻 t_3 ）。

【0065】

次いで、時刻 $t_3 \sim t_5$ の V_{gs} 信号オフ期間 203 において、昇圧チョッパ回路 1 の使用者は、短絡箇所を修理して、短絡を解消することができる。その後、例えば上位の制御回路が短絡の解消を検出して制御部 12 を制御するか、又は使用者が直接制御部 12 を操作することで、制御部 12 の異常検出フラグ F_h はローレベルになる。制御部 12 は異常検出フラグ F_h がローレベルになったのを検出して、再度キャパシタ C_a を充電するために MOSFET 17 をオンする。次いで、先の準備期間と同様、2 回目の準備期間において MOS 駆動信号 S_m はハイレベルを有し、キャパシタ C_a はしきい値電圧 V_{TH} まで充電される。

10

【0066】

2 回目の準備期間におけるキャパシタ C_a の十分な充電により、過電流保護回路 11BD は保護動作から復帰する。その後、電流駆動型スイッチング回路 10F は、元の定常動作期間 201 に戻り、正常な定常動作を再開する。

【0067】

以上説明したように、実施形態 7 に係る電流駆動型スイッチング回路 10F は、MOS 駆動部 16 と、MOSFET 17 とを備える。従って、MOSFET 17 は MOS 駆動部 16 を介して制御部 12 により制御され、しきい値電圧 V_{TH} をオンオフ制御する。検出電圧 V_{ocp} は、MOSFET 17 がオフの期間では上昇しないため、制御部 12 の応答の遅延等にかかわらず、保護動作からの復帰を任意のタイミングで行うことができる。なお、MOSFET 17 が寄生ダイオードを含む場合、実施形態 6 に係る電流駆動型スイッチング回路 10E と同様、ノイズを抑える効果が得られる。

20

【0068】

なお、本実施形態に係る MOSFET 17 は、実施形態 1 ~ 6 の電流駆動型スイッチング回路 10, 10A ~ 10E のいずれにも同様に挿入可能であり、同様の効果が得られる。また、本実施形態に係る MOSFET 17 は、本発明の「別のスイッチング素子」の一例である。

【0069】

（実施形態 8）

図 16 は、実施形態 8 に係る電流駆動型スイッチング回路 10G の構成例を示すブロック図である。図 16 において、電流駆動型スイッチング回路 10G は図 15 の電流駆動型スイッチング回路 10F と比較して、以下の点が異なる。

(1) 過電流保護回路 11BD に代えて、過電流保護回路 11BE を備える。具体的には、以下の通りである。

(2) MOSFET 17 に代えてトランジスタ 17a を備える。

(3) MOS 駆動部 16 に代えてトランジスタ駆動部 16a を備える。

【0070】

制御部 12 は、トランジスタ駆動部 16a を介してトランジスタ 17a のベース電流 I_{tr} を制御することで、トランジスタ 17a をオンオフ制御する。これにより、実施形態 7 と同様の効果が得られる。

40

【0071】

なお、本実施形態に係るトランジスタ 17a は、実施形態 1 ~ 6 の電流駆動型スイッチング回路 10, 10A ~ 10E のいずれにも同様に挿入可能であり、同様の効果が得られる。また、本実施形態に係るトランジスタ 17a は、本発明の「別のスイッチング素子」の一例である。

【0072】

（変形例）

以上、本発明の実施形態を詳細に説明してきたが、前述までの説明はあらゆる点におい

50

て本発明の例示に過ぎない。本発明の範囲を逸脱することなく種々の改良や変形を行うことができることは言うまでもない。例えば、以下のような変更が可能である。なお、以下では、上記実施形態と同様の構成要素に関しては同様の符号を用い、上記実施形態と同様の点については、適宜説明を省略した。以下の変形例は適宜組み合わせ可能である。

【0073】

実施形態1～8では、本発明に係る電流駆動型スイッチング回路10，10A～10Gを備える半導体デバイスとして、昇圧チョッパ回路1を説明した。しかしながら、本発明はこれに限らず、半導体スイッチで電流をスイッチング制御する回路及び装置等に利用可能である。

【0074】

例えば、図17は、変形例1に係るハーフブリッジインバータ回路1Aの構成例を示すブロック図である。図17において、ハーフブリッジインバータ回路1Aは、インダクタL2と、2個の電流駆動型スイッチング回路10と、キャパシタC2とを備える。

10

【0075】

図17において、2個の電流駆動型スイッチング回路10の半導体スイッチ14は、周期的に交互にオンするよう制御される。これにより入力電圧 V_i はスイッチングされ、キャパシタC2により平滑化されて、交流出力電圧 V_o に変換される。これによりハーフブリッジインバータ回路1Aは、直流の入力電圧 V_i をスイッチングし、交流の出力電圧 V_o に変換して出力する。2個の電流駆動型スイッチング回路10は、それぞれ電流駆動型スイッチング回路10A～10Gのいずれか1つで置き換えられてもよい。

20

【0076】

また、図18は、変形例2に係るフルブリッジインバータ回路1Bの構成例を示すブロック図である。図18において、フルブリッジインバータ回路1Bは、キャパシタC3と、4個の電流駆動型スイッチング回路10と、インダクタL3，L4とを備える。

【0077】

図18において、4個の電流駆動型スイッチング回路10は、第1及び第4の電流駆動型スイッチング回路10（図左上及び右下）がオンであり、かつ第2及び第3の電流駆動型スイッチング回路10（図左下及び右上）がオフである期間と、これらのオンオフを逆転させた期間とが、周期的に交互に現れるよう制御される。これにより入力電圧 V_i はスイッチングされ、スイッチングされた入力電圧 V_i は、キャパシタC3及びインダクタL3，L4により平滑化される。これによりフルブリッジインバータ回路1Bは、直流の入力電圧 V_i をスイッチングし、交流の出力電圧 V_o に変換して出力する。4個の電流駆動型スイッチング回路10は、それぞれ電流駆動型スイッチング回路10A～10Gのいずれか1つで置き換えられてもよい。

30

【0078】

このように、本発明に係る電流駆動型スイッチング回路及び過電流保護回路は、半導体デバイスで電流をスイッチング制御する回路及び装置に利用可能である。

【0079】

また、実施形態1～8では、しきい値電圧 V_{TH} の電源からの電流を制限する手段としてプルアップ抵抗R2を用いた。しかしながら、本発明はこれに限らず、プルアップ抵抗R2に代えてダイオード等を用いてもよい。

40

【0080】

さらに、実施形態1～8では、スイッチング回路として電流駆動型スイッチング回路10，10A～10Gを用いた。しかしながら、本発明はこれに限らず、電流駆動型スイッチング回路に代えて電圧駆動型スイッチング回路を用いてもよい。

【符号の説明】

【0081】

- 1，101 昇圧チョッパ回路
- 1A ハーフブリッジインバータ回路
- 1B フルブリッジインバータ回路

50

10, 10A ~ 10G, 110 電流駆動型スイッチング回路

11, 11A ~ 11B, 11BA, 11BB, 11BC, 11BD, 11BE, 111

過電流保護回路

12 制御部

13 駆動部

14 半導体スイッチ

15 電圧検出回路

16 MOS 駆動部

16a トランジスタ駆動部

17 MOSFET

17a トランジスタ

18 時定数回路

D1, D11, D12 ダイオード

Q1, Q2 トランジスタ

R1, R2, R11 抵抗

【図面】

【図1】

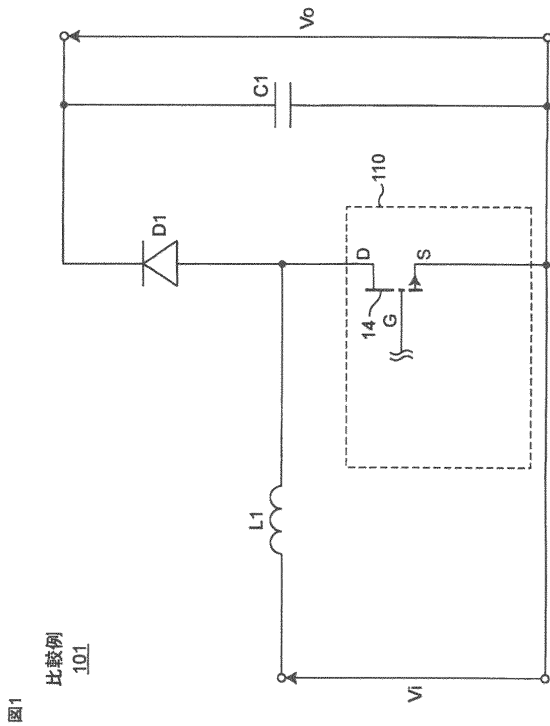


図1 比較例 101

【図2】

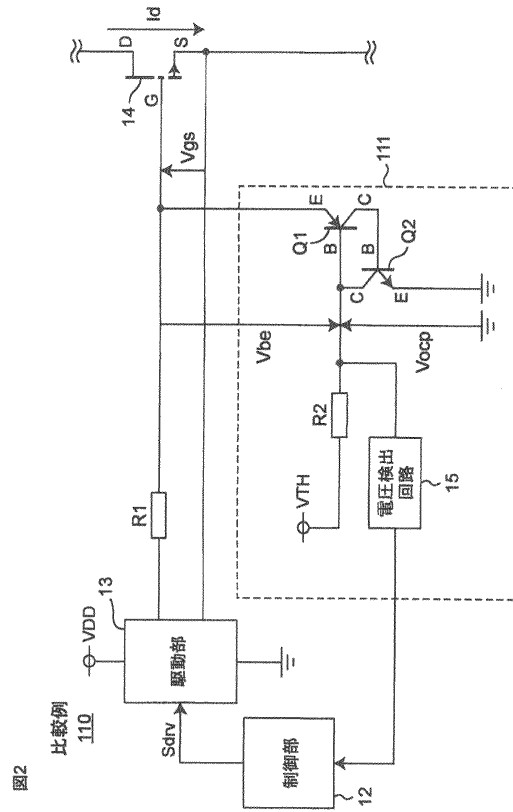


図2 比較例 110

10

20

30

40

50

【図 3 A】

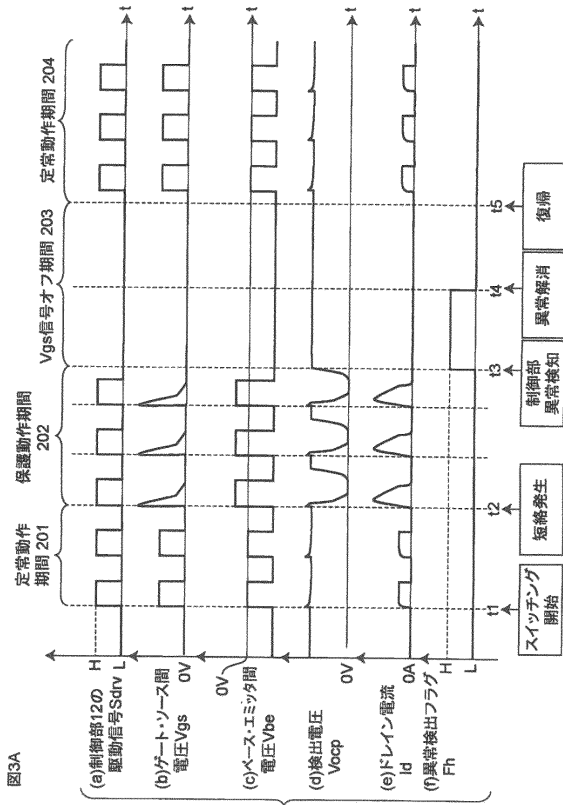
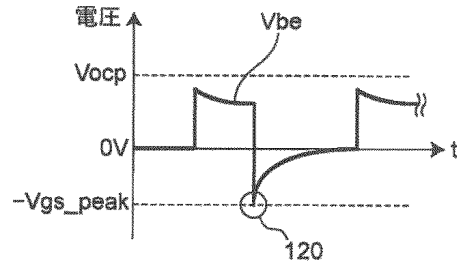


図3A

【図 3 B】

図3B



10

20

【図 4】

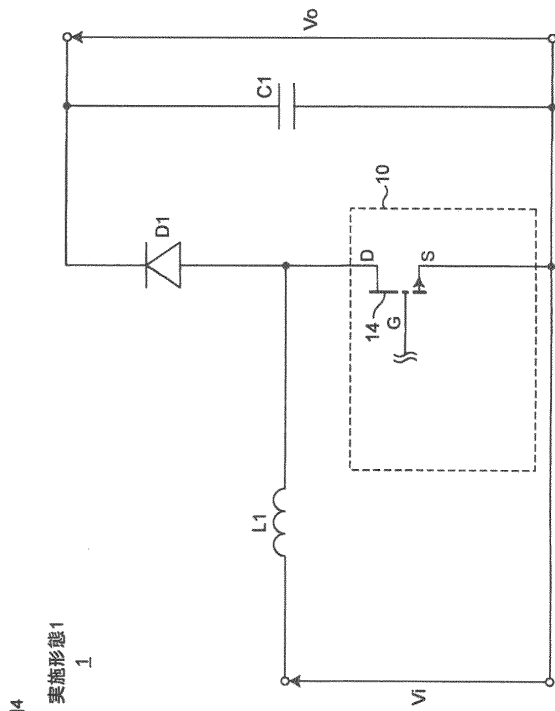


図4

【図 5】

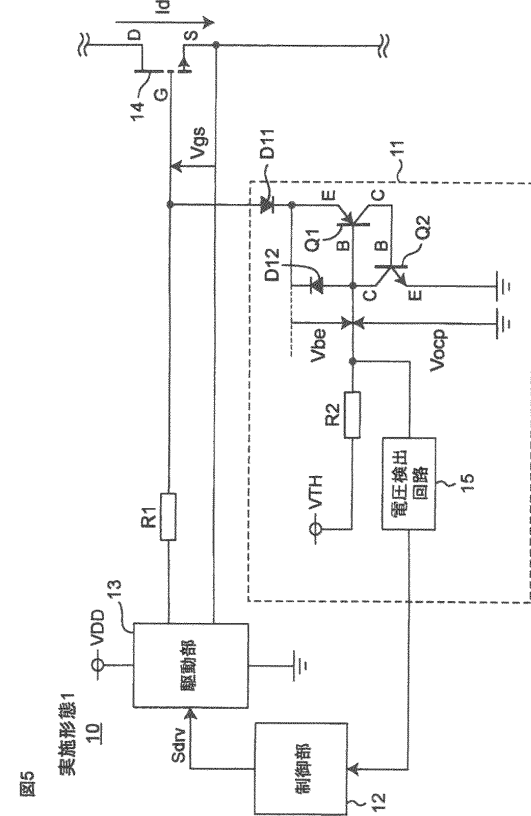


図5

30

40

50

【図6】

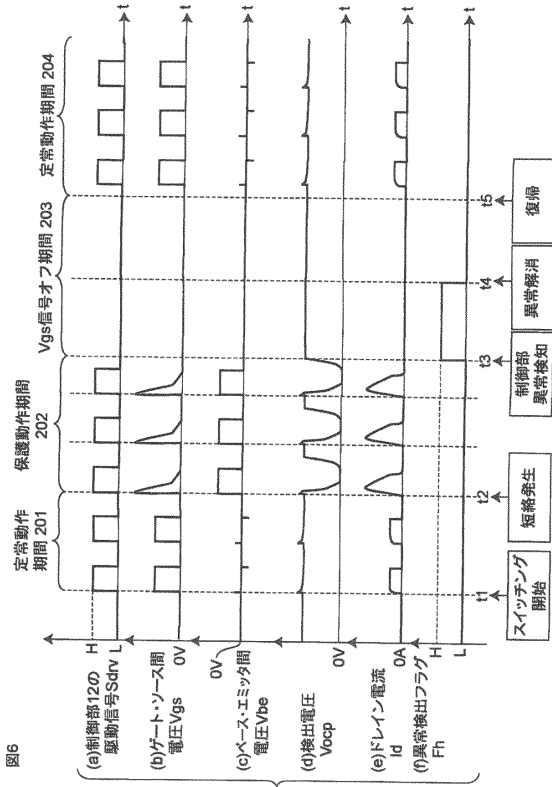
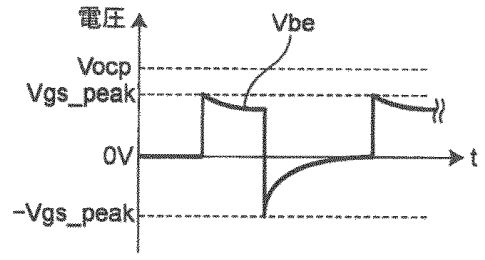


図6

【図7A】

図7A

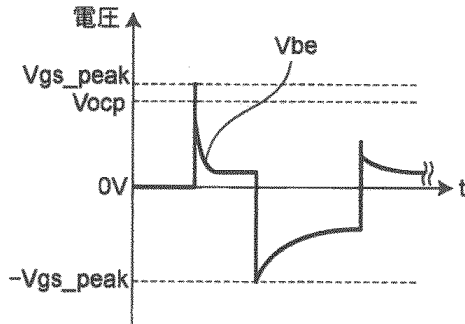


10

20

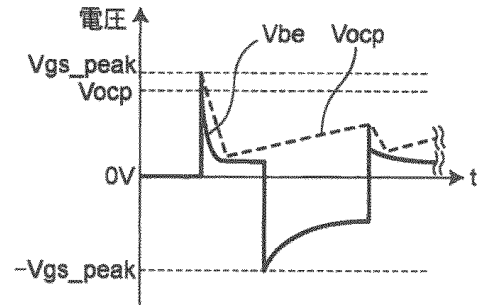
【図7B】

図7B



【図7C】

図7C



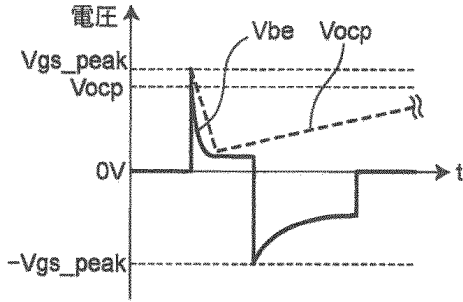
30

40

50

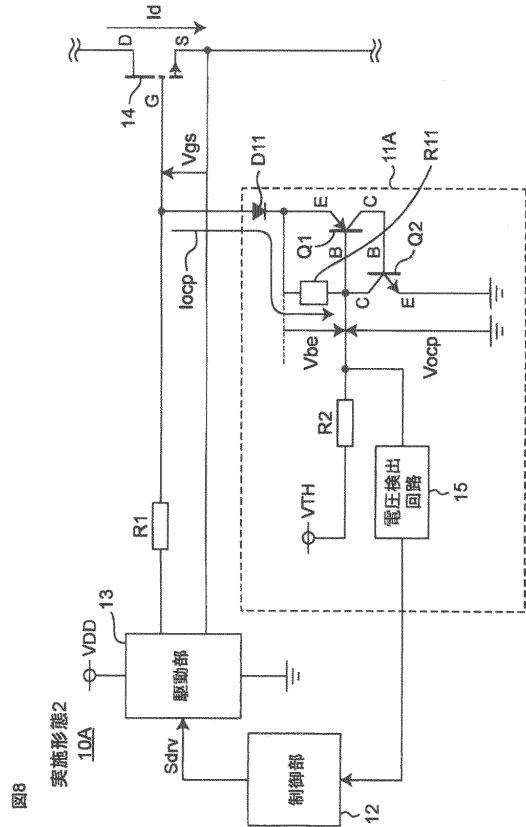
【 図 7 D 】

图7D



【 図 8 】

图8

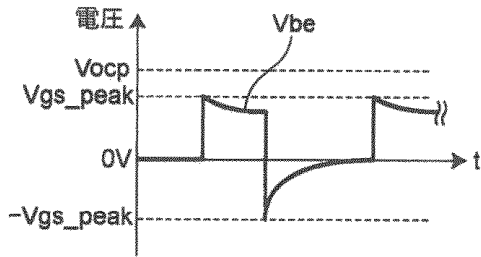


10

20

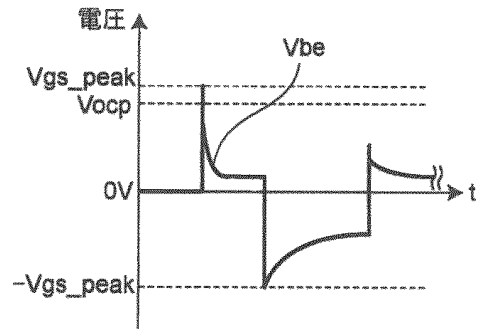
【 図 9 A 】

图9A



【 図 9 B 】

图9B



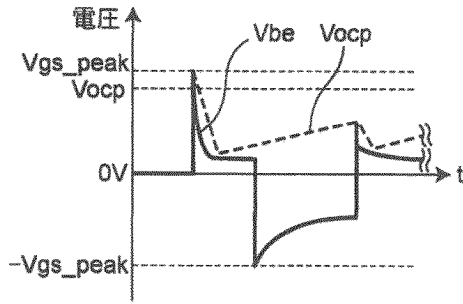
30

40

50

【 図 9 C 】

図9C



【 図 1 0 】

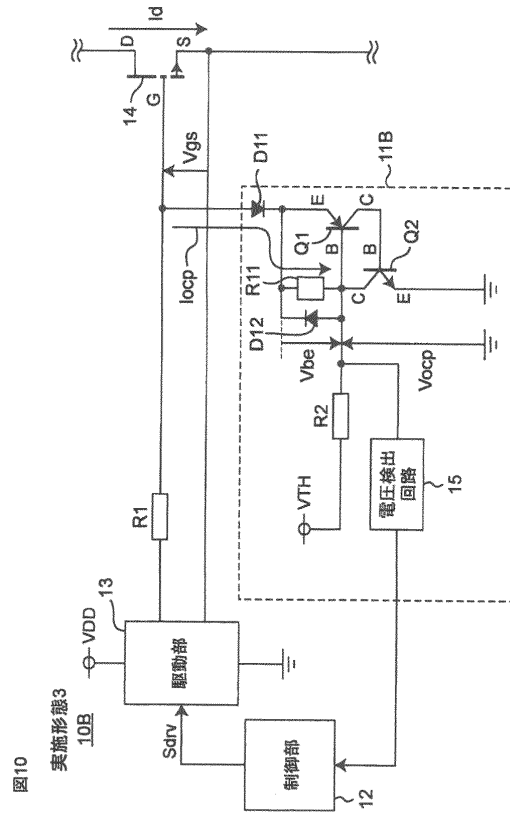


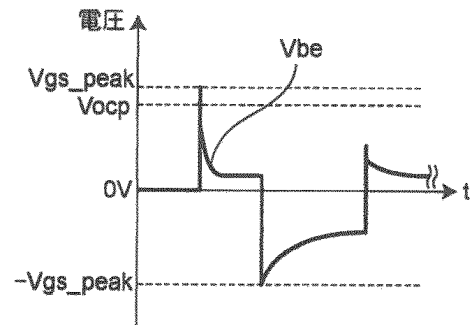
図10

実施形態3

10B

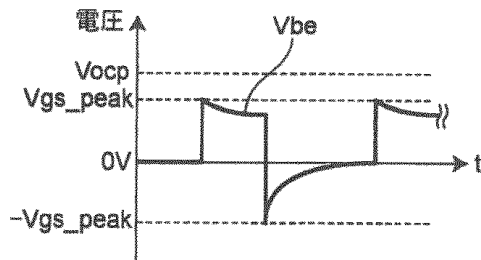
【 図 1 1 B 】

図11B



【 図 1 1 A 】

図11A



10

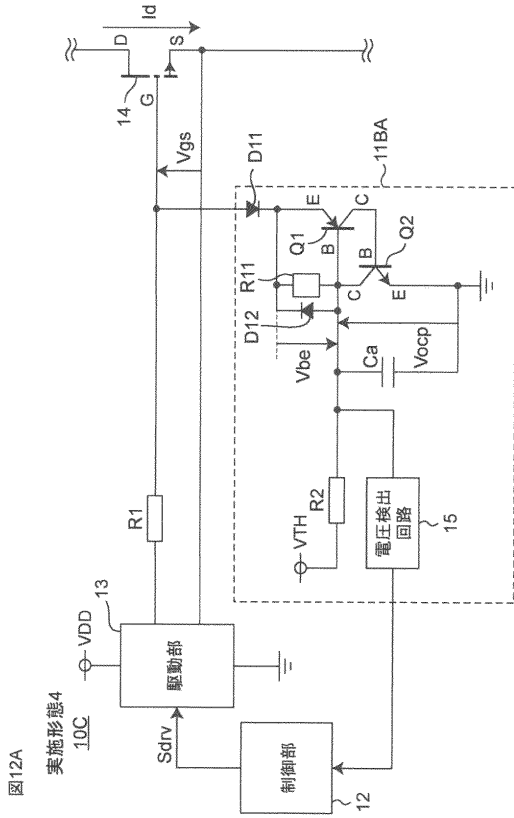
20

30

40

50

【図12A】



【図13】

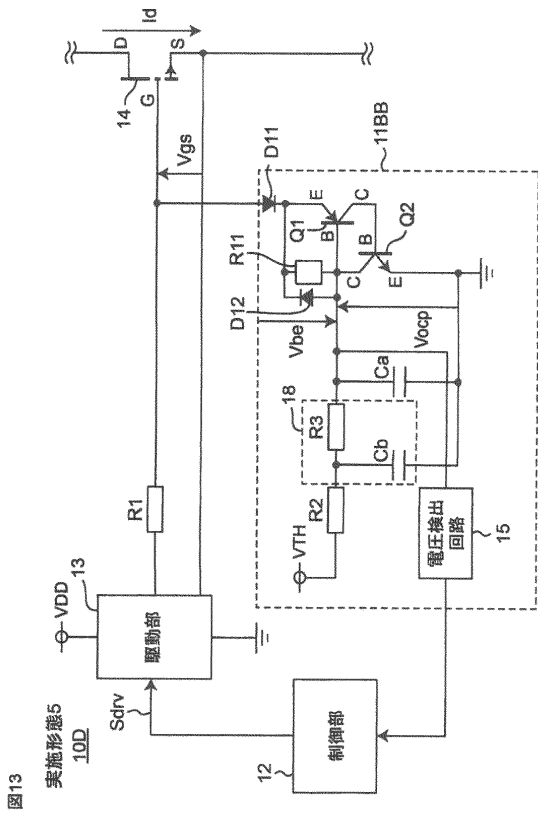


図13

【図12B】

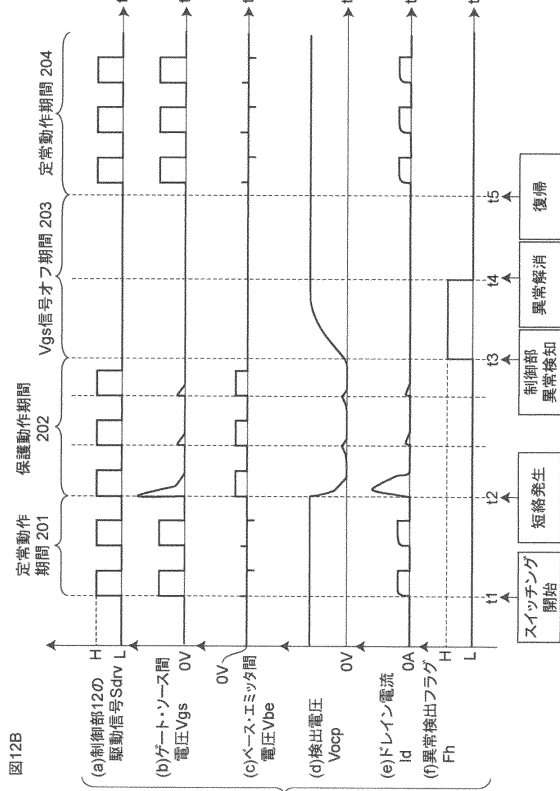


図12B

【図14】

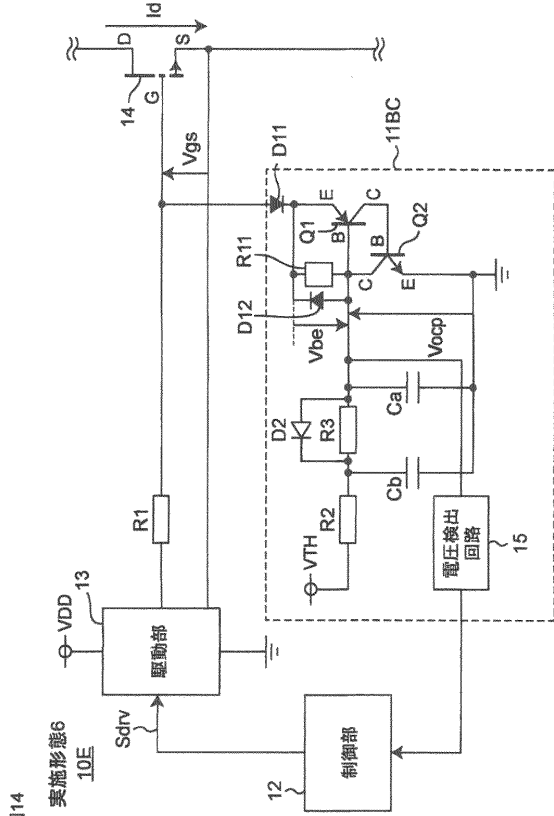


図14

10

20

30

40

50

【図15】

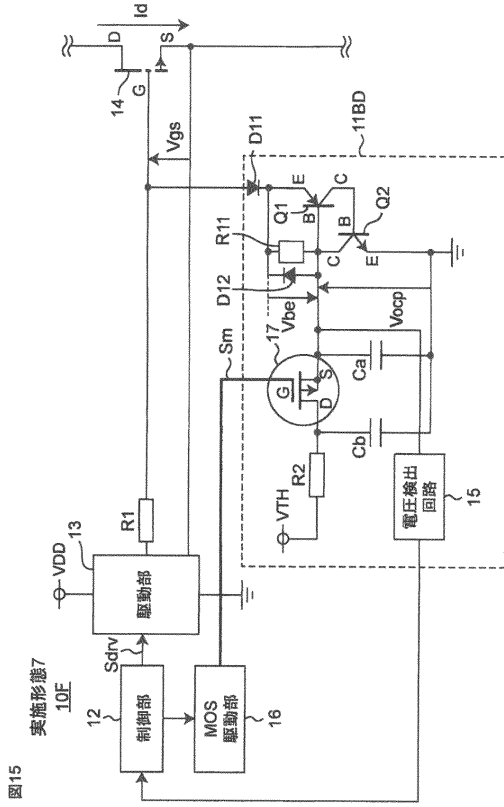


図15

【図16】

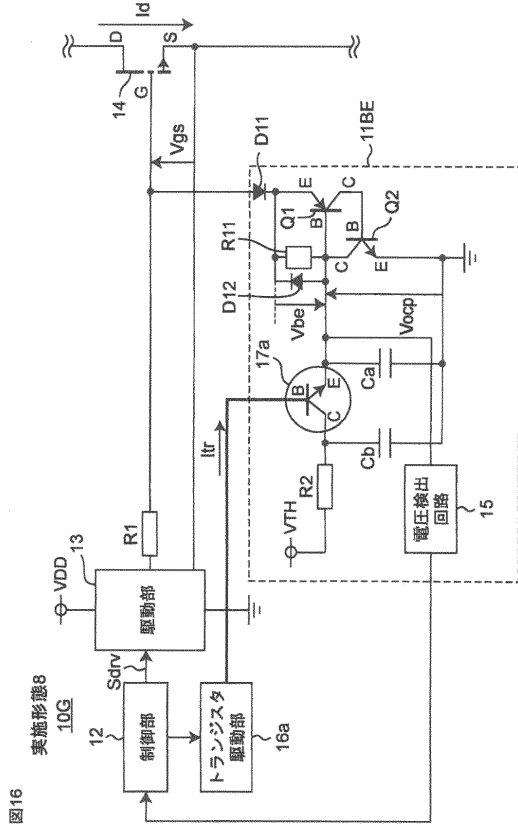


図16

【図17】

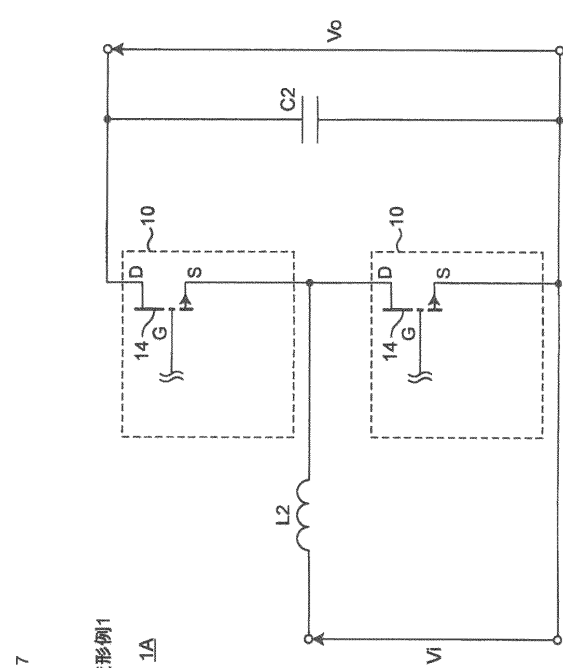


図17

変形例1

1A

【図18】

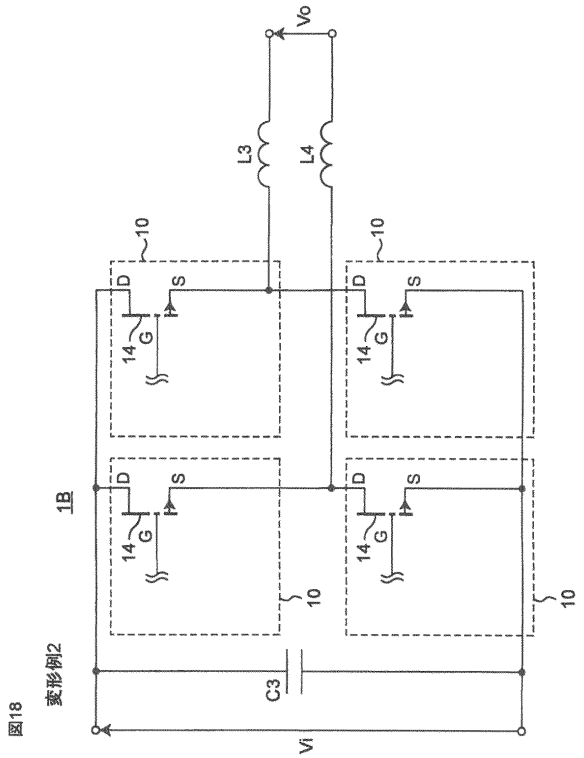


図18

変形例2

1B

10

20

30

40

50

フロントページの続き

不動堂町 8 0 1 番地 オムロン株式会社内

審査官 及川 尚人

- (56)参考文献 特開 2 0 2 0 - 1 2 7 2 6 7 (J P , A)
特表 2 0 0 4 - 5 3 3 7 1 3 (J P , A)
米国特許第 0 5 6 7 5 4 6 9 (U S , A)
特開平 1 0 - 1 2 6 9 6 2 (J P , A)
特開昭 6 1 - 1 5 0 6 1 7 (J P , A)
米国特許出願公開第 2 0 1 3 / 0 2 7 9 0 5 3 (U S , A 1)
- (58)調査した分野 (Int.Cl. , D B 名)
H 0 3 K 1 7 / 0 0 - 1 7 / 7 0
H 0 2 M 1 / 0 8
H 0 2 M 1 / 0 0