



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 699 38 019 T2** 2009.01.15

(12) **Übersetzung der europäischen Patentschrift**

(97) **EP 0 945 868 B1**

(21) Deutsches Aktenzeichen: **699 38 019.7**

(96) Europäisches Aktenzeichen: **99 105 443.8**

(96) Europäischer Anmeldetag: **17.03.1999**

(97) Erstveröffentlichung durch das EPA: **29.09.1999**

(97) Veröffentlichungstag

der Patenterteilung beim EPA: **23.01.2008**

(47) Veröffentlichungstag im Patentblatt: **15.01.2009**

(51) Int Cl.⁸: **G11C 5/14 (2006.01)**
G11C 11/407 (2006.01)

(30) Unionspriorität:
79717 P 27.03.1998 US

(84) Benannte Vertragsstaaten:
DE, FR, GB, IE, IT, NL

(73) Patentinhaber:
Qimonda AG, 81739 München, DE

(72) Erfinder:
**Weinfurter, Oliver, Wappingers Falls, NY 12590,
US**

(54) Bezeichnung: **Anordnung zur Steuerung von Spannungsgeneratoren in Multispannungschips wie DRAMs**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

Querverweis zu verwandten Anmeldungen

[0001] Die vorliegende Anmeldung ist mit der am 27. März 1998 eingereichten vorläufigen Anmeldung Serien-Nr. 60/079,717 verwandt und ihr entnommen und weist die gleiche Erfinderin und Rechtsnachfolgerin auf.

Erfindungsgebiet

[0002] Die vorliegende Erfindung betrifft eine Anordnung zur Steuerung der Funktionsweise verschiedener Phasen eines in Chips wie beispielsweise DRAM-Chips (Dynamic Random Access Memory) benutzten Mehrspannungs-Generatorsystems.

Stand der Technik

[0003] Moderne Chips wie beispielsweise DRAM-Chips (Dynamic Random Access Memory) weisen viele unterschiedliche Spannungen auf, die auf dem Chip durch eine Mehrzahl von Generatoren erzeugt werden müssen, die hinsichtlich ihrer Reihenfolge von Startzeiten usw. während verschiedener Betriebsphasen gesteuert werden müssen.

[0004] In dem am 7. Juni 1994 ausgegebenen US-Patent-Nr. 5,319,601 (Kawata et al.) ist eine Stromversorgungs-Startschaltung für einen DRAM offenbart, wobei eine Anstiegszeit eines Zwischenpotentials kurz nach Einschalten des Stroms hergestellt wird und der Stromverbrauch niedrig gehalten wird. Die Stromversorgungsschaltung umfasst sowohl eine Einschalt-Erkennungsschaltung, die erkennt wenn ein externes Stromversorgungspotential ein vorbestimmtes Potential erreicht und erste und zweite Erkennungssignale erzeugt, und eine interne Stromversorgungsschaltung, die ein internes Stromversorgungspotential erzeugt. Die Stromversorgungsschaltung umfasst weiterhin eine erste Zwischenpotentialerzeugungsschaltung, die ein erstes Zwischenpotential aus dem externen Stromversorgungspotential erzeugt und es einem Zwischenpotentialversorgungsknoten zuführt. Wenn das erste Erkennungssignal erzeugt wird, und das erste Zwischenpotential ein vorbestimmtes Potential erreicht, stoppt die erste Zwischenpotentialerzeugungsschaltung sowohl die Zuführung des ersten Zwischenpotentials zum Zwischenpotentialszuführungsknoten als auch die Zwischenpotentialerzeugungsfunktion. Von einer zweiten Zwischenpotentialerzeugungsschaltung wird ein zweites Zwischenpotential aus dem internen Stromversorgungspotential erzeugt und wenn das zweite Erkennungssignal erzeugt wird, das zweite Zwischenpotential zum Zuführungsknoten zugeführt. Die erste Zwischenpotentialerzeugungsschaltung besitzt eine größere Antriebsfähigkeit als die der zweiten Zwischenpotentialerzeugungsschaltung, was

eine Verkürzung der Anstiegszeit des Zwischenpotentials nach Einschalten des Stroms und die Verringerung des Gesamtstromverbrauchs ermöglicht.

[0005] Nunmehr auf [Fig. 1](#) bezugnehmend ist dort ein Blockschaltbild einer Generatorsteuerungsanordnung **10** des Standes der Technik zum Steuern von Generatoren dargestellt, die Spannungen in beispielsweise einem DRAM-Chip (Dynamic RAM) erzeugen. Die Anordnung **10** umfasst eine Einschalterschaltung **20**, ein Generatorsystem (GENERATORREN) **22**, das Bezugsspannungsgeneratoren (REF. VOLT.) **23** und eine Mehrzahl von (nicht gezeigten) Spannungsgeneratoren, Initialisierungsschaltungen **24**, Pull-Up-Schaltungen **26** und erste und zweite ODER-Gatteranordnungen **28** bzw. **30** umfasst. Es versteht sich, dass die Pull-Up-Schaltungen **26** und die erste und die zweite ODER-Gatteranordnung **28** und **30** in Abhängigkeit von der Anzahl von parallel von den Pull-Up-Schaltungen **26** und ODER-Gatteranordnungen **28** und **30** empfangenen und verarbeiteten Signalen eine oder mehrere solcher Schaltungen oder Gatter umfassen.

[0006] Signale von Kontaktstellen und Prüfstellen auf dem zugehörigen Chip werden in den Pull-Up-Schaltungen **26** empfangen. In den Pull-Up-Schaltungen **26** wird ein Ausgangssignal standardmäßig auf einen logischen Hochpegel (logische "1") hochgezogen, wenn eine Eingangs-Anschlussstelle nicht verbunden ist, und es wird eine logische "0" ausgegeben, wenn das Eingangssignal aktiv von der Anschlussstelle oder Verbindung heruntergezogen wird. Die Ausgangssignale von den Pull-Up-Schaltungen **26** werden in der ersten ODER-Gatteranordnung **28** mit Testmode-Register-Signalen logisch kombiniert, die in zugehörigen Initialisierungsschaltungen **24** initialisiert worden sind. Die Ausgaben aus den ersten ODER-Gattern **28** sind an erste Eingänge der Einschalterschaltung **20** und das Generatorsystem **22** angekoppelt. Die Testmode-Register-Signale werden auch in zugehörigen Initialisierungsschaltungen **24** initialisiert und dann an das Generatorsystem **22** angekoppelt. Signale von (nicht gezeigten) Sicherungen auf dem zugehörigen Chip werden in zugehörigen Initialisierungsschaltungen **24** initialisiert und in die Bezugsgeneratoren **23** des Generatorsystems **22** eingekoppelt. Die Sicherungssignale werden auch der zweiten ODER-Gatteranordnung **30** logisch mit den Eingangs-Testmode-Register-Signalen kombiniert und dann an das Generatorsystem **22** angekoppelt. Die Einschalterschaltung **20** empfängt die Ausgangssignale von der ersten ODER-Gatteranordnung **28** und verschiedene Signale von den Initialisierungsschaltungen **24** und erzeugt Ausgangs-Steuersignale sowohl für die Initialisierungsschaltungen **24** als auch die Generatoren des Generatorsystems **22**. Das Generatorsystem **22** umfasst eine Mehrzahl von Spannungsgeneratoren einschließlich der Bezugsgenera-

toren **23** und empfängt eine externe Spannung (VEXT), Systemsignale (SYS. SIGS.) und die Signale von jeder der ersten und zweiten ODER-Gatteranordnung **28** und **30**, den Initialisierungsschaltungen **24** und der Einschalterschaltung **20** und erzeugt Ausgangssignale zu den Initialisierungsschaltungen **24** und die verschiedenen, von den entfernten Schaltungen auf dem zugehörigen Chip erforderlichen (nicht gezeigten) Spannungen.

[0007] Zur Steuerung der Funktionsweise dieser Generatoren sind viele Logiksteuerungsschaltungen an den Generatorfunktionen beteiligt, die herkömmlicherweise durch die im gesamten Generatorsystem **22** innerhalb der (nicht gezeigten) einzelnen Generatorblöcke verteilt angeordneten (nicht gezeigten) örtlichen Logikschaltungen durchgeführt werden. Das herkömmliche Generatorsystem **22** ist das Ergebnis eines Wachstumsvorgangs, wozu jedesmal wenn neue Spannungspegel und die zugehörigen Generatorblöcke hinzugefügt wurden oder jedesmal wenn Steuerungsfunktionalität geändert werden musste zusätzliche Logikschaltungen örtlich hinzugefügt wurden.

[0008] Es ist wünschenswert, eine Anordnung bereitzustellen, bei der durch Steuerung von Spannungsgeneratoren auf einem Chip die Notwendigkeit der verteilten Anordnung von Logikschaltungen im gesamten Generatorsystem vermieden wird und eine Flexibilität zur Berücksichtigung aller Änderungen ermöglicht wird, die für zukünftige Abänderungen des Generatorsystems oder Chips benötigt werden könnten.

Kurze Beschreibung der Erfindung

[0009] Die vorliegende Erfindung richtet sich auf eine Anordnung zum Steuern der verschiedenen Betriebsarten eines im DRAM (Dynamic Random Access Memory) und sonstigen Modulen mit einer Mehrzahl von Generatorblöcken zum Erzeugen verschiedener durch das Modul erforderlicher Spannungen benutzten Spannungsgeneratorsystems.

[0010] Aus einem Gesichtspunkt betrachtet richtet sich die vorliegende Erfindung auf ein Chip mit einem Generatorsystem mit einer Mehrzahl von Spannungserzeugungsschaltungen und einer zentralen Generatorsteuerungsanordnung. Die zentrale Generatorsteuerungsanordnung umfasst eine an jede der Mehrzahl von Spannungserzeugungsschaltungen und an vorbestimmte Bauelemente auf dem Chip angekoppelte Steuerung. Die Steuerung reagiert auf Signale von den vorbestimmten Bauelementen auf dem Chip zum Erzeugen einer vorbestimmten Folge von Ausgangsteuersignalen zu den einzelnen Erzeugungsschaltungen für jede von mindestens zwei getrennten Betriebsphasen des Generatorsystems. Jede vorbestimmte Folge von Ausgangsteuersigna-

len steuert die logische Betriebsfolge der Mehrzahl von Erzeugungsschaltungen und die vorbestimmten Bauelemente auf dem Chip in definierten Zeitperioden zum Erzeugen erforderlicher stabiler Spannungsausgaben von der Mehrzahl von Erzeugungsschaltungen zu vorbestimmten Schaltungen auf dem Chip.

[0011] Aus einem anderen Gesichtspunkt betrachtet richtet sich die vorliegende Erfindung auf einen DRAM-Chip (Dynamic Random Access Memory) mit einem Generatorsystem mit einer Mehrzahl von Spannungserzeugungsschaltungen und zum Erzeugen von Spannungen zu vorbestimmten anderen Erzeugungsschaltungen und zu anderen Bauelementen auf dem Chip und eine zentrale Generatorsteuerungsanordnung. Die zentrale Generatorsteuerungsanordnung umfasst eine an jede der Mehrzahl von Spannungserzeugungsschaltungen und an vorbestimmte der anderen Bauelemente auf dem Chip angekoppelte Steuerung. Die Steuerung reagiert auf Vorkommnisse in der Mehrzahl von Spannungserzeugungsschaltungen und Signale von den vorbestimmten der anderen Bauelemente auf dem Chip zum Erzeugen einer vorbestimmten Folge von Ausgangsteuersignalen zu den einzelnen Erzeugungsschaltungen für jede von mindestens zwei getrennten Betriebsphasen des Generatorsystems. Die vorbestimmte Folge von Ausgangsteuersignalen steuert die logische Betriebsfolge der Mehrzahl von Erzeugungsschaltungen und die vorbestimmten Bauelemente auf dem Chip in definierten Zeitperioden zum Erzeugen erforderlicher stabiler Spannungsausgaben von der Mehrzahl von Erzeugungsschaltungen zu vorbestimmten Schaltungen auf dem Chip.

[0012] Die Erfindung wird aus der nachfolgenden ausführlicheren Beschreibung in Verbindung mit den beiliegenden Zeichnungen und Ansprüchen besser verständlich.

Kurze Beschreibung der Zeichnung

[0013] [Fig. 1](#) ist ein Blockschaltbild einer Generatorsteuerungsanordnung des Standes der Technik zum Steuern von Spannungen in Mehrgeneratorchips wie beispielsweise Dynamischen RAM Chips;

[0014] [Fig. 2](#) ist ein Blockschaltbild einer beispielhaften zentralen Generatorsteuerungsanordnung zum Steuern verschiedener Spannungsgeneratoren auf Mehrgeneratorchips wie beispielsweise einem Dynamischen RAM-Chip gemäß der vorliegenden Erfindung;

[0015] [Fig. 3](#) ist ein Blockschaltbild eines beispielhaften Spannungsgeneratorssystems gemäß der vorliegenden Erfindung mit einer Mehrzahl von Spannungsgeneratoren auf einem Mehrgeneratorchip wie

beispielsweise einem Dynamischen RAM, die durch die zentrale Generatorsteuerungsanordnung der [Fig. 2](#) gesteuert werden;

[0016] [Fig. 4a](#) und [Fig. 4b](#) zeigen eine Einschaltfolge-Tabelle zur Darstellung einer beispielhaften Einschaltfolge zum Steuern der Generatoranordnung der [Fig. 3](#) durch die beispielhafte zentrale Generatorsteuerungsanordnung der [Fig. 2](#); und

[0017] [Fig. 5](#) zeigt eine beispielhafte Anordnung für einen Zustandsautomaten in der beispielhaften zentralen Generatorsteuerungsanordnung der [Fig. 2](#).

Ausführliche Beschreibung

[0018] Nunmehr auf [Fig. 2](#) beziehend ist dort ein Blockschaltbild einer (innerhalb eines Rechtecks mit gestrichelter Linie gezeigten) beispielhaften zentralen Generatorsteuerungsanordnung **40** zum Steuern verschiedener (in [Fig. 3](#) gezeigter) Spannungserzeugungsschaltungen auf einem integrierten Schaltungschip mit mehreren Spannungsgeneratorschaltungen wie beispielsweise einem Dynamischen RAM-Chip gemäß der vorliegenden Erfindung dargestellt. Die zentrale Generatorsteuerungsanordnung **40** umfasst eine (innerhalb eines Rechtecks mit gestrichelter Linie gezeigte) Steuerung **50**, einen Oszillator **42** zur Bereitstellung von Taktsignalen für die Steuerung **50** und eine Spannungsdetektorschaltung **44**, die Signale von der Steuerung **50** empfängt und erzeugte Steuersignale zur Steuerung **50** zurücküberträgt. Die Steuerung **50** umfasst einen Zustandsautomat **52** und ein UND-Gatter **54**. Der Zustandsautomat **52** ist eine wohlbekanntes Vorrichtung, die einen Prozessor umfasst, der einen (nicht gezeigten) Speicher benützt, der Pogrammanweisungen zum Betreiben des Prozessors auf vorbestimmte Weise speichert.

[0019] Nunmehr auf [Fig. 5](#) beziehend kann der Zustandsautomat **52** als Alternative Eingangslogikschaltungen **70**, Ausgangslogikschaltungen **72** und Zustandsspeicherschaltungen **74** umfassen. Die Eingangslogikschaltungen **70** und Ausgangslogikschaltungen **72** empfangen allgemein alle logischen Eingangssignale zur Steuerung (z. B. Signale von Kontaktstellen/Prüfstelle, Testmode-Register, Sicherungen und Spannungsdetektorschaltungen **44**) und stellen notwendige Logikfunktionen über die Verwendung verschiedener Gatter zur Erzeugung zutreffender Ausgangssteuersignale bereit. Die Zustandsspeicherschaltungen **74** können (nicht gezeigte) Flip-Flops umfassen, die Signale von den Eingangslogikschaltungen **70** und sonstige Signale wie beispielsweise Rücksetzsignale und Taktsignale empfangen und zutreffende Ausgangssignale zu den Eingangs- und Ausgangslogikschaltungen **70** und **72** erzeugen.

[0020] Nunmehr zu [Fig. 2](#) zurückkehrend empfängt der Zustandsautomat **52** die Taktsignale vom Oszillator **42**, Steuersignale von der Spannungsdetektorschaltung **44** und Signale von verschiedenen Sicherungen, Kontaktstellen und Prüfstellen und Testmode-Registern und erzeugt auf Grundlage der in seinem Speicher anzutreffenden Programmanweisungen Ausgangssignale. Vom UND-Gatter **54** werden Taktfreigabesignale und vorbestimmte Ausgangssignale vom Zustandsautomaten **52** empfangen und Ausgangssignale erzeugt, die mit anderen vorbestimmten Ausgangssignalen vom Zustandsautomaten **52** kombiniert werden, um statische Freigabe- und Konfigurationsausgabesignale "C" von der zentralen Generatorsteuerungsanordnung **40** zu bilden, die zu den verschiedenen zu steuernden Spannungserzeugungsschaltungen übertragen werden. Hiernach wird eine beispielhafte Funktionsweise der Steuerung **50** in Verbindung mit einer Beschreibung der [Fig. 4A](#) und [Fig. 4B](#) beschrieben.

[0021] Von der Spannungsdetektorschaltung **44** wird eine externe Versorgungsspannung (in [Fig. 3](#) gezeigt VEXT) und gewisse der durch vorbestimmte einer Mehrzahl von (in [Fig. 3](#) gezeigten) Erzeugungsschaltungen erzeugten Spannungen gemessen und entsprechende Signale zur Steuerung **50** gesendet, sobald diese Spannungen ihre bestimmten Schwellwerte erreicht haben. Es versteht sich, dass zur Durchführung dieser Funktionen beliebige geeignete wohlbekanntes Spannungserkennungsschaltungen benutzt werden können.

[0022] Nunmehr auf [Fig. 3](#) beziehend ist dort ein Blockschaltbild eines (innerhalb eines Rechtecks mit gestrichelter Linie gezeigten) beispielhaften zentralen Spannungsgeneratorsystems **100** gemäß der vorliegenden Erfindung dargestellt. Das System **100** umfasst eine Mehrzahl von Spannungserzeugungsschaltungen **111–124** (GEN. 1 bis GEN. 14) auf einem Mehrgeneratorchip wie beispielsweise einem Dynamischen RAM-Chip, die durch die zentrale Generatorsteuerungsanordnung **40** der [Fig. 2](#) gesteuert werden. In dem beispielhaften Spannungsgeneratorsystem **100** empfängt jede der Spannungserzeugungsschaltungen **111–124** ein getrenntes Steuersignal "C" von der Steuerung **50** der [Fig. 2](#) und eine vorbestimmte externe Spannung (VEXT). Es versteht sich, dass zur Vereinfachung der Zeichnung das Steuersignal "C" und die vorbestimmte externe Spannung (VEXT) als an jede der Spannungserzeugungsschaltungen **111–124** über einen einzelnen Eingangsleiter angelegt dargestellt sind. In Wirklichkeit werden diese Eingaben für jede der Spannungserzeugungsschaltungen **111–124** über einen getrennten Leiter bereitgestellt. Zusätzlich zu dem Steuersignal "C" und der vorbestimmten externen Spannung (VEXT) wird gezeigt, dass eine Ausgabe (V3) von der Spannungserzeugungsschaltung **113** an jede der Spannungserzeugungsschaltungen **115–124** ange-

legt wird und eine Ausgabe (V6) von der Spannungserzeugungsschaltung **116** als Eingabe für die Spannungserzeugungsschaltung **123** bereitgestellt wird.

[0023] In dem beispielhaften Spannungsgeneratorsystem **100** reagiert die Spannungserzeugungsschaltung **111** (GEN. 1) auf das dafür bestimmte Steuersignal "C" von der Steuerung **50** und die vorbestimmte externe Spannung (VEXT) zum Erzeugen von sowohl einer ersten Ausgangsspannung (V1A), die an beide erste Eingänge jeder der Spannungserzeugungsschaltungen **112** (GEN. 2) und **113** (GEN. 3) angekoppelt ist, als auch einer zweiten Ausgangsspannung (V1B), die an einen zweiten Eingang der Spannungserzeugungsschaltung **112** angekoppelt ist. Die Spannungserzeugungsschaltung **112** reagiert auf die erste und zweite Spannung V1A und V1B von der Spannungserzeugungsschaltung **111**, das dafür bestimmte Steuersignal "C" und die vorbestimmte externe Spannung (VEXT) zum Erzeugen einer Ausgangsspannung (V2), die an einen zweiten Eingang der Spannungserzeugungsschaltung **113** und Eingänge jeder der Spannungserzeugungsschaltungen **114** (GEN. 4) und **115** (GEN. 5) angekoppelt ist. Die Spannungserzeugungsschaltung **113** reagiert auf das dafür bestimmte Steuersignale "C", die vorbestimmte externe Spannung (VEXT) und die von Spannungserzeugungsschaltungen **111** und **112** empfangenen Spannungen V1A bzw. V12 zum Erzeugen einer Ausgangsspannung (V3), die als Eingaben zu Spannungserzeugungsschaltungen **115–124** und als Ausgangssignal vom Spannungsgeneratorsystem **100** bereitgestellt werden.

[0024] Die Spannungserzeugungsschaltung **114** reagiert auf das dafür bestimmte Steuersignal "C", die vorbestimmte externe Spannung (VEXT) und die von der Spannungserzeugungsschaltung **112** empfangene Spannung V2 zum Erzeugen einer Ausgangsspannung (V4), die als Ausgangssignal vom Spannungsgeneratorsystem **100** bereitgestellt wird. Die Spannungserzeugungsschaltung **115** reagiert auf das dafür bestimmte Steuersignal "C", die vorbestimmte externe Spannung (VEXT), die von den Spannungserzeugungsschaltungen **112** und **113** empfangenen Spannungen V2 bzw. V3 zum Erzeugen einer Ausgangsspannung (V5), die als Eingangssignal zur Spannungserzeugungsschaltung **116** (GEN. 6) bereitgestellt wird. Die Spannungserzeugungsschaltung **116** reagiert auf das dafür bestimmte Steuersignal "C", die vorbestimmte externe Spannung (VEXT), die von den Spannungserzeugungsschaltungen **113** und **115** empfangenen Spannungen V3 bzw. V5 zum Erzeugen einer Ausgangsspannung (V6), die als Eingangssignal zu den Spannungserzeugungsschaltungen **117** (GEN. 7) und **123** (GEN. 13) bereitgestellt wird. Die Spannungserzeugungsschaltung **117** reagiert auf das dafür bestimmte Steuersignal "C", die vorbestimmte externe Spannung (VEXT), die von den Spannungserzeugungsschaltungen

113 und **116** empfangenen Spannungen V3 bzw. V6 zum Erzeugen einer Ausgangsspannung (V7), die als Eingangssignal zu den Spannungserzeugungsschaltungen **118**, **121**, **122**, **123** und **124** bereitgestellt wird.

[0025] Die Spannungserzeugungsschaltung **118** (GEN. 8) reagiert auf das dafür bestimmte Steuersignal "C", die vorbestimmte externe Spannung (VEXT), die von den Spannungserzeugungsschaltungen **113** und **117** empfangenen Spannungen V3 bzw. V7 zum Erzeugen einer Ausgangsspannung (V8), die als Eingangssignal zu den Spannungserzeugungsschaltungen **119** (GEN. 9) und **120** (GEN. 10) bereitgestellt wird. Die Spannungserzeugungsschaltung **119** reagiert auf das dafür bestimmte Steuersignal "C", die vorbestimmte externe Spannung (VEXT), die von den Spannungserzeugungsschaltungen **113** und **118** empfangenen Spannungen V3 bzw. V8 zum Erzeugen einer Ausgangsspannung (V9), die als Ausgangssignal von dem Spannungsgeneratorsystem **100** bereitgestellt wird. Die Spannungserzeugungsschaltung **120** reagiert auf das dafür bestimmte Steuersignal "C", die vorbestimmte externe Spannung (VEXT), die von den Spannungserzeugungsschaltungen **113** und **118** empfangenen Spannungen V3 bzw. V8 zum Erzeugen einer Ausgangsspannung (V10), die als Ausgangssignal vom Spannungsgeneratorsystem **100** bereitgestellt wird. Die Spannungserzeugungsschaltungen **121** (GEN. 11), **122** (GEN. 12) und **124** (GEN. 14) reagieren jeweils auf das dafür bestimmte Steuersignal "C", die vorbestimmte externe Spannung (VEXT), die von den Spannungserzeugungsschaltungen **113** und **117** empfangenen Spannungen V3 bzw. V7 zum Erzeugen von Ausgangsspannung V11, V12, V13 bzw. V14, die als Ausgangssignale vom Spannungsgeneratorsystem **100** bereitgestellt werden. Die Spannungserzeugungsschaltung **123** (GEN. 13) reagiert auf das dafür bestimmte Steuersignal "C", die vorbestimmte externe Spannung (VEXT), die von den Spannungserzeugungsschaltungen **113**, **116** und **117** empfangenen Spannungen V3, V6 bzw. V7 zum Erzeugen der Ausgangsspannung V13, die als Ausgangssignale vom Spannungsgeneratorsystem **100** bereitgestellt wird.

[0026] Das Spannungsgeneratorsystem **100** kann Generatorsystemen auf modernen DRAM-Chips und synchronen DRAM-Chips gleichgestellt werden, die mehr als 10 Spannungen aufweisen, die auf dem Chip durch viele Spannungserzeugungsschaltungen erzeugt werden. Diese Spannungen umfassen mehrere Bezugsspannungen (z. B. für Ein-/Ausgangsempfänger und für Vorstromerzeugung in Analogschaltungen) wie auch mehrere Spannungen, die unterschiedliche (nicht gezeigte) Funktionsblöcke des DRAMs mit hohem oder niedrigem Betriebsstrom (z. B. für Leseverstärker oder Wortleitungstreiber) versorgen. Im Grunde finden drei verschiedene Betriebsphasen für die verschiedenen Erzeugungsschaltungen

gen in den Spannungsgeneratorsystemen **22** der [Fig. 1](#) und **100** der [Fig. 3](#) statt, die als (a) eine Normalbetriebsphase, (b) eine Prüf- und Einbrennphase und (c) eine Einschaltphase angezeigt werden können.

[0027] Während einer "Normalbetriebs-"Phase in einem der Generatorsysteme **22** der [Fig. 1](#) oder **100** der [Fig. 3](#) müssen die Erzeugungsschaltungen (z. B. Erzeugungsschaltungen **111–124** der [Fig. 3](#)) garantieren, dass alle auf dem Chip bereitgestellten Spannungen stabil sind und dass alle erforderlichen, von mehreren (nicht gezeigten) Stromnetzen entnommenen Ströme auf dem Chip geführt werden. Weiterhin muss sichergestellt werden, dass die Erzeugungsschaltungen selbst nicht zuviel Strom verbrauchen (z. B. Vorstrom in Differenzverstärkern und Strom durch Widerstandsteiler). Stromnetze, die Spitzenströme (z. B. für Leseoperationen) zuführen müssen, werden daher gewöhnlich von einer oder mehreren mehrerer Arten von Erzeugungsschaltungen wie beispielsweise einer Bereitschafts-Erzeugungsschaltung, einer aktiven Erzeugungsschaltung und einer Spitzenstrom-Erzeugungsschaltung gespeist. Die Bereitschafts-Erzeugungsschaltung ist stets eingeschaltet und kann nur wenig Strom liefern, verbraucht aber auch selbst nur wenig Strom. Ihr Zweck besteht in der Unterhaltung des Spannungspegels während der Zeiten und Phasen, wenn der Chip nicht aktiv ist. Eine aktive Erzeugungsschaltung wird nur aktiviert, wenn der Chip eine Funktion durchführt, die Strom von einem entsprechenden Stromnetz erfordert. Die aktive Erzeugungsschaltung kann einen großen Strom liefern, verbraucht aber auch einen größeren Strom. Zur Aktivierung einer aktiven Erzeugungsschaltung werden auch von dem Generatorsystem **22** der [Fig. 1](#) oder der Steuerung **50** der [Fig. 2](#) Signale von anderen Chipfunktionen (z. B. die Leseverstärker-Freigabesignale, die die Leseverstärker aktivieren) (nicht in den Figuren gezeigt) ausgewertet, um die aktive Erzeugungsschaltung zu aktivieren. Zeitweilig wird eine Spitzenstromerzeugungsschaltung dazu benutzt, hohe Spitzen von Strom zu liefern, der aus einem Stromnetz entnommen wird. Eine Spitzenstromerzeugungsschaltung könnte beispielsweise nur aus einem Transistorschalter zwischen einem entsprechenden Stromnetz und entweder einer externen Spannungsversorgung (VEXT) oder einer Stromquelle für dieses Stromnetz bestehen. Spitzenstromerzeugungsschaltungen werden kurzzeitig in genau dem Augenblick eingeschaltet, wenn der Spitzenstrom aus dem Stromnetz entnommen wird. Die Spitzenstromerzeugungsschaltungen besitzen gewöhnlich selbst keine Regelungsfunktion, sondern die Endregelung der Spannung daraus wird durch eine oben erwähnte aktive Erzeugungsschaltung durchgeführt. Zum Einschalten der Spitzenstrom-Erzeugungsschaltungen im richtigen Moment werden Signale von anderen Chipfunktionen mit dem Generatorsystem verbunden (z. B. die Leseverstär-

ker-Freigabesignale).

[0028] Weiterhin gibt es eine Wechselwirkung zwischen den Spannungserzeugungsschaltungen für unterschiedliche Stromnetze. Wenn beispielsweise eine erste der Spannungserzeugungsschaltungen (z. B. Erzeugungsschaltung **123**), die eine Spannung für Wortleitungsverstärkung auf dem DRAM-Chip bereitstellt, zur Wiederherstellung eines vollen Spannungspegels aktiv ist, dann sendet diese Spannungserzeugungsschaltung ein Signal zu einer zweiten der vorbestimmten Spannungserzeugungsschaltungen (z. B. Erzeugungsschaltung **116**). Dieses Signal wird verhindern, dass die zweite der vorbestimmten Spannungserzeugungsschaltungen abgeschaltet wird, da die erste der Spannungserzeugungsschaltungen selbst Strom von der zweiten der Spannungserzeugungsschaltungen verbraucht. Da ein DRAM-Chip oft für Speichervorrichtungen mit unterschiedlichen Konfigurationen benutzt werden kann, die unterschiedliche Antriebsfähigkeiten gewisser Spannungserzeugungsschaltungen erfordern, müssen die Spannungserzeugungsschaltungen für diese Situationen konfiguriert sein. Dies geschieht durch Kontaktstellen oder durch Sicherungen, wo die Informationen von den Kontaktstellen und/oder Sicherungen zum herkömmlichen Generatorsystem **22** der [Fig. 1](#) oder zu der Steuerung **50** der [Fig. 2](#) übertragen werden.

[0029] Zur Steuerung dieser Erzeugungsschaltungen während der unterschiedlichen Betriebsphasen im herkömmlichen Spannungsgeneratorsystem **22** der [Fig. 1](#) sind viele Logiksteuerungsschaltungen an den Erzeugungsschaltungsfunktionen beteiligt, die durch im gesamten Generatorsystem **22** verteilt und innerhalb der einzelnen (nicht gezeigten) Erzeugungsschaltungsblöcke angeordnete (nicht gezeigte) lokale Logikschaltungen durchgeführt werden. Als Ergebnis umfasst das herkömmliche Spannungsgeneratorsystem **22** ein komplexes Steuerungsschema. Gemäß der vorliegenden Erfindung sind Logiksteuerungsschaltungen nicht länger über alle Erzeugungsschaltungen **111–124** verteilt. Statt dessen empfängt der Zustandsautomat **52** der Steuerung **50** alle Eingangssignale und ist zur Bereitstellung von Einzelsteuersignalen für jede der Erzeugungsschaltungen **111–124** programmiert, um die zutreffenden Erzeugungsschaltungen **111–124** zu vorbestimmten Zeiten während jeder der möglichen Betriebsphasen ein- oder auszuschalten. Es versteht sich, dass das Programm für den Zustandsautomaten **52** für jede Betriebsphase insofern willkürlich ist, dass ein Konstrukteur eine gewünschte Betriebsfolge für jede mögliche Betriebsphase definieren muss. Sobald eine solche Betriebsphase bestimmt ist, kann sie leicht in eine entsprechende Programmanweisungsfolge für den Zustandsautomaten **52** umgewandelt werden, die die entsprechende Funktion des Generatorsystems **100** als Reaktion auf durch den Zustandsautomaten **50** empfangene vorbestimmte Eingangs-

signale veranlasst.

[0030] In einer Prüf- und Einbrennphase müssen von den Erzeugungsschaltungen viele über ihren Normalbetrieb hinausgehende zusätzliche Funktionen durchgeführt werden. Beispielsweise kann eine Funktion sein, dass gewisse oder alle Erzeugungsschaltungen für Prüfzwecke gesperrt werden können. Eine zweite Funktion kann sein, dass gewisse Spannungen im Vergleich zum Normalbetrieb auf einen anderen Wert eingestellt werden. Eine dritte Funktion kann sein, dass gewisse Zeitkonstanten in den Erzeugungsschaltungen, die ihr dynamisches Verhalten bestimmen, zur Bestimmung des besten Wertes für optimale Chipfunktionen geändert werden können. Eine vierte Funktion kann sein, dass zur Beanspruchung des Chips (Einbrenn-Prüfung) die meisten internen Spannungen auf einen höheren Wert als im Normalbetrieb eingestellt werden müssen, was durch Einstellen von VEXT auf einen höheren Wert und Zulassen, dass eine interne Bezugsspannung diesem Anstieg der externen Spannung folgt, durchgeführt werden kann.

[0031] Eine Einschaltphase wird als ein Übergangszustand definiert, während dem die externe Spannung VEXT bereits an den Chip angelegt worden ist, aber die internen Spannungen nicht hergestellt worden sind. Für die Einschaltphase gibt es zwei Hauptanforderungen. Diese Anforderungen sind, dass sie kurz sein muss (z. B. 100 Mikrosekunden), und dass sie auf wohldefinierte Weise stattfinden muss. Um die Einschaltphase kurz zu halten müssen mehrere zusätzliche Funktionen vom Generatorsystem **100** durchgeführt werden. Da alle Stromnetze in einer kurzen Zeit von Null Volt auf ihren jeweiligen Pegel aufgeladen werden müssen, ist die Antriebsfähigkeit mehrerer Erzeugungsschaltungsblöcke nicht ausreichend. Es gibt mehrere mögliche Lösungen, um dieses Problem zu überwinden. Als erstes werden während einer ersten Phase der Einschaltphase Stromnetze durch Transistorschalter auf VEXT kurzgeschlossen, bis sie beinahe ihren Soll-Wert erreicht haben. Dann werden diese Schalter wieder geöffnet und die Regelung dieser Spannung wird von dem jeweiligen Erzeugungsschaltungsblock übernommen. Als zweites ist die Antriebsfähigkeit einiger Erzeugungsschaltungen (z. B. Pumpschaltungen) von der Frequenz von diese Pumpschaltungen treibenden Oszillatoren abhängig. Während der Einschaltphase sind Hochfrequenzoszillatoren mit den Pumpschaltungen verbunden, um eine schnelle Pumpoperation zu ermöglichen, und dann werden nach der Einschaltphase langsamere Oszillatoren zum Treiben dieser Pumpschaltungen benutzt und die schnellen Oszillatoren werden ausgeschaltet, um Strom zu sparen. Im Allgemeinen wird ein am Ausgang der Steuerung **50** bereitgestelltes statisches Freigabesignal zur Freigabe eines Erzeugungsschaltungsblocks (z. B. in der Einschaltphase, oder zum Aus-

schalten desselben während einer Prüfmodusphase) benutzt und dieses Signal ist nicht zeitkritisch. Zur Änderung des Verhaltens eines oder mehrere vorbestimmter Erzeugungsschaltungsblöcke auf spezifische Weise wie beispielsweise durch Änderung seines Spannungspegels (Trimmen), Ändern seiner Antriebsfähigkeit, Ändern seiner internen Zeitkonstanten oder spezifischer Funktionen für Testmodi werden Konfigurationssignale am Ausgang der Steuerung **50** benutzt. Diese Signale sind ebenfalls nicht zeitkritisch und ändern sich nicht während des Normalbetriebs des Chips. Es versteht sich, dass innerhalb des Generatorsystems **100** dynamische Freigabesignale und Nachrichtensignale erzeugt werden. Dynamische Freigabesignale werden zum Aktivieren einer Erzeugungsschaltung benutzt, wenn sie mit der Regelung ihrer Ausgangsspannung beginnen muss, oder beginnen muss, Strom zu erzeugen (z. B. Spitzenerzeugungsschaltungen). Diese Signale sind zeitkritisch und nicht jede Erzeugungsschaltung erfordert ein solches Eingangssignal (z. B. eine Bereitschafts-Erzeugungsschaltung). Nachrichtensignale sind zum Kommunizieren zwischen Erzeugungsschaltungsblöcken benutzte Signale, die beispielsweise einer Erzeugungsschaltung mitteilen können, dass ihr Eingangspumpspannungspegel noch nicht hergestellt ist und dass die die Pumpspannung liefernde Pumperzeugungsschaltung noch läuft. Dadurch wird bewirkt, dass die eine Erzeugungsschaltung ihre Abschaltung verzögert, obwohl ein dynamisches Freigabesignal dafür bereits abgeschaltet worden ist. Diese Signale sind ebenfalls zeitkritisch und nicht jede Erzeugungsschaltung erfordert ein solches Eingangssignal.

[0032] Nunmehr beziehend auf [Fig. 4A](#) und [Fig. 4B](#) ist dort eine Einschaltfolge-Tabelle zur Darstellung einer beispielhaften Folge zur Steuerung des Generatorsystems **100** der [Fig. 3](#) für eine Einschaltbetriebsphase durch die beispielhafte zentrale Generatorsteuerungsanordnung **40** der [Fig. 2](#) dargestellt. Im Abschnitt **200** der Tabelle wird die externe Spannung (VEXT) an den Chip angelegt, um die Abfolge zu beginnen. Durch Anlegen von VEXT an den Chip wird bewirkt, dass der Zustandsautomat **52** in der Steuerung **50** vorbestimmte (in [Fig. 2](#) nicht gezeigte) Flip-Flops in der Steuerung **50** rücksetzt und ein Signal "V6on" in den niedrigen Zustand versetzt, so dass Schaltungen, die das Signal "V6on" von der Steuerung **50** empfangen, inaktiv bleiben. Zu dieser Zeit wird die Erzeugungsschaltung **111** aktiviert, um mit der Erzeugung der Spannungen V1A und V1B zu beginnen, die Erzeugungsschaltung **112** wird aktiviert, um mit der Erzeugung der Spannung V2 zu beginnen, die Erzeugungsschaltung **113** wird aktiviert, um mit der Erzeugung der Spannung V3 zu beginnen, die Erzeugungsschaltung **114** wird aktiviert, um mit der Erzeugung der Spannung V4 zu beginnen, die Erzeugungsschaltung **115** wird zum Erzeugen von V5 und zum Veranlassen eines anfänglichen

Pull-Downs eines (nicht gezeigten) Knotens aktiviert, die Erzeugungsschaltung **117** wird zum Erzeugen von V7 und Bereitstellen einer anfänglichen Aktivierung eines (nicht gezeigten) Verstärkungsschalters aktiviert, die Erzeugungsschaltung **116** wird aktiviert und in den Bereitschaftsmodus versetzt, um ein Signal V6acc (V6 aktiv) und V6sbm (V6 Bereitschaftsmodus) zu erzeugen, die Erzeugungsschaltung **118** wird aktiviert, um die Erzeugung der Spannung V8 zu beginnen, das Signal V6osb (V6 an standby/V6 auf Bereitschaft) begonnen, die Erzeugungsschaltung **119** beginnt mit der Erzeugung der Spannung V9 und die Erzeugungsschaltung **120** beginnt mit der Erzeugung der Spannung V10. In der Steuerung **50** wird ein Sicherungsspeichersignal "bFINIT" (bFuse Initialize-Initialisierung b-Sicherung) in einen niedrigen Zustand versetzt, während ein Signal "bFSET" (bFuse Set-Setzen b-Sicherung) in einen hohen Zustand versetzt wird. Die Signale "bFINIT" und "bFSET" sind beispielhafte Signale für Sicherungen auf dem Chip. Die Informationen dieser Sicherungen werden nicht an den Chip angelegt, aber in der beispielhaften Einschaltphase könnten diese Sicherungsinformationen in vorbestimmte (nicht gezeigte) Flip-Flop beispielsweise in der Steuerung **50** eingespeichert werden. Dies sind zwei Sicherungssignale, die eine gewisse Zeitgebung bezüglich ihres Hoch- oder Niedriggehens erfordern, um die Einspeicherung der Sicherungsinformationen in die vorbestimmten Flip-Flops zu organisieren oder zu steuern. Da Sicherungen über einen gesamten Chip verteilt angeordnet sind, ist es wichtig, zu wissen, dass die Spannung V6 bereits über dem gesamten Chip gut aufgebaut ist, ehe die Sicherungsinformationen eingespeichert werden, ansonsten könnte eine logische "0" eingespeichert werden, wenn es eigentlich eine logische "1" ist, da die Schaltungen und die diese Schaltungen versorgende Spannung noch nicht stabil sind.

[0033] Im Abschnitt **201** der Tabelle wartet die Steuerung **50** eine vorbestimmte Anzahl von X Taktzyklen lang (z. B. X = 10), zu welchem Zeitpunkt bekannt ist, dass die Spannung V6 aus der Erzeugungsschaltung **116** (die im Abschnitt **200** aktiviert und in den Bereitschaftsmodus versetzt worden ist) einen vorbestimmten Pegel erreicht haben sollte. Im Abschnitt **202** der Tabelle wird vom Spannungsdetektor **44** erkannt, dass V13 (Steuerung aus Erzeugungsschaltung **123**) auf einem erforderlichen Pegel (niedrig oder hoch) liegt und der Spannungsdetektor **44** erkennt, dass die Spannung V6 einen vorbestimmten hohen Schwellwertpegel erreicht hat, der Spannungsdetektor **44** überträgt ein Signal V6DET zur Steuerung **50**, was anzeigt, dass die Spannung V6 über den gesamten Chip hinweg gut aufgebaut ist. Im Abschnitt **203** der Tabelle, wenn die Steuerung weiß, dass die Spannung V6 auf ihrem richtigen Pegel liegt, wartet sie weitere X-Taktzyklen, ehe sie mit Abschnitt **204** beginnt. Im Abschnitt **204** der Tabelle geht das Signal "V6on" in der Steuerung **50** hoch und die An-

triebsfähigkeit der Spannung V3 wird verringert, die Spannung V5 befindet sich nicht länger im Pull-Down-Zustand und die Aktivierung der Spannung V7 des Verstärkungsschalters wird abgeschaltet. Zu Beginn der Einschaltphase wird angenommen, dass die Erzeugungsschaltung **117** eine große V7-Antriebsfähigkeit erfordert, die durch ihren Verstärkungsschalter im Abschnitt **200** aktiviert wird und dann im Abschnitt **204** verringert wird, wenn die große Antriebsfähigkeit nicht länger erforderlich ist.

[0034] Im Abschnitt **205** der Tabelle erzeugt die Steuerung **50** ein Signal "V14sbct" (V12 stand-by circuit – Bereitschaftsschaltung) und die Erzeugungsschaltung **124** beginnt mit der Erzeugung der Spannung V14. Im Abschnitt **206** der Tabelle erzeugt die Steuerung **50** Signale "V13acct" (V13 active circuit – Aktivierungsschaltung) und "V13sbct" (V13 stand-by circuit – Bereitschaftsschaltung), wodurch die Erzeugungsschaltung **123** aktiviert und in den Bereitschaftsmodus versetzt wird. Im Abschnitt **207** der Tabelle erzeugt die Steuerung Sicherungsspeichersignale und das Signal bFINIT geht auf Hoch. Im Abschnitt **208–211** der Tabelle durchläuft die Steuerung eine Wartefolge für Y Taktzyklen (Abschnitt **208**), indem sie bFSET auf Niedrig setzt (Abschnitt **209**), und Z Taktzyklen lang wartet (Abschnitt **210**), ehe sie bFSET auf Hoch setzt (Abschnitt **211**). Es versteht sich, dass die Signale bFINIT und bFSET zu anderen Schaltungen auf dem Chip gehen und nicht zu irgendwelchen der Erzeugungsschaltungen **111–124**, da nicht dargestellt ist, dass Erzeugungsschaltungen irgendwelche Handlungen in der Spalte mit der Bezeichnung "Generatorschaltungen" durchführen. Die durch die Signale bFINIT und bFSET gesteuerten Flip-Flops werden allgemein durch Zwischenschaltungen gesteuert und diese Schaltungen erfordern eine besondere Taktung der Signale bFINIT und bFSET.

[0035] Bei der gegenwärtigen, in [Fig. 3](#) gezeigten Generatoranordnung **100** wird angenommen, dass die Erzeugungsschaltung **123** ein Pumpgenerator mit einem zugehörigen Stromnetzwerk ist, der die VEXT-Spannung empfängt (die standardgemäß nur einen vorbestimmten Höchstwert aufweisen kann) und diese Eingangsspannung pumpt, um ein negatives Ausgangssignal V13 (z. B. -0,5 Volt) bereitzustellen. Auf ähnliche Weise wird angenommen, dass die Erzeugungsschaltung **122** ein Pumpgenerator ist, der die VEXT-Spannung empfängt und diese Eingangsspannung pumpt, um ein positives Ausgangssignal V15 (z. B. 3,5 Volt) bereitzustellen. Im Abschnitt **212** der Tabelle erreicht die Spannung V13 aus der Erzeugungsschaltung **123** ihren vorbestimmten Pegel und es wird ein Erkennungssignal V13LMT (V13 Limit-Grenze) erzeugt, das veranlasst, dass die Steuerung **50** aus "V13acct" (aus Abschnitt **206**) auf Niedrig geht und das Aktivierungssignal "V13ac" in der Erzeugungsschaltung **123** ausgeschaltet wird. Im

Abschnitt **213** der Tabelle erzeugt die Steuerung **50** ein Steuersignal "V12poc" (V12 Power-On Circuit-Einschalterschaltung), das auf Hoch geht, und das der Erzeugungsschaltung **122** zugeordnete (nicht gezeigte) Stromnetzwerk wird gestartet. Im Abschnitt **214** der Tabelle wurde festgestellt, dass die Spannung V12 einen vorbestimmten Pegel (85%) des Wertes der Spannung V6 erreicht hat und ein Signal V12DET (V12 Detektion) vom Spannungsdetektor **44** geht auf einen vorbestimmten hohen Wert. Dadurch erzeugt die Steuerung **50** das Signal V12poc (vom Abschnitt **213**), das auf Niedrig geht und veranlasst, dass das Stromnetzwerk der Erzeugungsschaltung **122** abgeschaltet wird. Im Abschnitt **215** der Tabelle wird von der Steuerung ein "V12ac" und "V12sbct" erzeugt, das auf Hoch geht, was wiederum bewirkt, dass die Erzeugungsschaltung **122** aktiviert und in den Bereitschaftszustand versetzt wird. Der Grund für Abschnitte **212–215** der Tabelle besteht darin, dass Pumperzeugungsschaltungen **122** und **213** nicht eingeschaltet werden und sofort von 0 Volt auf ihre zutreffende Ausgangsspannung gehen können, die viel höher oder niedriger als die angelegte VEXT-Spannung ist. Das erfordert daher ein Verlängern des Einschaltens dieser Arten von Erzeugungsschaltungen. Beispielsweise muss das der Erzeugungsschaltung **123** zugeordnete (nicht gezeigte) Stromnetzwerk auf einen gewissen Pegel hochgezogen werden, der beispielsweise 85% der Spannung V6 von der Erzeugungsschaltung **116** beträgt, und nur dann kann die Pumperzeugungsschaltung **123** richtig zu funktionieren beginnen. Dies geschieht durch Einschalten einer (nicht gezeigten) Vorrichtung mit der Bezeichnung "V13-Strom-"Schaltung, die selbst eine Pumpe ist und das Stromnetzwerk der Erzeugungsschaltung **123** auf einen hohen Zustand zieht. Sobald das Netzwerk einen vorbestimmten Pegel erreicht hat, wird das Netzwerk abgeschaltet und die Pumperzeugungsschaltung **113** beginnt den Betrieb.

[0036] Im Abschnitt **216** der Tabelle erzeugt die Steuerung ein Steuersignal "V8frct" (V8 feedback regulator circuit – Rückkopplungsreglerschaltung), das auf Hoch geht und bewirkt, dass eine Rückkopplungsreglerschaltung der Erzeugungsschaltung **118** den Betrieb beginnt und die Erzeugung der Spannung V8 veranlasst. In Abschnitten **217–220** wartet die Steuerung **50** \times Taktzyklen lang (Abschnitt **217**), erzeugt dann ein Steuersignal "V11ac", das bewirkt, dass die Erzeugungsschaltung **121** die Erzeugung der Spannung V11 beginnt (Abschnitt **118**), die Steuerung **50** wartet wieder X Taktzyklen lang, ehe sie ein Steuersignal "Vdet" (Voltage Detektor – Spannungsdetektor) erzeugt, das den Spannungsdetektor **44** abschaltet, da er nicht länger benötigt wird, und um Vorspannungsstrom zu sparen, der darin benutzt werden würde. In Abschnitten **221** und **222** der Tabelle wird von der Steuerung **50** ein Steuersignal "PW-Ron" (Power On-Strom Ein) aktiviert, das anzeigt,

dass alle Spannungen aus Erzeugungsschaltungen **111–124** stabil sind (**121**) und die Einschaltphase abgeschlossen ist (Abschnitt **122**), da die Erzeugungsschaltungen gestartet worden sind und die richtigen Einschaltpegel erreicht haben.

[0037] Es versteht sich, dass von einem Konstrukteur ähnliche Abfolgetabellen für eine beliebige der auf einem Chip erforderlichen Betriebsphasen veranlasst werden können und dann in entsprechende Programmanweisungen zur Verwendung durch den Zustandsautomaten **52** der Steuerung **50** umgewandelt werden können, um die Erzeugungsschaltungen **111–124** für jede der unterschiedlichen erforderlichen Betriebsphasen zu steuern.

[0038] Vorteile der gegenwärtigen zentralen Generatorsteuerungsanordnung **40** bestehen darin, dass die Logiksteuerungsfunktionen und die Spannungserzeugungsfunktionen deutlich getrennt sind. Das Gesamtsystem kann daher leicht überprüft werden, da alle Funktionen einzeln überprüft werden können und Änderungen mit großer Flexibilität durchgeführt werden können, indem Signalaspekte seiner Funktion ohne Nebenwirkungen auf andere Funktionen geändert oder ersetzt werden können. Insbesondere wird das Logikverhalten des Systems durch die Spezifikation des Zustandsautomaten **52** bestimmt und Änderungen im Logikverhalten werden einfach durchgeführt und beeinflussen nicht die Spannungserzeugungsschaltungen. Weiterhin benötigt die Abfolgesteuerung für die Einschalt-Betriebsphase keine zusätzlichen Verzögerungsschaltungen, da alle Verzögerungen im Zustandsautomaten **52** durchgeführt werden, da der Zustandsautomat **52** naturgemäß eine "Folgesteuerung" ist. Zusätzlich benötigt die Initialisierung von Prüfmodussignalen und Sicherungssignalen keine zusätzlichen Schaltungen, da dies naturgemäß im Zustandsautomaten **52** durchgeführt wird, da nur angegeben werden muss, dass diese Signale während der Einschaltfolge nicht ausgewertet werden.

[0039] Es ist zu erkennen und zu verstehen, dass die oben beschriebenen bestimmten Ausführungsformen der vorliegenden Erfindung nur beispielhaft für die allgemeinen Grundsätze der Erfindung sind. Vom Fachmann können verschiedene Abänderungen durchgeführt werden, die den aufgeführten Grundsätzen entsprechen. Beispielsweise versteht es sich, dass ähnliche Abfolgetabellen für jede der auf einem Chip erforderlichen Betriebsphasen veranlasst und dann in entsprechende Programmanweisungen zur Verwendung durch den Zustandsautomaten **52** der Steuerung **50** zur Steuerung der Erzeugungsschaltungen **111–124** für jede der unterschiedlichen Betriebsphasen umgewandelt werden können. Weiterhin ist die Abfolgetabelle der [Fig. 4A](#) und [Fig. 4B](#) nur eine beispielhafte Abfolge, die für die Einschaltphase benutzt werden kann, und kann durch jede andere

beliebige gewünschte Abfolge ersetzt werden.

Patentansprüche

1. Anordnung zur Steuerung von Spannungsgeneratoren in einem Mehrspannungsgeneratorchip, mit Folgendem:

einem Generatorsystem (100) mit einer Mehrzahl von Spannungserzeugungsschaltungen (111–124) zum Erzeugen von Spannungen (V1A, V1B, V2–V14) zu vorbestimmten anderen Spannungserzeugungsschaltungen und zu anderen Bauelementen auf dem Chip; und

einer zentralen Generatorsteuerungsanordnung (40) mit einer an jede der Mehrzahl von Spannungserzeugungsschaltungen (111–124) und an vorbestimmte Bauelemente auf dem Chip angekoppelten Steuerung (50), wobei die Steuerung auf Signale von den vorbestimmten Bauelementen auf dem Chip zum Erzeugen einer vorbestimmten Folge von Ausgangssteuersignalen (C) zu den einzelnen Erzeugungsschaltungen (111–124) für jede von mindestens zwei getrennten Betriebsphasen des Generatorsystems (100) reagiert, **dadurch gekennzeichnet**, dass die getrennten Phasen eine Prüf- und Einbrennphase, eine Einschaltphase und eine Normalbetriebsphase einschließen.

2. Anordnung nach Anspruch 1, wobei die zentrale Generatorsteuerungsanordnung (40) weiterhin eine Spannungserkennungsanordnung (44) zum Erkennen von Spannungsschwellwertpegeln in vorbestimmten der Mehrzahl von Spannungserzeugungsschaltungen (111–124) und zum Erzeugen von für die erkannten Spannungspegel repräsentativen Ausgangssignalen zu der Steuerung (50) umfasst.

3. Anordnung nach Anspruch 1, wobei die Steuerung (50) einen Zustandsautomaten (52) umfasst, der an einer getrennten Programmfolge zum Steuern des Generatorsystems (100) für jede Betriebsphase arbeitet.

4. Anordnung nach Anspruch 1, wobei die Steuerung (50) einen Zustandsautomaten (52) umfasst, der Folgendes umfasst:

Eingangslogikschaltungen (70) zum Empfangen von logischen Eingangssignalen zu dem Zustandsautomaten (52) und zum Erzeugen von vorbestimmten Ausgangssteuersignalen entsprechend Reaktionen auf die empfangenen logischen Eingangssignale; auf die Ausgangssteuersignale von den Eingangslogikschaltungen (70) und vorbestimmte andere Eingangssignale reagierende Speicherschaltungen (74) zum Erzeugen vorbestimmter Ausgangssignale; und Ausgangslogikschaltungen (72) zum Empfangen logischer Eingangssignale zu dem Zustandsautomaten (52) und der Ausgangssignale von den Speicherschaltungen (74) zum Erzeugen von vorbestimmten Ausgangssteuersignalen des Zustandsautomaten

(52).

5. Anordnung nach Anspruch 1, wobei der Chip ein DRAM-Chip (Dynamic Random Access Memory) ist.

6. Anordnung nach Anspruch 1, wobei die mindestens zwei getrennten Betriebsphasen eine Einschalt- und eine Normalbetriebsphase umfassen.

7. DRAM-Chip (Dynamic Random Access Memory) mit Folgendem:

einem Generatorsystem (100) mit einer Mehrzahl von Spannungserzeugungsschaltungen (111–124) zum Erzeugen von Spannungen zu vorbestimmten anderen Spannungserzeugungsschaltungen und zu anderen Bauelementen auf dem Chip; und einer zentralen Generatorsteuerungsanordnung (40) mit einer an jede der Mehrzahl von Spannungserzeugungsschaltungen (111–124) und an vorbestimmte Bauelemente auf dem Chip angekoppelten Steuerung (50), wobei die Steuerung (50) auf Ereignisse in der Mehrzahl von Spannungserzeugungsschaltungen (111–124) und Signale von den vorbestimmten der anderen Bauelemente auf dem Chip zum Erzeugen einer vorbestimmten Folge von Ausgangssteuersignalen (C) zu den einzelnen Erzeugungsschaltungen (111–124) für jede von mindestens zwei getrennten Betriebsphasen des Generatorsystems (100) reagiert, **dadurch gekennzeichnet**, dass die getrennten Phasen eine Prüf- und Einbrennphase, eine Einschaltphase und eine Normalbetriebsphase einschließen.

8. Chip nach Anspruch 7, wobei die zentrale Generatorsteuerungsanordnung (40) weiterhin eine Spannungserkennungsanordnung (44) zum Erkennen von Spannungsschwellwertpegeln in vorbestimmten der Mehrzahl von Spannungserzeugungsschaltungen (111–124) und zum Erzeugen von für die erkannten Spannungspegel repräsentativen Ausgangssignalen zu der Steuerung (50) umfasst.

9. Chip nach Anspruch 7, wobei die Steuerung (50) einen Zustandsautomaten (52) umfasst, der mit einer getrennten Programmfolge zum Steuern des Generatorsystems (100) für jede Betriebsphase arbeitet.

10. Chip nach Anspruch 7, wobei die Steuerung (50) einen Zustandsautomaten (52) umfasst, der Folgendes umfasst:

Eingangslogikschaltungen (70), zum Empfangen von logischen Eingangssignalen zu dem Zustandsautomaten (52) und zum Erzeugen von vorbestimmten Ausgangssteuersignalen entsprechend Reaktionen auf die empfangenen logischen Eingangssignale; auf die Ausgangssteuersignale von den Eingangslogikschaltungen (70) und vorbestimmte andere Eingangssignale reagierende Speicherschaltungen (74)

zum Erzeugen vorbestimmter Ausgangssignale; und Ausgangslogikschaltungen (72) zum Empfangen logischer Eingangssignale zu dem Zustandsautomaten (52) und der Ausgangssignale von den Speicherschaltungen (74) zum Erzeugen von vorbestimmten Ausgangssteuersignalen des Zustandsautomaten (52).

11. Chip nach Anspruch 7, wobei die mindestens zwei getrennten Betriebsphasen eine Einschalt- und eine Normalbetriebsphase umfassen.

Es folgen 6 Blatt Zeichnungen

Anhängende Zeichnungen

FIG. 1
(STAND DER TECHNIK)

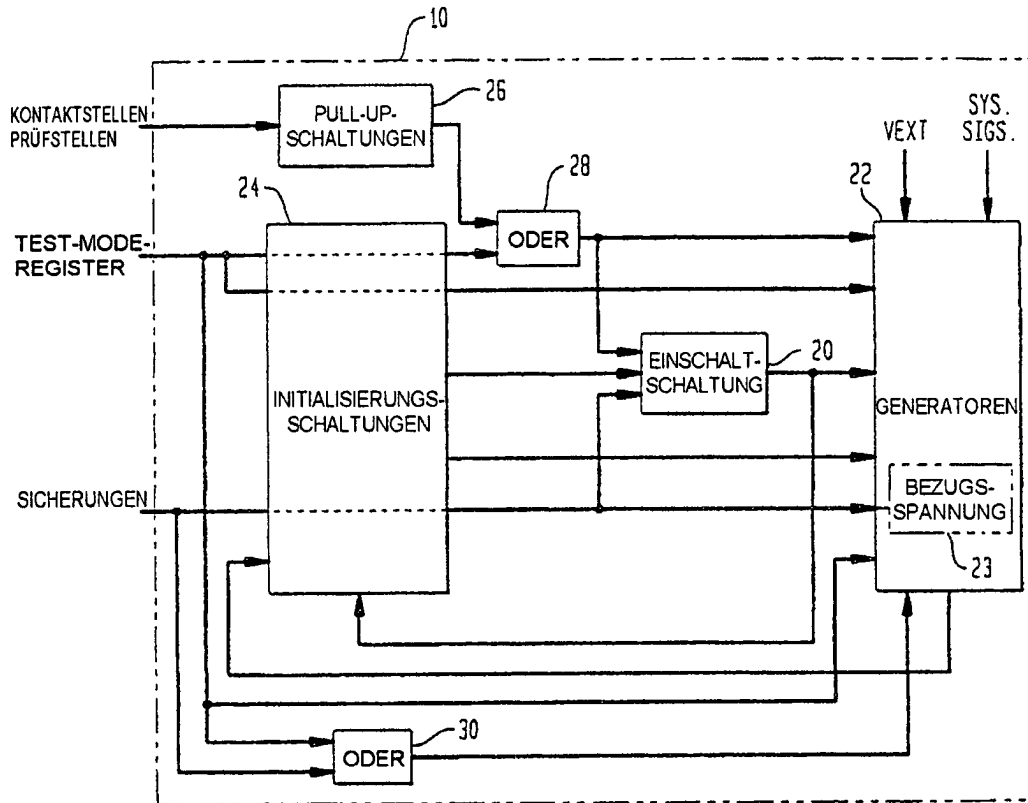


FIG. 2

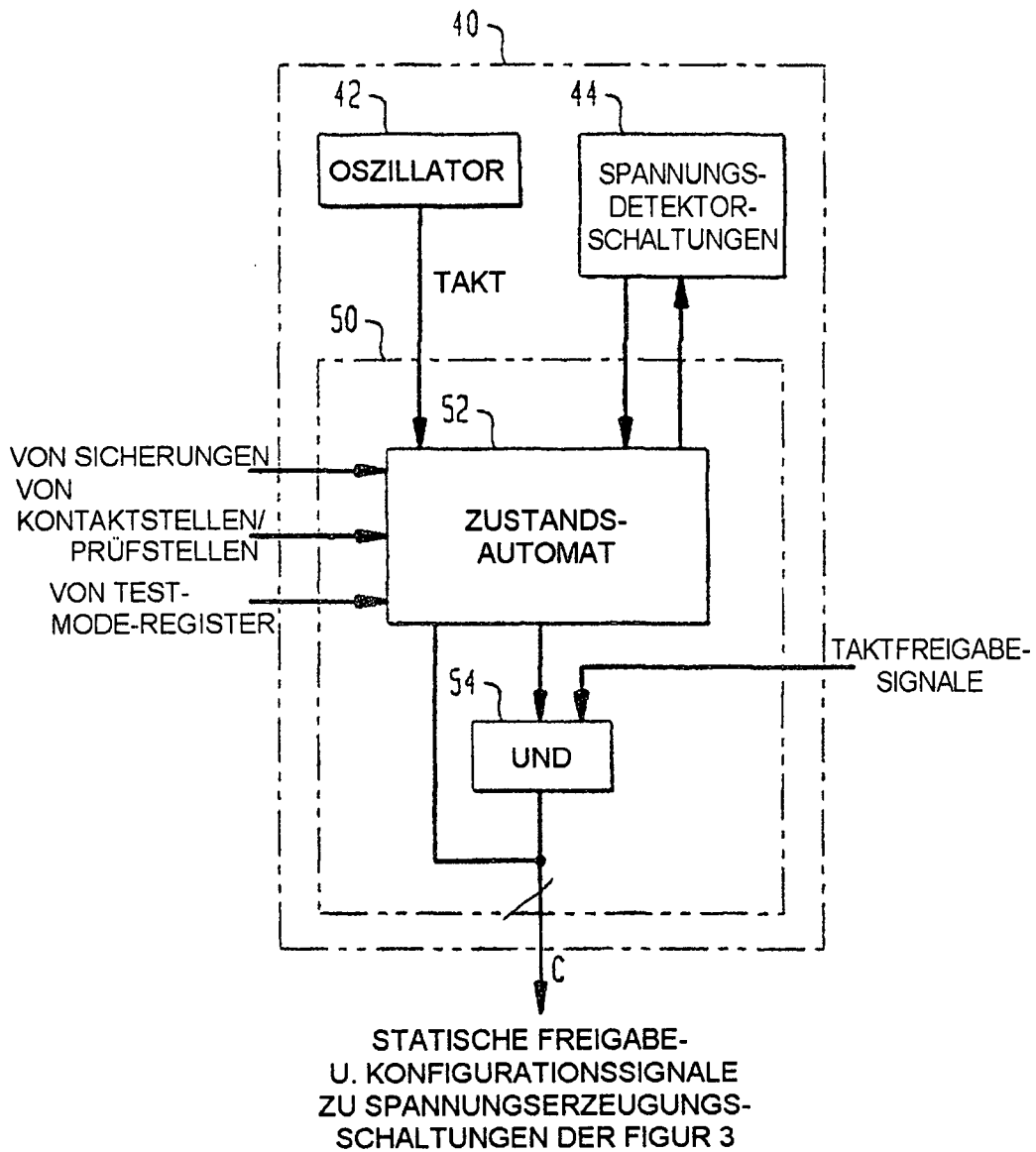


FIG. 3

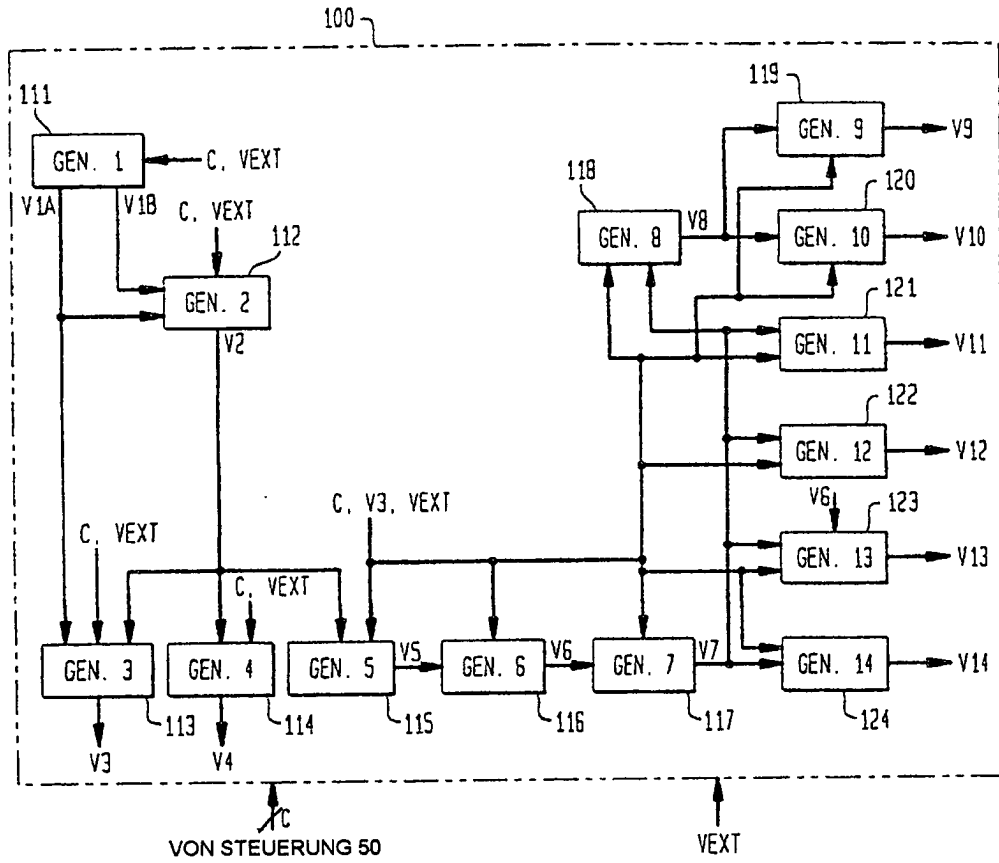


FIG. 4A

	EREIGNIS	STEUERUNG	GENERATORSCHALTUNGEN
200	VEXT ANGELEGT	FLIP-FLOPS RÜCKSETZEN; V6on IST NIEDRIG; bFINIT IST NIEDRIG; bFET IST HOCH;	V1A U. V1B; V2 BEGINNT; V3 BEGINNT; V4 BEGINNT; V5 (ANFANGS-PULLDOWN DES KNOTENS) V7 (ANFANGSAKTIVIERUNG VON VERSTÄRKUNGS- SCHALTER) V6AC, V6SBM START; V8 BEGINNT; V8OSB BEGINNT; V9 BEGINNT; V10 BEGINNT
201		X ZYKLEN WARTEN	
202	V13 PEGEL OK V6DET GEHT AUF HOCH		
203		X ZYKLEN WARTEN	
204		V6on GEHT AUF HOCH;	V3 ANTRIEBSFÄHIGKEIT VERRINGERT; V5 NICHT LÄNGER PULL-DOWN; V7 VERSTÄRKUNG ABGESCHALTET
205		V14sbct GEHT AUF HOCH;	V14 BEGONNEN;
206		V13acct, V13sbct GEHT AUF HOCH;	V13ac, V13sb BEGONNEN;
207		ERZEUGUNG VON SICHERUNGS- SPEICHERSIGNALEN; bFINIT GEHT AUF HOCH;	
208		Y ZYKLEN WARTEN	
209		bFSET GEHT AUF NIEDRIG;	
210		Z ZYKLEN WARTEN	
211		bFSET GEHT AUF HOCH;	
212	V13 PEGEL ERREICHT V13 GEHT AUF NIEDRIG	V13acct GEHT AUF NIEDRIG;	V13ac ABGSCHALTET;
213		V12pocct GEHT AUF HOCH;	V12po BEGONNEN;

FIG. 4B

	EREIGNIS	STEUERUNG	GENERATORSCHALTUNGEN
214	V12 ERREICHT 85 % VON V6; V12DET GEHT AUF HOCH;	V12pocct GEHT AUF NIEDRIG	V12po ABGESCHALTET;
215		V12acct, V12sbct GEHT AUF HOCH;	V12ac, V12sb BEGONNEN;
216		V8frct GEHT AUF HOCH;	V8fr BEGONNEN;
217		X ZYKLEN WARTEN	
218		V11acct GEHT AUF HOCH;	V11ac BEGONNEN;
219		X ZYKLEN WARTEN	
220		Vdet GEHT AUF NIEDRIG	SPANNUNGSDETEKTOR- SCHALTUNGEN ABGESCHALTET (VORSPANNUNGSSTROM SPAREN);
221		PRWon-SIGNALE AKTIVIERT;	ALLE SPANNUNGEN STABIL;
222		ENDE.	

FIG. 5

