

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成24年8月9日(2012.8.9)

【公表番号】特表2006-522486(P2006-522486A)

【公表日】平成18年9月28日(2006.9.28)

【年通号数】公開・登録公報2006-038

【出願番号】特願2006-509467(P2006-509467)

【国際特許分類】

H 01 L 29/786 (2006.01)

H 01 L 21/336 (2006.01)

H 01 L 29/423 (2006.01)

H 01 L 29/49 (2006.01)

【F I】

H 01 L 29/78 6 1 8 C

H 01 L 29/78 6 1 7 J

H 01 L 29/78 6 1 6 V

H 01 L 29/78 6 1 7 M

H 01 L 29/78 6 1 7 N

H 01 L 29/58 G

【誤訳訂正書】

【提出日】平成24年6月15日(2012.6.15)

【誤訳訂正1】

【訂正対象書類名】特許請求の範囲

【訂正対象項目名】全文

【訂正方法】変更

【訂正の内容】

【特許請求の範囲】

【請求項1】

F i n F E T デバイス中にゲートを形成する方法であって、
 絶縁層上のシリコン層を含むシリコン・オン・インシュレータ(SOI)ウェーハ上に
 、第1絶縁層をたい積するステップと、
 前記第1絶縁層の一部上にレジストマスクを形成するステップと、
 フィンおよびこのフィンの上面を被覆する絶縁キャップを形成すべく、前記レジストマスクによって被覆されない前記第1絶縁層および前記シリコン層の一部をエッチングするステップと、
 前記レジストマスクの除去後、前記絶縁キャップ上にゲート層をたい積するステップと
 、
 前記ゲート層上に第2絶縁層をたい積するステップと、
 ゲート構造を形成すべく、前記ゲート層および第2絶縁層をエッチングするステップと
 、
 前記ゲート構造と隣接する側壁スペーサを形成するステップと、
 F i n F E T デバイス上に第3絶縁層を形成するステップと、
 前記第2絶縁層の上面を露出すべく、前記第3絶縁層をプレーナ化するステップと、
 前記第3絶縁層のプレーナ化の後に、前記ゲート構造における前記第2絶縁層および前記ゲート層を除去するステップと、
 前記第2絶縁層および前記ゲート層の除去後に、前記F i n F E T デバイスのチャネル領域における前記フィンの幅を縮小すべく、ウェットエッチングプロセスを用いて前記フィンをエッチングするステップと、

前記除去したゲート層があった場所に、金属材料を含むゲート材料をたい積するステップと、

前記フィン上の前記ゲート材料の一部を除去し、かつ前記フィンの両側にゲート電極を形成するように、前記FinFETデバイスをプレーナ化するステップとを含み、前記フィンの両側上に形成された前記ゲートが電気的および物理的に分離している、方法。

【請求項2】

前記第2絶縁層および前記ゲート層を除去し前記フィンをエッチングした後の前記フィンの減少した幅は、30～500(3nm～50nm)の範囲である請求項1記載の方法。

【請求項3】

前記フィンのエッチング前に、前記フィンの第1端部に隣接する前記絶縁層上にソース領域を形成するステップと、

前記フィンのエッチング前に、前記フィンの第2端部に隣接する前記絶縁層上にドレイン領域を形成するステップと、をさらに含む、請求項1または2記載の方法。

【請求項4】

前記ソース領域および前記ドレイン領域上に金属をたい積するステップと、

前記ソース領域および前記ドレイン領域上に金属シリサイド化合物を形成すべく、前記FinFETデバイスをアニーリングするステップと、をさらに含む請求項3記載の方法。

【請求項5】

前記ゲート層を除去するステップは、

前記第1絶縁層および前記側壁スペーサに比べて、前記ゲート層に関して高いエッチング選択性を有するエッチングケミストリを使用して、前記ゲート層をエッチングするステップを含む、請求項1ないし4のいずれかの項記載の方法。

【請求項6】

前記フィンをエッチングするステップは、前記チャネル領域内において前記フィンの幅を、約20nmから約100nmの範囲の量だけ減少させる、請求項1ないし5のいずれかの項記載の方法。

【請求項7】

前記ゲート材料をたい積するステップは、W、Ti、Ni、Ta、TaN、TaSiNのうちの少なくとも1つをたい積するステップを含む、請求項1ないし6のいずれかの項記載の方法。

【請求項8】

前記ゲート材料が前記側壁スペーサの上面と実質的に同一平面となるように前記ゲート材料をプレーナ化するステップをさらに含む、請求項1ないし7のいずれかの項記載の方法。

【請求項9】

半導体デバイスを製造する方法であって、

FinFETデバイスを含む半導体デバイスの絶縁層上に、フィンおよび前記フィンの上面の絶縁キャップを形成するステップと、

前記フィンの第1端部に隣接するソース領域および前記フィンの第2端部に隣接するドレイン領域を形成するステップと、

前記ソース領域および前記ドレイン領域の形成後に、前記フィン上にゲート材料をたい積するステップと、

前記ゲート材料を含むゲート構造を形成すべく、前記ゲート材料をパターン化し、エッチングするステップと、

前記ゲート材料のパターン化およびエッチングの後に、半導体デバイス上に絶縁層を形成するステップと、

前記ゲート構造の上面を露出すべく、前記絶縁層をプレーナ化するステップと、

前記絶縁層のプレーナ化の後に、凹部領域を生成すべく、前記ゲート構造における前記ゲート材料を除去するステップと、

前記半導体デバイスのチャネル領域中の前記フィンの幅を減少させるステップであって、ウェットエッティングプロセスを用いて前記フィンをエッティングすることを含むステップと、

前記凹部領域中に金属層をたい積するステップと、

前記フィン上の前記金属層の一部を除去し、かつ前記フィンの両側上にゲート電極を形成するように、前記半導体デバイスをプレーナ化するステップとを含み、

前記フィンの両側上に形成された前記ゲートが、電気的および物理的に分離している、方法。

【請求項 10】

前記フィンの幅を減少させるステップは、前記チャネル領域中の前記フィンの幅を、約 20 nm から約 100 nm の範囲の量だけ減少させるべく、前記フィンをエッティングするステップを含む、請求項 9 記載の方法。

【請求項 11】

前記ゲート材料はシリコンを含んでおり、

前記ゲート材料を除去するステップは、シリコンに関して高いエッティング選択性を有するエッティングケミストリを使用して、前記ゲート材料をエッティングするステップを含む、請求項 9 記載の方法。

【請求項 12】

半導体デバイスを製造する方法であって、

F i n F E T デバイスを含む半導体デバイスの絶縁層上に、導電性のフィンを含むフィン構造物および前記フィン構造物の上面上の絶縁キャップを形成するステップと、

前記フィン構造物の第 1 端部に隣接するソース領域および前記フィン構造物の第 2 端部に隣接するドレイン領域を形成するステップと、

前記フィン構造物上にゲートを形成するステップと、

前記ゲートの上面を露出すべく、前記半導体デバイス上に形成された絶縁層をプレーナ化するステップと、

前記絶縁層のプレーナ化の後に、凹部領域を生成すべく、前記ゲートを除去するステップと、

前記半導体デバイスのチャネル領域中の前記フィン構造物の幅を薄くするステップであって、ウェットエッティングプロセスを用いて前記フィン構造物をエッティングすることを含むステップと、

前記フィン構造物の幅を薄くした後に、前記凹部領域中に金属層をたい積するステップと、

前記フィン構造物上の前記金属層の一部を除去し、かつ前記フィンの両側上にゲート電極を形成するように、前記半導体デバイスをプレーナ化するステップとを含み、

前記フィン構造物の両側上に形成された前記ゲートが、電気的および物理的に分離している、を含む方法。

【請求項 13】

前記フィン構造物の幅を薄くするステップは、前記フィン構造物の幅を、約 20 nm から約 100 nm の範囲の量だけ減少させるステップを含む、請求項 12 記載の方法。

【誤訳訂正 2】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 2 3

【訂正方法】変更

【訂正の内容】

【0 0 2 3】

ゲート凹部 810 を形成した後、シリコンフィンの両側面は、半導体デバイス 100 のチャネル領域内においては露出されてもよい。その後、フィン 210 をエッティングして、チャネル領域のフィン 210 の幅を縮小してもよい。例えば、ウェットエッティングプロセスを実行して、チャネル領域のフィン 210 の幅を縮小してもよい。ソース / ドレイン領

域 220、230 とチャネル領域内にないフィン 210 の一部とは、絶縁層 610 によって被覆される。このことは、フィン 210 の所望の部分が薄くされる一方で、半導体デバイス 100 のこれらの部分がエッティングされるのを防止する。

【誤訳訂正 3】

【訂正対象書類名】明細書

【訂正対象項目名】0028

【訂正方法】変更

【訂正の内容】

【0028】

図 10B は、ゲート材料 1010 をたい積してプレーナ化した後の本発明の半導体デバイス 100 の平面図を示している。図示するように、半導体デバイス 100 は、フィン 210 の両側上にたい積されているゲート 1010 を有するダブルゲート構造を含んでいる。

図 10B のシェード領域は、ソース / ドレイン領域 220、230 上に形成された金属シリサイド層 520 を表わしている。ゲート 1010 は、図 10B 中のゲート電極 1012 として示される、ゲート 1010 の一端に形成されるゲート電極またはコンタクトを含んでいてもよい。さらに、第 2 ゲート電極 / コンタクトは、ゲート 1010 の他端側に形成されてもよい。

【誤訳訂正 4】

【訂正対象書類名】明細書

【訂正対象項目名】0030

【訂正方法】変更

【訂正の内容】

【0030】

図 10B に示される生成された半導体デバイス 100 は、フィン 210 上に広がるゲート 1010 を備えたダブルゲートデバイスである。

本発明の趣旨に沿った実装の 1 つにおいては、図 10A に示される半導体デバイス 100 を、例えば化学的機械的研磨 (C M P) を用いてプレーナ化して、フィン 210 上のゲート層 1010 の一部を除去してもよい。この実装においては、電気的および物理的に、分離したゲートをフィン 210 の両側上に形成することができる。半導体デバイス 100 の処理の間、このようなゲートを別々にバイアスしてもよい。