

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 17 年 7 月 21 日 (2005.7.21)

【公開番号】特開 2003-31693 (P2003-31693A)
 【公開日】平成 15 年 1 月 31 日 (2003.1.31)
 【出願番号】特願 2001-220461 (P2001-220461)
 【国際特許分類第 7 版】

H 0 1 L 21/8242

H 0 1 L 27/108

H 0 1 L 29/786

【F I】

H 0 1 L 27/10 3 2 1

H 0 1 L 29/78 6 1 3 B

【手続補正書】

【提出日】平成 16 年 11 月 29 日 (2004.11.29)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

一つのメモリセルが、フローティングのチャンネルボディと、このチャンネルボディの第 1 の面に形成されたチャンネルを形成するための主ゲートと、前記チャンネルボディの第 1 の面と反対側の第 2 の面に容量結合するように形成された補助ゲートとを有する完全空乏型の一つの M I S F E T により構成され、

前記 M I S F E T は、前記主ゲートからの電界により前記チャンネルボディが完全空乏化した状態で且つ、前記補助ゲートからの電界により前記チャンネルボディの第 2 の面に多数キャリアが蓄積可能とした状態を基準状態として、前記チャンネルボディの第 2 の面に多数キャリアが蓄積された第 1 データ状態と、前記チャンネルボディの第 2 の面の多数キャリアを放出させた第 2 データ状態とをダイナミックに記憶することを特徴とする半導体メモリ装置。

【請求項 2】

半導体基板と、

この半導体基板上に絶縁膜により分離された状態で形成された半導体層と、

この半導体層に形成されたフローティングのチャンネルボディを有し、このチャンネルボディの第 1 の面に形成されたチャンネルを形成するための主ゲート及び第 1 の面と反対側の第 2 の面に容量結合するように形成された補助ゲートを有する完全空乏型の M I S F E T とを備え、

前記 M I S F E T は、前記主ゲートからの電界により前記チャンネルボディが完全空乏化した状態で且つ、前記補助ゲートからの電界により前記チャンネルボディの第 2 の面に多数キャリアが蓄積可能とした状態を基準状態として、前記チャンネルボディの第 2 の面に多数キャリアが蓄積された第 1 データ状態と、前記チャンネルボディの第 2 の面の多数キャリアを放出させた第 2 データ状態とをダイナミックに記憶することを特徴とする半導体メモリ装置。

【請求項 3】

半導体基板と、

この半導体基板上に柱状にパターン形成された半導体層からなるチャンネルボディ、

このチャンネルボディの第 1 の側面に形成されたチャンネルを形成するための主ゲート及び第 1 の側面と反対側の第 2 の側面に容量結合するように形成された補助ゲートを有する完全空乏型の M I S F E T とを備え、

前記 M I S F E T は、前記主ゲートからの電界により前記チャンネルボディが完全空乏化した状態で且つ、前記補助ゲートからの電界により前記チャンネルボディの第 2 の側面に多数キャリアが蓄積可能とした状態を基準状態として、前記チャンネルボディの第 2 の側面に多数キャリアが蓄積された第 1 データ状態と、前記チャンネルボディの第 2 の側面の多数キャリアを放出させた第 2 データ状態とをダイナミックに記憶することを特徴とする半導体メモリ装置。

【請求項 4】

前記第 1 データ状態は、M I S F E T を 5 極管動作させてドレイン接合近傍でインパクトイオン化を起こすことにより書き込まれ、

前記第 2 データ状態は、前記チャンネルボディとドレインの間に順方向バイアス電流を流すことにより書き込まれる

ことを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体メモリ装置。

【請求項 5】

前記 M I S F E T は、前記半導体層の表面を第 1 の面とし、前記絶縁膜に接する裏面を第 2 の面として、表面にゲート絶縁膜を介して主ゲートが形成されている

ことを特徴とする請求項 2 記載の半導体メモリ装置。

【請求項 6】

前記補助ゲートは、前記半導体基板又はその前記絶縁膜との界面に形成された不純物拡散層である

ことを特徴とする請求項 5 記載の半導体メモリ装置。

【請求項 7】

前記補助ゲートは、前記絶縁膜内部又は前記半導体基板との界面部に前記半導体層の裏面に対向するように埋め込まれている

ことを特徴とする請求項 5 記載の半導体メモリ装置。

【請求項 8】

複数の M I S F E T がマトリクス配列され、各 M I S F E T のドレインはビット線に、主ゲートはビット線と交差するワード線に、ソースは固定電位線にそれぞれ接続されてセルアレイが構成され、補助ゲートは前記セルアレイ全体にまたがる共通電極として又は各ワード線と並行するプレート線として形成されている

ことを特徴とする請求項 1 又は 2 記載の半導体メモリ装置。

【請求項 9】

複数の M I S F E T がマトリクス配列され、各 M I S F E T のドレインはビット線に、主ゲートはビット線と交差するワード線に、補助ゲートは各ワード線と並行するプレート線に、ソースは固定電位線にそれぞれ接続されてセルアレイが構成されている

ことを特徴とする請求項 3 記載の半導体メモリ装置。

【請求項 10】

複数の M I S F E T がマトリクス配列され、各 M I S F E T のドレインはビット線に、主ゲートはビット線と交差するワード線に、補助ゲートはビット線と並行するプレート線に、ソースは固定電位線にそれぞれ接続されてセルアレイが構成されている

ことを特徴とする請求項 2 記載の半導体メモリ装置。

【請求項 11】

前記主ゲートに書き込み / 読み出し / 保持の各動作モードに応じて与えられる各種制御電圧及び、前記補助ゲートにメモリ動作中与えられる固定電圧を発生する内部電圧発生回路と、

テストの結果に応じて、前記各種制御電圧及び固定電圧の電圧値をプログラミングできる不揮発性記憶回路と、

この不揮発性記憶回路の読み出しデータを保持して前記内部電圧発生回路の出力電圧を

制御する初期設定レジスタと、
を有することを特徴とする請求項 8 乃至 10 のいずれかに記載の半導体メモリ装置。