

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年7月21日(2005.7.21)

【公開番号】特開2003-31693(P2003-31693A)

【公開日】平成15年1月31日(2003.1.31)

【出願番号】特願2001-220461(P2001-220461)

【国際特許分類第7版】

H 01 L 21/8242

H 01 L 27/108

H 01 L 29/786

【F I】

H 01 L 27/10 3 2 1

H 01 L 29/78 6 1 3 B

【手続補正書】

【提出日】平成16年11月29日(2004.11.29)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

一つのメモリセルが、フローティングのチャネルボディと、このチャネルボディの第1の面に形成されたチャネルを形成するための主ゲートと、前記チャネルボディの第1の面と反対側の第2の面に容量結合するように形成された補助ゲートとを有する完全空乏型の一つのMISFETにより構成され、

前記MISFETは、前記主ゲートからの電界により前記チャネルボディが完全空乏化した状態で且つ、前記補助ゲートからの電界により前記チャネルボディの第2の面に多数キャリアが蓄積可能とした状態を基準状態として、前記チャネルボディの第2の面に多数キャリアが蓄積された第1データ状態と、前記チャネルボディの第2の面の多数キャリアを放出させた第2データ状態とをダイナミックに記憶することを特徴とする半導体メモリ装置。

【請求項2】

半導体基板と、

この半導体基板上に絶縁膜により分離された状態で形成された半導体層と、

この半導体層に形成されたフローティングのチャネルボディを有し、このチャネルボディの第1の面に形成されたチャネルを形成するための主ゲート及び第1の面と反対側の第2の面に容量結合するように形成された補助ゲートを有する完全空乏型のMISFETとを備え、

前記MISFETは、前記主ゲートからの電界により前記チャネルボディが完全空乏化した状態で且つ、前記補助ゲートからの電界により前記チャネルボディの第2の面に多数キャリアが蓄積可能とした状態を基準状態として、前記チャネルボディの第2の面に多数キャリアが蓄積された第1データ状態と、前記チャネルボディの第2の面の多数キャリアを放出させた第2データ状態とをダイナミックに記憶することを特徴とする半導体メモリ装置。

【請求項3】

半導体基板と、

この半導体基板上に柱状にパターン形成された半導体層からなるチャネルボディ、

このチャネルボディの第1の側面に形成されたチャネルを形成するための主ゲート及び第1の側面と反対側の第2の側面に容量結合するように形成された補助ゲートを有する完全空乏型のMISFETとを備え、

前記MISFETは、前記主ゲートからの電界により前記チャネルボディが完全空乏化した状態で且つ、前記補助ゲートからの電界により前記チャネルボディの第2の側面に多数キャリアが蓄積可能とした状態を基準状態として、前記チャネルボディの第2の側面に多数キャリアが蓄積された第1データ状態と、前記チャネルボディの第2の側面の多数キャリアを放出させた第2データ状態とをダイナミックに記憶することを特徴とする半導体メモリ装置。

【請求項4】

前記第1データ状態は、MISFETを5極管動作させてドレイン接合近傍でインパクトイオン化を起こすことにより書き込まれ、

前記第2データ状態は、前記チャネルボディとドレインの間に順方向バイアス電流を流すことにより書き込まれる

ことを特徴とする請求項1乃至3のいずれかに記載の半導体メモリ装置。

【請求項5】

前記MISFETは、前記半導体層の表面を第1の面とし、前記絶縁膜に接する裏面を第2の面として、表面にゲート絶縁膜を介して主ゲートが形成されていることを特徴とする請求項2記載の半導体メモリ装置。

【請求項6】

前記補助ゲートは、前記半導体基板又はその前記絶縁膜との界面に形成された不純物拡散層である

ことを特徴とする請求項5記載の半導体メモリ装置。

【請求項7】

前記補助ゲートは、前記絶縁膜内部又は前記半導体基板との界面部に前記半導体層の裏面に對向するように埋め込まれている

ことを特徴とする請求項5記載の半導体メモリ装置。

【請求項8】

複数のMISFETがマトリクス配列され、各MISFETのドレインはピット線に、主ゲートはピット線と交差するワード線に、ソースは固定電位線にそれぞれ接続されてセルアレイが構成され、補助ゲートは前記セルアレイ全体にまたがる共通電極として又は各ワード線と並行するプレート線として形成されている

ことを特徴とする請求項1又は2記載の半導体メモリ装置。

【請求項9】

複数のMISFETがマトリクス配列され、各MISFETのドレインはピット線に、主ゲートはピット線と交差するワード線に、補助ゲートは各ワード線と並行するプレート線に、ソースは固定電位線にそれぞれ接続されてセルアレイが構成されている

ことを特徴とする請求項3記載の半導体メモリ装置。

【請求項10】

複数のMISFETがマトリクス配列され、各MISFETのドレインはピット線に、主ゲートはピット線と交差するワード線に、補助ゲートはピット線と並行するプレート線に、ソースは固定電位線にそれぞれ接続されてセルアレイが構成されている

ことを特徴とする請求項2記載の半導体メモリ装置。

【請求項11】

前記主ゲートに書き込み／読み出し／保持の各動作モードに応じて与えられる各種制御電圧及び、前記補助ゲートにメモリ動作中与えられる固定電圧を発生する内部電圧発生回路と、

テストの結果に応じて、前記各種制御電圧及び固定電圧の電圧値をプログラミングできる不揮発性記憶回路と、

この不揮発性記憶回路の読み出しデータを保持して前記内部電圧発生回路の出力電圧を

制御する初期設定レジスタと、
を有することを特徴とする請求項8乃至10のいずれかに記載の半導体メモリ装置。