



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I762622 B

(45)公告日：中華民國 111 (2022) 年 05 月 01 日

(21)申請案號：107113277

(22)申請日：中華民國 107 (2018) 年 04 月 19 日

(51)Int. Cl. : **H01L27/11517 (2017.01)**

(30)優先權：2017/04/28 日本 2017-089300

(71)申請人：日商瑞薩電子股份有限公司(日本) RENESAS ELECTRONICS CORPORATION  
(JP)

日本

(72)發明人：川嶋祥之 KAWASHIMA, YOSHIYUKI (JP)；橋本孝司 HASHIMOTO, TAKASHI  
(JP)

(74)代理人：周良謀；周良吉

(56)參考文獻：

TW 201025571A1 US 2015/0249053A1

US 2015/0270393A1

審查人員：陳昇聰

申請專利範圍項數：23 項 圖式數：20 共 53 頁

(54)名稱

半導體裝置及其製造方法

(57)摘要

本發明提供一種半導體裝置，具有半導體基板 SB、半導體基板 SB 所形成的 p 型井區 PWC、p 型井區 PWC 上所形成的絕緣層 BOX、絕緣層 BOX 上所形成的半導體層 SL、半導體層 SL 上所形成的絕緣層 GIH、絕緣層 GIH 上所形成的導體層 CLC。而電容元件 C1，由半導體層 SL、絕緣層 GIH、導體層 CLC 所構成；電容元件 C2，由 p 型井區 PWC、絕緣層 BOX、半導體層 SL 所構成；半導體基板 SB 與半導體層 SL，係由單晶矽層所組成。

This invention is to improve a performance of a semiconductor device. The semiconductor device includes a semiconductor substrate, a p-type well region formed in the semiconductor substrate, a first insulating layer formed over the p-type well region, a semiconductor layer formed over the first insulating layer, a second insulating layer formed over the semiconductor layer, and a conductor layer formed over the second insulating layer. A first capacitive element is comprised of the semiconductor layer, the second insulating layer, and the conductor layer, while a second capacitive element is comprised of the p-type well region, the first insulating layer, and the semiconductor layer, in which each of the semiconductor substrate and the semiconductor layer includes a single crystal silicon layer.

指定代表圖：

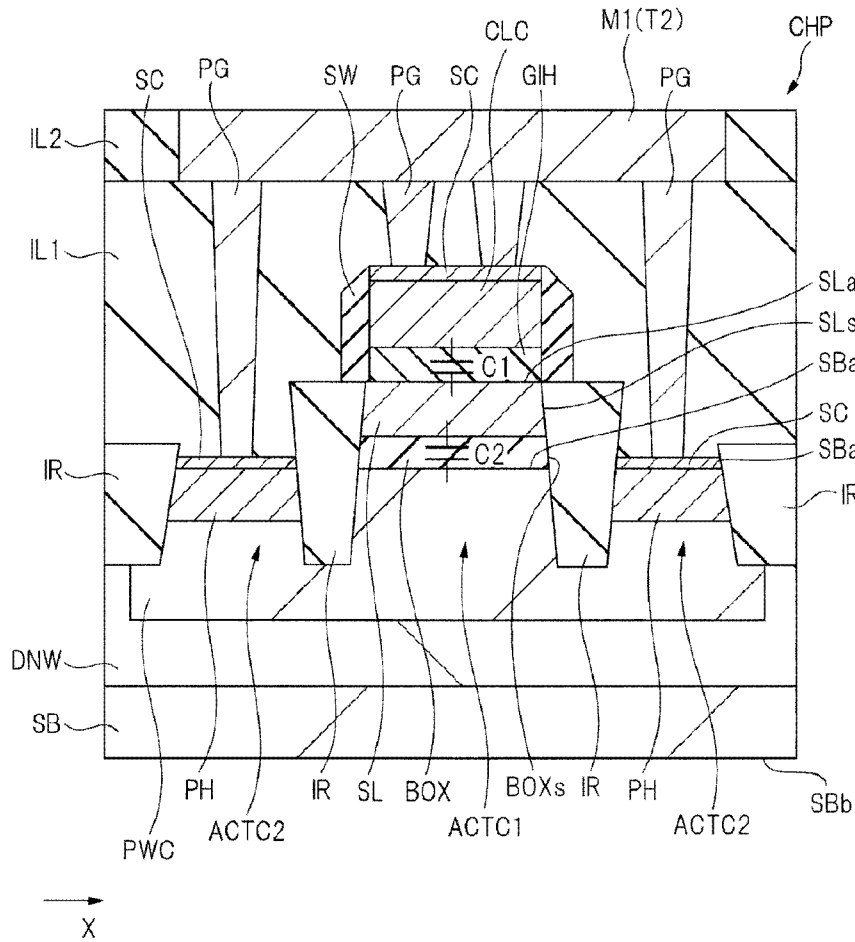


圖 4

符號簡單說明：

- ACTC1、ACTC2 . . . 活性區
- BOX . . . 絕緣層(埋入絕緣層)
- BOXs . . . 側壁
- C1、C2 . . . 電容元件
- CLC . . . 導體層
- CHP . . . 半導體晶片
- DNW . . . n型井區(n型半導體區)
- GIH . . . 絕緣層(開極絕緣層)
- IL1、IL2 . . . 層間絕緣層
- IR . . . 元件分離層(元件分離區)
- M1 . . . 配線(金屬配線)
- PG . . . 栓塞電極
- PH . . . p型半導體區(p型高濃度半導體區)
- PWC . . . p型井區(p型半導體區)
- SB . . . 半導體基板
- SBa . . . 主面
- SBb . . . 背面
- SC . . . 矽化物層(金屬矽化物層)
- SL . . . 半導體層(SOI層)
- SLa . . . 主面
- SLs . . . 側壁
- SW . . . 側壁絕緣層(side-wall spacer)
- T2 . . . 端子



I762622

## 【發明摘要】

【中文發明名稱】 半導體裝置及其製造方法

【英文發明名稱】 SEMICONDUCTOR DEVICE AND MANUFACTURING  
METHOD THEREOF

## 【中文】

本發明提供一種半導體裝置，具有半導體基板SB、半導體基板SB所形成的p型井區PWC、p型井區PWC上所形成的絕緣層BOX、絕緣層BOX上所形成的半導體層SL、半導體層SL上所形成的絕緣層GIH、絕緣層GIH上所形成的導體層CLC。而電容元件C1，由半導體層SL、絕緣層GIH、導體層CLC所構成；電容元件C2，由p型井區PWC、絕緣層BOX、半導體層SL所構成；半導體基板SB與半導體層SL，係由單晶矽層所組成。

## 【英文】

This invention is to improve a performance of a semiconductor device. The semiconductor device includes a semiconductor substrate, a p-type well region formed in the semiconductor substrate, a first insulating layer formed over the p-type well region, a semiconductor layer formed over the first insulating layer, a second insulating layer formed over the semiconductor layer, and a conductor layer formed over the second insulating layer. A first capacitive element is comprised of the semiconductor layer, the second insulating layer, and the conductor layer, while a second capacitive element is comprised of the p-type well region, the first insulating layer, and the

semiconductor layer, in which each of the semiconductor substrate and the semiconductor layer includes a single crystal silicon layer.

【指定代表圖】 圖4

【代表圖之符號簡單說明】

ACTC1、ACTC2：活性區

BOX：絕緣層(埋入絕緣層)

BOXs：側壁

C1、C2：電容元件

CLC：導體層

CHP：半導體晶片

DNW：n型井區(n型半導體區)

GIH：絕緣層(閘極絕緣層)

IL1、IL2：層間絕緣層

IR：元件分離層(元件分離區)

M1：配線(金屬配線)

PG：栓塞電極

PH：p型半導體區(p型高濃度半導體區)

PWC：p型井區(p型半導體區)

SB：半導體基板

SBa：主面

SBb：背面

SC：矽化物層(金屬矽化物層)

SL：半導體層(SOI層)

SLa：主面

SLs：側壁

SW：側壁絕緣層(side-wall spacer)

T2：端子

## 【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】 半導體裝置及其製造方法

【英文發明名稱】 SEMICONDUCTOR DEVICE AND MANUFACTURING  
METHOD THEREOF

【技術領域】

【0001】

本發明有關於一種半導體裝置及其製造方法，可善加利用於例如具有電容元件的半導體裝置及其製造方法。

【先前技術】

【0002】

日本特開2009-10281號公報(專利文獻1)，揭示了一種半導體裝置，其含有具有控制電極及記憶體閘極電極之非揮發性記憶體單元，與電容元件。並揭示了以下構成：在第1層的多晶矽層形成控制電極及電容元件之下部電極，在第2層的多晶矽層形成記憶體閘極電極及電容元件之上部電極。

[習知技術文獻]

[專利文獻]

【0003】

[專利文獻1]日本特開2009-10281號公報

【發明內容】

[發明所欲解決之問題]

**【0004】**

本案發明人檢討出一種半導體裝置，係在SOI(Silicon On Insulator，絕緣層覆矽)基板上，用1層多晶矽層形成非揮發性記憶體單元及電容元件。SOI基板具有3層構造，例如於矽基板上隔著埋入絕緣層(氧化矽層等)來形成單晶矽層所構成之半導體層。電容元件係以半導體層所形成之半導體區作為下部電極，以半導體層上所形成之絕緣膜作為介電層，以介電層上由多晶矽層所形成之導體層作為上部電極所構成的。

**【0005】**

為了提升半導體裝置(半導體晶片)的性能，會要求增加電容元件的電容值，但電容元件的專用面積若增加，則會擔心半導體裝置的製造成本上升及製造良率的降低。也就是說，我們所尋求的就是在半導體裝置的製造成本不上升及製造良率不降低之情況下提升半導體裝置之性能。

**【0006】**

其他問題與新穎性特徵，由本說明書的記載及附加圖式中應可明瞭。

[解決問題之技術手段]

**【0007】**

根據一實施形態，一種半導體裝置，具有半導體基板、半導體基板所形成的p型井區、p型井區上所形成的第1絕緣層、第1絕緣層上所形成的半導體層、半導體層上所形成的第2絕緣層、第2絕緣層上所形成的導體層。而第1電容元件，由半導體層、第2絕緣層、導體層所構成；第2電容元件，由p型井區、第1絕緣層、半導體層所構成；半導體基板與半導體層，係由單晶矽層所組成。

[發明功效]

【0008】

根據一實施形態，使得半導體裝置之性能提升。

【圖式簡單說明】

【0009】

圖1係顯示實施形態中半導體晶片的構成之俯視圖。

圖2係實施形態中電容元件的等效電路圖。

圖3係實施形態中電容元件的主要部位俯視圖。

圖4係沿著圖3的X-X的主要部位剖面圖。

圖5係沿著圖3的Y-Y的主要部位剖面圖。

圖6係實施形態之半導體裝置製造工序中的主要部位剖面圖。

圖7係實施形態之半導體裝置製造工序中的主要部位剖面圖。

圖8係實施形態之半導體裝置製造工序中的主要部位剖面圖。

圖9係實施形態之半導體裝置製造工序中的主要部位剖面圖。

圖10係實施形態之半導體裝置製造工序中的主要部位剖面圖。

圖11係實施形態之半導體裝置製造工序中的主要部位剖面圖。

圖12係實施形態之半導體裝置製造工序中的主要部位剖面圖。

圖13係實施形態之半導體裝置製造工序中的主要部位剖面圖。

圖14係實施形態之半導體裝置製造工序中的主要部位剖面圖。

圖15係實施形態之半導體裝置製造工序中的主要部位剖面圖。

圖16係實施形態之半導體裝置製造工序中的主要部位剖面圖。

圖17係顯示電容元件的電容值與電壓的關係、即C-V特性之圖式。

圖18係顯示電容元件的電容值與電壓的關係、即C-V特性之圖式。

圖19係顯示變形例1的半導體裝置的構成之主要部位剖面圖。

圖20係顯示變形例2的半導體裝置的構成之主要部位剖面圖。

## 【實施方式】

### 【0010】

在以下實施形態中，基於方便而有其必要時，會分割成複數區塊或是實施形態來予以說明，但除了有特別表明之情形外，其等並非互無關係，其中一方係與另一方的一部分或是全部的變形例、詳細、補充說明等有關。

### 【0011】

再者，在以下實施形態中提到要素之數等(包含個數、數值、量、範圍等)之情形，除了已有特別表示的情形及原理上明顯限定於特定之數的情形等以外，並不限於該特定之數，特定之數以上或以下皆可。

### 【0012】

還有，以下之實施形態中，其構成要素(包含要素步驟等)除了已有特別表示的情形及原理上明顯為必要的情形等以外，並非為必要的，此乃無須待言。同樣地，以下之實施形態提到構成要素等形狀、相關位置等的時候，除了已有特別表示的情形及原理上明顯不是的情形等以外，實質上形狀等相似或是類似者亦包含在內。這點就上述數值及範圍來說也是同樣的。

### 【0013】

以下，依據圖式對代表性的實施形態進行詳細說明。另外，在用以說明實施形態之全圖中，對具有相同功能之構件賦予相同符號，以省略重複說明。再者，以下之實施形態中，除了有特別必要以外，原則上不重複相同或是同樣部分的說明。

#### 【0014】

再者，實施形態中所用之圖式，為了能在剖面圖中易於辨識圖式，也許會省略陰影線。

#### 【0015】

再者，要素A與要素B電性相連，是指經由導體層連接的情形，除非另有敘明，絕緣層介於要素A與要素B之間的電容耦合是不包含在內的。

#### 【0016】

(實施形態)

針對本實施形態中的半導體裝置，則參照圖式同步進行說明。圖1係顯示本實施形態中的半導體晶片CHP的構成之圖。圖1係顯示例如形成微電腦的半導體晶片CHP之俯視圖，係顯示半導體晶片CHP所形成之各個元件的設計構成之圖。圖1中，半導體晶片CHP具有CPU(Central Processing Unit，中央處理器)1、RAM(Random Access Memory，隨機存取記憶體)2、類比電路3及快閃記憶體4。半導體晶片CHP還具有複數的作為與外部的輸出入端子即接墊電極(外部連接端子)PD。

#### 【0017】

CPU(電路)1，亦稱做中央運算處理部，相當於電腦等的心臟。該CPU1自儲存裝置讀取指令並加以解讀，據此進行各種各樣的運算或控制，因此需要高速

處理性。從而，構成CPU1之MISFET(Metal Insulator Semiconductor Field Effect Transistor，金屬絕緣體半導體場效電晶體)在半導體晶片CHP所形成的元件之中必須要有相對高速動作及低消耗電力。亦即以低耐壓MISFET所形成。

#### 【0018】

RAM(電路)2係可隨機讀取儲存資訊，亦即隨時讀取所儲存的儲存資訊，或寫入新的儲存資訊之記憶體，亦稱為可隨時寫入讀取的記憶體。在此，係使用了利用靜態電路之SRAM(Static RAM，靜態隨機存取記憶體)，SRAM係不須儲存保持動作的隨時寫入讀取記憶體。構成RAM2之MISFET係以低耐壓MISFET所形成。

#### 【0019】

類比電路3係由對時間性連續變化的電壓或電流的訊號、亦即類比訊號進行處理之電路，例如放大電路、轉換電路、調變電路、振盪電路、電源電路等，所構成。該等類比電路3係以高耐壓MISFET所形成。

#### 【0020】

快閃記憶體4係可電性進行寫入動作及刪除動作之非揮發性記憶體。該快閃記憶體4之記憶體單元具有閘極電極、電荷積蓄部、源極區域及汲極區域。記憶體單元的寫入動作或是刪除動作中係使用高電壓，所以快閃記憶體4具有升壓電路；記憶體單元係以高耐壓MISFET所形成。

#### 【0021】

例如，類比電路3之轉換電路或是快閃記憶體4之升壓電路中，雖設有電容元件，但該等電容元件之元件數較多，且各個電容元件的專用面積較大，所以便成

為半導體晶片面積增加的主因。從而讓各個電容元件之占有面積降低，這對半導體晶片之面積縮小是有效的。

**【0022】**

本實施形態，係關於例如類比電路3及快閃記憶體4中所使用之電容元件。

**【0023】**

圖2係本實施形態中電容元件的等效電路圖。圖3係本實施形態中電容元件的主要部位俯視圖。圖4係沿著圖3的X-X的主要部位剖面圖。圖5係沿著圖3的Y-Y的主要部位剖面圖。

**【0024】**

如圖2所示，電容元件CAP具有將電容元件C1與電容元件C2並聯連接之構成。電容元件C1及C2分別與一端子T1及另一端子T2連接，電位V1施加於端子T1，電位V2施加於端子T2。例如，電位V1為接地電壓，電位V2為操作電壓。

**【0025】**

利用圖3~5來說明電容元件CAP之構造。例如如圖3~5所示，電容元件CAP形成於半導體基板SB內所形成的n型井區(n型半導體區)DNW內。半導體基板SB由p型單晶矽構成的基板所構成。

**【0026】**

如圖4所示，電容元件CAP為電容元件C1層疊在電容元件C2上之構造。電容元件C1由半導體層(SOI層)SL、半導體層SL上所配置之絕緣層GIH、與絕緣層GIH上所配置之導體層CLC所構成。再者，電容元件C2由p型井區(p型半導體區)PWC、p型井區PWC上所配置之絕緣層(埋入絕緣層)BOX、與絕緣層BOX上所配置之半導體層SL所構成。半導體層SL在電容元件C1及C2成為共通的電極。

**【0027】**

n型井區DNW介於半導體基板SB與作為電容元件CAP一部分的p型井區PWC之間，藉此可獨立於半導體基板SB的電位，對p型井區PWC施加任何電位。

**【0028】**

電容元件C2之一電極、即p型井區PWC，形成於半導體基板SB的主面SBa側，p型井區PWC內形成了周圍被元件分離層(元件分離區)IR所包圍之活性區ACTC1及ACTC2。換言之，如圖3所示，p型井區PWC以包含活性區ACTC1及ACTC2之方式形成。再者，如圖4所示，p型井區PWC比元件分離層IR更深，橫跨活性區ACTC1及ACTC2所形成。

**【0029】**

如圖3及圖4所示，活性區ACTC1被2個活性區ACTC2包夾；電容元件C1及C2形成於活性區ACTC1內。活性區ACTC2為p型井區PWC之端子連接部。在圖3中，活性區ACTC1及ACTC2以粗線表示；粗線之內側(粗線所包圍之區域)為活性區；粗線之外側(粗線所包圍之區域以外的區域)為元件分離層(元件分離區)IR。各個活性區ACTC1及ACTC2之周圍被元件分離層IR所包圍。於活性區ACTC1有半導體層SL及絕緣層BOX形成，但於2個活性區ACTC2未有半導體層SL及絕緣層BOX形成。在2個活性區ACTC2，於半導體基板SB之主面SBa分別有p型半導體區(p型高濃度半導體區)PH形成。還有，於p型半導體區PH上有矽化物層SC形成；矽化物層SC經由栓塞電極PG而與端子T2即配線(金屬配線)M1電性相連。但是，在圖3中矽化物層SC並未圖示。

**【0030】**

另外，活性區是意指在半導體基板SB之主面SBa中，由元件分離層IR所畫定之區域，但如同例如活性區ACTC1，於半導體基板SB之主面SBa上形成了半導體層SL之情形，在半導體層SL之主面SLa中由元件分離層IR所畫定之區域也包含在內。

#### 【0031】

如圖4所示，電容元件C2之介電層由絕緣層BOX所構成。該絕緣層BOX形成於p型井區PWC上，換言之，形成於半導體基板SB之主面SBa上。再者，該絕緣層BOX其周圍(全周圍)被元件分離層IR所包圍；絕緣層BOX之側壁BOXs與元件分離層IR接觸。絕緣層BOX由例如氧化矽層所構成，具有10~30nm左右之膜厚。

#### 【0032】

電容元件C2之另一電極、即半導體層SL，形成於上述絕緣層BOX上；其周圍(全周圍)被元件分離層IR所包圍；半導體層SL之側壁SLs與元件分離層IR接觸。半導體層SL為導入了p型雜質之p型單晶矽層，具有5~25nm左右之膜厚。半導體層SL為p型半導體層。

#### 【0033】

再者，電容元件C2之另一電極、即半導體層SL，亦為電容元件C1之一電極。而電容元件C1之介電層由絕緣層GIH所構成。絕緣層GIH由例如氧化矽層所構成，具有5~15nm左右之膜厚。

#### 【0034】

電容元件C1之另一電極、即導體層CLC，形成於絕緣層GIH上。導體層CLC由例如導入了p型雜質之多晶矽層所構成，具有30~200nm左右之膜厚。p型的導

體層CLC之主面(圖4上側的面)有矽化物層SC形成；導體層CLC，經由矽化物層SC及栓塞電極PG而與端子T2即配線M1電性相連。

#### 【0035】

如圖4所示，於X方向中，半導體層SL與絕緣層GIH、與導體層CLC，具有幾乎相等之寬度；於X方向中，絕緣層GIH及導體層CLC覆蓋了半導體層SL之主面SLa的全區。

#### 【0036】

再者，於絕緣層GIH及導體層CLC之側壁上形成了側壁絕緣層(side-wall spacer)SW。側壁絕緣層SW由氧化矽層、氮化矽層、或是氧化矽層與氮化矽層之層疊膜等絕緣層所構成，來將導體層CLC與半導體層SL之間的漏電電流降低。另外，於X方向中，令導體層CLC(及絕緣層GIH)之寬度大於半導體層SL之寬度，導體層CLC往位於半導體層SL兩側之元件分離層IR上延伸(滑移其上)，以此構造亦可。採取這種構造，可讓導體層CLC與半導體層SL之間的漏電電流更加降低。也就是說，在絕緣層GIH之側壁相對於導體層CLC之側壁往內側後退之情形(亦稱為「底切」)採用上述構造，可讓導體層CLC與半導體層SL之間的漏電電流更加降低。

#### 【0037】

再者，如圖5所示，於Y方向中，絕緣層GIH及導體層CLC具有相等寬度，其寬度比半導體層SL之寬度更窄。而半導體層SL具有被絕緣層GIH及導體層CLC覆蓋之被覆區域，與從絕緣層GIH、導體層CLC及側壁絕緣層SW暴露出之暴露區域。上述被覆區域成為電容元件C1之電容部；上述暴露區域成為半導體層SL之端子連接部。也就是說，在上述暴露區域中，於半導體層SL有p型半導體區PH

形成。還有，於p型半導體區PH上有矽化物層SC形成；矽化物層SC經由栓塞電極PG而與端子T1即配線(金屬配線)M1連接。

**【0038】**

另外，於Y方向中，絕緣層GIH及導體層CLC之側壁被側壁絕緣膜SW所覆蓋，所以可讓半導體層SL與導體層CLC之間的漏電電流降低。

**【0039】**

本實施形態之半導體裝置，具有以下的特徵。

**【0040】**

電容元件CAP係電容元件C1層疊在電容元件C2上之構造；電容元件C1由半導體層(SOI層)SL、半導體層SL上所配置之絕緣層GIH、與絕緣層GIH上所配置之導體層CLC所構成。而電容元件C2由p型井區(p型半導體區)PWC、p型井區PWC上所配置之絕緣層(埋入絕緣層)BOX、與絕緣層BOX上所配置之半導體層SL所構成。還有，半導體層SL在電容元件C1及C2成為共通之電極。

**【0041】**

採用這種構成，使得半導體裝置免於製造成本的上升及製造良率的低下，即可讓電容元件CAP之每單位面積的電容值提升，可讓半導體裝置之性能提升。

**【0042】**

再者，將構成電容元件C2的絕緣層BOX及半導體層SL之側壁，用與該側壁接觸之元件分離層IR加以包圍，可讓電容元件C2的p型井區PWC與半導體層SL之間的漏電電流降低。

**【0043】**

再者，於構成電容元件C1的絕緣層GIH及導體層CLC之側壁上形成側壁絕緣膜SW，可讓電容元件C1的導體層CLC與半導體層SL之間的漏電電流降低。

#### 【0044】

再者，將構成電容元件C1之導體層CLC，用含有高濃度雜質之多晶矽層加以形成，便可防止導體層CLC的空乏化，可讓電容元件C1之電容特性提升。另外，前述高濃度意謂例如比半導體層SL之雜質濃度更高。順帶一提，圖17係顯示電容元件的電容值與電壓之關係即C-V特性之圖式。圖17中，在以p型多晶矽層形成導體層CLC之電容元件C1中，將導體層CLC之雜質濃度較高的情形(a)與較低情形(b)之C-V特性進行比較。(a)的情形與(b)的情形相比，可讓積蓄區域(負電壓側)之電容值提升。

#### 【0045】

再者，同樣地，將構成電容元件C2之p型井區PWC用含有高濃度雜質之半導體層(半導體區)加以形成，便可防止p型井區PWC之空乏化，可讓電容元件C2之電容特性(例如，顯示電容值與電壓之關係的C-V特性)提升。另外，該高濃度意謂例如比半導體層SL之雜質濃度更高。

#### 【0046】

再者，構成電容元件C1之半導體層SL及導體層CLC採用相同導電型(上述實施形態中為p型，但亦可為n型)，便可讓半導體層SL與導體層CLC間的平帶電壓減弱，可提升電容元件C1之電容特性。順帶一提，圖18係顯示電容元件的電容值與電壓之關係即C-V特性之圖式。圖18中，在電容元件C1中將導體層CLC與半導體層SL為相同導電型之情形(c)與相異導電型的情形(d)之C-V特性進行比較。(c)的情形與(d)的情形相比，在負電壓側中可讓到電壓0V附近的電容值變動減少。

**【0047】**

再者，若令構成電容元件C2之半導體層SL及井區(上述實施形態為p型，但亦可為n型)為相同導電型，便可得到與上述同樣的效果。

**【0048】****<半導體裝置之製造方法>**

接下來，說明本實施形態的半導體裝置之製造方法。本實施形態的半導體裝置具有電容元件CAP、非揮發性記憶體單元MONOS(Metal Oxide Nitride Oxide Silicon，金屬氧化氮氧化矽)、高耐壓MISFET、及低耐壓MISFET。高耐壓MISFET及低耐壓MISFET，雖為CMOS(Complementary Metal-Oxide-Semiconductor，互補式金屬氧化物半導體)構成，但在此，則以p通道型高耐壓MISFET及n通道型低耐壓MISFET為例進行說明。圖6~16係本實施形態的半導體裝置之製造工序中主要部位剖面圖。利用圖6~16來說明電容元件CAP、非揮發性記憶體單元MONOS、p通道型的高耐壓MISFET(HVP)、及n通道型的低耐壓MISFET(LVN)之製造方法。

**【0049】**

首先，如圖6所示，準備基板(SOI基板)SB2。基板SB2由半導體基板SB、半導體基板SB上所形成的絕緣層(埋入絕緣層)BOX、絕緣層BOX上所形成的半導體層(SOI層)SL所構成。在半導體基板SB之主面SBa的全區中有絕緣層BOX介於半導體基板SB與半導體層SL之間。半導體基板SB為p型的單晶矽所構成之層；具有主面SBa、背對主面SBa之背面SBb。絕緣層BOX由例如氧化矽層所構成，具有10~30nm左右之膜厚。再者，半導體層SL為由單晶矽所構成之層，具有5~25nm左右之膜厚。

**【0050】**

接下來，如圖7所示，形成元件分離層(元件分離區)IR。於基板SB2將半導體層SL及絕緣層BOX貫穿，形成自半導體基板SB之主面SBa抵達到所求深度(例如，300~400nm左右)之開口，再以例如氧化矽膜或是氮化矽層與氧化矽層之層疊膜等絕緣膜埋入該開口。接下來，以例如CMP(Chemical Mechanical Polishing，化學機械研磨)法將開口部以外的絕緣膜選擇性地除去，進而於開口內選擇性地形成元件分離層IR。像這樣，分別於電容元件CAP的形成區域形成活性區ACTC1及ACTC2，於非揮發性記憶體單元MONOS的形成區域形成活性區ACTM，於高耐壓MISFET(HVP)的形成區域形成活性區ACTH，於低耐壓MISFET(LVN)的形成區域形成活性區ACTL。元件分離層IR貫穿半導體層SL及絕緣層BOX，抵達半導體基板SB之內部，所以在半導體基板SB之主面SBa及半導體層SL之主面SLa中，藉由元件分離層IR畫定出活性區ACTC1、ACTC2、ACTM、ACTH及ACTL。另外，上述開口，並未抵達半導體基板SB之背面SBb。再者，比圖4所說明之p型井區PWC更淺。

**【0051】**

接下來，如圖8所示，在活性區ACTC2、ACTM及ACTH中將半導體層SL及絕緣層BOX除去，讓半導體基板SB之主面SBa暴露。於活性區ACTC1及ACTL讓半導體層SL及絕緣層BOX保留。

**【0052】**

接下來，如圖9所示，形成n型井區(n型半導體區)DNW、n型井區(n型半導體區)NW、以及p型井區(p型半導體區)PWC、PWM及PWL。首先，將磷(P)或是砷(As)等n型雜質離子注入於半導體基板SB而形成n型井區DNW。在此，n型井區

DNW以包含活性區ACTC1、ACTC2、ACTM、ACTH及ACTL之方式形成。再者，n型井區DNW比p型井區PWC、PWM及PWL更深。

#### 【0053】

接下來，將硼(B)等p型雜質離子注入於半導體基板SB而形成p型井區PWC、PWM及PWL。在此，在活性區ACTC1及ACTL中半導體層SL中也有p型雜質注入，所以半導體層SL成為p型半導體層(p型半導體區)。也就是說，形成了電容元件C2之另一電極、即半導體層SL。再者，p型井區PWC以包含活性區ACTC1及ACTC2之方式形成，成為電容元件C2之一電極(參照圖4)。在此，p型井區PWC、PWM及PWL係以個別的離子注入工序形成，可使其為互不相同的雜質濃度。例如，p型井區PWM為高耐壓MISFET(MONOS)的形成區域，所以令其為相對低濃度，但p型井區PWC為了防止空乏化，宜令其為相對高濃度。另外，圖9所說明之井形成工序，亦可在圖8所說明之半導體層SL及絕緣層BOX的除去工序之前實施。

#### 【0054】

接下來，如圖10所示，分別於活性區ACTC1的半導體層SL上、及活性區ACTH之主面SBa上形成絕緣層GIH(閘極絕緣層)，於活性區ACTM之主面SBa上形成絕緣層GIM，於活性區ACTL的半導體層SL上形成絕緣層GIL(閘極絕緣層)。絕緣層GIH成為高耐壓MISFET(HVP)之閘極絕緣層，如圖4所說明，成為電容元件C1之介電層。不使用絕緣膜GIL而是使用絕緣膜GIH作為電容元件C1之介電層，是為了要讓電容元件C1的半導體層SL與導體層CLC之間的漏電電流降低。絕緣層GIH由例如氧化矽層所構成，其膜厚為5~15nm左右。絕緣層GIL成為低耐

壓MISFET(LVN)之閘極絕緣層，但由例如氧化矽層所構成，其膜厚為1~4nm左右。也就是說，絕緣層GIH之膜厚比絕緣層GIL之膜厚更厚。

#### 【0055】

接下來，絕緣層(閘極絕緣層)GIM由絕緣層(閘極絕緣層)GIM1、GIM2及GIM3之層疊構造所組成。絕緣層GIM1由例如氧化矽層所構成，具有1~3nm左右之膜厚；絕緣層GIM2由例如氮化矽層所構成，具有5~13nm左右之膜厚；絕緣層GIM3由例如氧化矽層所構成，具有2~4nm左右之膜厚。順帶一提，絕緣層GIM2為非揮發性記憶體單元MONOS之電荷保持層。絕緣層GIM2的上下所配置之絕緣層GIM1及GIM3為用來防止絕緣層GIM2的電荷漏電之層。如圖10所示，於絕緣層GIM1上形成了絕緣層GIM2；於絕緣層GIM2上形成了絕緣層GIM3。

#### 【0056】

接下來，如圖11所示，於基板SB2上形成例如多晶矽層(矽層)所構成之導體層CON。也就是說，導體層CON形成於絕緣膜GIH、GIM及GIL上。導體層CON之膜厚，為例如30~200nm左右。接下來，在電容元件CAP及高耐壓MISFET(HVP)的形成區域之導體層CON中導入例如硼(B)等p型雜質，而形成p型的導體層CON；在非揮發性記憶體單元MONOS及低耐壓MISFET(LVN)的形成區域中導入例如磷(P)或是砷(As)等n型雜質，而形成n型的導體層CON。

#### 【0057】

接下來，如圖12所示，對於導體層CON用光微影技術及蝕刻技術予以圖案化，而形成電容元件C1之另一電極、即導體層CLC(參照圖4)、非揮發性記憶體單元MONOS之閘極電極、即導體層CLM、高耐壓MISFET(HVP)之閘極電極、即導體層CLH、及低耐壓MISFET(LVN)之閘極電極、即導體層CLL。如圖12所示，

導體層CLC之寬度等於活性區ACTC1之寬度。在電容元件CAP的形成區域中使用未圖示的光罩層對導體層CON進行蝕刻之工序中，因過度蝕刻而讓下層的絕緣層GIH受蝕刻，但在此之際，絕緣層GIH有可能會發生前述的「底切」。若「底切」發生則不免讓人擔憂導體層CLC與半導體層SL間的漏電電流增加，所以較佳構成為令導體層CLC大於活性區ACTC1之寬度，讓導體層CLC之兩端在元件分離層IR上延伸。

#### 【0058】

接下來，如圖13所示，在非揮發性記憶體單元MONOS的形成區域(活性區ACTM)及低耐壓MISFET(LVN)的形成區域(活性區ACTL)中形成n型半導體區(n型低濃度半導體區)EXN；在高耐壓MISFET(HVP)的形成區域(活性區ACTH)中形成p型半導體區(p型低濃度半導體區)EXP。

#### 【0059】

在非揮發性記憶體單元MONOS的形成區域中以包夾閘極電極、即導體層CLM之方式，於導體層CLM兩側之半導體基板SB(換言之，p型井區PWM)形成一對n型半導體區EXN。在低耐壓MISFET(LVN)的形成區域中以包夾閘極電極、即導體層CLL之方式，於導體層CLL兩側的半導體層SL形成一對n型半導體區EXN。再者，在高耐壓MISFET(HVP)的形成區域中以包夾閘極電極、即導體層CLH之方式，於導體層CLH兩側之半導體基板SB(換言之，n型井區NW)形成一對p型半導體區EXP。

#### 【0060】

n型半導體區EXN，係將磷(P)或是砷(As)等n型雜質離子注入於半導體基板SB或是半導體層SL，所形成；p型半導體區EXP，係將硼(B)等p型雜質離子注入

於半導體基板SB，所形成。於非揮發性記憶體單元MONOS的形成區域形成n型半導體區EXN之離子注入，與於低耐壓MISFET(LVN)的形成區域形成n型半導體區EXN之離子注入，可以相同工序實施，亦可以另外的工序實施。以另外的工序實施之情形，可讓n型半導體區EXN之雜質濃度有所不同。

#### 【0061】

接下來，如圖14所示，在電容元件CAP的形成區域中，於導體層CLC與絕緣膜GIH之側壁上，形成側壁絕緣層(side-wall spacer)SW。側壁絕緣膜SW，係藉著將用來形成側壁絕緣膜SW之絕緣膜堆積於基板SB2，對該絕緣膜施以異向性乾蝕刻，所形成。絕緣膜，可使用氧化矽層、氮化矽層、或是氧化矽層與氮化矽層的層疊膜等。同樣地，於非揮發性記憶體單元MONOS的形成區域中的導體層CLM與絕緣膜GIM之側壁上、高耐壓MISFET(HVP)的形成區域中的導體層CLH與絕緣膜GIH之側壁上、及低耐壓MISFET(LVN)的形成區域中的導體層CLL與絕緣膜GIL之側壁上，形成側壁絕緣膜SW。

#### 【0062】

還有，如圖14所示，在非揮發性記憶體單元MONOS的形成區域(活性區ACTM)及低耐壓MISFET(LVN)的形成區域(活性區ACTL)中，形成n型半導體區(n型高濃度半導體區)NH，在高耐壓MISFET(HVP)的形成區域(活性區ACTH)及電容元件CAP的形成區域之活性區ACTC2中，形成p型半導體區(p型高濃度半導體區)PH。n型半導體區NH，係將磷(P)或是砷(As)等n型雜質離子注入於半導體基板SB或是半導體層SL所形成；p型半導體區PH，係將硼(B)等p型雜質離子注入於半導體基板SB所形成。

#### 【0063】

非揮發性記憶體單元MONOS的形成區域中，以包夾閘極電極、即導體層CLM與側壁絕緣膜SW之方式，於導體層CLM及側壁絕緣膜SW兩側的半導體基板SB(換言之，p型井區PWM)形成一對n型半導體區NH。在低耐壓MISFET(LVN)的形成區域中，以包夾閘極電極、即導體層CLL與側壁絕緣膜SW之方式，於導體層CLL與側壁絕緣膜SW兩側的半導體層SL形成一對n型半導體區NH。再者，在高耐壓MISFET(HVP)之形成領域中，以包夾閘極電極、即導體層CLH與側壁絕緣膜SW之方式，於導體層CLH與側壁絕緣膜SW兩側的半導體基板SB(換言之，n型井區NW)形成一對p型半導體區PH。再者，在電容元件CAP的形成區域之活性區ACTC2中，於半導體基板SB(換言之，p型井區PWC)形成p型半導體區(p型高濃度半導體區)PH。

#### 【0064】

接下來，如圖15所示，於導體層CLC、CLM、CLH及CLL、n型半導體區NH、以及p型半導體區PH之表面形成矽化物層(金屬矽化物層)SC。矽化物層SC，由例如鈷矽化物(CoSi)、鎳矽化物(NiSi)、或是鎳鉑矽化物(NiPtSi)所構成。

#### 【0065】

接下來，如圖16所示，於基板SB2上形成層間絕緣層IL1。層間絕緣層IL1，係以覆蓋導體層CLC、CLM、CLH及CLL、以及側壁絕緣膜SW等之方式形成。層間絕緣層IL1，可使用氧化矽層、或是氮化矽層與其上層的氧化矽層之層疊膜等。

#### 【0066】

接下來，於層間絕緣層IL設置複數的接觸孔(開口)CNT，還有，於接觸孔CNT內形成栓塞電極PG。在電容元件CAP的形成區域中，接觸孔CNT，讓導體層CLC

之表面所形成的矽化物層SC、及p型半導體區PH之表面所形成的矽化物層SC一部分暴露出來。另外，由圖5可知，接觸孔CNT，讓半導體層SL所形成的p型半導體區PH之表面所形成的矽化物層SC一部分暴露出來。在非揮發性記憶體單元MONOS的形成區域及低耐壓MISFET(LVN)的形成區域中，讓n型半導體區NH之表面的矽化物層SC一部分暴露出來。在高耐壓MISFET(HVP)的形成區域中，讓p型半導體區PH之表面的矽化物層SC一部分暴露出來。

#### 【0067】

接下來，於接觸孔CNT內形成栓塞電極PG。栓塞電極PG，為鎢(W)所構成之導電性構件，具體來說，由氮化鈦(TiN)等阻障導體層、與其上方的鎢層之層疊膜所構成。

#### 【0068】

接下來，於埋入有栓塞電極PG之層間絕緣層IL1上，形成層間絕緣層IL2。而於層間絕緣層IL2形成配線槽之後，於配線槽內形成配線(金屬配線)M1。層間絕緣層IL2，由例如氧化矽層所構成。配線M1，為例如以銅作為主成分之銅配線。

#### 【0069】

如圖16所示，在電容元件CAP的形成區域中，導體層CLC及p型半導體區PH，經由矽化物層SC及栓塞電極PG，而與配線M1連接。再者，在非揮發性記憶體單元MONOS的形成區域及低耐壓MISFET(LVN)的形成區域中，n型半導體區NH，經由矽化物層SC及栓塞電極PG，而與配線M1連接。再者，在高耐壓MISFET(HVP)的形成區域中，p型半導體區PH，經由矽化物層SC及栓塞電極PG，而與配線M1連接。

#### 【0070】

之後，藉由雙鑲嵌法等來形成第2層以後的配線，但在此省略圖示及其說明。

**【0071】**

如以上方式，製造出本實施形態之半導體裝置。

**【0072】**

如圖16所示，低耐壓MISFET(LVN)，係半導體基板SB之主面SBa上隔著絕緣層BOX所配置之半導體層SL所形成之MISFET，人稱SOTB(Silicon On Thin Buried oxide，薄氧化埋層上覆矽)電晶體。該低耐壓MISFET(LVN)，經由較薄絕緣層BOX，對半導體基板SB之主面SBa所形成的p型井區PWL(人稱「背閘極」)供給所求的電位，可讓低耐壓MISFET(LVN)之漏電電流降低，具有這種特徵。再者，高耐壓MISFET(HVP)及非揮發性記憶體單元MONOS，必須是高電壓動作，所以不形成於半導體層SL，而是形成於半導體基板SB。

**【0073】**

再者，電容元件CAP，係電容元件C1及C2之層疊構造；電容元件C2，由一電極、即p型井區PWC、介電層即絕緣層BOX、與另一電極、即半導體層SL所構成。再者，電容元件C1，由一電極、即半導體層SL、介電層即絕緣層GIH、與另一方之電極、即導體層CLC所構成，並形成於電容元件C1之上部。

**【0074】**

也就是說，電容元件C1之另一電極(導體層CLC)，係利用低耐壓MISFET(LVN)之閘極電極、即導體層CLL的同層導體層CON來加以形成；介電層(絕緣層GIH)，係利用高耐壓MISFET(HVP)之閘極絕緣層即絕緣層GIH來加以形成；一電極(半導體層SL)，係利用低耐壓MISFET(LVN)的通道層即半導體層SL來加以形成。還有，電容元件C2之介電層(絕緣層BOX)，係利用前述的較薄絕

緣層BOX來加以形成；一電極(p型井區PWC)，係利用低耐壓MISFET(LVN)的p型井區PWL(「背閘極」)來加以形成。也就是說，利用SOTB電晶體即低耐壓MISFET(LVN)、與高耐壓MISFET(HVP)之製造工序，來形成層疊構造之電容元件CAP。也就是說，不必增加製造工序，便可形成電容元件CAP。

#### 【0075】

另外，在上述實施形態中，電容元件C1，由p型的半導體層SL、絕緣層GIH、p型的導體層CLC所構成；電容元件C2，由p型井區PWC、絕緣層BOX、p型的半導體層SL所構成。作為變形例，電容元件C1，亦可由n型的半導體層SL、絕緣層GIH、n型的導體層CLC所構成；電容元件C2，亦可由n型井區、絕緣層BOX、n型的半導體層SL所構成。

#### 【0076】

##### <變形例1>

圖19，係顯示變形例1的半導體裝置之構成之主要部位剖面圖。在上述實施形態中，電容元件C1之介電層，係以高耐壓MISFET(HVP)之閘極絕緣層即絕緣層GIH所形成，但在變形例1，係以非揮發性記憶體單元MONOS之閘極絕緣層即絕緣層GIM所形成。絕緣層GIM，含有介電常數高於氧化矽層之氮化矽層，所以可讓電容元件C1之電容值增加。

#### 【0077】

##### <變形例2>

圖20，係顯示變形例2的半導體裝置之構成之主要部位剖面圖。在上述實施形態中，非揮發性記憶體單元MONOS及高耐壓MISFET(HVP)，係形成於半導體基板SB，但在變形例2，係形成於絕緣層BOX上的半導體層SL。非揮發性記憶體

單元MONOS之閘極電極、即導體層CLM，係隔著閘極絕緣層即絕緣層GIM形成於半導體層SL上；源極、汲極區域即n型半導體區EXN及NH，係形成於半導體層SL。同樣地，高耐壓MISFET(HVP)之閘極電極、即導體層CLH，係隔著閘極絕緣層即絕緣層GIH形成於半導體層SL上；源極、汲極區域即p型半導體區EXP及PH，係形成於半導體層SL。

**【0078】**

以上，依據實施形態具體說明了本案發明人所完成之發明，但本發明並不限於該實施形態，在不脫離其宗旨之範圍內，可為各種變更，乃自不待言。

**【符號說明】****【0079】**

ACTC1、ACTC2、ACTH、ACTL、ACTM：活性區

BOX：絕緣層(埋入絕緣層)

BOXs：側壁

CAP、C1、C2：電容元件

CLC、CLH、CLL、CLM：導體層

CHP：半導體晶片

CNT：接觸孔(開口)

CON：導體層

DNW：n型井區(n型半導體區)

EXN：n型半導體區(n型低濃度半導體區)

EXP：p型半導體區(p型低濃度半導體區)

GIH、GIL、GIM、GIM1~GIM3：絕緣層(閘極絕緣層)

HVP：高耐壓MISFET

IL1、IL2：層間絕緣層

IR：元件分離層(元件分離區)

LVN：低耐壓MISFET

MONOS：非揮發性記憶體單元

M1：配線(金屬配線)

NH：n型半導體區(n型高濃度半導體區)

NW：n型井區(n型半導體區)

PD：接墊電極(外部連接端子)

PG：栓塞電極

PH：p型半導體區(p型高濃度半導體區)

PWC、PWM、PWL：p型井區(p型半導體區)

SB：半導體基板

SBa：主面

SBb：背面

SB2：基板(SOI基板)

SC：矽化物層(金屬矽化物層)

SL：半導體層(SOI層)

SLa：主面

SLs：側壁

SW：側壁絕緣層(side-wall spacer)

T1、T2、T3：端子

V1、V2：電位

1：CPU(電路)

2：RAM(電路)

3：類比電路

4：快閃記憶體

## 【發明申請專利範圍】

### 【第1項】

一種半導體裝置，具有第1電容元件與第2電容元件；

該半導體裝置具有：

具有主面與背對該主面的背面之半導體基板、

作為該半導體基板的第1區並且於該主面側所形成之第1半導體區、

該主面上所形成的第1絕緣層、

該第1絕緣層上所形成的第1半導體層、

該第1半導體層上所形成的第2絕緣層、

該第2絕緣層上所形成的第1導體層、

與該第1半導體層之側壁及該第1絕緣層之側壁相接並且在俯視下包圍該第1半導體層及該第1絕緣層的第3絕緣層；

該第1電容元件，由該第1半導體層、該第2絕緣層、該第1導體層所構成；

該第2電容元件，由該第1半導體區、該第1絕緣層、該第1半導體層所構成；

該半導體基板與該第1半導體層，係由單晶矽層所組成；

該第1電容元件與該第2電容元件並聯連接。

### 【第2項】

如申請專利範圍第1項之半導體裝置，其中，

該第1絕緣層，由氧化矽層所構成，且具有10~30nm之膜厚；

該第2絕緣層，由氧化矽層所構成，且具有5~15nm之膜厚。

### 【第3項】

如申請專利範圍第1項之半導體裝置，其中，

還具有側壁絕緣膜，覆蓋該第1導體層及該第2絕緣層之側壁。

**【第4項】**

如申請專利範圍第1項之半導體裝置，其中，

該第1導體層、該第1半導體區、與該第1半導體層，具有相同導電型；

該第1導體層及該第1半導體區之雜質濃度，比該第1半導體層之雜質濃度更高。

**【第5項】**

如申請專利範圍第1項之半導體裝置，其中，

在不同於該第1區之第2區中，還具有：

該半導體基板之主面上所形成的第4絕緣層、

該第4絕緣層上所形成的第2半導體層、

隔著第5絕緣層形成於該第2半導體層上之第2導體層、

以包夾該第2導體層之方式形成於該第2半導體層之一對第2半導體區；

該第4絕緣層之膜厚，等於該第1絕緣層之膜厚。

**【第6項】**

如申請專利範圍第5項之半導體裝置，其中，

在不同於該第1區及該第2區之第3區中，還具有：

隔著第6絕緣層形成於該半導體基板之主面上的第3導體層、

以包夾該第3導體層之方式形成於該半導體基板之一對第3半導體區；

該第6絕緣層之膜厚，等於該第2絕緣層之膜厚。

**【第7項】**

如申請專利範圍第6項之半導體裝置，其中，

該第6絕緣層之膜厚，比該第5絕緣層之膜厚更厚。

**【第8項】**

如申請專利範圍第7項之半導體裝置，其中，

該第1絕緣層，由氧化矽層所構成，且具有10~30nm之膜厚；

該第2絕緣層，由氧化矽層所構成，且具有5~15nm之膜厚。

**【第9項】**

如申請專利範圍第6項之半導體裝置，其中，

在不同於該第1區、該第2區及該第3區之第4區中，還具有：

隔著第7絕緣層形成於該半導體基板之主面上的第4導體層、

以包夾該第4導體層之方式形成於該半導體基板之一對第4半導體區；

該第7絕緣層，含有第1氮化矽層。

**【第10項】**

如申請專利範圍第9項之半導體裝置，其中，

該第1絕緣層，由氧化矽層所構成，且具有10~30nm之膜厚；

該第2絕緣層，由氧化矽層所構成，且具有5~15nm之膜厚。

**【第11項】**

如申請專利範圍第10項之半導體裝置，其中，

該第2絕緣層，含有第2氮化矽層。

**【第12項】**

如申請專利範圍第1項之半導體裝置，其中，

在不同於該第1區之第5區中，還具有：

該半導體基板之主面上所形成的第8絕緣層、

該第8絕緣層上所形成的第3半導體層、

隔著第9絕緣層形成於該第3半導體層上之第4導體層、  
以包夾該第4導體層之方式形成於該第3半導體層之一對第5半導體區；  
該第8絕緣層之膜厚，等於該第1絕緣層之膜厚；  
該第9絕緣層之膜厚，等於該第2絕緣層之膜厚。

**【第13項】**

如申請專利範圍第12項之半導體裝置，其中，  
在不同於該第1區及該第5區之第6區中，還具有：  
該半導體基板之主面上所形成的第10絕緣層、  
該第10絕緣層上所形成的第4半導體層、  
隔著第11絕緣層形成於該第4半導體層上之第5導體層、  
以包夾該第5導體層之方式形成於該第4半導體層之一對第6半導體區；  
該第10絕緣層之膜厚，等於該第1絕緣層之膜厚；  
該第11絕緣層，含有第3氮化矽層。

**【第14項】**

如申請專利範圍第13項之半導體裝置，其中，  
該第1絕緣層，由氧化矽層所構成，且具有10~30nm之膜厚；  
該第2絕緣層，由氧化矽層所構成，且具有5~15nm之膜厚。

**【第15項】**

一種半導體裝置之製造方法，  
該製造方法包括以下工序：  
(a)準備具有半導體基板、該半導體基板上所形成的第1絕緣層、及該第1絕緣層上所形成的半導體層之基板，該基板具有：於該半導體基板之主面形成第1電容

元件與第2電容元件之第1區、形成第1MISFET之第2區、形成第2MISFET之第3區；

(b)在該第3區中，將該半導體層及該第1絕緣層除去；

(c)在該第1區中，於該半導體基板形成半導體區；

(d)在該第1區中的該半導體層上、及該第3區中的該半導體基板上形成第2絕緣層；

(e)在該第2區中的該半導體層上，形成膜厚比該第2絕緣層更薄之第3絕緣層；

(f)分別在該第1區中的該第2絕緣層上形成第1導體層，在該第2區中的該第3絕緣層上形成第2導體層，在該第3區中的該第2絕緣層上形成第3導體層；

(g)在該第2區中，於該第2導體層兩端之該半導體層內，形成第2半導體區；

(h)在該第3區中，於該第3導體層兩端之該半導體基板內，形成第3半導體區；

在該第1區中，該第1電容元件，由該半導體層、該第2絕緣層、該第1導體層所構成；

在該第1區中，該第2電容元件，由該半導體區、該第1絕緣層、該半導體層所構成；

該半導體基板與該半導體層，由單晶矽層所組成。

#### 【第16項】

如申請專利範圍第15項的半導體裝置之製造方法，其中，

該第1絕緣層，由第1氧化矽層所組成。

#### 【第17項】

如申請專利範圍第15項的半導體裝置之製造方法，其中，

該第2絕緣層，由第2氧化矽層所組成。

**【第18項】**

如申請專利範圍第15項的半導體裝置之製造方法，其中，  
該第2絕緣層，由第1氮化矽層所組成。

**【第19項】**

如申請專利範圍第15項的半導體裝置之製造方法，其中，  
該第2絕緣層，由第3氧化矽層、第2氮化矽層、第4氧化矽層之層疊構造所組成。

**【第20項】**

一種半導體裝置，具有第1電容元件與第2電容元件；

該半導體裝置具有：

具有主面與背對該主面的背面之半導體基板、

作為該半導體基板的第1區並且於該主面側所形成之第1半導體區、

該主面上所形成的第1絕緣層、

該第1絕緣層上所形成的第1半導體層、

該第1半導體層上所形成的第2絕緣層、

該第2絕緣層上所形成的第1導體層；

該第1電容元件，由該第1半導體層、該第2絕緣層、該第1導體層所構成；

該第2電容元件，由該第1半導體區、該第1絕緣層、該第1半導體層所構成；

該半導體基板與該第1半導體層，係由單晶矽層所組成；

該第1導體層、該第1半導體區、與該第1半導體層，具有相同導電型；

該第1導體層及該第1半導體區之雜質濃度，比該第1半導體層之雜質濃度更高。

**【第21項】**

如申請專利範圍第20項之半導體裝置，其中，

該第1電容元件與該第2電容元件並聯連接。

**【第22項】**

如申請專利範圍第21項之半導體裝置，其中，

還具有第3絕緣層，係與該第1半導體層之側壁及該第1絕緣層之側壁相接，在俯視下，包圍該第1半導體層及該第1絕緣層。

**【第23項】**

如申請專利範圍第22項之半導體裝置，其中，

該第1絕緣層，由氧化矽層所構成，且具有10~30nm之膜厚；

該第2絕緣層，由氧化矽層所構成，且具有5~15nm之膜厚。

【發明圖式】

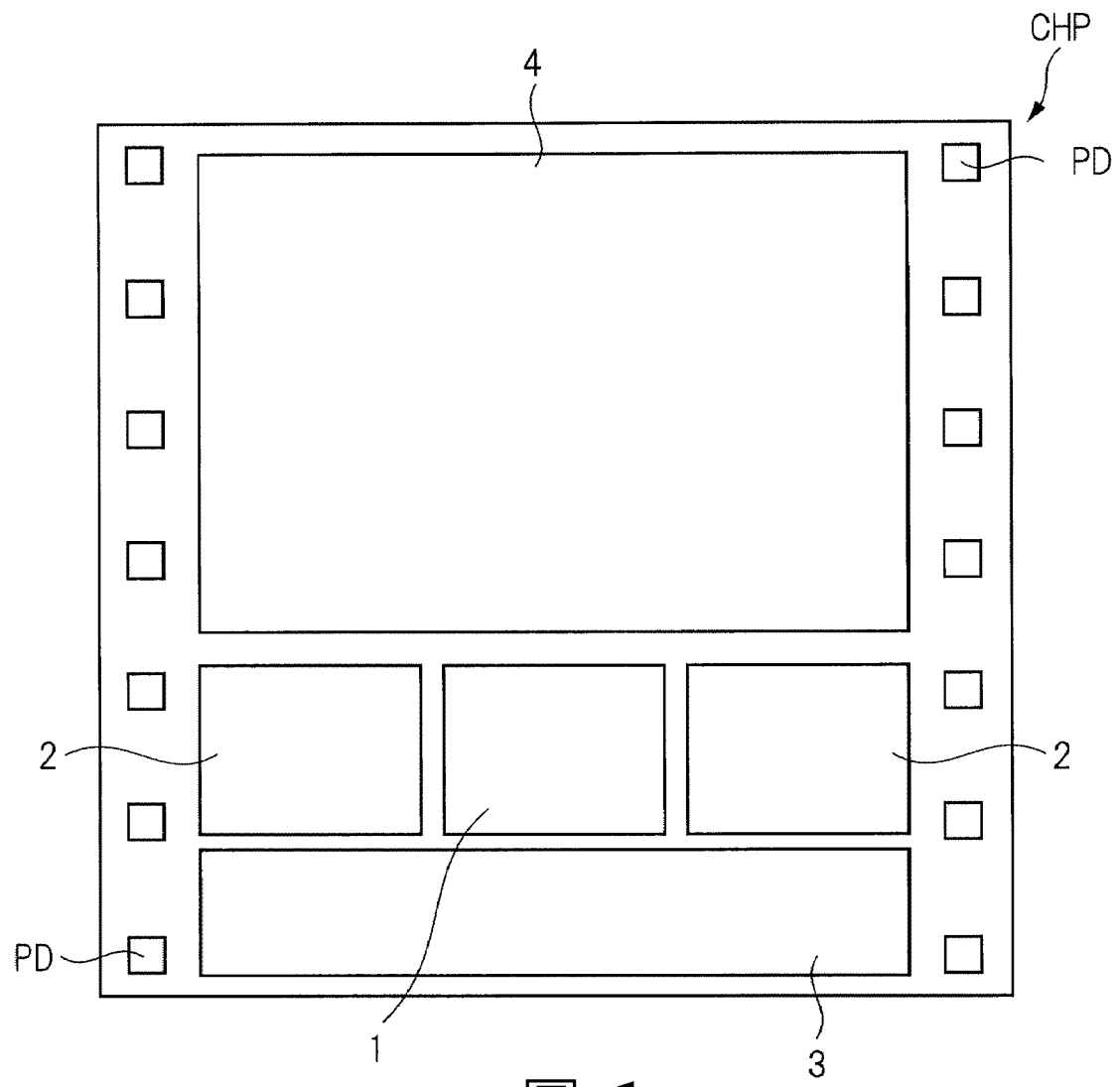


圖 1

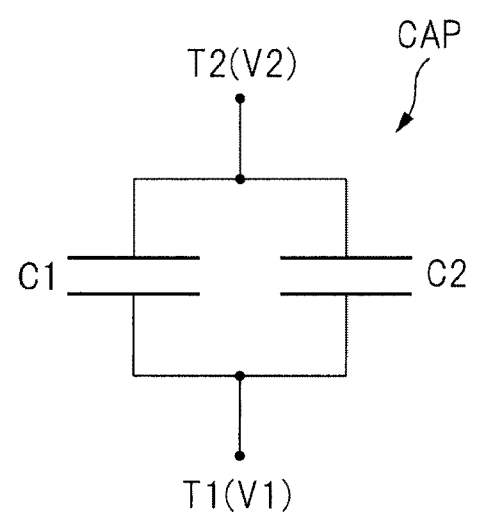


圖 2

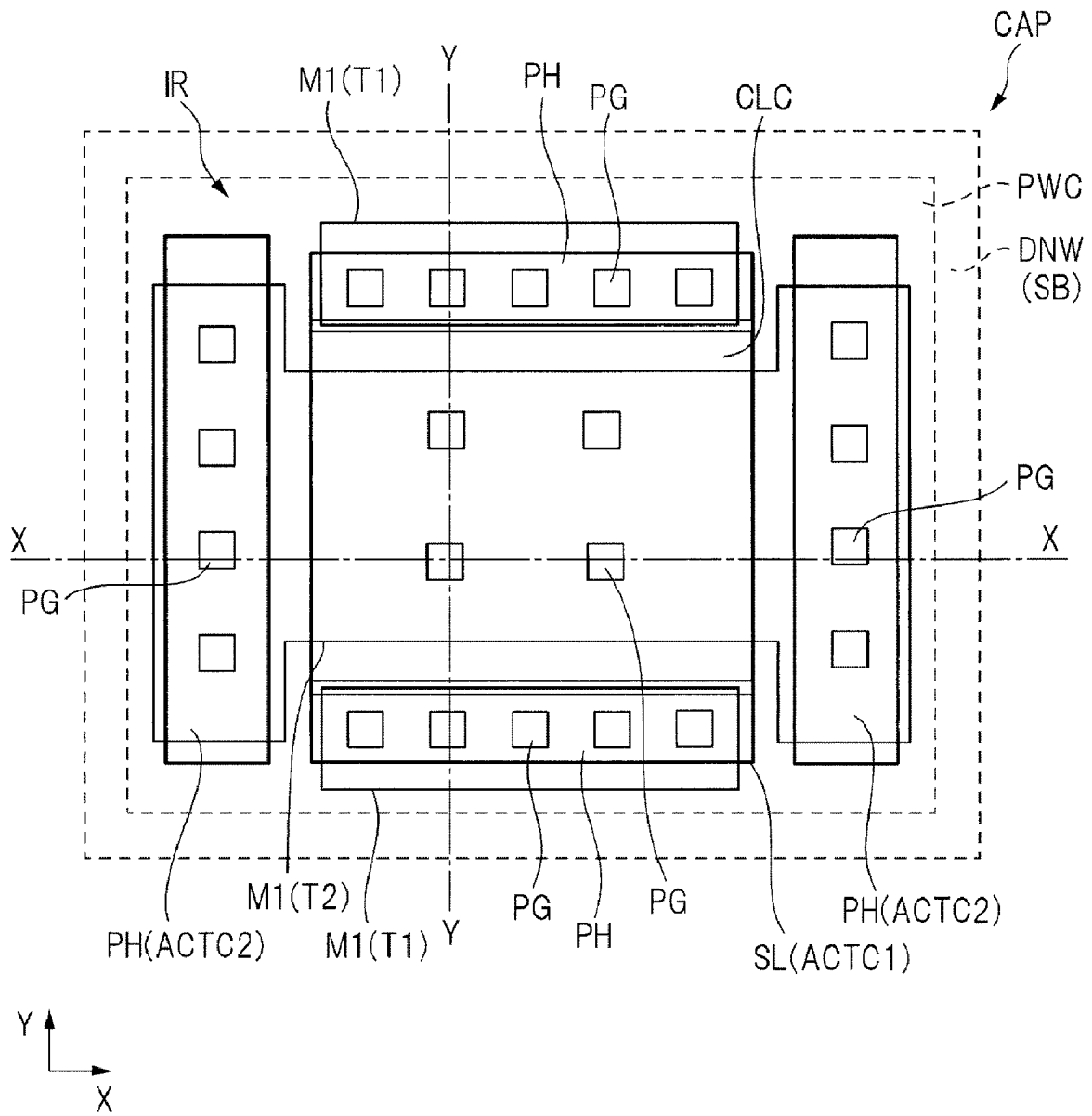


圖 3

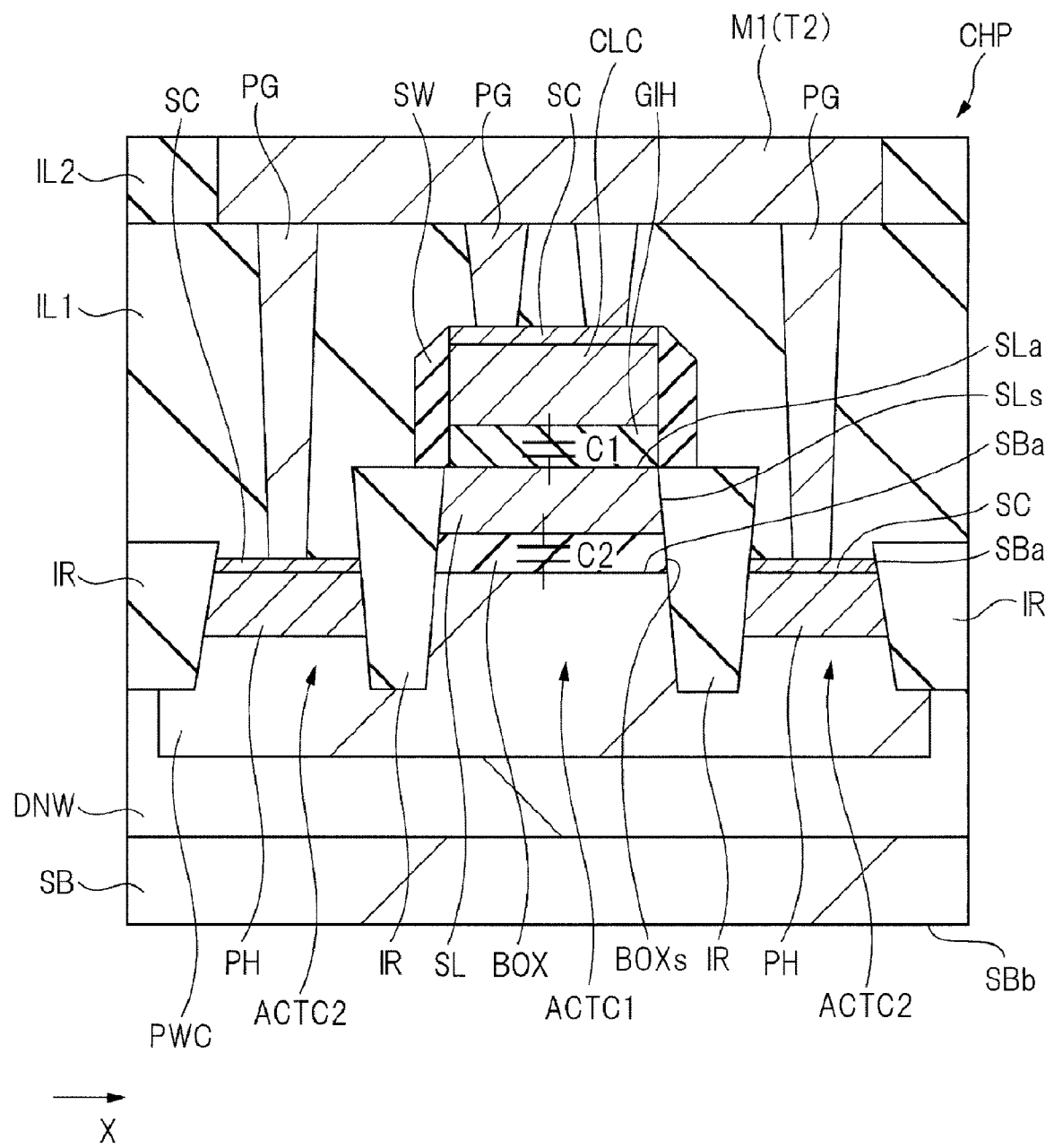


圖 4

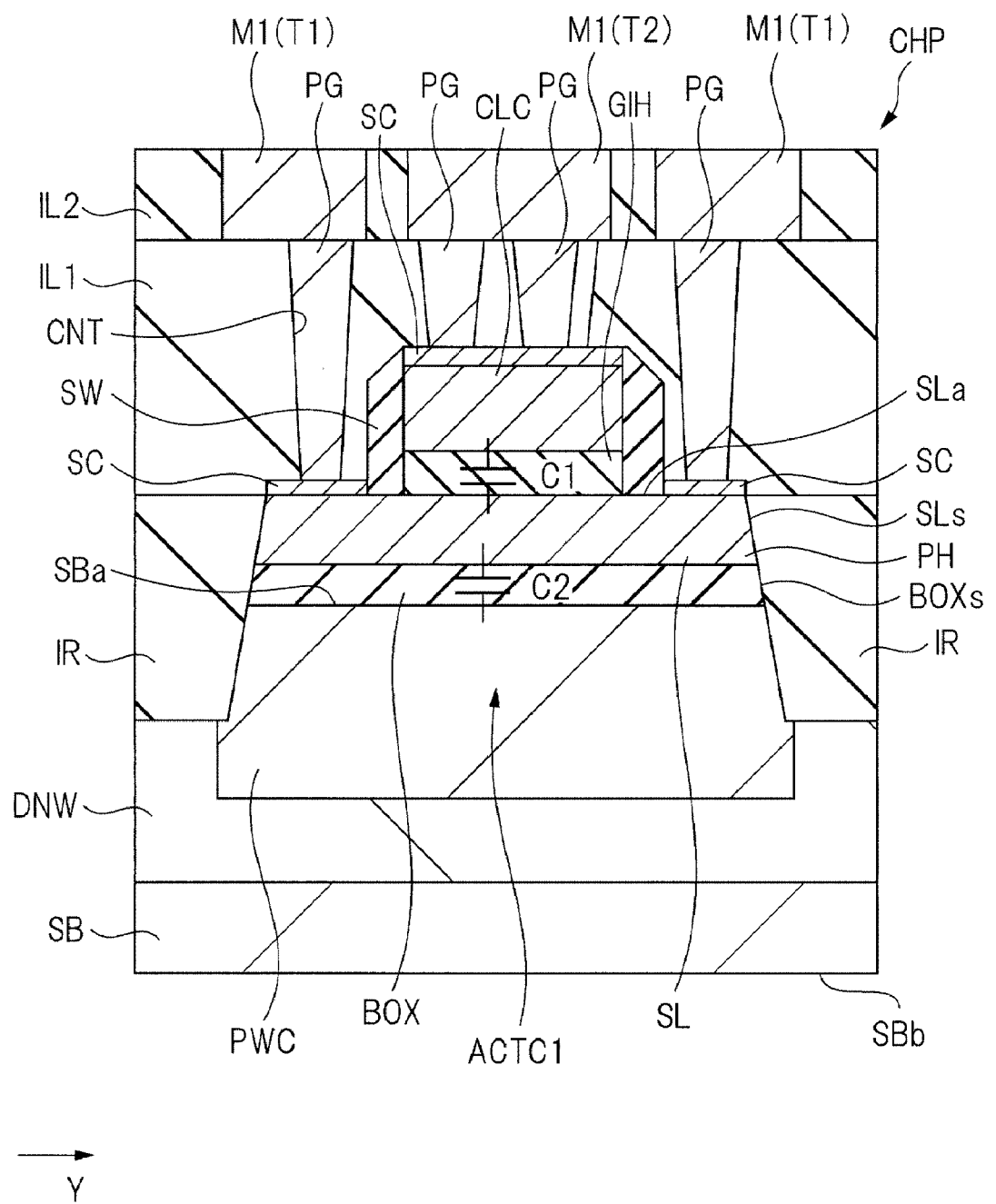


圖 5

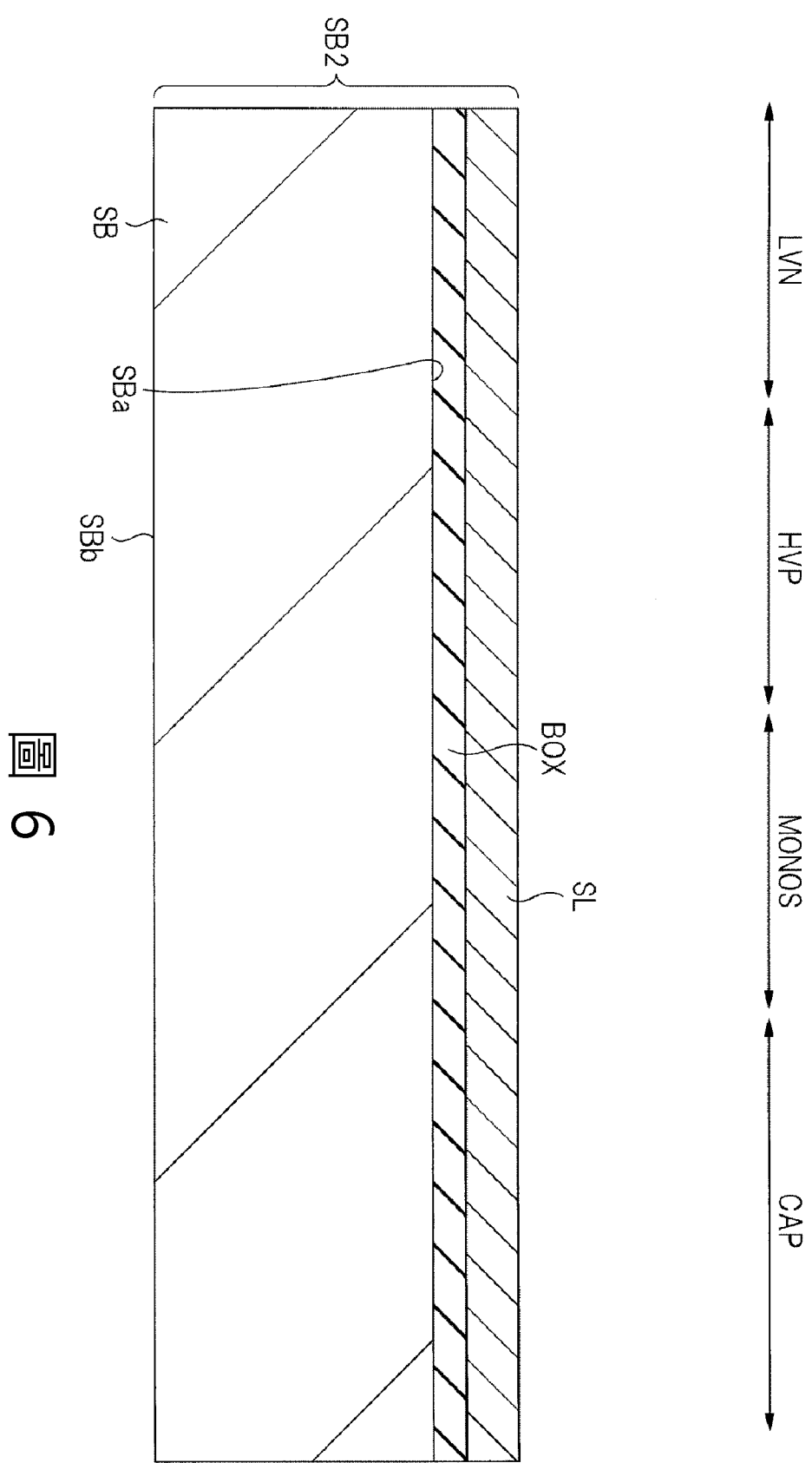


圖 6

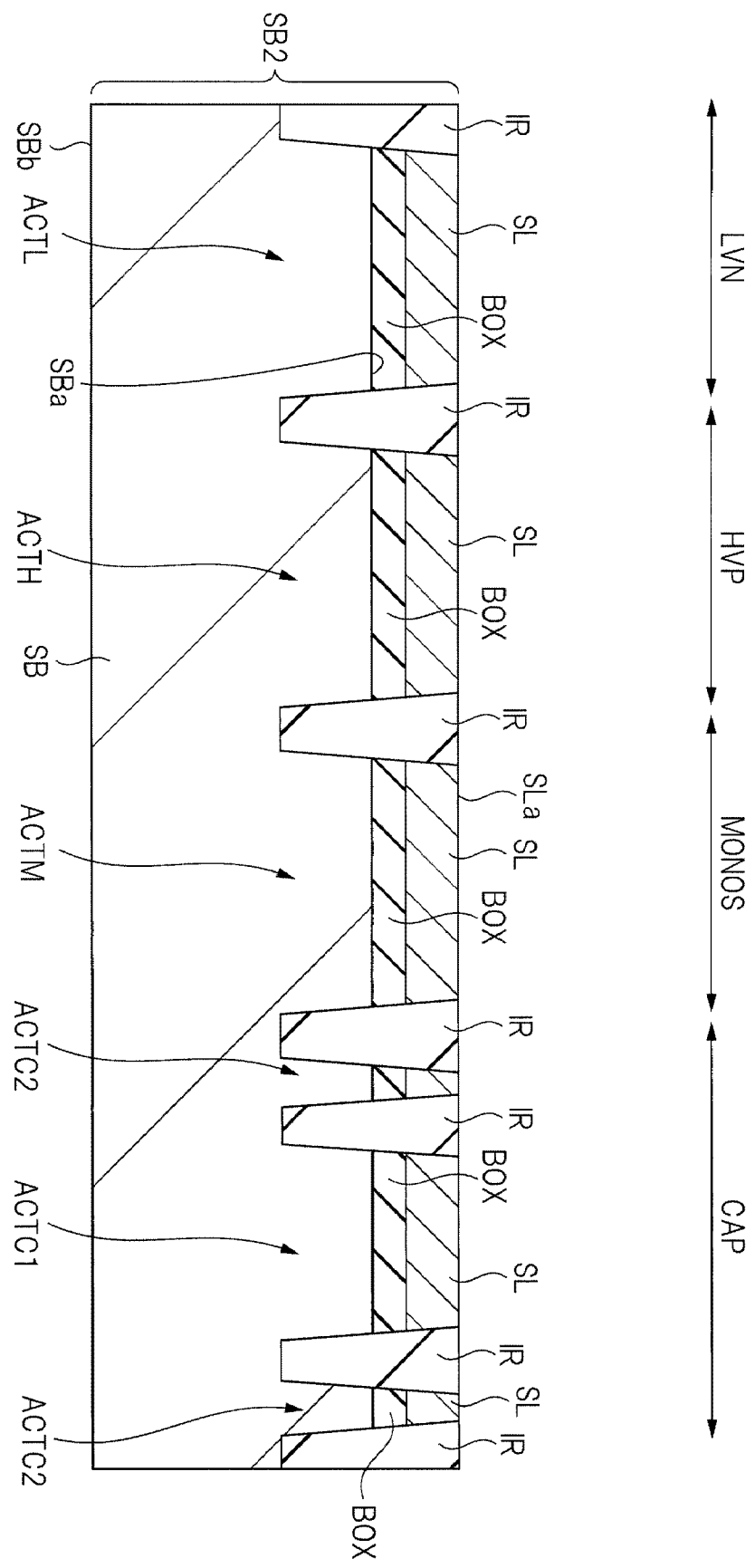
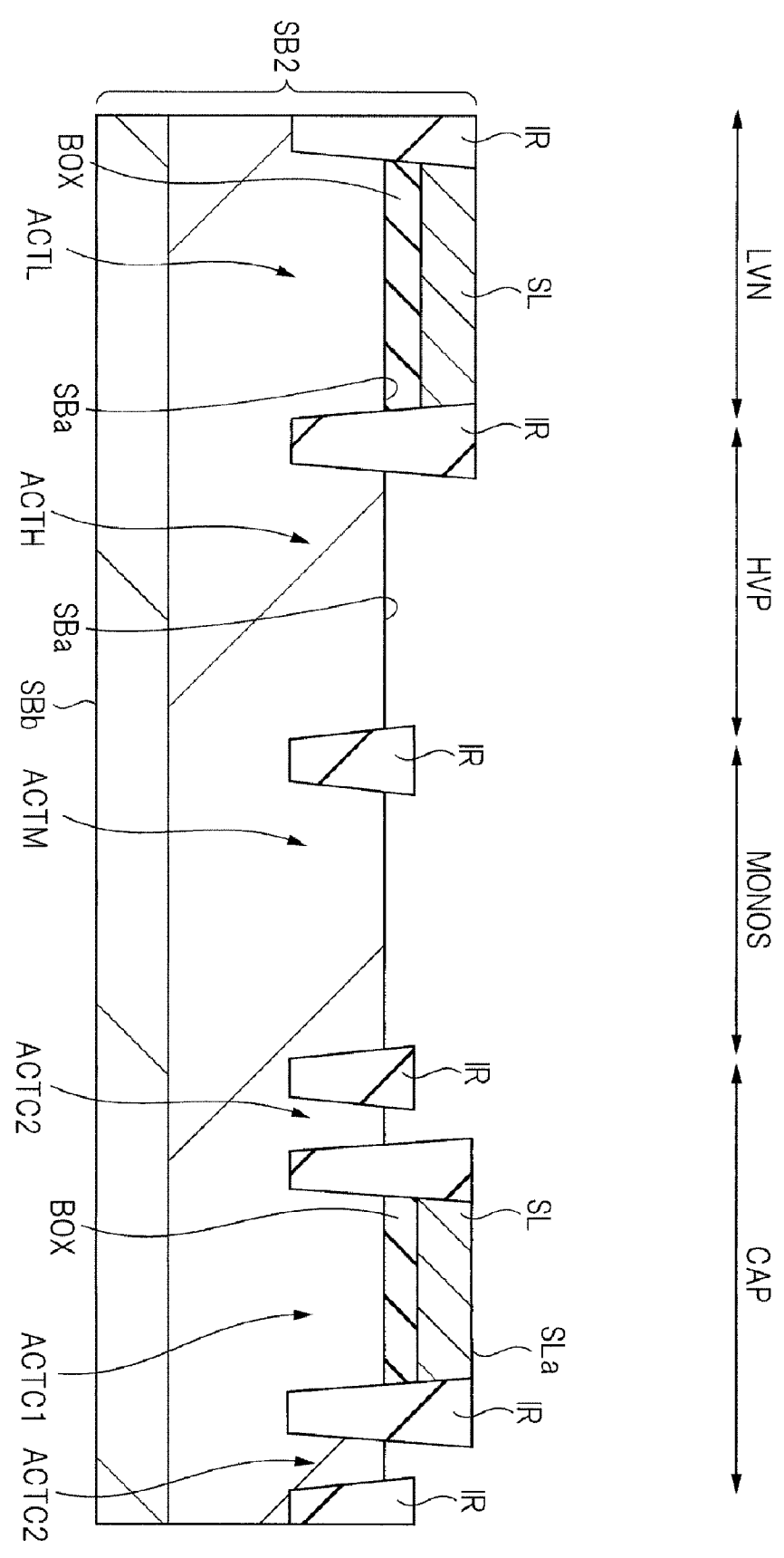
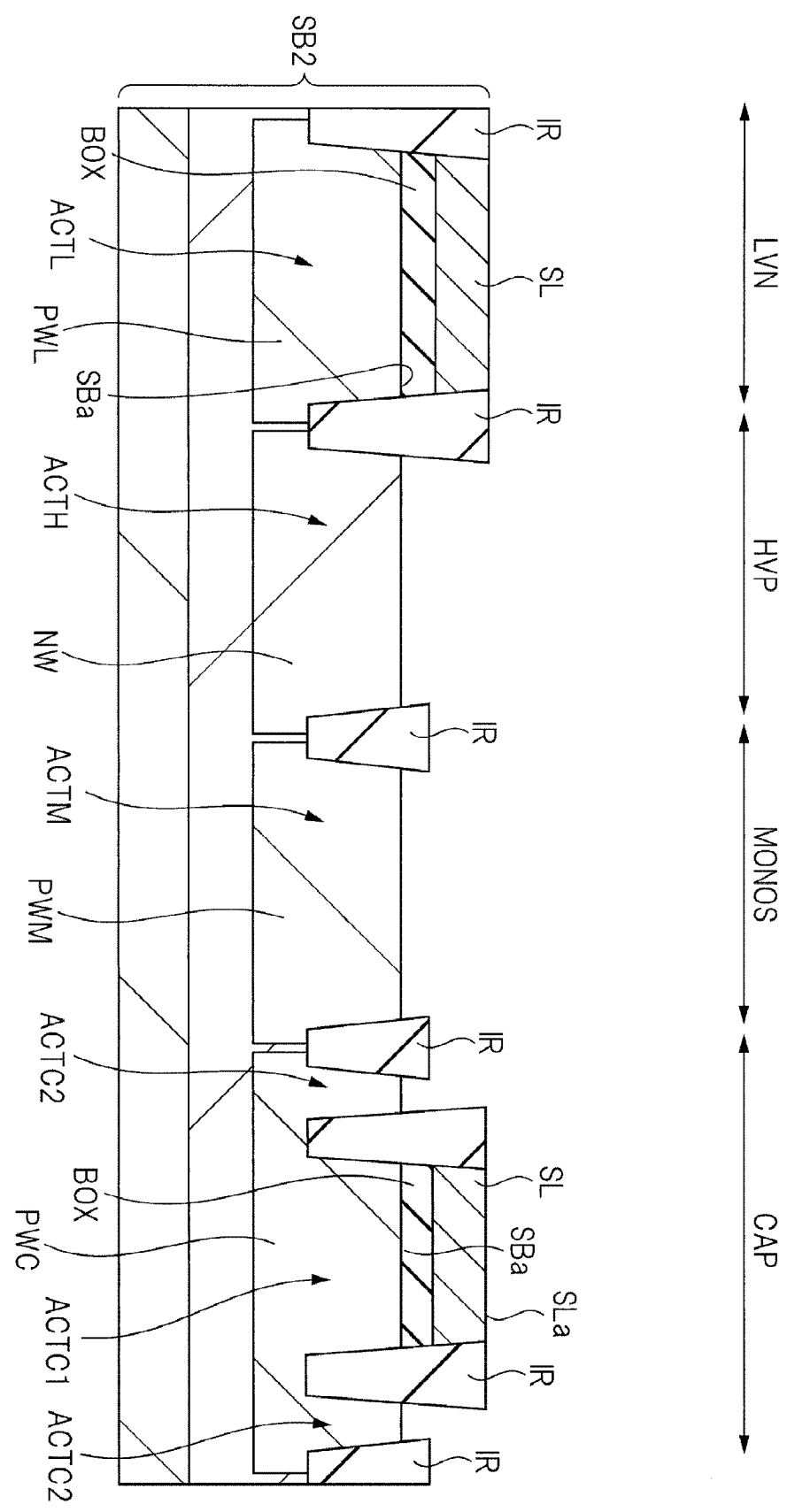


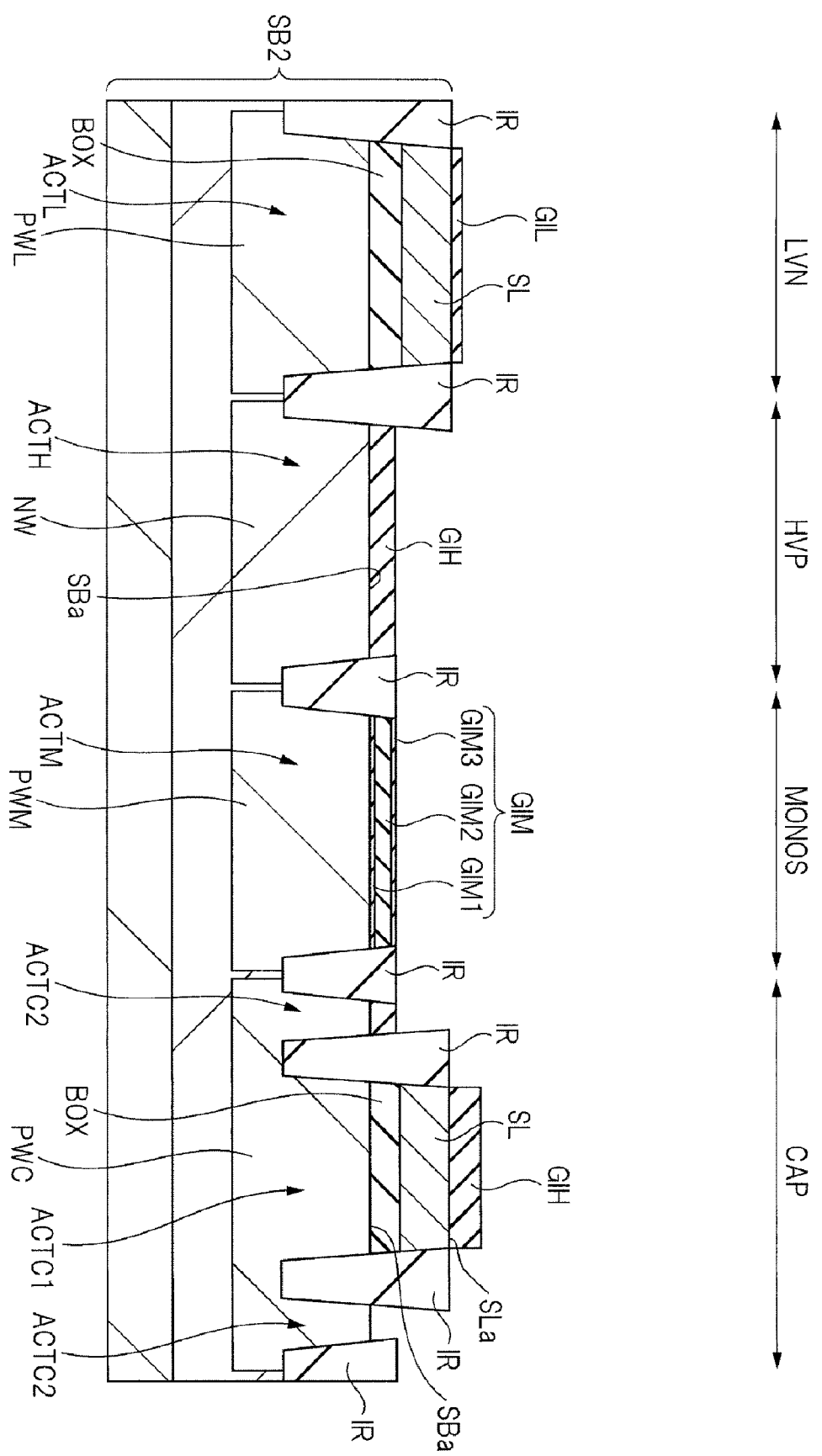
圖 7



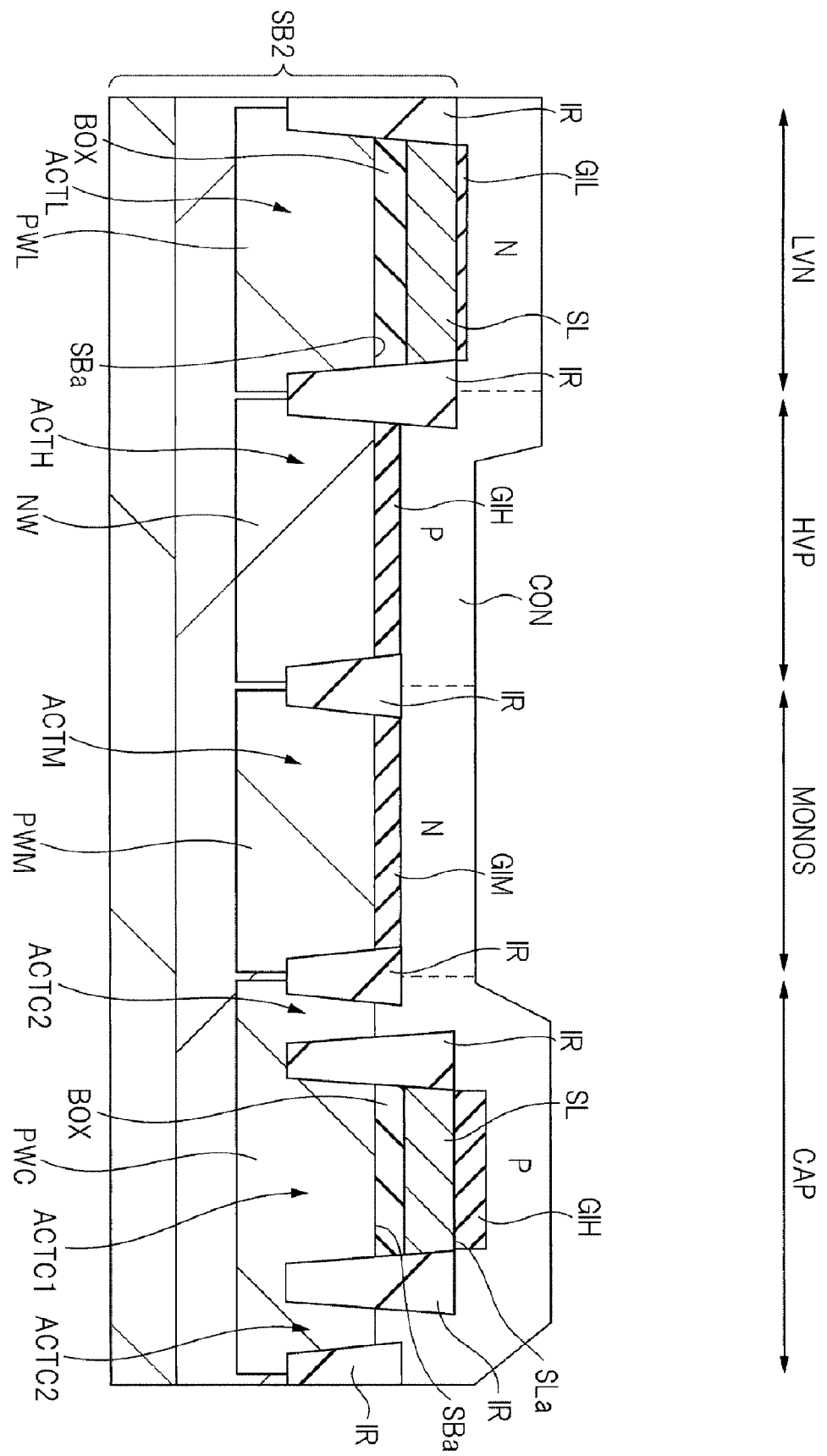
8



9



10



11

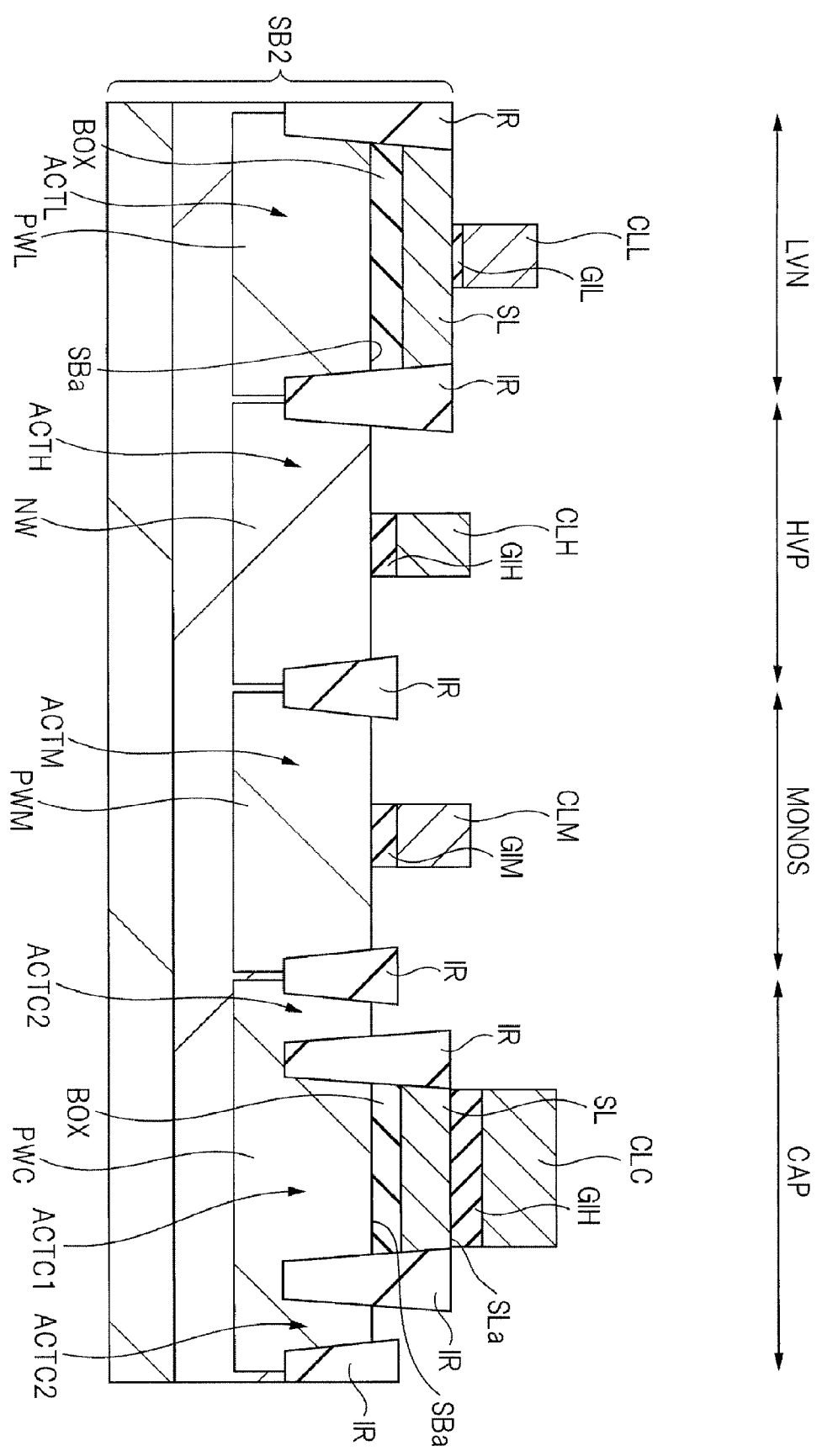


圖 12

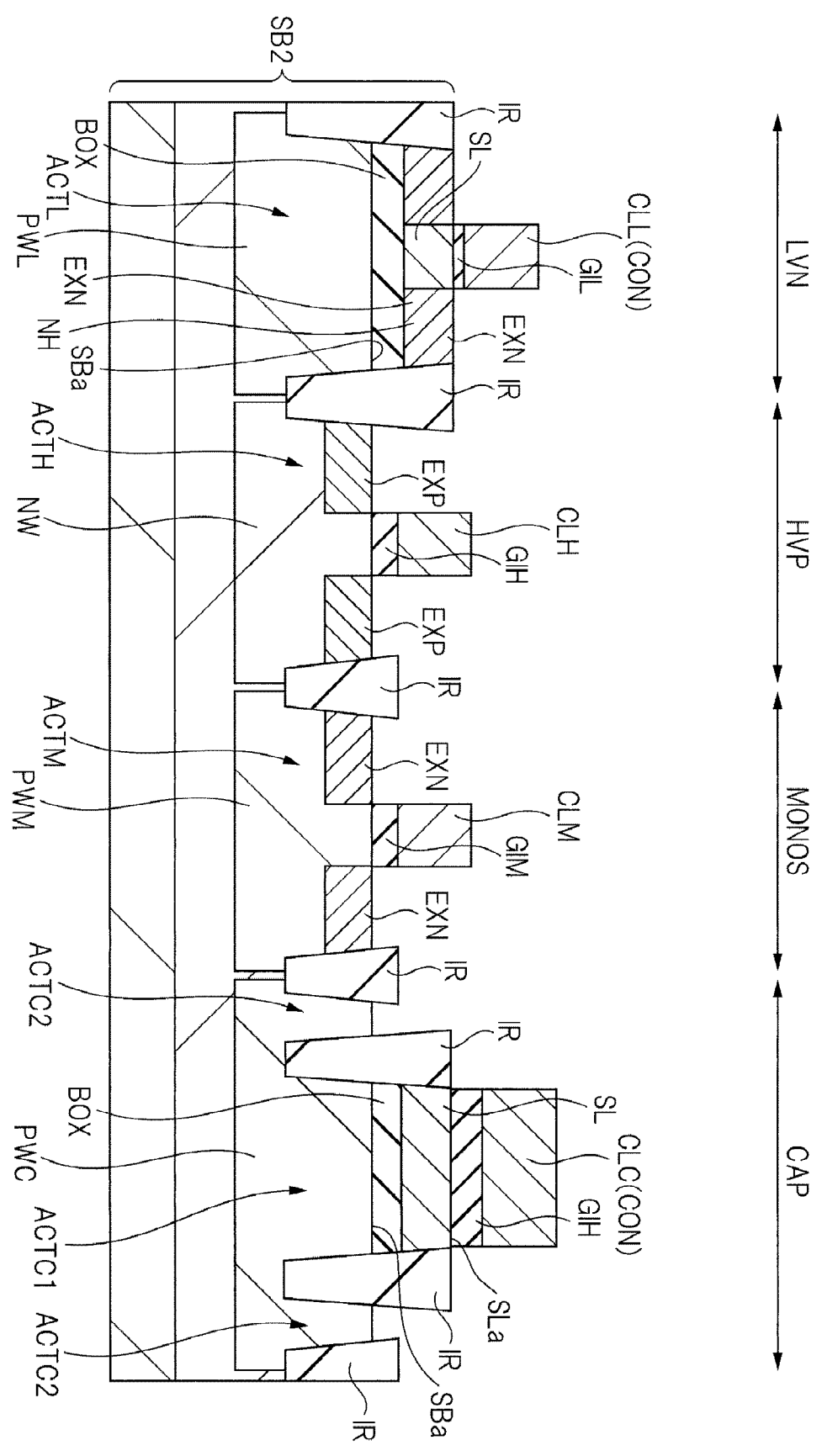


圖 13

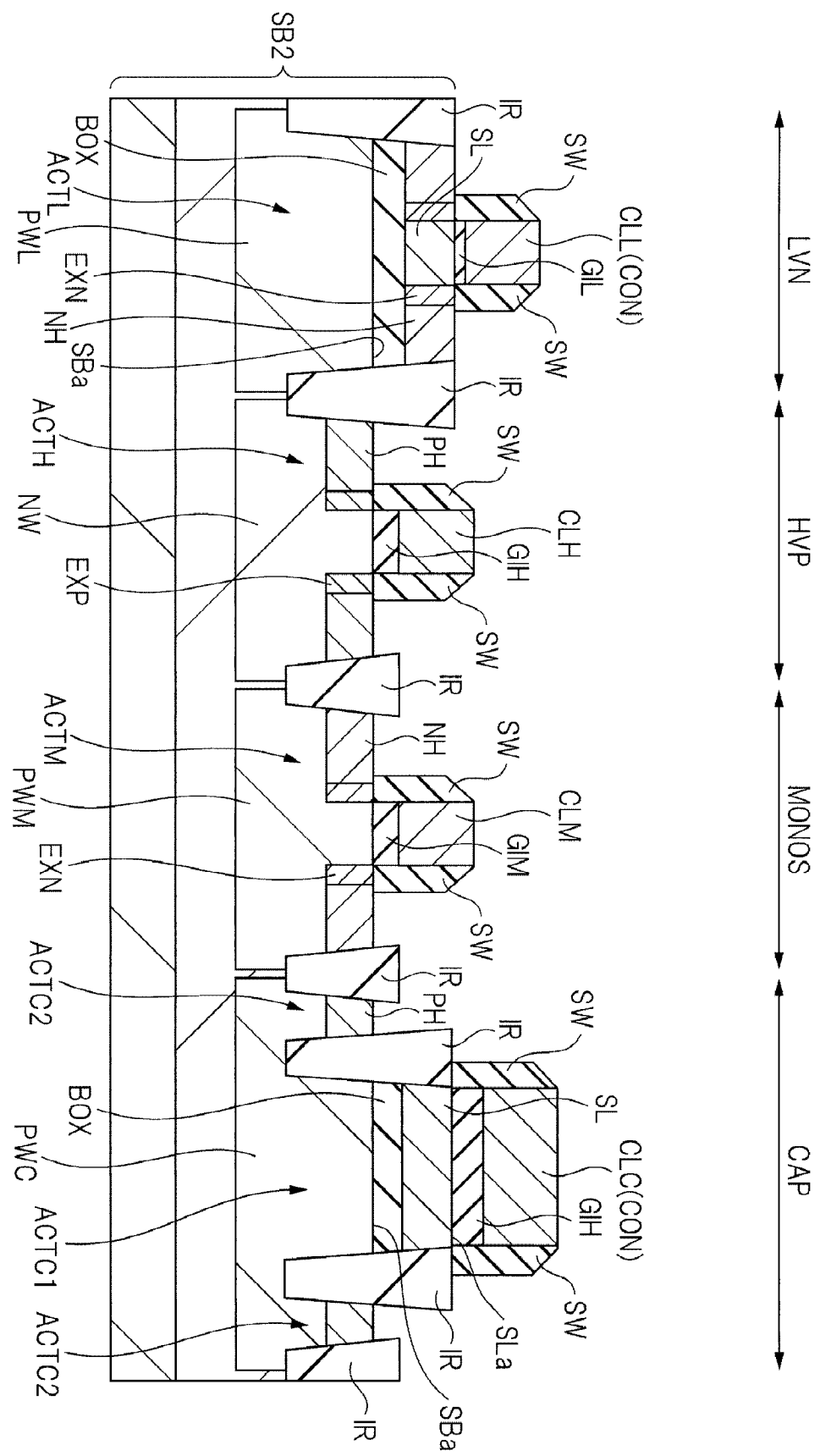
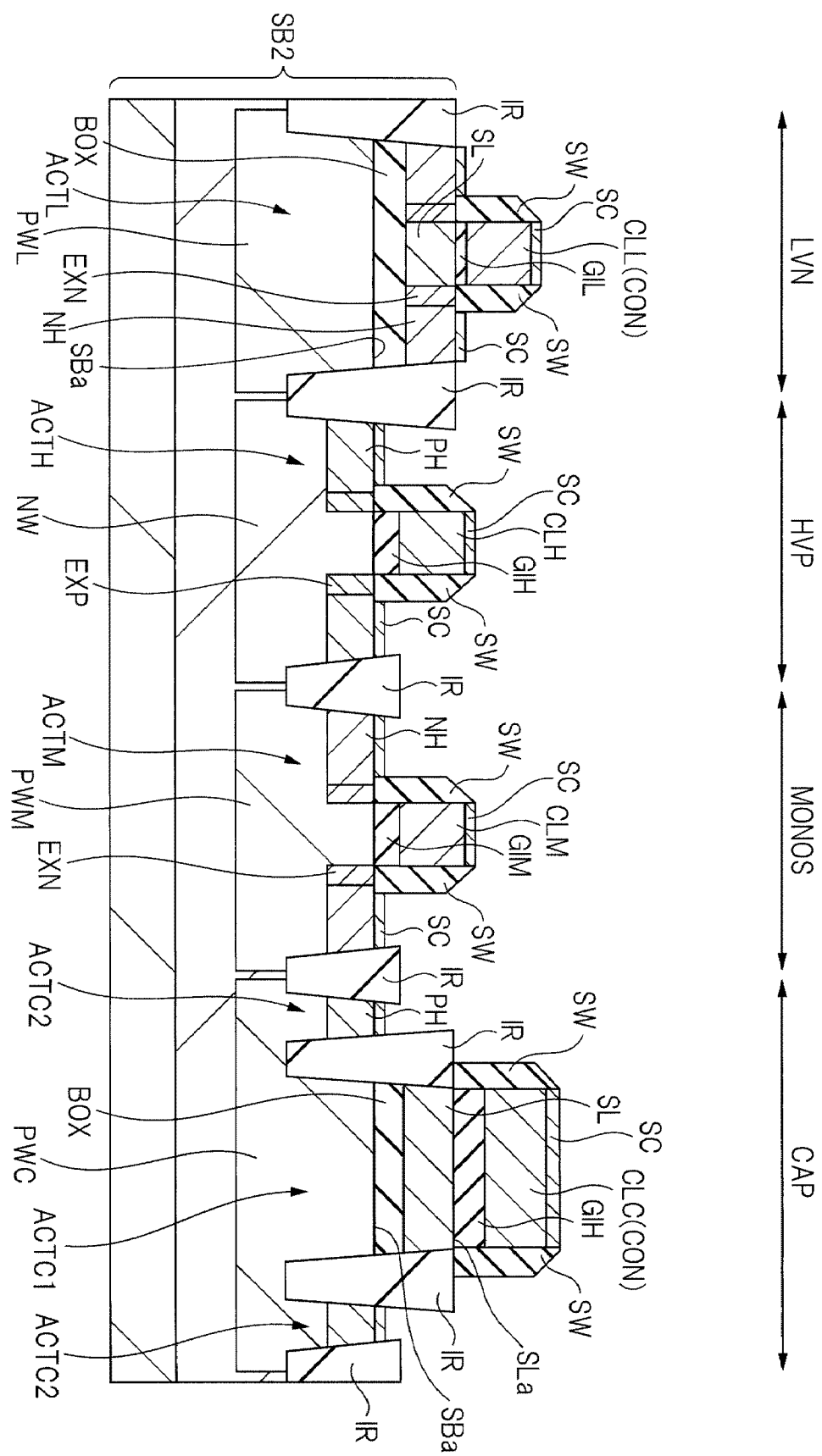


圖 14



15

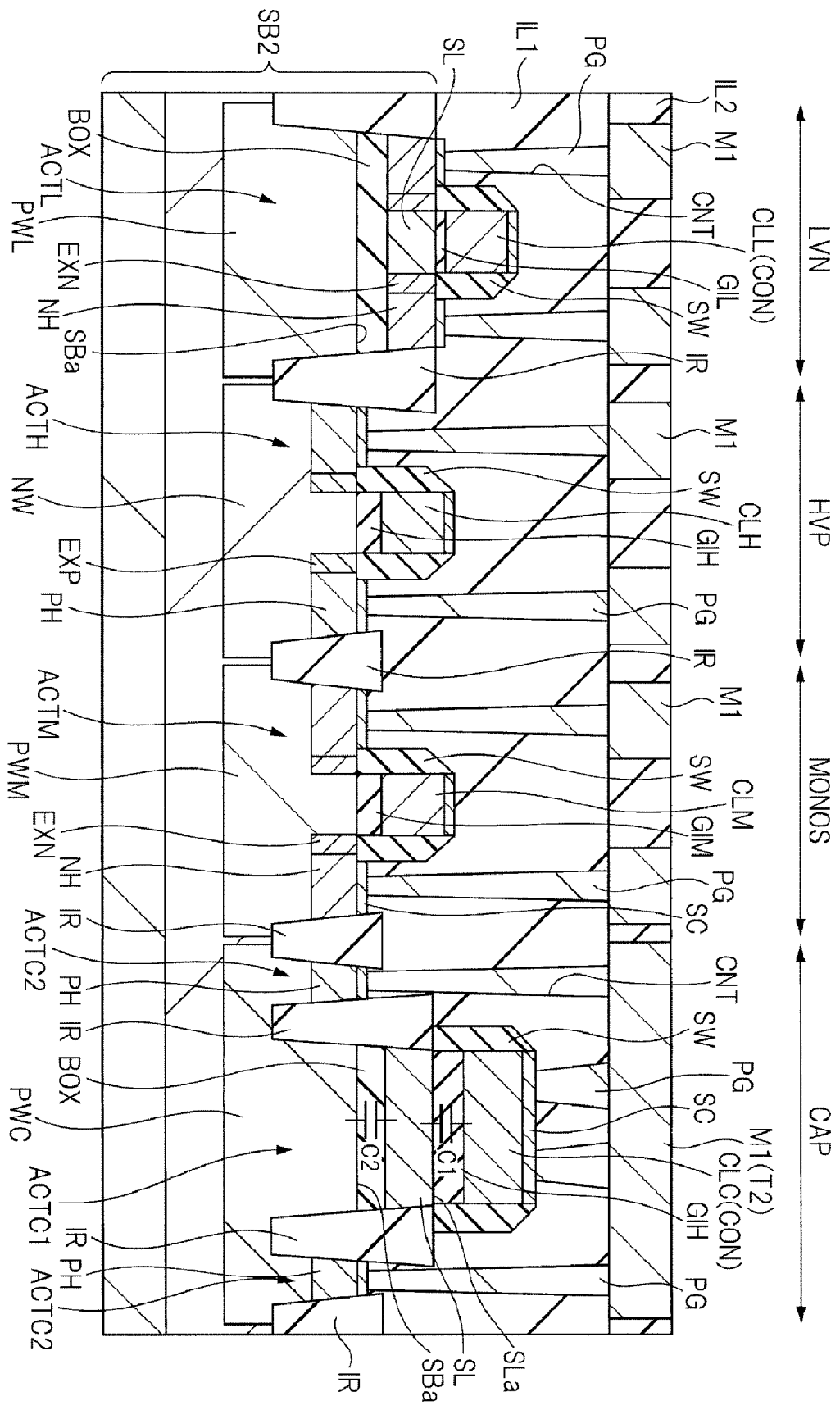


圖 16

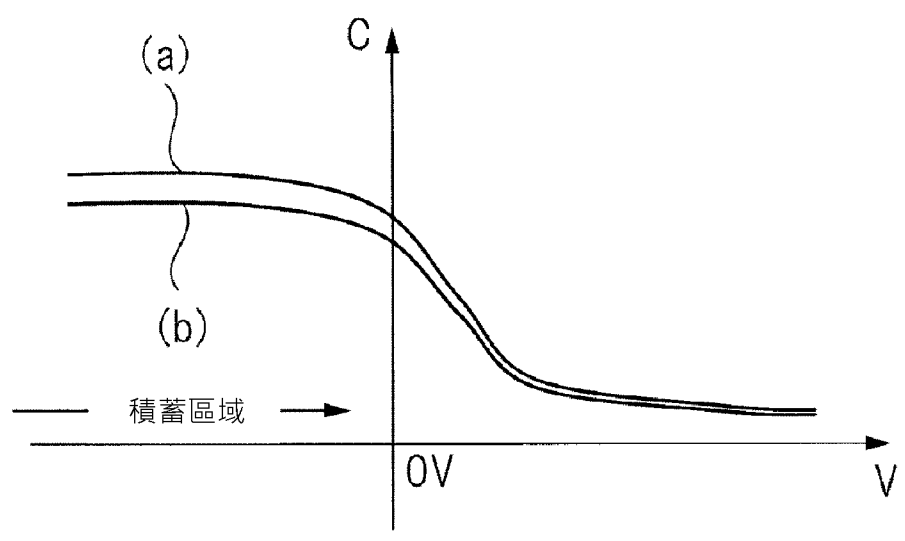


圖 17

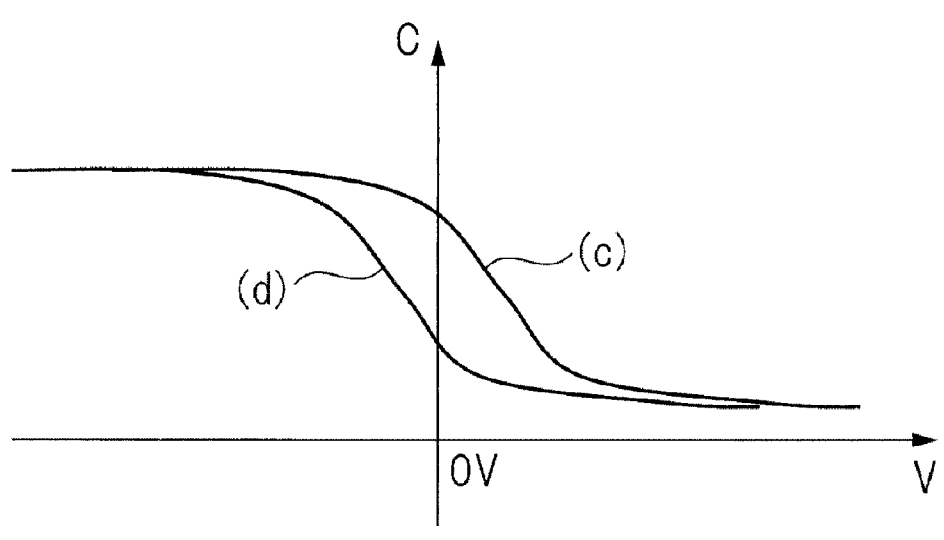


圖 18

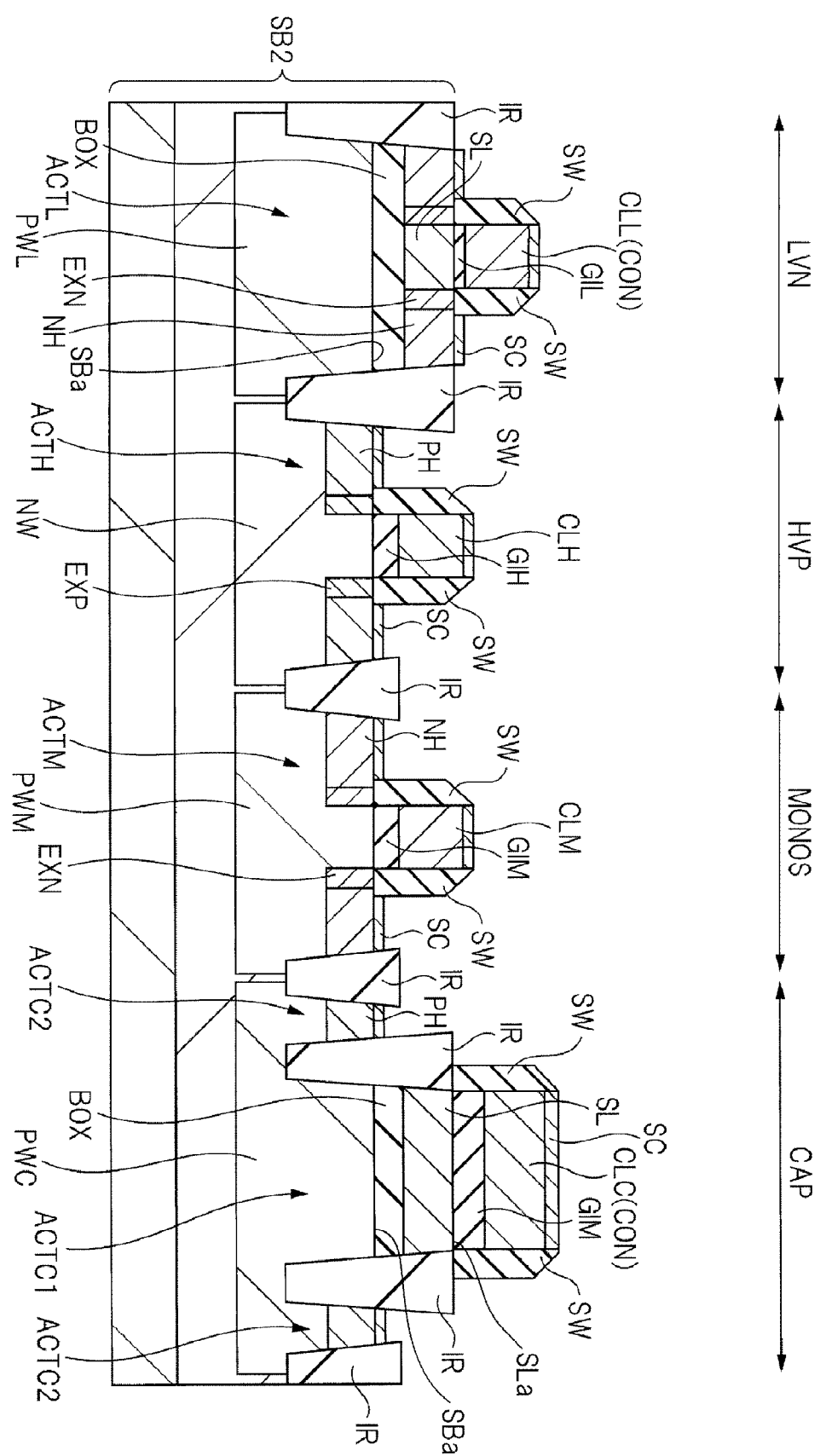
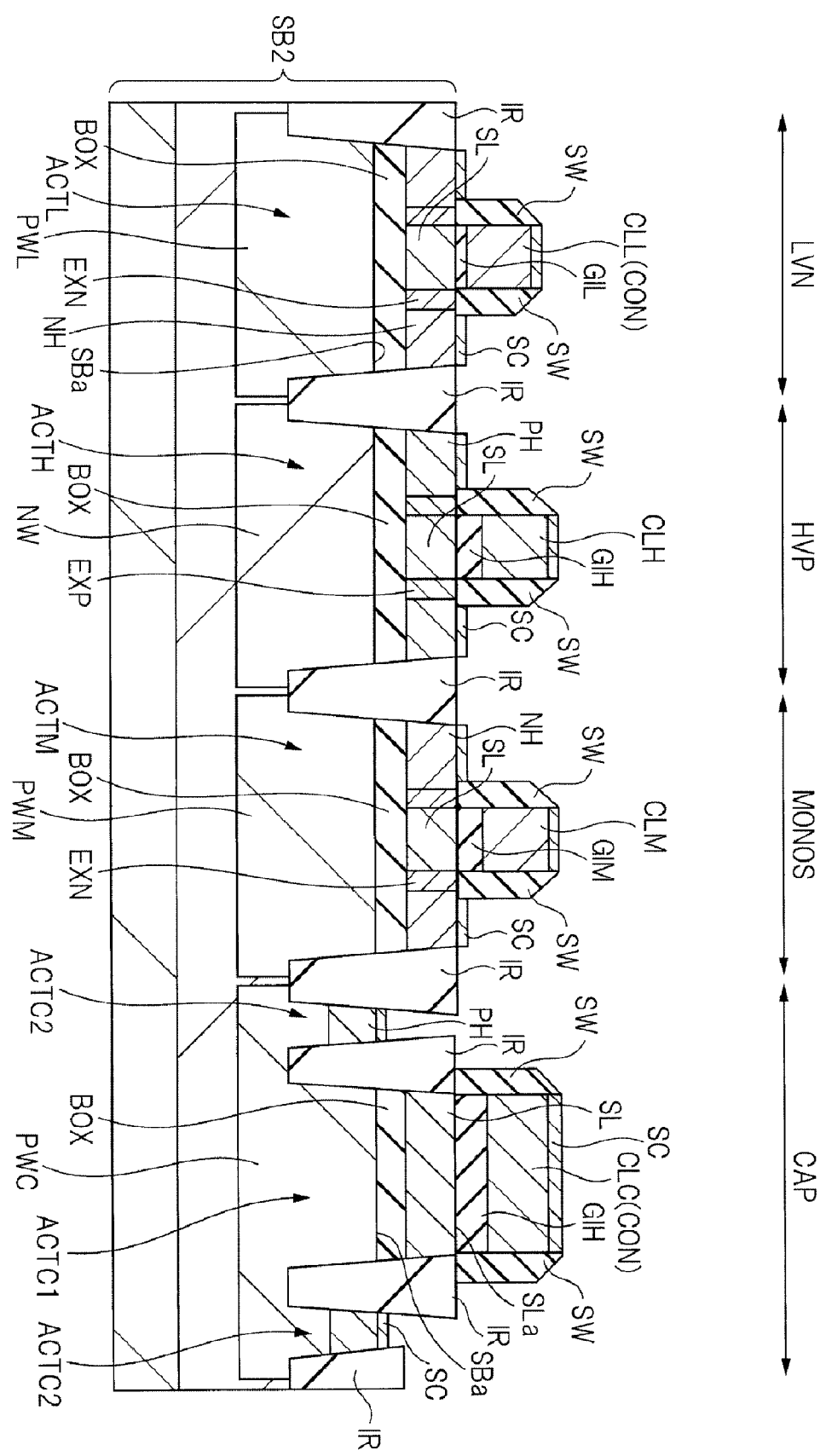


圖 19



20